(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3596196号
(P3596196)
(45)発行日　平成16年12月2日(2004.12.2)　(24)登録日　平成16年9月17日(2004.9.17)

(51)Int.Cl.[7]	F I	
H04L 25/38	H04L 25/38	A
H04L 7/033	H04L 25/02	V
H04L 25/02	H04L 7/02	B

請求項の数 20　(全 13 頁)

(21)出願番号　特願平8-305012
(22)出願日　平成8年11月15日(1996.11.15)
(65)公開番号　特開平10-145436
(43)公開日　平成10年5月29日(1998.5.29)
審査請求日　平成15年2月27日(2003.2.27)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　菊池　秀和
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　阿部　弘

(56)参考文献　特開昭６２－１９９１１９（ＪＰ，Ａ）
特開昭６２－０９７４５２（ＪＰ，Ａ）
特開平０７－１４３１８３（ＪＰ，Ａ）
特開平０４－０５７５４３（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】データ伝送装置

(57)【特許請求の範囲】
【請求項１】
伝送線を介して、送信クロック信号により設定された伝送レートで送信部から受信部に送信データを伝送し、受信部において受信信号に基づき受信用クロック信号を再生し、上記送信データを受信するデータ伝送装置であって、
上記伝送線は、一対の信号線からなり、
上記送信部は、上記送信データを対をなす差動信号に変換して、上記伝送線に出力し、上記伝送線を伝送された受信部からの要求信号を受けたときには、上記送信データに代えて、参照クロック信号を上記伝送線に出力する出力回路を有し、
上記受信部は、上記伝送線を伝送された上記参照クロック信号もしくは送信データに応じて、クロック信号を生成するクロック再生回路と、上記クロック再生回路により生成されたクロック信号の周波数が上記伝送線の信号周波数と異なるとき、上記伝送線に上記要求信号を同相信号として出力する要求信号出力回路とを有する
データ伝送装置。
【請求項２】
上記送信部の出力回路は、上記伝送線に伝送された信号に応じて、選択制御信号を発生する検出回路と、
上記選択制御信号に応じて、上記送信データと上記参照クロック信号の何れかを選択する選択回路とを有する
請求項１記載のデータ伝送装置。

【請求項３】
上記検出回路は、上記伝送線に同相信号が伝送されていないとき、上記選択回路に上記送信データを選択して出力させ、上記伝送線に同相信号が伝送されているとき、上記選択回路に上記参照クロック信号を選択して出力させる上記選択制御信号を出力する
請求項２記載のデータ伝送装置。
【請求項４】
上記選択回路の出力側に、選択した信号を差動信号に変換して上記伝送線に出力する差動駆動回路を有する
請求項２記載のデータ伝送装置。
【請求項５】
上記送信部に、上記送信データを上記送信クロック信号によって設定されたタイミングで順次に上記選択回路に出力するデータ出力回路を有する
請求項２記載のデータ伝送装置。
【請求項６】
上記送信部に、上記送信クロック信号を分周して、上記参照クロック信号を生成する分周回路を有する
請求項１記載のデータ伝送装置。
【請求項７】
上記クロック再生回路に、生成したクロック信号を分周する第２の分周回路を有する
請求項１記載のデータ伝送装置。
【請求項８】
上記第２の分周回路の分周比は、上記送信部の分周回路の分周比と同じである
請求項７のデータ伝送装置。
【請求項９】
上記受信部に、上記伝送線を伝送された差動信号に応じて、受信信号を出力する差動受信回路を有する
請求項１記載のデータ伝送装置。
【請求項１０】
上記差動受信回路の入力端子と上記伝送線との間に、直流成分を遮断し、上記送信データの差動信号に基づく交流信号を通過させるキャパシタを有する
請求項９記載のデータ伝送装置。
【請求項１１】
上記差動受信回路の動作点を設定するバイアス回路を有する
請求項９記載のデータ伝送装置。
【請求項１２】
上記受信部における上記クロック再生回路は、生成したクロック信号と上記受信信号の周波数のずれを検出するロック検出回路を有する
請求項１記載のデータ伝送装置。
【請求項１３】
上記ロック検出回路は、上記クロック再生回路により生成したクロック信号と上記受信信号の周波数が異なるとき、当該生成したクロック信号が非同期であることを示す検出信号を出力する
請求項１２記載のデータ伝送装置。
【請求項１４】
上記ロック検出回路から、上記検出信号を受けたとき、所定の時間幅を有する同期制御信号を出力する同期制御回路を有する
請求項１２記載のデータ伝送装置。
【請求項１５】
上記同期制御回路は、タイマーにより構成されている
請求項１４記載のデータ伝送装置。

【請求項１６】
上記受信部に、上記同期制御信号を受けて、上記伝送線に同相信号を出力する同相駆動回路を有する
請求項１４記載のデータ伝送装置。
【請求項１７】
上記クロック再生回路は、位相比較器、フィルタおよび電圧制御発振器を含むＰＬＬ回路により構成されている
請求項１記載のデータ伝送装置。
【請求項１８】
上記クロック再生回路は、上記ＰＬＬ回路により出力されたクロック信号と上記受信信号の周波数のずれを検出するロック検出回路と、
上記ロック検出回路から出力された上記周波数のずれを示すずれ検出信号に応じて、所定の時間幅を有する同期制御信号を出力する同期制御回路と、
上記同期制御信号を受けて、上記ＰＬＬ回路を構成する上記位相比較器の動作を停止させる動作制御回路と
を有する請求項１７記載のデータ伝送装置。
【請求項１９】
上記クロック再生回路は、上記電圧制御発振器の出力を分周する分周回路と、
上記分周回路の分周信号と上記受信信号の周波数を比較し、当該比較結果に応じて、上記電圧制御発振器の発振周波数を制御する制御信号を出力し、上記同期制御信号に応じて動作状態が制御される周波数比較器と
をさらに有する請求項１８記載のデータ伝送装置。
【請求項２０】
上記動作制御回路は、上記同期制御信号が出力されているとき、上記位相比較器を停止状態に制御すると共に、上記周波数比較器を動作状態に制御し、上記同期制御信号が出力されていないとき、上記位相比較器を動作状態に制御すると共に、上記周波数比較器を停止状態に制御する
請求項１９記載のデータ伝送装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、データ伝送装置、特にシリアルデータを高速に伝送するシリアルデータ伝送装置に関するものである。
【０００２】
【従来の技術】
シリアルデータ伝送は、一本もしくは一対の伝送媒体で信号を伝送することができるので、省スペース性に優れ、また、多芯の信号伝送線で信号を伝送するときに生じるデータ間のスキュー（タイミングずれ）の問題がないので、長距離のデータ伝送に適している。
【０００３】
図４は、一般的なシリアルデータ伝送装置の構成を示している。図示のデータ伝送装置は、送信部１０、伝送線２０および受信部３０により構成されている。さらに、送信部１０は、並列／直列変換回路１１と送信クロック生成回路１２からなり、受信部３０は、直列／並列変換回路３１と、クロック再生回路３２からなる。
また、伝送線２０は、一対の信号線、例えば、遮蔽より線（ＳＴＰ： Ｓｈｉｅｌｄｅｄ Ｔｗｉｓｔｅｄ Ｐａｉｒ ）または非遮蔽より線（ ＵＴＰ： Ｕｎｓｈｉｅｌｄｅｄ Ｔｗｉｓｔｅｄ Ｐａｉｒ ）などにより構成されている。
【０００４】
データ伝送時、送信部１０に入力された、例えば、ｎビットの送信データが並列／直列変換回路１１により、送信クロック信号ＴＣＫに同期して、直列データに変換され、伝送線２０に出力される。

送信クロック生成回路１２は、、例えば、ＰＬＬ回路により構成され、同期クロック信号ＣＬＫを受けて、それに応じて、送信クロック信号ＴＣＫを生成して、並列／直列変換回路１１に出力する。

【０００５】

受信部３０において、伝送線２０により伝送されてきた直列データを受けて、直列／並列変換回路３１により、ｎビットのデータに変換して、出力する。

クロック再生回路３２は、例えば、ＰＬＬ回路により構成され、伝送線２０の伝送データに基づき送信クロック信号ＴＣＫと同じ周波数を有する受信用クロック信号ＬＣＫを再生して、直列／並列変換回路に供給する。

【０００６】

上述したデータ伝送装置により、送信データが、例えば、一対の伝送線路により高速に伝送でき、伝送線の省スペース性が優れている。また、データの歪みが少なく、長距離のデータ伝送を実現できる。

【０００７】

【発明が解決しようとする課題】

ところで、上述した従来のデータ伝送装置は、送信部１０から送信したデータを正確に受信するため、受信部３０に、送信データ自体からクロック信号を抽出する回路、即ちクロック再生回路３２が必須であるという問題がある。

【０００８】

クロック再生回路３２は、高いＱ値を有するバンドパスフィルタあるいはＰＬＬ回路によって構成できる。

バンドパスフィルタによりクロック再生回路３２を構成する場合、受信信号の微分波形をＳＡＷ（Ｓｕｒｆａｃｅ　Ａｃｏｕｓｔｉｃ　Ｗａｖｅ　：　表面弾性波）フィルタなどで濾波して、クロック信号を抽出する方法が代表的である。この方法では、ＳＡＷフィルタの中心周波数以外の伝送レートには適用できないという制約を受ける。

ＰＬＬ回路によりクロック再生回路３２を構成する場合、受信信号の位相と電圧制御発振器（ＶＣＯ）の出力の位相とを等しくなるように制御して、クロック信号を抽出する。この方法では、ＶＣＯの発振周波数レンジを広くとれば多様なデータ伝送レートに対応できるという利点がある。

【０００９】

しかし、ＶＣＯの周波数が受信信号の周波数と大きくずれている場合に、ランダムなビット列のシリアルデータ信号を想定した位相比較手段は混乱し、ＶＣＯはドリフト状態となるか、伝送レートの整数倍の周波数にロックした状態となり、正しく伝送クロック信号ＴＣＫを抽出できないことがある。

【００１０】

上述の問題に対して、受信部３０の初期化状態において、伝送する信号のレートと特定の比の周波数を持った参照クロック信号を受信部３０に与えて、ＰＬＬ回路をロックさせておく方法が取られる。しかしながら、この方法でも、送信器の伝送するシリアルデータの伝送レートが不明である場合には、参照クロック信号の周波数の設定ができないので、送信レートに関する情報を伝送する別の手段が必要になる。

【００１１】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、簡単な回路構成で有効なクロック抽出手段を提供し、広範囲な転送レートに対応でき、再生したクロック信号が素早く送信クロックに追従でき、伝送媒体を増加する必要がないデータ伝送装置を提供することにある。

【００１２】

【課題を解決するための手段】

上記目的を達成するため、本発明は、伝送線を介して、送信クロック信号により設定された伝送レートで送信部から受信部に送信データを伝送し、受信部において受信信号に応じて受信用クロック信号を再生し、上記送信データを受信するデータ伝送装置であって、上

記伝送線は、一対の信号線からなり、上記送信部は、上記送信データを対をなす差動信号に変換して、上記伝送線に出力し、上記伝送線を伝送された受信部からの要求信号を受けたときには、上記送信データに代えて、参照クロック信号を上記伝送線に出力する出力回路を有し、上記受信部は、上記伝送線を伝送された上記参照クロック信号もしくは上記送信データに応じて、クロック信号を生成するクロック再生回路と、上記クロック再生回路により生成されたクロック信号の周波数が上記伝送線の信号周波数と異なるとき、上記伝送線に上記要求信号を同相信号として出力する要求信号出力回路とを有する。

【００１３】

また、本発明では、送信部の出力回路は、上記伝送線に伝送された信号に応じて、選択制御信号を発生する検出回路と、上記選択制御信号に応じて、上記送信データと上記参照クロック信号の何れかを選択する選択回路とを有し、また、上記検出回路は、上記伝送線に同相信号が伝送されていないとき、上記選択回路に上記送信データを選択して出力させ、上記伝送線に同相信号が伝送されているとき、上記選択回路に上記参照クロック信号を選択して出力させる選択制御信号を出力する。

【００１４】

また、本発明では、上記伝送線の差動信号に応じて、受信信号を出力する差動受信回路を有し、上記クロック再生回路により生成したクロック信号と上記受信信号の周波数のずれを検出するロック検出回路を有する。

【００１５】

さらに、本発明では、上記ロック検出回路により、上記クロック再生回路により生成されたクロック信号の周波数と上記受信信号の周波数のずれを検出したとき、上記伝送線に参照クロック要求信号の同相信号を出力する同相駆動回路を有する。

【００１６】

本発明によれば、送信部により、送信クロック信号によって設定された伝送レートで送信データが差動信号に変換して伝送線に出力され、受信部において、受信信号に応じて、受信用クロック信号が再生され、再生されたクロック信号に応じて、伝送線からの信号が受信される。

受信部において、例えば、ＰＬＬ回路からなるクロック再生回路により、受信用クロックが再生される。再生されたクロック信号の周波数と送信クロック信号の周波数が異なるとき、伝送線に参照クロック信号の送信を要求する同相の要求信号が出力され、これを受けて、送信部により、参照クロック信号が伝送線に出力され、受信部では、参照クロック信号に応じて、再生された受信用クロック信号の周波数が送信クロック信号の周波数と一致するように制御が行われる。

【００１７】

これにより、簡単な回路構成で、広範囲な伝送レートに対応でき、再生されたクロック信号が送信クロック信号からずれたとき、素早く送信クロックに追従でき、伝送媒体を増加させることなく、高速なデータ伝送および参照クロックの要求信号を伝送できる。

【００１８】

【発明の実施の形態】

第１実施形態

図１は本発明に係るデータ伝送装置の第１の実施形態を示す回路図である。

図１において、１００は送信部１０における伝送データ／参照クロック信号の出力回路、３００は受信部３０におけるクロック再生回路である。

【００１９】

出力回路１００は、Ｄ型フリップフロップ１０１、セレクタ１０２、分周器１０３、差動ドライバー１０４、コンパレータ１０５および同相電圧検出回路１０６により構成されている。

【００２０】

フリップフロップ１０１のクロック信号入力端子に、送信部１０の送信クロック発生回路１２からの送信クロック信号ＴＣＫが入力され、データ入力端子に送信部１０の並列／直

列変換回路１１からシリアルの送信データＳＤＡＴが入力されるので、フリップフロップ１０１により、送信データがクロック信号ＴＣＫのタイミングで順次出力され、セレクタ１０２の入力端子０に入力される。

【００２１】

分周器１０３は、送信クロック信号ＴＣＫをＮ（Ｎは正整数である）分周して、分周信号を参照クロック信号ＲＣＫとして、セレクタ１０２の入力端子１に入力される。

【００２２】

セレクタ１０２は、選択信号端子Ｓに入力された選択制御信号のレベルに応じて、入力端子０または入力端子１の何れかに入力された信号を選択して、出力する。

例えば、選択信号端子Ｓにハイレベルの選択制御信号が入力されているとき、セレクタ１０２は入力端子１に入力された信号を選択して出力する。逆に、選択信号端子Ｓにローレベルの選択制御信号が入力されているとき、セレクタ１０２は入力端子０に入力された信号を選択して出力する。

【００２３】

差動ドライバー１０４は、セレクタ１０２の出力信号を受けて、それに応じて対をなす差動信号を発生し、一対の信号線からなる伝送線２０に出力する。

【００２４】

同相電圧検出回路１０６は、伝送線２０に同相信号が印加されたとき、それを検出して、コンパレータ１０５に出力する。

【００２５】

コンパレータ１０５は、同相電圧検出回路１０６からの出力信号が所定の基準電圧V_{ref}を越えたとき、ハイレベルの選択制御信号を出力し、セレクタ１０２の選択信号入力端子Ｓに入力し、それ以外のとき、ローレベルの選択制御信号を出力し、セレクタ１０２の選択信号入力端子Ｓに入力する。

【００２６】

上述したように構成された出力回路１００において、通常動作時に、伝送線２０に差動信号しか存在せず、同相電圧検出回路１０６により、ローレベルの信号が出力されるので、コンパレータ１０５からローレベルの選択制御信号が出力され、セレクタ１０２の選択信号端子Ｓに入力される。これに応じて、セレクタ１０２により、入力端子０に入力された信号が選択される。即ち、フリップフロップ１０１から出力されたシリアルの送信データがセレクタ１０２により選択され、伝送線２０に出力される。

【００２７】

一方、受信部３０において、何らかの原因でＰＬＬ回路の同期がずれたとき、受信部３０のクロック再生回路３００により、同相信号である参照クロック信号の要求信号が発生され、伝送線２０に出力される。これを受けて、送信部１０の出力回路１００において、同相電圧検出回路１０６により、ハイレベルの検出信号が発生され、コンパレータ１０５に出力されるので、コンパレータ１０５により、ハイレベルの選択制御信号が出力され、セレクタ１０２の選択信号端子Ｓに入力される。これに応じて、セレクタ１０２により、入力端子１に入力された信号が選択される。即ち、分周器１０３から出力された参照クロック信号ＲＣＫがセレクタ１０２により選択され、伝送線２０に出力される。

【００２８】

クロック再生回路３００は、図示のように、電圧制御発振器（ＶＣＯ）３０１、ループフィルタ３０２、位相比較回路３０３、差動レシーバー３０４、周波数比較回路３０５、分周器３０６、タイマー回路３０７、差動ドライバー３０８、同相ドライバー３０９およびＤ型フリップフロップ３１０とにより構成されている。

なお、分周器３０６の分周比は、送信部１０における分周回路１０３のの分周比と同様に設定されている。また、これらの分周回路の分周比がともに１に設定することができる。即ち、これらの分周器は省略できる。送信部１０および受信部３０にそれぞれ分周器１０３および３０６を設けることにより、参照クロック信号ＲＣＫの周波数を低減でき、受信部３０の周波数比較回路３０５の動作周波数範囲を低減させることができる。

【００２９】
位相比較回路３０３、周波数比較回路３０５、ループフィルタ３０２およびＶＣＯ３０１により、ＰＬＬ回路が構成されている。
位相比較回路３０３は、差動レシーバー３０４からの受信信号Ｓ４とＶＣＯ３０１からのクロック信号ＬＣＫの位相を比較し、比較結果に応じて、発振制御信号Ｓ１を発生し、ループフィルタ３０２に出力する。
図２は、位相比較回路３０３の一構成例を示す回路図である。図２に示すように、本例の位相比較回路３０３は、位相比較器３１１とロック検出器３１２により構成されている。
【００３０】
位相比較器３１１は、ＶＣＯ３０１により発生されたクロック信号ＬＣＫの位相と伝送線２０の伝送信号の位相とを比較して、比較結果に応じて、発振制御信号Ｓ１を出力する。
ロック検出器３１２は、クロック信号ＬＣＫの同期状態を示すロック検出信号Ｓ３を発生し、タイマー回路３０７に出力する。
なお、ロック検出器３１２は、位相比較回路３０３と別々に設けることもできる。
【００３１】
周波数比較回路３０５は、分周器３０６からの分周信号の周波数と伝送線２０から伝送された参照クロック信号ＲＣＫの周波数とを比較して、比較結果に応じて、発振制御信号Ｓ２を出力する。
【００３２】
ループフィルタ３０２は、位相比較回路３０３からの発振制御信号Ｓ１もしくは周波数比較回路３０５からの発振制御信号Ｓ２の高域成分、ノイズなどを除去し、低域成分のみをＶＣＯ３０１に出力する。
ＶＣＯ３０１は、ループフィルタ３０２からの発振制御信号を受けて、これに応じて、クロック信号ＬＣＫの周波数を制御する。
【００３３】
このように構成されたＰＬＬ回路において、ＶＣＯ３０１により、送信部１０に用いられた送信クロック信号ＴＣＫと同じ周波数を有するクロック信号ＬＣＫが得られる。クロック信号ＬＣＫは、送信クロック信号ＴＣＫの再生信号として、送信データの受信あるいは受信部３０の同期制御に用いられる。
【００３４】
受信時に、差動レシーバー３０４は伝送線２０より伝送されてきた差動信号を受けて、それに応じて、受信信号Ｓ４を生成し、位相比較回路３０３および周波数比較回路３０５にそれぞれ出力する。
【００３５】
位相比較回路３０３および周波数比較回路３０５は、イネーブル付きであり、入力されたイネーブル信号のレベルに応じて、動作／非動作状態が設定される。ここで、位相比較回路３０３および周波数比較回路３０５はともにローイネーブルとする。即ち、イネーブル信号端子にローレベルの信号が入力されているときのみ動作し、それ以外のとき動作しない。
なお、位相比較回路３０３および周波数比較回路３０５の動作状態を制御するイネーブル信号ＥＮＢ１およびＥＮＢ２は差動ドライバー３０８により生成される。また、位相比較回路３０３にあるロック検出回路３１２は、位相比較回路３０３に入力されたイネーブル信号ＥＮＢ１に関係なく、常には動作状態に設定されている。
【００３６】
通常動作時に、差動ドライバー３０８により、それぞれローレベルのイネーブル信号ＥＮＢ１およびハイレベルのイネーブル信号ＥＮＢ２が生成されるので、位相比較回路３０３のみが動作状態に設定され、周波数比較回路３０５は非動作状態に設定される。
【００３７】
受信部３０において、初期化状態または通常受信動作時に、何らかの原因でＶＣＯ３０１により生成されたクロック信号ＬＣＫの周波数は送信部１０に用いられているクロック信

号ＴＣＫの周波数と大きくずれることがある。このとき、位相比較回路３０３に設けられているロック検出器３１２により、周波数ずれを示す、例えば、ハイレベルのロック検出信号が発生され、タイマー回路３０７に出力される。

【００３８】

タイマー回路３０７は、ロック検出器３１２からのロック検出信号Ｓ３に応じて、同期制御信号Ｓ５を発生する。

例えば、タイマー回路３０７はロック検出器３１２からハイレベルのロック検出信号Ｓ３が受けたとき、同期制御信号Ｓ５を発生し、差動ドライバー３０８および同相ドライバー３０９にそれぞれ出力する。なお、同期制御信号Ｓ５は、例えば、一定の時間幅を有するパルス信号である。

【００３９】

同期制御信号Ｓ５を受けて、差動ドライバー３０８により、ハイレベルのイネーブル信号ＥＮＢ１とローレベルのイネーブル信号ＥＮＢ２を発生し、それぞれ位相比較回路３０３および周波数比較回路３０５に出力する。これを受けて、位相比較回路３０３は非動作状態に設定され、周波数比較回路３０５は動作状態に設定される。

【００４０】

また、同相ドライバー３０９により、同相信号が発生され、伝送線２０に出力する。このため、タイマー回路３０７からの同期制御信号Ｓ５がハイレベルに保持されている間に、同相ドライバー３０９により、参照クロック信号の要求信号として、同相の信号が伝送線２０に出力される。このとき、伝送線２０を構成する一対の信号線の平均電圧がハイレベル、例えば、１Ｖに保持される。

【００４１】

伝送線２０に同相信号が出力されているとき、送信部１０の出力回路１００において、同相電圧検出回路１０６により、ハイレベルの検出信号が出力されるので、コンパレータ１０５により、ハイレベルの選択制御信号が出力される。これに応じて、セレクタ１０２により、分周器１０３からの参照クロックＲＣＫが選択され、差動ドライバーを介して、伝送線２０に出力される。

【００４２】

受信部３０のクロック再生回路３００において、差動レシーバー３０４により、参照クロックＲＣＫに同期した受信信号Ｓ４が出力される。この信号は、ローレベルのイネーブル信号ＥＮＢ２により動作状態に設定されている周波数比較回路３０５に入力される。さらに、ＶＣＯ３０１により出力されたクロック信号ＬＣＫが分周器３０６により、Ｎ分周され、分周信号も周波数比較回路３０５に入力される。

【００４３】

周波数比較回路３０５により、受信信号Ｓ４のと分周器３０６の分周信号の周波数が比較され、比較結果に応じて、発振制御信号Ｓ２が発生され、ループフィルタ３０２に出力される。ループフィルタ３０２により、周波数比較回路３０５からの発振制御信号Ｓ２の高域成分、ノイズなどが除去され、低域成分のみがＶＣＯ３０１に出力される。

そして、ＶＣＯ３０１において、ループフィルタ３０２からの発振制御信号に応じて、クロック信号ＬＣＫの周波数が制御される。

【００４４】

このような制御により、分周回路３０６からの分周信号と参照クロックＲＣＫの周波数が一致するようにＶＣＯ３０１の発振周波数が制御されるので、ＶＣＯ３０１により発生されたクロック信号ＬＣＫの周波数は送信部１０に用いられている送信クロック信号ＴＣＫの周波数と一致する。

【００４５】

周波数が一致すると、位相比較回路３０３に設けられているロック検出器３１２により、ローレベルのロック検出信号Ｓ３が生成され、タイマー回路３０７に出力される。これに応じて、タイマー回路３０７によりローレベルの同期制御信号Ｓ５が出力されるので、同相ドライバー３０９による同相信号の発生が停止される。これにより、送信部１０の同相

電圧検出回路１０６により、ローレベルの検出信号が出力され、コンパレータ１０５により、ローレベルの選択制御信号が発生され、セレクタ１０２の選択信号端子Ｓに入力される。
この結果、セレクタ１０２により、伝送線２０への出力信号は、参照クロック信号ＲＣＫから送信データＳＤＡＴに切り換えられる。

【００４６】
受信部３０のクロック再生回路３００において、差動ドライバー３０８により、ローレベルのイネーブル信号ＥＮＢ１およびハイレベルのイネーブル信号ＥＮＢ２が発生され、それぞれ位相比較回路３０３および周波数比較回路３０５に出力される。これにより、周波数比較回路３０５は非動作状態に切り換えられ、位相比較回路３０３は動作状態に切り換えられる。

【００４７】
即ち、ＶＣＯ３０１により生成されたクロック信号ＬＣＫの周波数が送信部１０に用いられている送信クロック信号ＴＣＫの周波数と一致したとき、位相比較回路３０３、ループフィルタ３０２およびＶＣＯ３０１により構成されたＰＬＬ回路が動作し、ＶＣＯ３０１により生成されたクロック信号ＬＣＫの位相は差動ドライバー３０４から出力された受信信号Ｓ４の位相と一致するように制御が行われる。

【００４８】
そして、フリップフロップ３１０により、ＶＣＯ３０１により生成されたクロック信号ＬＣＫのタイミングに応じて、伝送線２０から伝送されてきたデータＳＤＡＴが順次出力される。フリップフロップ３１０の出力データＳＤＡＴが受信部３０にある直列／並列変換回路により、例えば、ｎビットのデータに変換され、出力される。

【００４９】
上述した動作により、送信部１０から送信されたデータが受信部３０により正確に受信される。初期化の時または通常データ伝送中にノイズなどの原因で、受信部３０のクロック信号ＬＣＫの周波数が送信部１０に用いられている送信クロック信号ＴＣＫの周波数とずれたとき、クロック再生回路３００により、参照クロック信号ＲＣＫの送信を要求する同相信号が伝送線２０に出力される。送信部１０の出力回路１００において、同相信号である参照クロック要求信号が検出され、それに応じて、送信信号が参照クロック信号ＲＣＫに切り換えられ、伝送線２０に出力される。

【００５０】
受信部３０において、周波数比較回路３０５、ループフィルタ３０２およびＶＣＯ３０１により構成されたＰＬＬ回路により、分周器３０６の分周信号の周波数と参照クロック信号ＲＣＫの周波数と一致するまで発振周波数の制御が行われる。周波数が一致すると、参照クロック要求信号の発生が停止し、送信部１０に送信信号が通常の送信データに切り換えられると同時に、クロック再生回路３００において、位相比較回路３０３、ループフィルタ３０２およびＶＣＯ３０１により構成されたＰＬＬ回路により、送信部１０に用いられている送信クロック信号ＴＣＫと同周波数のクロック信号ＬＣＫが発生され、これに基づき伝送線２０により伝送されてきたデータが受信される。

【００５１】
以上説明したように、本実施形態によれば、通常データ伝送時に出力回路のセレクタ１０２により、送信データＳＤＡＴを選択して、差動ドライバー１０４を介して、伝送線２０に出力し、クロック再生回路３００の位相比較回路３０３により、ＶＣＯ３０１の生成したクロック信号ＬＣＫの周波数と受信信号Ｓ４の周波数が一致するようにクロック信号ＬＣＫの位相を制御する。クロック信号ＬＣＫと受信信号Ｓ４の周波数がずれているとき、それを示すロック検出信号Ｓ３により、伝送線２０に同相の参照クロック要求信号を出力し、セレクタ１０２により、参照クロック信号ＲＣＫを選択して伝送線２０に出力し、周波数比較回路３０５により、分周回路３０６の出力信号と参照クロック信号ＲＣＫの周波数が一致するようにＶＣＯ３０１の生成クロック信号ＬＣＫを制御するので、広範囲な転送レートに対応でき、ＰＬＬ回路を素早く送信クロックにロックでき、伝送媒体を増加す

る必要がなく、簡単な回路構成で有効なクロック再生回路を実現できる。

【００５２】

第２実施形態

図３は本発明に係るデータ伝送装置の第２の実施形態を示す回路図である。

本実施形態と図１に示す本発明の第１の実施形態と較べると、受信部１０のクロック再生回路３００ａにおける差動レシーバー３０４の入力側が異なることが分かる。それ以外の部分は、本実施形態と図１に示す第１の実施形態と同じであるので、図３には、回路の同様な構成部分に同様な符号を付して表記する。

【００５３】

図３に示すように、差動レシーバー３０４の同相入力端子と伝送線２０の一方の信号線との間に、キャパシタＣ１が接続され、反転入力端子と伝送線２０の他方の信号線との間に、キャパシタＣ２が接続されている。さらに、差動レシーバー３０４の入力端子に、バイアス回路３１３が接続されている。

バイアス回路３１３は、差動レシーバー３０４にバイアス電圧を供給し、差動レシーバー３０４の動作点を設定する。

【００５４】

通常データ伝送時に、伝送線２０に送信データに応じた差動信号が高速に伝送され、データ伝送レートは、例えば、１００ＭＨｚ～２ＧＨｚである。受信部３０において、クロック再生回路３００ａにより生成されたクロック信号ＬＣＫの周波数が送信クロック信号ＴＣＫの周波数からずれているとき、伝送線２０に、送信部１０に参照クロック信号ＲＣＫの送信を要求する同相信号が伝送され、この同相信号が一定時間に一定のレベルに保持されている信号であり、直流信号と見なせる。

キャパシタＣ１およびＣ２により、差動レシーバー３０４と伝送線２０は直流分離され、伝送線２０から伝送されてきた送信データに基づく交流成分のみがキャパシタＣ１，Ｃ２を介して、差動レシーバー３０４に結合される。また、伝送線２０に、同相な参照クロック要求信号が入力されているとき、キャパシタＣ１，Ｃ２により、これが遮断され、差動レシーバー３０４に入力されない。

【００５５】

このように、キャパシタＣ１およびＣ２により伝送線２０の送信データに応じた差動信号のみが差動レシーバー３０４に入力され、参照クロック要求信号などの直流成分が遮断される。例えば、長い伝送線２０を用いてデータを伝送する場合、送信部１０と受信部３０は、それぞれ独立した電源により駆動されるが、受信部３０の差動レシーバー３０４は、バイアス回路３１３により、差動レシーバー３０４に与えられた電源電圧に応じた最適な動作点にバイアスされる。

【００５６】

以上説明したように、本実施形態によれば、受信部３０において、差動レシーバー３０４の入力端子と伝送線２０との間に、交流結合用キャパシタＣ１，Ｃ２を設けて、送信データに基づく高速な差動信号のみが差動レシーバー３０４に入力され、直流成分が遮断されるので、送信部１０および受信部３０は別々の電源により駆動され、差動レシーバー３０４はバイアス回路３１３により、最適な動作点を設定できる。

【００５７】

なお、以上説明した第１、第２の実施形態において、受信部のクロック再生回路３００，３００ａにある周波数比較回路３０５に代えて、周波数位相比較回路を用いてもよい。

【００５８】

【発明の効果】

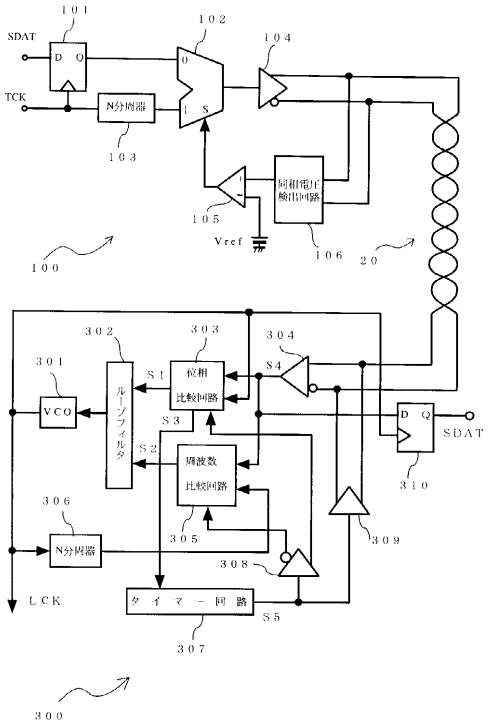
以上説明したように、本発明のデータ伝送装置によれば、回路構成の簡単化および伝送線の省スペース化を図れ、広範囲なデータ伝送レートに対応でき、簡単な回路構成で高速なデータ伝送および参照クロック要求信号の伝送を実現できる利点がある。

【図面の簡単な説明】

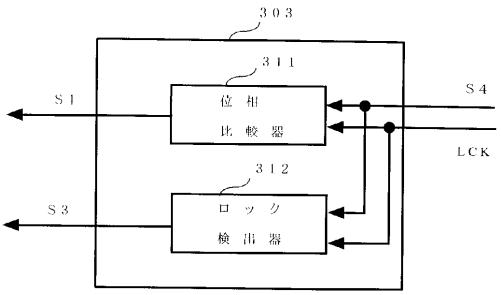
【図１】本発明に係るデータ伝送装置の第１の実施形態を示す回路図である。

【図２】位相比較回路の一構成例を示す回路図である。
【図３】本発明に係るデータ伝送装置の第２の実施形態を示す回路図である。
【図４】一般的なシリアルデータ伝送装置の構成を示す回路図である。
【符号の説明】
１０…送信部、２０…伝送線、３０…受信部、１１…並列／直列変換回路、１２…送信クロック生成回路、３１…直列／並列変換回路、３２…クロック再生回路、１００…送信部の出力回路、１０１…フリップフロップ、１０２…セレクタ、１０３…分周器、１０４…差動ドライバー、１０５…コンパレータ、１０６…同相電圧検出回路、３００，３００ａ…クロック再生回路、３０１…電圧制御発振器（ＶＣＯ）、３０２…ループフィルタ、３０３…位相比較回路、３０４…差動レシーバー、３０５…周波数比較回路、３０６…分周器、３０７…タイマー回路、３０８…差動ドライバー、３０９…同相ドライバー、３１０…フリップフロップ、３１１…位相比較器、３１２…ロック検出器、３１３…バイアス回路、ＧＮＤ…接地電位。

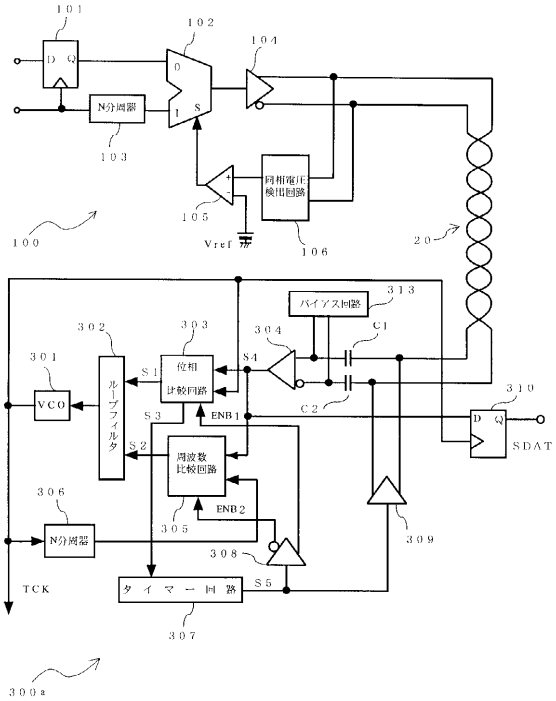
【図１】



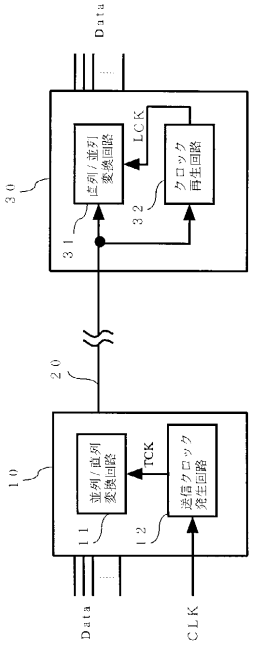
【図２】



【図３】


101
102
104
D Q
0
1 S
N分周器
103
同相電圧検出回路
105
Vref
106
100
20
313
バイアス回路
302
303
304
C1
301
S1
位相比較回路
S4
VCO
ループフィルタ
S3
ENB1
C2
310
D Q
SDAT
S2
周波数比較回路
306
ENB2
305
N分周器
308
309
TCK
タイマー回路
S5
307
300a

【図４】


Data
LCK
30
直列/並列変換回路
クロック再生回路
31
32
20
10
TCK
並列/直列変換回路
送信クロック発生回路
11
12
Data
CLK

フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H04L 25/38
H04L 7/033
H04L 25/02