(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 5 月 6 日(06.05.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/067585 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)
H01L 21/316 (2006.01) *H01L 51/50* (2006.01)
H01L 21/318 (2006.01) *H05B 33/22* (2006.01)

(21) 国際出願番号: PCT/JP2015/005358

(22) 国際出願日: 2015 年 10 月 26 日(26.10.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-220868 2014 年 10 月 29 日(29.10.2014) JP

(71) 出願人: 株式会社ＪＯＬＥＤ(JOLED INC.) [JP/JP]; 〒1010054 東京都千代田区神田錦町三丁目２３番地 Tokyo (JP).

(72) 発明者: 齊藤　徹(SAITOH, Tohru).

(74) 代理人: 吉川　修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島５丁目３番１０号タナカ・イトーピア新大阪ビル６階 新居国際特許事務所内 Osaka (JP).

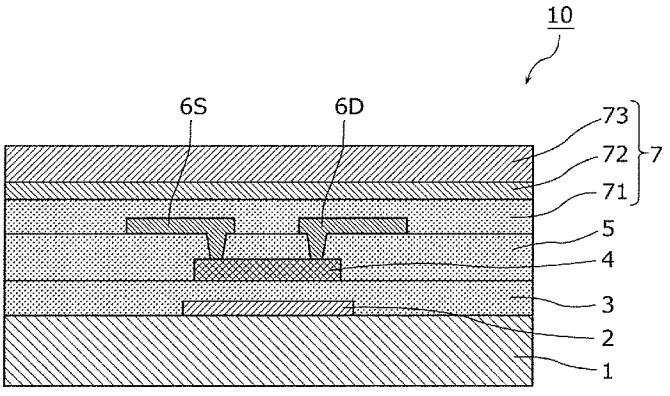
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: THIN FILM SEMICONDUCTOR DEVICE, ORGANIC EL DISPLAY DEVICE AND METHOD FOR MANUFACTURING THIN FILM SEMICONDUCTOR DEVICE

(54) 発明の名称 : 薄膜半導体装置、有機ＥＬ表示装置及び薄膜半導体装置の製造方法



(57) **Abstract**: This thin film semiconductor device comprises an oxide semiconductor layer (4), an insulating film (a third insulating film (73)), and a hydrogen barrier film (a second insulating film (72)) that is formed between the oxide semiconductor layer (4) and the insulating film and has hydrogen barrier properties that suppress permeation of hydrogen. The insulating film contains such an amount of hydrogen that can permeate through the hydrogen barrier film.

(57) 要約: 薄膜半導体装置は、酸化物半導体層（４）と、絶縁膜（第３の絶縁膜（７３））と、酸化物半導体層（４）と絶縁膜との間に形成された、水素の透過を抑制する水素バリア性を有する水素バリア膜（第２の絶縁膜（７２））とを有し、絶縁膜には、水素バリア膜を透過することができる量の水素が含まれている。

WO 2016/067585 A1

明　細　書

発明の名称 ：

薄膜半導体装置、有機ＥＬ表示装置及び薄膜半導体装置の製造方法

技術分野

[0001] 本開示は、薄膜半導体装置、有機ＥＬ表示装置及び薄膜半導体装置の製造方法に関し、特に、酸化物半導体層を有する薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）、この薄膜トランジスタの製造方法及びこの薄膜トランジスタを用いた有機ＥＬ表示装置に関する。

背景技術

[0002] 液晶表示装置や有機ＥＬ（Ｅｌｅｃｔｒｏ　Ｌｕｍｉｎｅｓｃｅｎｃｅ）表示装置等のアクティブマトリクス方式の表示装置では、スイッチング素子又は駆動素子としてＴＦＴが形成されたＴＦＴ基板が用いられる。例えば、特許文献１には、ＴＦＴ基板を用いたアクティブマトリクス方式の有機ＥＬ表示装置が開示されている。

[0003] ＴＦＴのチャネル層は、ゲート電極に印加される電圧によってキャリアの移動が制御されるチャネル領域を有する。チャネル層の材料としては、シリコン等の種々の半導体材料が検討されている。

[0004] 近年、透明アモルファス酸化物半導体（ＴＡＯＳ：Ｔｒａｎｓｐａｒｅｎｔ　Ａｍｏｒｐｈｏｕｓ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）等の酸化物半導体をチャネル層に用いた酸化物半導体ＴＦＴの開発が進められている。例えば、インジウム（Ｉｎ）、ガリウム（Ｇａ）及び亜鉛（Ｚｎ）の金属酸化物（ＩＧＺＯ）からなるＴＡＯＳをチャネル層に用いた酸化物半導体ＴＦＴが実用化されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２０１０－２７５８４号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、チャネル層が酸化物半導体によって構成されたＴＦＴでは、所望の性能を得ることが難しいという課題がある。

[0007] 本開示の技術は、所望の性能を有する薄膜半導体装置、有機ＥＬ表示装置及び薄膜半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、薄膜半導体装置の一態様は、酸化物半導体層と、絶縁膜と、前記酸化物半導体層と前記絶縁膜との間に形成された、水素の透過を抑制する水素バリア性を有する水素バリア膜とを有し、前記絶縁膜には、前記水素バリア膜を透過することができる量の水素が含まれていることを特徴とする。

[0009] また、薄膜半導体装置の製造方法の一態様は、酸化物半導体層を形成する工程と、絶縁膜を成膜する工程と、前記酸化物半導体層と前記絶縁膜との間に、水素の透過を抑制する水素バリア性を有する水素バリア膜を成膜する工程とを有し、前記絶縁膜には、前記水素バリア膜を透過することができる量の水素が含まれていることを特徴とする。

発明の効果

[0010] 所望の性能を有する薄膜半導体装置を実現できる。

図面の簡単な説明

[0011] [図1]図１は、実施の形態に係る薄膜トランジスタの断面図である。

[図2]図２は、ＴＦＴの製造方法を説明するための図である。

[図3]図３は、レジストを除去して酸化物半導体層が露出してから絶縁層で被覆するまでの待機時間とＴＦＴの閾値電圧との関係を示す図である。

[図4A]図４Ａは、実験で用いた３種類の窒化シリコン膜の成膜条件を示す図である。

[図4B]図４Ｂは、図４Ａの成膜条件で成膜した３種類の窒化シリコン膜の物性値を示す図である。

[図5]図５は、図４Ａの成膜条件で成膜した３種類の窒化シリコン膜を用いたＴＦＴにおいて、レジストを除去して酸化物半導体層が露出してから絶縁層で被覆するまでの待機時間とＴＦＴの閾値電圧との関係を示す図である。

[図6A]図６Ａは、比較例１の薄膜トランジスタにおける水素拡散を説明するための図である。

[図6B]図６Ｂは、図１に示す構造の実施の形態に係る薄膜トランジスタにおける水素拡散を説明するための図である。

[図6C]図６Ｃは、比較例２の薄膜トランジスタにおける水素拡散を説明するための図である。

[図7A]図７Ａは、実施の形態に係るＴＦＴの製造方法におけるゲート電極形成工程の断面図である。

[図7B]図７Ｂは、実施の形態に係るＴＦＴの製造方法におけるゲート絶縁層形成工程の断面図である。

[図7C]図７Ｃは、実施の形態に係るＴＦＴの製造方法における酸化物半導体膜成膜工程の断面図である。

[図7D]図７Ｄは、実施の形態に係るＴＦＴの製造方法におけるレジスト形成工程の断面図である。

[図7E]図７Ｅは、実施の形態に係るＴＦＴの製造方法における酸化物半導体膜加工工程の断面図である。

[図7F]図７Ｆは、実施の形態に係るＴＦＴの製造方法におけるレジスト除去工程の断面図である。

[図7G]図７Ｇは、実施の形態に係るＴＦＴの製造方法における絶縁層形成工程の断面図である。

[図7H]図７Ｈは、実施の形態に係るＴＦＴの製造方法におけるコンタクトホール形成工程の断面図である。

[図7I]図７Ｉは、実施の形態に係るＴＦＴの製造方法におけるソース電極及びドレイン電極形成工程の断面図である。

[図7J]図７Ｊは、実施の形態に係るＴＦＴの製造方法における絶縁層形成工

程の断面図である。

[図8]図８は、実施の形態に係る有機ＥＬ表示装置の一部切り欠き斜視図である。

[図9]図９は、実施の形態に係る有機ＥＬ表示装置のピクセルバンクの例を示す斜視図である。

[図10]図１０は、実施の形態に係る有機ＥＬ表示装置における画素回路の構成を示す電気回路図である。

発明を実施するための形態

[0012] 以下、本開示の一実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本開示の好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程（ステップ）、工程の順序等は、一例であって本開示を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

[0013] なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

[0014] （実施の形態）

以下の実施の形態では、酸化物半導体層を有する薄膜半導体装置の一例として、酸化物半導体層をチャネル層とする薄膜トランジスタについて説明する。

[0015] ［薄膜トランジスタの構成］

まず、実施の形態に係る薄膜トランジスタ１０の構成について、図１を用いて説明する。図１は、実施の形態に係る薄膜トランジスタの断面図である。

[0016] 図１に示すように、薄膜トランジスタ１０は、酸化物半導体をチャネル層とする酸化物半導体ＴＦＴであって、基板１と、ゲート電極２と、ゲート絶

縁層３と、酸化物半導体層４と、絶縁層５と、ソース電極６Ｓ及びドレイン電極６Ｄと、絶縁層７とを備える。本実施の形態における薄膜トランジスタ１０は、チャネル保護型でボトムゲート型のＴＦＴであり、また、トップコンタクト構造が採用されている。

[0017] 以下、本実施の形態に係る薄膜トランジスタ１０の各構成要素について詳述する。

[0018] 基板１は、絶縁材料からなる絶縁基板であり、例えば、石英ガラス、無アルカリガラス又は高耐熱性ガラス等のガラス材料で構成されるガラス基板である。基板１は、例えば、Ｇ８ガラス基板である。

[0019] なお、基板１は、ガラス基板に限らず、樹脂基板等であってもよい。また、基板１は、リジッド基板ではなく、フレキシブル基板であってもよい。また、基板１の表面にアンダーコート層を形成してもよい。

[0020] ゲート電極２は、金属等の導電性材料又はその合金等からなる導電膜の単層構造又は多層構造の電極であり、基板１の上方に所定形状で形成される。ゲート電極２の膜厚は、例えば、２０ｎｍ～５００ｎｍ程度である。

[0021] ゲート電極２の材料としては、例えば、モリブデン、アルミニウム、銅、タングステン、チタン、マンガン、クロム、タンタル、ニオブ、銀、金、プラチナ、パラジウム、インジウム、ニッケル、ネオジム等の金属、又は、これらの中から選ばれる金属の合金（例えばモリブデンタングステン）が用いられる。

[0022] なお、ゲート電極２の材料は、これらに限るものではなく、酸化インジウムスズ（ＩＴＯ）、アルミニウムドープ酸化亜鉛（ＡＺＯ）、ガリウムドープ酸化亜鉛（ＧＺＯ）等の導電性金属酸化物、又は、ポリチオフェンやポリアセチレン等の導電性高分子材料等を用いることもできる。また、膜の密着性を高めるために、酸化物との密着性が良い金属として、例えばチタン、アルミニウム、金等を用いて、これらの金属を挟んだ積層体をゲート電極２として用いることもできる。

[0023] ゲート絶縁層（ゲート絶縁膜）３は、ゲート電極２と酸化物半導体層４と

の間に配置される。本実施の形態において、ゲート絶縁層３は、ゲート電極２の上方に位置するように配置される。例えば、ゲート絶縁層３は、ゲート電極２が形成された基板１上の全面にゲート電極２を覆うように成膜される。ゲート絶縁層３の膜厚は、例えば５０ｎｍ～３００ｎｍ程度である。

[0024] ゲート絶縁層３は、電気絶縁性を有する材料から構成され、一例として、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜又は酸化ハフニウム膜等の単層膜、あるいは、これらの膜を複数積層した積層膜である。

[0025] 酸化物半導体層４は、ゲート電極２の上方において、ゲート絶縁層３上に所定形状で形成される。例えば、酸化物半導体層４は、ゲート絶縁層３上に島状に形成される。本実施の形態において、酸化物半導体層４は、薄膜トランジスタ１０のチャネル層である。つまり、酸化物半導体層４は、ゲート絶縁層３を挟んでゲート電極２と対向するチャネル領域を含む半導体層である。酸化物半導体層４の膜厚は、例えば、１０ｎｍ～２００ｎｍである。

[0026] 酸化物半導体層４は、酸化物半導体によって構成される。酸化物半導体層４は、例えば、インジウム（Ｉｎ）、ガリウム（Ｇａ）及び亜鉛（Ｚｎ）のうち少なくとも１種を含む酸化物半導体によって構成され、具体的には、酸化亜鉛（ZnO_x）、酸化インジウムガリウム（$InGaO_x$）、又は、酸化インジウムガリウム亜鉛（$InGaZnO_x$）等である。本実施の形態において、酸化物半導体層４は、透明アモルファス酸化物半導体（ＴＡＯＳ）であり、Ｉｎ、Ｇａ及びＺｎの金属酸化物である$InGaZnO_x$からなるＩＧＺＯ膜である。

[0027] $InGaZnO_X$の酸化物半導体は、例えば、$InGaO_3(ZnO)_4$組成を有する多結晶焼結体をターゲットとして、スパッタリング法やレーザー蒸着法等の気相成膜法により成膜することができる。

[0028] 絶縁層５（第１絶縁層）は、酸化物半導体層４上に配置される。具体的には、絶縁層５は、酸化物半導体層４を覆うようにゲート絶縁層３上に成膜される。本実施の形態において、絶縁層５は、酸化物半導体層４のチャネル領

域を保護する保護膜（チャネル保護層）として機能する。また、本実施の形態において、絶縁層５は、基板１の上方全面に形成された層間絶縁膜である。絶縁層５の膜厚は、例えば、５０ｎｍ～５００ｎｍ程度である。

[0029] 絶縁層５は、電気絶縁性を有する材料から構成され、一例として、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、酸化アルミニウム膜の単層膜、あるいは、これらの酸化膜の積層膜である。

[0030] また、絶縁層５には、当該絶縁層５の一部を貫通するように開口部（コンタクトホール）が形成されている。この絶縁層５の開口部を介して、酸化物半導体層４とソース電極６Ｓ及びドレイン電極６Ｄとが接続されている。

[0031] ソース電極６Ｓ及びドレイン電極６Ｄは、絶縁層５の上方に少なくとも一部が位置し、かつ、酸化物半導体層４と接続されるように所定形状で形成される。具体的には、ソース電極６Ｓ及びドレイン電極６Ｄは、絶縁層５上においては基板１に水平な方向（基板水平方向）に離間して互いに対向して配置されており、かつ、絶縁層５に形成された開口部を介して酸化物半導体層４に接続されている。ソース電極６Ｓ及びドレイン電極６Ｄの膜厚は、例えば１００ｎｍ～５００ｎｍ程度である。

[0032] ソース電極６Ｓ及びドレイン電極６Ｄは、導電性材料又はその合金等からなる導電膜の単層構造又は多層構造の電極である。ソース電極６Ｓ及びドレイン電極６Ｄの材料には、例えば、アルミニウム、タンタル、モリブデン、タングステン、銀、銅、チタン又はクロム等が用いられる。一例として、ソース電極６Ｓ及びドレイン電極６Ｄは、下から順に、モリブデン膜（Ｍｏ膜）、銅膜（Ｃｕ膜）及び銅マンガン合金膜（ＣｕＭｎ膜）が形成された３層構造の電極である。このように、ソース電極６Ｓ及びドレイン電極６Ｄとして低抵抗材料であるＣｕ膜を用いることによって、ソース電極６Ｓ及びドレイン電極６Ｄの低抵抗化を図ることができるとともに、ソース電極６Ｓ及びドレイン電極６Ｄと同層の配線の低抵抗化を図ることができる。

[0033] 絶縁層７（第２絶縁層）は、パッシベーション膜であり、ソース電極６Ｓ及びドレイン電極６Ｄを覆うように絶縁層５上に成膜される。本実施の形態

において、絶縁層７は、三層構造であり、第１の絶縁膜７１、第２の絶縁膜７２及び第３の絶縁膜７３によって構成されている。

[0034] 第１の絶縁膜７１は、ソース電極６Ｓ及びドレイン電極６Ｄを覆うように絶縁層５上に形成される。第１の絶縁膜７１は、ソース電極６Ｓ及びドレイン電極６Ｄとの密着性がよく、膜中に水素の含有量が少ない膜であるとよい。また、絶縁層７を層間絶縁膜として用いて当該絶縁層７にコンタクトホールを形成してソース電極６Ｓ及びドレイン電極６Ｄに配線や電極等を接続する場合もあるので、第１の絶縁膜７１は、さらに、エッチングによる加工性を確保できる膜であるとよい。そのため、第１の絶縁膜７１としては、例えば、酸化シリコン膜を用いるとよい。第１の絶縁膜７１の膜厚は、例えば５０ｎｍ～５００ｎｍ程度である。

[0035] 第２の絶縁膜７２は、酸化物半導体層４と第３の絶縁膜７３との間に形成される。本実施の形態において、第２の絶縁膜７２は、第１の絶縁膜７１の上に成膜される。また、第２の絶縁膜７２は、水素の透過を抑制する水素バリア性を有する水素バリア膜である。さらに、第２の絶縁膜７２は、第１の絶縁膜７１と同様に、エッチングによる加工性を確保できる膜であるとよい。そのため、第２の絶縁膜７２としては、例えば、酸化アルミニウム膜（アルミナ膜）を用いるとよい。

[0036] 本実施の形態における第２の絶縁膜７２として用いられる酸化アルミニウム膜は、膜密度が比較的に小さい膜質（つまり、膜質が粗）であり、酸化アルミニウム膜を透過しようとする水素は、一部が遮断され、一部が透過する。つまり、第２の絶縁膜７２は、水素を完全に遮断するのではなく水素を透過させることができる膜質の水素バリア膜である。このように、第２の絶縁膜７２として酸化アルミニウム膜を用いることによって、水素の量に応じて水素の透過と水素の遮断とを同時に実現できる性能を有する水素バリア膜を容易に実現できる。

[0037] このような第２の絶縁膜７２としては、膜密度が２．８０ｇ／ｃｍ^{3}以上３．２５ｇ／ｃｍ^{3}以下の酸化アルミニウム膜を用いることができる。なお、酸

化アルミニウム膜の膜密度を２．８０ｇ／ｃｍ^{3}以上にすることで、上記の水素バリア性を得ることができる。また、酸化アルミニウム膜の膜密度を３．２５ｇ／ｃｍ^{3}以下にすることで、エッチングによる加工性を確保することができる。水素バリア性及び加工性の観点から、酸化アルミニウム膜の膜密度は、さらに、２．８５ｇ／ｃｍ^{3}以上２．９５ｇ／ｃｍ^{3}以下であるとよい。

[0038] なお、膜密度が２．８０ｇ／ｃｍ^{3}以上３．２５ｇ／ｃｍ^{3}以下の範囲の酸化アルミニウム膜を成膜するには、酸化アルミニウム膜の膜厚については３ｎｍ以上３０ｎｍ以下であるとよく、また、酸化アルミニウム膜の屈折率については１．５８以上１．６６以下であるとよい。

[0039] また、酸化アルミニウム膜はＡｌＯ$_x$の組成式で表されるが、酸素原子数ｘは、１．５＜ｘ＜２．０であるとよい。化学量論的組成の酸化アルミニウム膜はＡｌ$_2$Ｏ$_3$であり、酸素原子数ｘは１．５である。この場合、Ａｌ$_2$Ｏ$_3$の酸化アルミニウム膜は結晶構造である。一方、酸素原子数ｘが１．５＜ｘ＜２．０である酸化アルミニウム膜（ＡｌＯ$_x$）では、当該酸化アルミニウム膜を構成する酸化アルミニウムが、アモルファス構造であり、膜質が粗である。なお、酸化アルミニウム膜は、膜内に含まれる酸素原子が多いほど、ウェットエッチングする際に用いられるエッチング液（例えば、リン酸（ＨＰＯ$_4$）、硝酸（ＨＮＯ$_3$）、酢酸（ＣＨ$_3$ＣＯＯＨ）及び水を混合した薬液）と反応しやすくなる。そのため、酸化アルミニウムがアモルファス構造となっている酸化アルミニウム膜の方が、結晶構造の酸化アルミニウム膜よりもエッチングに対する加工性が向上する。したがって、ＡｌＯ$_x$で表される酸化アルミニウム膜において、酸素原子数ｘは、１．５＜ｘ＜２．０であるとよく、１．７９≦ｘ≦１．８５がより好ましい。

[0040] 第３の絶縁膜７３は、第２の絶縁膜７２の上に成膜される。第３の絶縁膜７３には、第２の絶縁膜７２（水素バリア膜）を透過することができる量の水素が含まれている。つまり、第３の絶縁膜７３は、高水素膜である。本実施の形態における第３の絶縁膜７３は、シリコン及び窒素を含む化合物によって構成されており、具体的には窒化シリコンで構成されている。

[0041] 窒化シリコンからなる第３の絶縁膜７３において、Ｎ－Ｈ結合の濃度に対するＳｉ－Ｈ結合の濃度の比（Ｓｉ－Ｈ／Ｎ－Ｈ）は、０．３よりも大きく（Ｓｉ－Ｈ／Ｎ－Ｈ＞０．３）、さらに、０．４よりも大きい（Ｓｉ－Ｈ／Ｎ－Ｈ＞０．４）方がよい。

[0042] また、第３の絶縁膜７３は、下層への水分や酸素の進入を抑制するために、水分等に対してバリア性を有する膜であるとよく、さらに、第１の絶縁膜７１と同様に、エッチングによる加工性を確保できる膜であるとよい。そのため、第３の絶縁膜７３としては、例えば、窒化シリコン膜又は酸窒化シリコン膜の単層膜、あるいは、これらの膜を複数積層した積層膜を用いるとよい。第３の絶縁膜７３の膜厚は、例えば５０ｎｍ～７００ｎｍ程度である。

[0043] 本実施の形態における絶縁層７では、第１の絶縁膜７１として酸化シリコン膜を用い、第２の絶縁膜７２として酸化アルミニウム膜を用い、第３の絶縁膜７３として窒化シリコン膜を用いている。

[0044] ［本開示の特徴］

次に、本開示の特徴について、本開示の知見を得るに至った経緯も含めて詳細に説明する。

[0045] ＴＦＴは、例えば図２に示される方法で形成される。図２は、ＴＦＴの製造方法を説明するための図である。

[0046] 図２の（ａ）に示すように、基板１上に形成されたゲート電極２を覆うようにゲート絶縁層３を成膜する。ゲート絶縁層３は、例えば酸化シリコン膜であり、プラズマＣＶＤＣｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法によって成膜することができる。

[0047] 次に、図２の（ｂ）に示すように、ゲート絶縁層３の上に酸化物半導体膜４ａを成膜する。例えば、酸化物半導体膜４ａとしてＩＧＺＯ膜をスパッタリング法によってゲート絶縁層３の全面に成膜する。

[0048] 次に、図２の（ｃ）に示すように、酸化物半導体膜４ａ上に所定形状のレジストＲを形成する。レジストＲは例えば感光性樹脂材料であり、酸化物半導体膜４ａの全面に形成したレジスト膜を露光及び現像することによって所

定形状のレジストＲを形成することができる。

[0049] 次に、図２の（ｄ）に示すように、レジストＲをマスクとして酸化物半導体膜４ａをエッチングすることで酸化物半導体膜４ａを所定の形状に加工する。これにより、ゲート電極２と対向する位置に島状の酸化物半導体層４を形成することができる。エッチングは、例えばウェットエッチングである。

[0050] 次に、図２の（ｅ）に示すように、レジストＲを除去する。このとき、レジストＲを除去することによって酸化物半導体層４の表面が露出する。

[0051] 次に、図２の（ｆ）に示すように、酸化物半導体層４を覆うようにゲート絶縁層３の上に酸化シリコン膜等の絶縁層５を成膜する。

[0052] 次に、図２の（ｇ）に示すように、絶縁層５にコンタクトホールを形成して、金属膜を成膜してエッチング加工することによって、ソース電極６Ｓ及びドレイン電極６Ｄを形成する。

[0053] 次に、図２の（ｈ）に示すように、ソース電極６Ｓ及びドレイン電極６Ｄを覆うように絶縁層５の上に絶縁層７Ａを形成する。具体的には、絶縁層７Ａとして、第１の絶縁膜７１Ａ、第２の絶縁膜７２Ａ及び第３の絶縁膜７３Ａを順次成膜する。例えば、第１の絶縁膜７１Ａとして酸化シリコン膜を成膜し、第２の絶縁膜７２Ａとして酸化アルミニウム膜を成膜し、第３の絶縁膜７３Ａとして窒化シリコン膜を成膜する。

[0054] ＴＦＴは、このようにして製造することができるが、図２における酸化物半導体膜４ａの加工プロセスにおいては、酸化物半導体層４が露出してから絶縁層５を被覆するまでの間の待機時間が存在する。待機中は、大気中に放置され、製造途中の膜表面が大気に曝される。

[0055] 本願発明者は、この待機時間がＴＦＴの閾値電圧（Ｖｔｈ）に影響を及ぼすのではないかと考え、待機時間とＴＦＴの閾値電圧との依存性について実験を行った。その結果を図３に示す。

[0056] 図３は、図２に示す方法で製造したＴＦＴに関するデータであり、レジストＲを除去して酸化物半導体層４が露出してから絶縁層５で被覆するまでの待機時間とＴＦＴの閾値電圧との関係を示している。なお、図３では、酸化

物半導体膜４ａとしてＩＧＺＯ膜を用いている。

[0057] 図３に示すように、成膜した酸化物半導体膜４ａをエッチング加工した後にレジストＲを除去して酸化物半導体層４を露出（図２（ｅ））させてから酸化物半導体層４を絶縁層５で被覆するまでの待機時間と、当該酸化物半導体層４を用いたＴＦＴの閾値電圧との間には相関があることが分かった。

[0058] 具体的には、酸化物半導体層４が露出してから当該酸化物半導体層４を絶縁層５で被覆するまでの待機時間（酸化物半導体層４の表面露出時間）が増加するに従って、ＴＦＴの閾値電圧（Ｖｔｈ）が増加することが分かった。ＴＦＴの閾値電圧の増加は、表示パネルの表示均一性や信頼性の低下が低下を引き起こし、また、消費電力の増大を引き起こす。

[0059] そこで、本願発明者は、この問題を解決する手段について鋭意検討した結果、図２における絶縁層７Ａの第３の絶縁膜７３Ａ（ＳｉＮ）に含まれる水素の量を調整することによって、ＴＦＴの閾値電圧を制御できるのではないかと考えて、第３の絶縁膜７３Ａ（ＳｉＮ）について実験を行った。

[0060] 具体的には、物性値の異なる第３の絶縁膜７３Ａ（ＳｉＮ）を用いて、図３のように、酸化物半導体層４を露出させてから酸化物半導体層４を絶縁層５で被覆するまでの待機時間と、当該酸化物半導体層４を用いたＴＦＴの閾値電圧との関係を調べた。なお、この実験では、酸化物半導体膜４ａとしてＩＧＺＯ膜を用いている。

[0061] 図４Ａは、そのときに用いた３種類の第３の絶縁膜７３Ａの成膜条件を示している。試料１、試料２及び試料３は、いずれも窒化シリコン膜（ＳｉＮ）であり、平行平板型ＲＦプラズマＣＶＤ装置を用いて成膜した。

[0062] 図４Ａに示す成膜条件（数値）は、試料１の成膜条件を「１」として規格化したものであり、試料１、２、３の成膜条件は相対比で示している。なお、成膜温度は、いずれも同じにしている。

[0063] 図４Ａに示すように、試料１の成膜条件は、高応力で低水素の膜質の窒化シリコン膜を成膜するための条件であり、試料２の成膜条件は、低応力で高水素の膜質の窒化シリコン膜を成膜するための条件であり、試料３の成膜条

件は、低応力で低水素の膜質の窒化シリコン膜を成膜するための条件である。このように、高水素膜（試料２）は、低水素膜（試料１、試料３）に対して、SiH_4／NH_3流量比、ＲＦパワー及び圧力を増加させることで作製することができる。

[0064] 図４Ｂは、図４Ａの成膜条件で得られた、試料１、試料２及び試料３の３種類の第３の絶縁膜７３Ａ（ＳｉＮ）の物性値を示している。

[0065] 図４Ｂにおいて、「Ｓｉ－Ｈ」は、シリコンと水素との結合（Ｓｉ－Ｈ結合）であり、その値は、窒化シリコン膜におけるＳｉ－Ｈ結合の濃度を示している。同様に、「Ｎ－Ｈ」は、窒素と水素との結合（Ｎ－Ｈ結合）であり、その値は、窒化シリコン膜におけるＮ－Ｈ結合の濃度を示している。なお、「Ｓｉ－Ｈ」及び「Ｎ－Ｈ」は、フーリエ変換赤外分光光度計（ＦＴＩＲ：Ｆｏｕｒｉｅｒ Ｔｒａｎｓｆｏｒｍ Ｉｎｆｒａｒｅｄ Ｓｐｅｃｔｒｏｓｃｏｐｙ）によって測定した。

[0066] 図４Ｂに示すように、高水素の窒化シリコン（試料２）は、窒化シリコン膜におけるＳｉ－Ｈ結合の濃度が大きくなっており、低水素の窒化シリコン（試料１、試料３）と比べて、Ｎ－Ｈ結合の濃度に対するＳｉ－Ｈ結合の濃度の比（Ｓｉ－Ｈ／Ｎ－Ｈ）の値が大きいことが分かる。

[0067] 具体的には、高水素の窒化シリコン（試料２）では、Ｓｉ－Ｈ／Ｎ－Ｈ＞０．４であり、低水素の窒化シリコン（試料１、試料３）では、Ｓｉ－Ｈ／Ｎ－Ｈ＜０．１であり、高水素の窒化シリコン（試料２）は、低水素の窒化シリコン（試料１、試料３）に対して、Ｓｉ－Ｈ／Ｎ－Ｈが５倍以上になっている。

[0068] 図５は、試料１、試料２及び試料３の各試料を用いて作製したＴＦＴについて、レジストＲを除去して酸化物半導体層４が露出してから絶縁層５で被覆するまでの待機時間とＴＦＴの閾値電圧との関係を示している。

[0069] 図５に示すように、低水素で高応力の膜質である窒化シリコン（試料１）については、待機時間が増加するに従ってＴＦＴの閾値電圧が増加していくことが分かる。また、低水素で低応力の膜質である窒化シリコン（試料３）

についても、待機時間が増加するに従ってＴＦＴの閾値電圧が増加していくことが分かる。つまり、膜応力の大小にかかわらず、低水素の窒化シリコンは、待機時間が増加するに従ってＴＦＴの閾値電圧が増加すると考えられる。

[0070] 一方、高水素で低応力の膜質である窒化シリコン（試料２）については、待機時間が増加してもＴＦＴの閾値電圧があまり変化せず、むしろ、待機時間が増加するに従ってＴＦＴの閾値電圧が徐々に低下していき、その後飽和することが分かる。

[0071] 図５に示す結果から、窒化シリコン膜である第３の絶縁膜７３は、低水素（Ｓｉ－Ｈ／Ｎ－Ｈ＜０．１）の場合は待機時間の増加に伴って閾値電圧が上昇するが、高水素（Ｓｉ－Ｈ／Ｎ－Ｈ＞０．４）の場合は待機時間の増加に伴って緩やかに減少し、その後飽和する。

[0072] 本願発明者は、この結果について検討した結果、以下の理由でＴＦＴの閾値電圧が変化していることが分かった。この理由について、図６Ａ、図６Ｂ及び図６Ｃを用いて説明する。図６Ａは、比較例１の薄膜トランジスタにおける水素拡散を説明するための図である。図６Ｂは、図１に示す構造の実施の形態に係る薄膜トランジスタにおける水素拡散を説明するための図である。図６Ｃは、比較例２の薄膜トランジスタにおける水素拡散を説明するための図である。

[0073] 酸化物半導体ＴＦＴでは、酸化物半導体層の上方に形成されるパッシベーション膜として窒化シリコン膜を用いる場合、信頼性確保の観点から、通常、低水素の窒化シリコン膜が用いられる。これは、窒化シリコン膜に含まれる水素が熱工程等で酸化物半導体層に進入して酸化物半導体層に水素ダメージを与えることを抑制するためである。酸化物半導体層が水素ダメージを受けるとＴＦＴの閾値電圧が変動することになる。つまり、窒化シリコン膜においてＳｉ－Ｈ結合が多いと水素が拡散しやすいので、一般的には、Ｓｉ－Ｈ結合を以下に低く抑えるかが重要であると考えられており、これが当業者の技術常識となっている。

[0074] しかも、窒化シリコン膜中の水素が下層に拡散することをさらに防止するために、図６Ａに示すように、酸化物半導体層４と第３の絶縁膜７３Ｊ（窒化シリコン膜）との間に、第２の絶縁膜７２として水素バリア膜である酸化アルミニウムを挿入することも考えられている。これにより、第３の絶縁膜７３Ｊ（窒化シリコン膜）から拡散する水素を、第２の絶縁膜７２（酸化アルミニウム膜）によってブロックできるので、水素による酸化物半導体層４のダメージを防止できると考えられてきた。

[0075] このように、これまでは、酸化物半導体層の上方のパッシベーション膜としては低水素の窒化シリコン膜を用いて、かつ、窒化シリコン膜と酸化物半導体層との間に水素バリア膜を導入していた。

[0076] しかしながら、実際に図６Ａの構造の薄膜トランジスタを作製してみると、十分なＴＦＴ特性を得ることができていない。本願発明者は、この点について鋭意検討したところ、酸化物半導体層４の表面露出時間が閾値電圧に影響を与えていることをつきとめた。この点について、以下詳細に説明する。

[0077] 上記図２に示されるように、酸化物半導体膜をエッチング加工して酸化物半導体層４を形成する場合、エッチング加工直後（図２（ｄ））の酸化物半導体層４（ＩＧＺＯ膜）では、Ｉｎ、Ｇａ及びＺｎはそれぞれ均等な割合で酸素と結合するとともに均等な割合で酸素欠損が生成される。つまり、エッチング加工直後の酸化物半導体層４は均一組成の膜質となっている。

[0078] しかしながら、その後、図２（ｅ）に示すように、酸化物半導体層４上のレジストＲが除去されて酸化物半導体層４が大気に放置されると、酸化物半導体層４の表面が大気に曝される。これにより、図６Ａに示すように、酸化物半導体層４の表面層として、ガリウム（Ｇａ）が過剰に含まれるＧａ過剰層（Ｇａリッチ層）４１が生成されることが分かった。

[0079] これは、Ｇａ－Ｏ結合がＩｎ－Ｏ結合及びＺｎ－Ｏ結合よりも強いために、酸化物半導体層４の表面においてＧａの酸素欠損がＩｎ及びＺｎより優先的に埋まり、また、Ｉｎ及びＺｎからＧａが酸素を奪った結果、酸化物半導体層４の表面にＧａ－Ｏ結合が増加したからであると考えられる。

[0080] なお、Ｇａ－Ｏ結合の結合エネルギーは３７４（ｋＪｍｏｌ$^{-1}$）であり、Ｉｎ－Ｏ結合の結合エネルギーは３４６（ｋＪｍｏｌ$^{-1}$）であるが、Ｚｎ－Ｏ結合の結合エネルギーは２５０（ｋＪｍｏｌ$^{-1}$）未満である。また、Ｇａ過剰層４１は、酸化物半導体層４の表面に局所的に発生しているとも考えられる。

[0081] このように、酸化物半導体層４の表面層としてＧａ過剰層４１が生成すると、酸化物半導体層４の組成が変化して、ＴＦＴの閾値電圧（Ｖｔｈ）が正シフトする。この結果、上記の図３に示すような結果になったと考えられる。つまり、酸化物半導体層４の表面露出時間（待機時間）の増大がＴＦＴの閾値電圧の増加につながっていると考えられる。

[0082] そこで、本願発明者は、鋭意検討した結果、水素バリア膜の上層の絶縁膜（窒化シリコン膜）を高水素膜にすることによって上記の待機時間（酸化物半導体層４の表面露出時間）の増加に伴う閾値電圧の増加を緩和できることを見出した。

[0083] つまり、酸化物半導体層と絶縁膜との間に水素バリア膜が形成された構造の薄膜半導体装置において、当該絶縁膜に含まれる水素の量を制御することによって、ＴＦＴの閾値電圧を制御できることを見出した。その原理を図６Ｂを用いて説明する。

[0084] 図６Ｂに示すように、本実施の形態における薄膜トランジスタでは、第３の絶縁膜７３として、水素バリア膜である第２の絶縁膜７２を透過することができる量の水素を含む絶縁膜を用いている。つまり、第３の絶縁膜７３は、第２の絶縁膜７２（水素バリア膜）でブロックされる水素と第２の絶縁膜７２（水素バリア膜）を透過する水素とが存在するような量の水素を含んでいる。

[0085] 具体的には、第２の絶縁膜７２として、図４Ａの試料２の成膜条件で成膜した窒化シリコン膜を用いている。したがって、第２の絶縁膜７２は、図４Ｂの試料２の物性値を有する高水素で低応力の窒化シリコン膜（Ｓｉ－Ｈ／Ｎ－Ｈ＞０．４）である。

[0086] これにより、図６Ｂに示すように、第３の絶縁膜７３（窒化シリコン膜）に含まれる水素が熱工程等によって拡散した場合、一部の水素は水素バリア膜である第２の絶縁膜７２でブロックされるが、他の一部の水素は水素バリア膜である第２の絶縁膜７２を透過することになる。そして、第２の絶縁膜７２を透過した水素は、酸化物半導体層４の表面に生成するＧａ過剰層４１を還元する。つまり、第２の絶縁膜７２を透過した水素によって、Ｇａ過剰層４１における過剰酸化物が還元される。この結果、酸化物半導体層４の表面が改質されて、Ｇａ過剰層４１によって変動した閾値電圧の特性が元に戻り、閾値電圧が正常化する。

[0087] このように、酸化物半導体層４の上方に形成する絶縁膜（パッシベーション膜）については、通常、低水素の窒化シリコン膜（Ｓｉ－Ｈ／Ｎ－Ｈ＜０．１）を用いるが、本実施の形態における薄膜トランジスタでは、あえて高水素（Ｓｉ－Ｈ／Ｎ－Ｈ＞０．４）の窒化シリコン膜を用いている。これにより、酸化物半導体層４の表面露出時間（待機時間）の増加に伴う閾値変動の増加を抑制することができる。

[0088] なお、図６Ｃに示すように、本実施の形態における薄膜トランジスタにおいて、水素バリア膜である第２の絶縁膜７２（酸化アルミニウム膜）を成膜しない構造も考えられる。しかしながら、この場合、第３の絶縁膜７３（窒化シリコン膜）に含まれる水素が熱工程等によって拡散すると、ブロックされることなく一斉に拡散した多量の水素によってＧａ過剰層４１の過剰酸化物が還元されるだけではなく、本来の酸化物半導体層４中の酸化物も還元されてしまうおそれがある。この結果、酸化物半導体層４が導通化して、ＴＦＴとして本来の動作が得られなくなる可能性がある。

[0089] したがって、図６Ｂに示すように、酸化物半導体層４と水素を含有する絶縁膜（第３の絶縁膜７３）との間には、水素バリア性を有する水素バリア膜（第２の絶縁膜７２）を挿入することが望まれる。つまり、第３の絶縁膜７３の高水素化に伴うＴＦＴ信頼性低下の副作用については、酸化物半導体層４と絶縁膜（第３の絶縁膜７３）との間に水素バリア膜を挿入することで、

絶縁膜（第３の絶縁膜７３）から水素が拡散しすぎることを抑制するとよい。

[0090] このように、本願発明者は、絶縁膜（第３の絶縁膜７３）に含まれる水素の量を制御することによってＴＦＴの閾値電圧を制御できることを見出した。

[0091] ［薄膜トランジスタ基板の製造方法］

次に、実施の形態に係る薄膜トランジスタ１０の製造方法について、図７Ａ～図７Ｊを用いて説明する。図７Ａ～図７Ｊは、実施の形態に係る薄膜トランジスタの製造方法における各工程の断面図である。

[0092] まず、図７Ａに示すように、基板１を準備して、当該基板１の上方に所定形状のゲート電極２を形成する。例えば、基板１としてガラス基板を準備して、ガラス基板の上にゲート金属膜をスパッタリング法によって成膜し、フォトリソグラフィ法及びウェットエッチング法を用いてゲート金属膜を加工することにより、所定形状のゲート電極２を形成する。なお、基板１の表面にアンダーコート層が形成されている場合には、アンダーコート層上にゲート電極２を形成する。

[0093] 次に、図７Ｂに示すように、ゲート電極２上にゲート絶縁層３を形成する。例えば、ゲート電極２を覆うようにして基板１の上方全面に成膜する。ゲート絶縁層３は、例えば、酸化シリコン膜である。この場合、シランガス（SiH_4）及び亜酸化窒素ガス（N_2O）を導入ガスに用いて、プラズマＣＶＤ法によって酸化シリコン膜を成膜することができる。

[0094] なお、ゲート絶縁層３は、単層膜でもよいが、積層膜としてもよい。例えば、ゲート絶縁層３として、窒化シリコン膜と酸化シリコン膜とを順に成膜した積層膜を用いることができる。窒化シリコン膜は、例えば、シランガス（SiH_4）、アンモニアガス（NH_3）及び窒素ガス（N_2）を導入ガスに用いて、プラズマＣＶＤ法によって成膜することができる。

[0095] 次に、図７Ｃに示すように、基板１の上方に酸化物半導体膜４ａを成膜する。具体的には、ゲート絶縁層３の上に酸化物半導体膜４ａを成膜する。酸

化物半導体膜４ａは、例えば、ＩｎＧａＺｎＯ$_X$からなるＩＧＺＯ膜であり、スパッタリング法によって成膜することができる。

[0096] 具体的には、スパッタリングターゲットとして、例えば、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１の組成比である、Ｉｎ、Ｇａ及びＺｎからなる酸化物半導体（Ｉｎ－Ｇａ－Ｚｎ－Ｏ）を用いて、酸素雰囲気でスパッタリングする。この場合、真空チャンバー内に不活性ガスとしてアルゴン（Ａｒ）ガスを流入するとともに反応性ガスとして酸素（Ｏ$_2$）を含むガスを流入し、所定のパワー密度の電圧をターゲット材に印加する。これにより、ゲート絶縁層３の上に、アモルファスのＩＧＺＯ膜からなる酸化物半導体膜４ａを成膜することができる。

[0097] 次に、図７Ｄ～図７Ｆに示すように、酸化物半導体膜４ａをパターニングすることによって所定形状の酸化物半導体層４を形成する。酸化物半導体膜４ａのパターニングは、フォトリソグラフィ法及びエッチング法を用いて行うことができる。

[0098] 具体的には、まず、酸化物半導体膜４ａ上に図７Ｄに示すように、酸化物半導体膜４ａ上に所定形状のレジストＲを形成する。レジストＲは例えば感光性樹脂材料であり、酸化物半導体膜４ａの全面に形成したレジスト膜を露光及び現像することによって所定形状のレジストＲを形成することができる。具体的には、少なくともゲート電極２に対向する位置にレジストＲを残すようにしてレジスト膜を露光及び現像して加工する。

[0099] 次に、図７Ｅに示すように、レジストＲをマスクとして酸化物半導体膜４ａをエッチングする。これにより、レジストＲが形成されていない領域の酸化物半導体膜４ａがエッチングによって除去されて酸化物半導体膜４ａが加工され、所定形状の酸化物半導体層４を形成することができる。具体的には、ゲート電極２に対向する位置を含むように、島状の酸化物半導体層４が形成される。

[0100] エッチングは、例えばウェットエッチングである。この場合、酸化物半導体膜４ａがＩＧＺｏ膜である場合、エッチング液としては、例えば、リン酸

（H_3PO_4）、硝酸（HNO_3）、酢酸（CH_3COOH）及び水を混合した薬液を用いればよい。

[0101] 次に、図７Ｆに示すように、レジストＲを除去（剥離）する。レジストＲは、剥離液によって除去することができる。このとき、レジストＲを除去することによって酸化物半導体層４の表面が露出する。これにより、所定形状の酸化物半導体層４を形成することができる。

[0102] 次に、図７Ｇに示すように、酸化物半導体層４の上に絶縁層５を成膜する。本実施の形態では、酸化物半導体層４を覆うようにしてゲート絶縁層３上に全面に絶縁層５を成膜する。

[0103] 絶縁層５は、例えば、酸化シリコン膜である。この場合、シランガス（SiH_4）及び亜酸化窒素ガス（N_2O）を導入ガスに用いて、プラズマＣＶＤ法によって酸化シリコン膜を成膜することができる。

[0104] 次に、図７Ｈに示すように、絶縁層５にコンタクトホールＣＨ（開口部）を形成する。例えば、酸化物半導体層４の一部が露出するように、フォトリソグラフィ法及びエッチング法を用いて絶縁層５の一部を除去してコンタクトホールＣＨを形成する。

[0105] 例えば、絶縁層５が酸化シリコン膜である場合、反応性イオンエッチング（ＲＩＥ）法によるドライエッチング法によって酸化シリコン膜にコンタクトホールＣＨを形成することができる。この場合、エッチングガスとしては、例えば、四フッ化炭素（CF_4）及び酸素ガス（O_2）を用いることができる。なお、コンタクトホールＣＨは、酸化物半導体層４のソースコンタクト領域及びドレインコンタクト領域となる領域上に形成する。

[0106] 次に、図７Ｉに示すように、酸化物半導体層４に接続するように所定形状のソース電極６Ｓ及びドレイン電極６Ｄを形成する。具体的には、絶縁層５のコンタクトホールＣＨを埋めるようにして絶縁層５上にソースドレイン金属膜をスパッタリング法で成膜し、その後、フォトリソグラフィ法及びエッチング法を用いてソースドレイン金属膜を加工することで、所定形状のソース電極６Ｓ及びドレイン電極６Ｄを形成することができる。

[0107] なお、ソースドレイン金属膜としては、Ｍｏ膜、Ｃｕ膜及びＣｕＭｎ膜の３層構造の金属膜を用いることができる。また、Ｍｏ膜、Ｃｕ膜及びＣｕＭｎ膜からなるソースドレイン金属膜のウェットエッチングは、例えば、過酸化水素水（H_2O_2）及び有機酸を混合した薬液を用いて行うことができる。

[0108] 次に、図７Ｊに示すように、ソース電極６Ｓ及びドレイン電極６Ｄが形成された基板１上に絶縁層７を形成する。本実施の形態では、第１の絶縁膜７１、第２の絶縁膜７２及び第３の絶縁膜７３の３層構造の絶縁層７を形成する。一例として、第１の絶縁膜７１は、酸化シリコン膜であり、第２の絶縁膜７２は酸化アルミニウム膜であり、第３の絶縁膜７３は、窒化シリコン膜であり、これらが順に堆積されている。

[0109] 具体的には、酸化シリコン膜である第１の絶縁膜７１は、例えばプラズマＣＶＤ等によって成膜することができる。

[0110] 酸化アルミニウム膜である第２の絶縁膜７２は、例えばスパッタリング法により成膜する。例えば、ターゲットとしてアルミニウムを用いて、プロセスガスとしてアルゴンガスと酸素ガス等を用いてスパッタリングを行うことで、酸化アルミニウム膜を成膜することができる。なお、酸化アルミニウムをターゲットとして用いてもよい。この場合、プロセスガスにはアルゴンガスが用いられる。

[0111] 窒化シリコン膜である第３の絶縁膜７３は、例えばプラズマＣＶＤ等によって成膜することができる。本実施の形態では、図４Ａの試料２の成膜条件で窒化シリコン膜を成膜した。したがって、第３の絶縁膜７３は、高水素の窒化シリコン膜であり、少なくとも第２の絶縁膜７２（酸化アルミニウム膜）を透過することができる量の水素が含まれている。

[0112] 以上により、薄膜トランジスタ１０を作製することができる。なお、その後、必要に応じて、絶縁層７にコンタクトホールを形成して電極や配線を形成したり、さらに、絶縁層７の上にパッシベーション膜を形成したりしてもよい。また、酸化物半導体層４の酸素欠損を修復して酸化物半導体層４の特性を安定化させるために２９０℃を越える温度で熱処理（アニール処理）を

行ってもよい。

[0113] ［まとめ］

以上説明したように、本実施の形態に係る薄膜トランジスタ１０によれば、酸化物半導体層４と、絶縁膜（第３の絶縁膜７３）と、酸化物半導体層４と絶縁膜（第３の絶縁膜７３）との間に形成された水素バリア膜（第２の絶縁膜７２）とを有し、絶縁膜（第３の絶縁膜７３）には水素バリア膜（第２の絶縁膜７２）を透過することができる量の水素が含まれている。

[0114] これにより、絶縁膜（第３の絶縁膜７３）に含まれる水素の一部が水素バリア膜（第２の絶縁膜７２）を透過して酸化物半導体層４の表面を改質して本来の状態に戻すことができる。この結果、レジストＲを除去して酸化物半導体層４が露出してから絶縁層５で被覆するまでの待機時間（酸化物半導体層４の表面露出時間）の増大に伴ってＴＦＴの閾値電圧が増大することを抑制できる。したがって、所望の性能を有する薄膜トランジスタ１０を実現できる。

[0115] また、本実施の形態に係る薄膜トランジスタ１０において、絶縁膜（第３の絶縁膜７３）は、シリコン及び窒素を含む化合物（例えば窒化シリコン）によって構成されており、絶縁膜（第３の絶縁膜７３）におけるＮ－Ｈ結合の濃度に対するＳｉ－Ｈ結合の濃度の比は、０．３よりも大きい。つまり、絶縁膜（第３の絶縁膜７３）は、水素を多く含む高水素膜である。

[0116] これにより、水素バリア膜（第２の絶縁膜７２）を透過して酸化物半導体層４の表面を改質できるだけの水素を含む絶縁膜（第３の絶縁膜７３）を得ることができるので、所望の性能を有する薄膜トランジスタ１０を容易に実現できる。

[0117] また、本実施の形態に係る薄膜トランジスタ１０において、水素バリア膜である第２の絶縁膜７２は、酸化アルミニウム膜である。

[0118] これにより、絶縁膜（第３の絶縁膜７３）から拡散してくる水素の量に応じて水素の透過と水素の遮断とを同時に作用させることのできる水素バリア膜を実現することができる。

[0119] また、本実施の形態に係る薄膜トランジスタ１０において、酸化アルミニウム膜である第２の絶縁膜７２の膜密度は、２．８０ｇ／ｃｍ^{3}以上３．２５ｇ／ｃｍ^{3}以下である。

[0120] これにより、水素の透過と水素の遮断とを同時に実現できる性能の水素バリア膜を確実に実現することができる。

[0121] ［有機ＥＬ表示装置］

次に、上記の実施の形態に係る薄膜トランジスタ１０を表示装置に適用した例について、図８及び図９を用いて説明する。なお、本実施の形態では、有機ＥＬ表示装置への適用例について説明する。

[0122] 図８は、実施の形態に係る有機ＥＬ表示装置の一部切り欠き斜視図である。図９は、実施の形態に係る有機ＥＬ表示装置のピクセルバンクの例を示す斜視図である。上述の薄膜トランジスタ１０は、有機ＥＬ表示装置におけるアクティブマトリクス基板のスイッチング素子又は駆動素子として用いることができる。

[0123] 図８及び図９に示すように、有機ＥＬ表示装置１００は、複数個の薄膜トランジスタ（不図示）が配置されたＴＦＴ基板（ＴＦＴアレイ基板）１１０と、下部電極である陽極１３１、有機材料からなる発光層であるＥＬ層１３２及び透明な上部電極である陰極１３３からなる有機ＥＬ素子（発光部）１３０との積層構造により構成される。

[0124] 本実施の形態における有機ＥＬ表示装置１００は、トップエミッション型であり、陽極１３１は反射電極である。なお、有機ＥＬ表示装置１００は、トップエミッション型に限るものではなく、ボトムエミッション型としてもよい。

[0125] ＴＦＴ基板１１０には複数の画素１２０がマトリクス状に配置されており、各画素１２０には画素回路が設けられている。

[0126] 有機ＥＬ素子１３０は、複数の画素１２０のそれぞれに対応して形成されており、各画素１２０に設けられた画素回路によって各有機ＥＬ素子１３０の発光の制御が行われる。有機ＥＬ素子１３０は、複数の薄膜トランジスタ

を覆うように形成された層間絶縁膜（平坦化層）の上に形成される。

[0127] また、有機ＥＬ素子１３０は、陽極１３１と陰極１３３との間にＥＬ層１３２が配置された構成となっている。陽極１３１とＥＬ層１３２との間にはさらに正孔輸送層が積層され、ＥＬ層１３２と陰極１３３との間にはさらに電子輸送層が積層されている。なお、陽極１３１と陰極１３３との間には、正孔注入層や電子注入層等のその他の機能層が設けられていてもよい。

[0128] 各画素１２０は、それぞれの画素回路によって駆動制御される。また、図８に示すように、ＴＦＴ基板１１０には、画素１２０の行方向に沿って配置される複数のゲート配線（走査線）１４０と、ゲート配線１４０と交差するように画素１２０の列方向に沿って配置される複数のソース配線（信号配線）１５０と、ソース配線１５０と平行に配置される複数の電源配線（図８では省略）とが形成されている。各画素１２０は、例えば直交するゲート配線１４０とソース配線１５０とによって区画されている。

[0129] ゲート配線１４０は、各画素回路に含まれるスイッチング素子として動作する薄膜トランジスタのゲート電極と行毎に接続されている。ソース配線１５０は、各画素回路に含まれるスイッチング素子として動作する薄膜トランジスタのソース電極と列毎に接続されている。電源配線は、各画素回路に含まれる駆動素子として動作する薄膜トランジスタのドレイン電極と列毎に接続されている。

[0130] 図９に示すように、有機ＥＬ表示装置１００の各画素１２０は、３色（赤色、緑色、青色）のサブ画素１２０Ｒ、１２０Ｇ及び１２０Ｂによって構成されており、これらのサブ画素１２０Ｒ、１２０Ｇ及び１２０Ｂは、複数個マトリクス状に配列されている。各サブ画素１２０Ｒ、１２０Ｇ及び１２０Ｂは、バンク１２１によって互いに分離されている。バンク１２１は、ゲート配線１４０に平行に延びる突条と、ソース配線１５０に平行に延びる突条とが互いに交差するように、格子状に形成されている。そして、この突条で囲まれる部分（すなわち、バンク１２１の開口部）の各々とサブ画素１２０Ｒ、１２０Ｇ及び１２０Ｂの各々とが一対一で対応している。なお、本実施

の形態において、バンク１２１はピクセルバンクとしたが、ラインバンクとしても構わない。

[0131] 陽極１３１は、ＴＦＴ基板１１０上の層間絶縁膜（平坦化層）上でかつバンク１２１の開口部内に、サブ画素１２０Ｒ、１２０Ｇ及び１２０Ｂ毎に形成されている。同様に、ＥＬ層１３２は、陽極１３１上でかつバンク１２１の開口部内に、サブ画素１２０Ｒ、１２０Ｇ、１２０Ｂ毎に形成されている。透明な陰極１３３は、複数のバンク１２１上で、かつ全てのＥＬ層１３２（全てのサブ画素１２０Ｒ、１２０Ｇ、１２０Ｂ）を覆うように、連続的に形成されている。

[0132] さらに、画素回路は、各サブ画素１２０Ｒ、１２０Ｇ及び１２０Ｂ毎に設けられており、各サブ画素１２０Ｒ、１２０Ｇ及び１２０Ｂと、対応する画素回路とは、コンタクトホール及び中継電極によって電気的に接続されている。なお、サブ画素１２０Ｒ、１２０Ｇ及び１２０Ｂは、ＥＬ層１３２の発光色が異なることを除いて同一の構成である。

[0133] ここで、画素１２０における画素回路の回路構成の一例について、図１０を用いて説明する。図１０は、実施の形態に係る有機ＥＬ表示装置における画素回路の構成を示す電気回路図である。なお、画素回路は、図１０に示す構成に限定されるものではない。

[0134] 図１０に示すように、各画素１２０における画素回路は、スイッチング素子として動作する薄膜トランジスタＳｗＴｒと、駆動素子として動作する薄膜トランジスタＤｒＴｒと、対応する画素１２０に表示するためのデータを記憶するキャパシタＣとで構成される。本実施の形態において、薄膜トランジスタＳｗＴｒは、画素１２０を選択するためのスイッチングトランジスタであり、薄膜トランジスタＤｒＴｒは、有機ＥＬ素子１３０を駆動するための駆動トランジスタである。

[0135] 薄膜トランジスタＳｗＴｒは、ゲート配線１４０に接続されるゲート電極Ｇ１と、ソース配線１５０に接続されるソース電極Ｓ１と、キャパシタＣ及び薄膜トランジスタＤｒＴｒのゲート電極Ｇ２に接続されるドレイン電極Ｄ

１と、チャネル層（図示せず）とで構成される。この薄膜トランジスタＳｗＴｒは、接続されたゲート配線１４０及びソース配線１５０に所定の電圧が印加されると、当該ソース配線１５０に印加された電圧がデータ電圧としてキャパシタＣに保存される。

[0136] 薄膜トランジスタＤｒＴｒは、薄膜トランジスタＳｗＴｒのドレイン電極Ｄ１及びキャパシタＣに接続されるゲート電極Ｇ２と、電源配線１６０及びキャパシタＣに接続されるドレイン電極Ｄ２と、有機ＥＬ素子１３０の陽極１３１に接続されるソース電極Ｓ２と、半導体膜（図示せず）とで構成される。この薄膜トランジスタＤｒＴｒは、キャパシタＣが保持しているデータ電圧に対応する電流を電源配線１６０からソース電極Ｓ２を通じて有機ＥＬ素子１３０の陽極１３１に供給する。これにより、有機ＥＬ素子１３０では、陽極１３１から陰極１３３へと駆動電流が流れてＥＬ層１３２が発光する。

[0137] なお、上記構成の有機ＥＬ表示装置１００では、ゲート配線１４０とソース配線１５０との交点に位置する画素１２０毎に表示制御を行うアクティブマトリクス方式が採用されている。これにより、各画素１２０（各サブ画素１２０Ｒ、１２０Ｇ、１２０Ｂ）の薄膜トランジスタＳｗＴｒ及びＤｒＴｒによって、対応する有機ＥＬ素子１３０が選択的に発光し、所望の画像が表示される。

[0138] 以上、本実施の形態における有機ＥＬ表示装置１００には、上記実施の形態における薄膜トランジスタ１０が用いられているので、表示性能に優れた表示装置を実現できる。

[0139] （変形例）

以上、薄膜トランジスタ及びその製造方法等について、実施の形態に基づいて説明したが、本開示の技術は、上記実施の形態に限定されるものではない。

[0140] 例えば、上記実施の形態において、絶縁層７は、３層構造としたが、第１の絶縁膜７１を成膜せずに、酸化物半導体層４側から、酸化アルミニウム膜

（下層）と窒化シリコン膜（上層）を積層した層構造としてもよい。

[0141] また、上記実施の形態において、酸化物半導体膜４ａ及び酸化物半導体層４は、Ｉｎ、Ｇａ及びＺｎのうち少なくとも１種を含む酸化物半導体（特にＩＧＺＯ膜）としたが、これに限るものではない。例えば、酸化物半導体膜４ａ及び酸化物半導体層４としては、インジウム（Ｉｎ）及びシリコン（Ｓｉ）を含む酸化物半導体（Ｉｎ－Ｓｉ－Ｏ）からなるＩＳＯ膜、インジウム（Ｉｎ）及びタングステン（Ｗ）を含む酸化物半導体（Ｉｎ－Ｗ－Ｏ）からなるＩＷＯ膜、Ｉｎ及びＷにＺｎ（亜鉛）がさらに添加された酸化物半導体（Ｉｎ－Ｗ－Ｚｎ－Ｏ）からなるＩＷＺＯ膜等であってもよく、また、その他に、ＨｆまたはＴｉを添加材とするＩｎ酸化物系酸化物半導体膜、又は、Ｓｉ、Ｗ、Ｇａ、Ｈｆ、Ｔｉを添加材とするＺｎ酸化物系酸化物半導体膜等であってもよい。

[0142] また、上記実施の形態において、薄膜トランジスタ１０は、ボトムゲート型としたが、本開示の技術は、トップゲート型の薄膜トランジスタにも適用することができる。

[0143] また、上記実施の形態において、薄膜トランジスタ１０は、チャネルエッチングストッパー型（チャネル保護型）としたが、本開示の技術は、チャネルエッチング型の薄膜トランジスタにも適用することができる。

[0144] また、上記実施の形態において、薄膜トランジスタは有機ＥＬ表示装置に適用する例について説明したが、上記実施の形態における薄膜トランジスタは、液晶表示装置等の他の表示装置にも適用することができる。

[0145] この場合、表示装置（表示パネル）は、フラットパネルディスプレイとして利用することができる。例えば、有機ＥＬ表示装置等の表示装置は、テレビジョンセット、パーソナルコンピュータ又は携帯電話等、あらゆる電子機器の表示パネルとして利用することができる。特に、大画面及び高精細の表示装置に適している。

[0146] その他、各実施の形態及び変形例に対して当業者が思いつく各種変形を施して得られる形態や、本開示の趣旨を逸脱しない範囲で各実施の形態及び変

形例における構成要素及び機能を任意に組み合わせることで実現される形態も本開示に含まれる。

産業上の利用可能性

[0147] ここに開示された技術は、酸化物半導体を用いた薄膜トランジスタ及びその製造方法、並びに、薄膜トランジスタを用いた有機ＥＬ表示装置等の表示装置等において広く利用することができる。

符号の説明

[0148] １　基板

２、Ｇ１、Ｇ２　ゲート電極

３　ゲート絶縁層

４　酸化物半導体層

４ａ　酸化物半導体膜

５、７、７Ａ　絶縁層

６Ｓ、Ｓ１、Ｓ２　ソース電極

６Ｄ、Ｄ１、Ｄ２　ドレイン電極

１０　薄膜トランジスタ

４１　Ｇａ過剰層

７１、７１Ａ　第１の絶縁膜

７２、７２Ａ　第２の絶縁膜

７３、７３Ａ、７３Ｊ　第３の絶縁膜

１００　有機ＥＬ表示装置

１１０　ＴＦＴ基板

１２０　画素

１２０Ｒ、１２０Ｇ、１２０Ｂ　サブ画素

１２１　バンク

１３０　有機ＥＬ素子

１３１　陽極

１３２　ＥＬ層

１３３　陰極

１４０　ゲート配線

１５０　ソース配線

１６０　電源配線

ＳｗＴｒ、ＤｒＴｒ　薄膜トランジスタ

Ｃ　キャパシタ

ＣＨ　コンタクトホール

請求の範囲

[請求項1] 酸化物半導体層と、

絶縁膜と、

前記酸化物半導体層と前記絶縁膜との間に形成された、水素の透過を抑制する水素バリア性を有する水素バリア膜とを有し、

前記絶縁膜には、前記水素バリア膜を透過することができる量の水素が含まれている

薄膜半導体装置。

[請求項2] 前記絶縁膜は、シリコン及び窒素を含む化合物によって構成されており、

前記絶縁膜におけるＮ－Ｈ結合の濃度に対するＳｉ－Ｈ結合の濃度の比は、０．３よりも大きい

請求項１に記載の薄膜半導体装置。

[請求項3] 前記絶縁膜は、シリコン及び窒素を含む化合物によって構成されており、

前記絶縁膜におけるＮ－Ｈ結合の濃度に対するＳｉ－Ｈ結合の濃度の比は、０．４よりも大きい

請求項１に記載の薄膜半導体装置。

[請求項4] 前記絶縁膜は、窒化シリコン膜である

請求項２又は３に記載の薄膜半導体装置。

[請求項5] 前記水素バリア膜は、酸化アルミニウム膜である

請求項１～４のいずれか１項に記載の薄膜半導体装置。

[請求項6] 前記酸化アルミニウム膜の膜密度は、２．８０ｇ／ｃｍ^{3}以上３．２５ｇ／ｃｍ^{3}以下である

請求項５に記載の薄膜半導体装置。

[請求項7] 前記酸化アルミニウム膜は、ＡｌＯ$_x$で表され、

１．５＜ｘ＜２．０である

請求項５又は６に記載の薄膜半導体装置。

[請求項8] 前記酸化アルミニウム膜の屈折率は、１．５８以上１．６６以下である

請求項５～７のいずれか１項に記載の薄膜半導体装置。

[請求項9] 前記酸化アルミニウム膜の膜厚は、３ｎｍ以上３０ｎｍ以下である

請求項５～８のいずれか１項に記載の薄膜半導体装置。

[請求項10] 前記酸化アルミニウム膜を構成する酸化アルミニウムは、アモルファス構造である

請求項５～９のいずれか１項に記載の薄膜半導体装置。

[請求項11] 前記酸化物半導体層は、インジウム、ガリウム及び亜鉛の金属酸化物によって構成されている

請求項１～１０のいずれか１項に記載の薄膜半導体装置。

[請求項12] 前記薄膜半導体装置は、薄膜トランジスタであり、

前記酸化物半導体層は、チャネル層である

請求項１～１１のいずれか１項に記載の薄膜半導体装置。

[請求項13] 請求項１～１２のいずれか１項に記載の薄膜半導体装置を備える

有機ＥＬ表示装置。

[請求項14] 酸化物半導体層を形成する工程と、

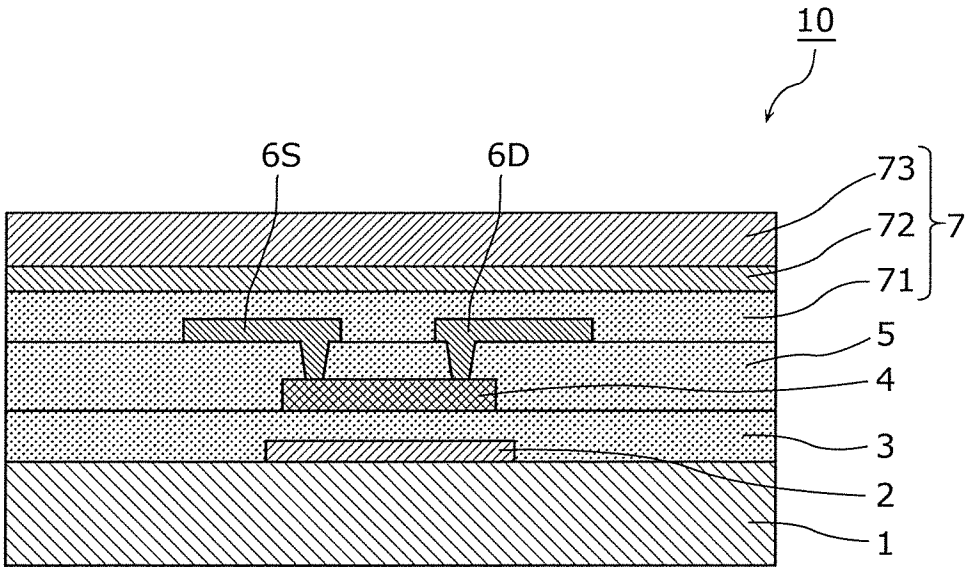
絶縁膜を成膜する工程と、

前記酸化物半導体層と前記絶縁膜との間に、水素の透過を抑制する水素バリア性を有する水素バリア膜を成膜する工程とを有し、

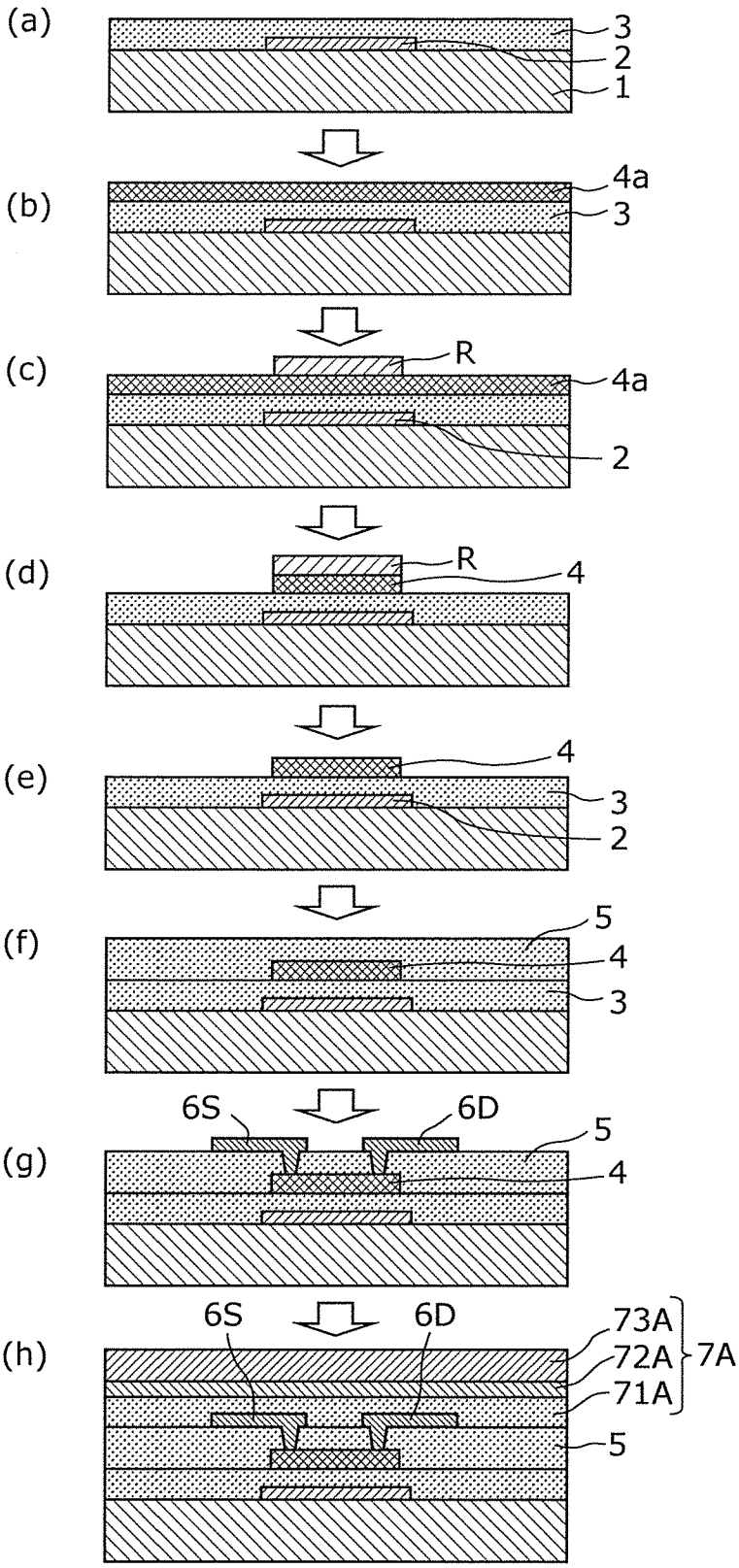
前記絶縁膜には、前記水素バリア膜を透過することができる量の水素が含まれている

薄膜半導体装置の製造方法。

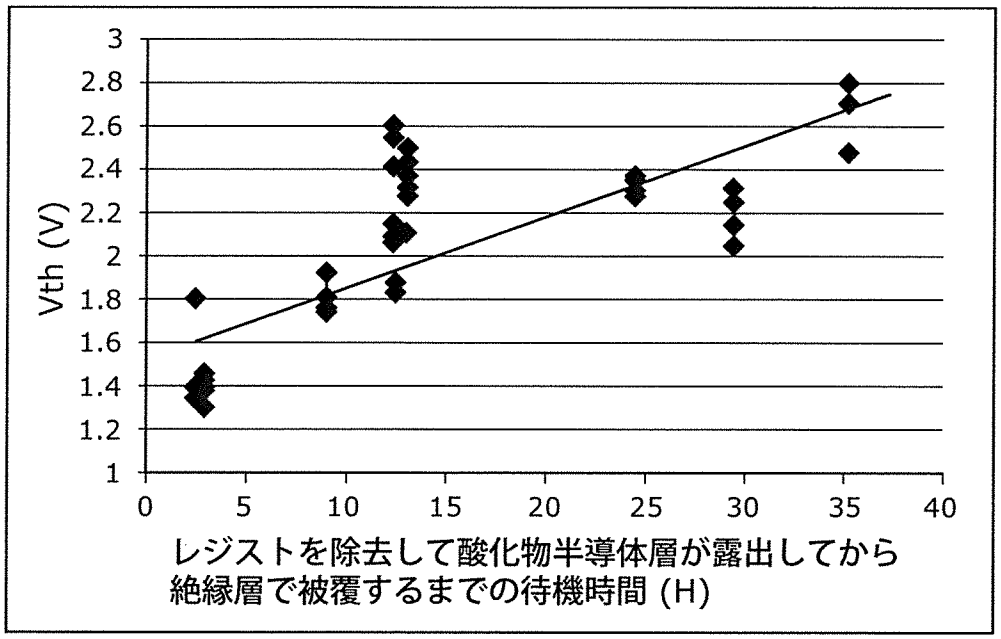
[図1]



[図2]



[図3]


3
2.8
2.6
2.4
2.2
2
1.8
1.6
1.4
1.2
1
Vth (V)
0
5
10
15
20
25
30
35
40
レジストを除去して酸化物半導体層が露出してから
絶縁層で被覆するまでの待機時間 (H)

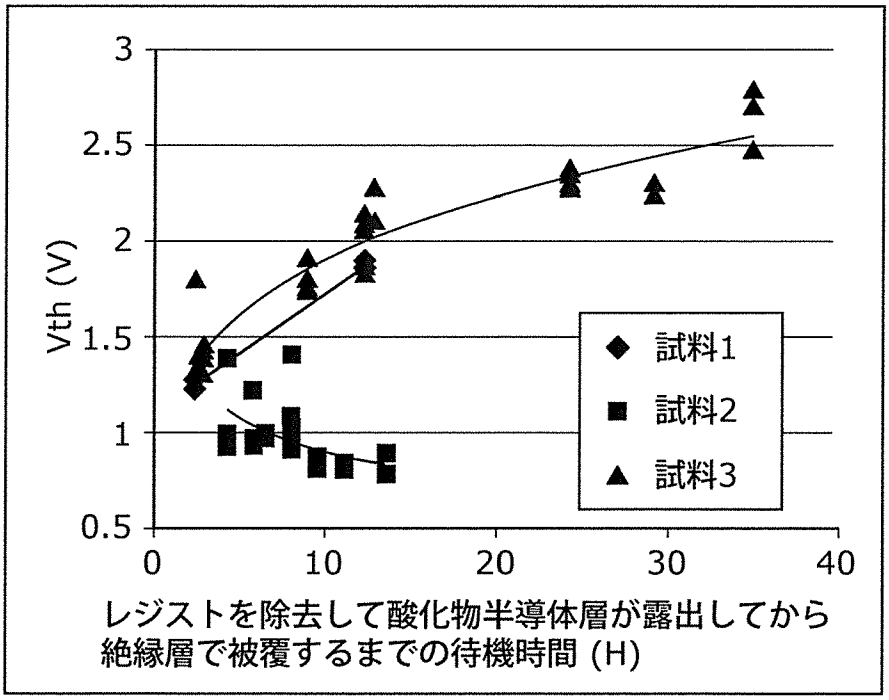
[図4A]

成膜条件	試料1(SiN) (高応力+低水素)	試料2(SiN) (低応力+高水素)	試料3(SiN) (低応力+低水素)
パワー	1	1.93	1
電極間距離	1	1.23	1
圧力	1	1.5	1.4
N_2流量	1	0.92	1
NH_3流量	1	1.32	1
SiH_4流量	1	2.12	0.82

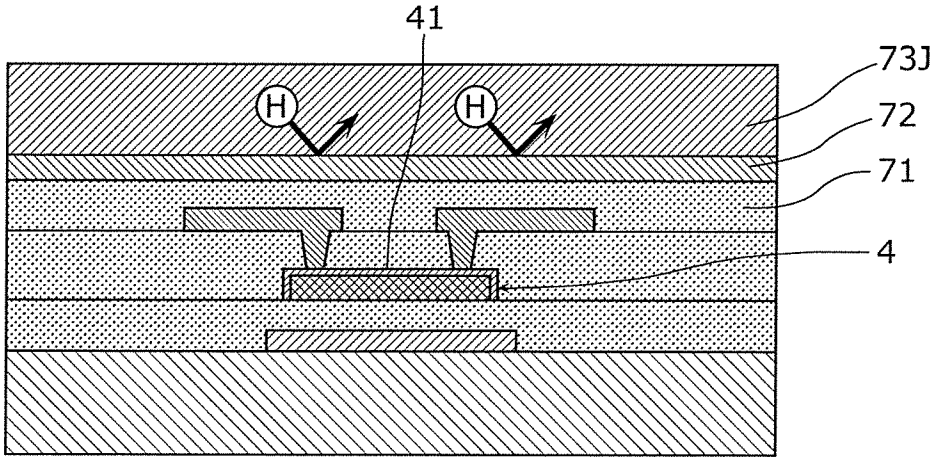
[図4B]

物性値	試料1(SiN) (高応力+低水素)	試料2(SiN) (低応力+高水素)	試料3(SiN) (低応力+低水素)
デポレート	76.5nm/min	166.7nm/min	77.3nm/min
屈折率(n)	1.841	1.864	1.818
バンドギャップ(Eg)	4.746eV	4.345eV	4.757eV
応力(stress)	-361.2MPa	-104.6MPa	-125.0MPa
Si-H	2.70E+21cm^{-3}	9.60E+21cm^{-3}	2.30E+21cm^{-3}
N-H	4.10E+22cm^{-3}	2.10E+22cm^{-3}	3.90E+22cm^{-3}
Si-H/N-H	0.066	0.461	0.060

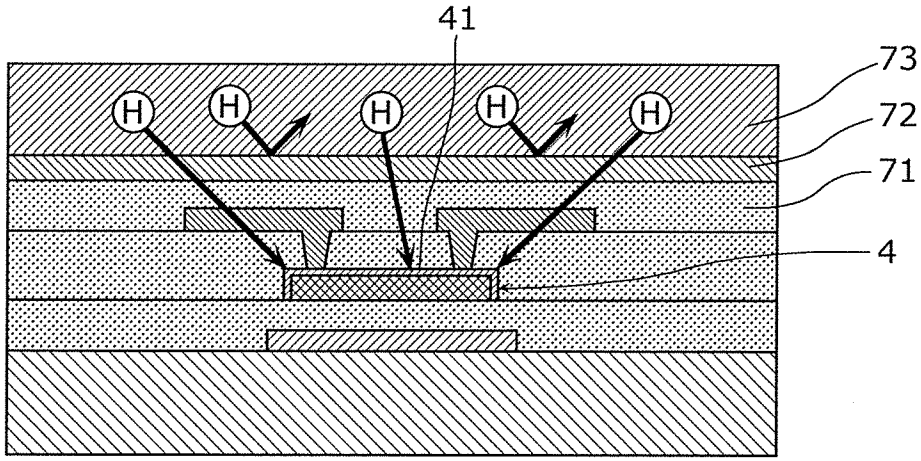
[図5]


3
2.5
2
1.5
1
0.5
Vth (V)
0
10
20
30
40
試料1
試料2
試料3
レジストを除去して酸化物半導体層が露出してから
絶縁層で被覆するまでの待機時間 (H)

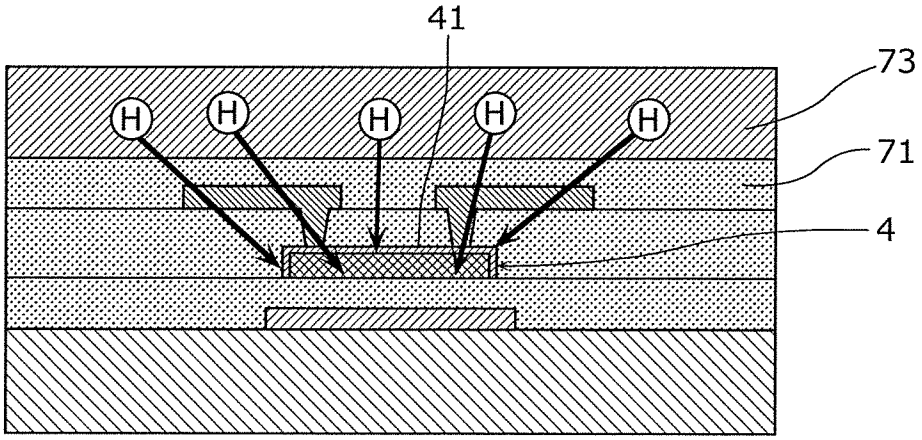
[図6A]



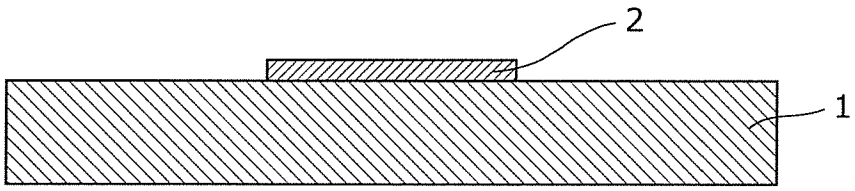
[図6B]



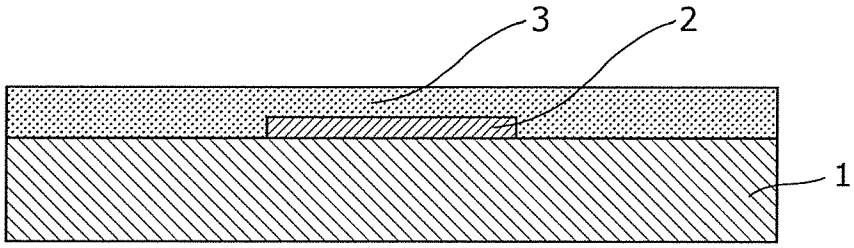
[図6C]



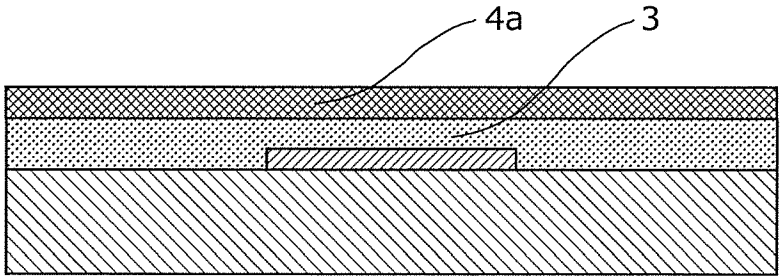
[図7A]



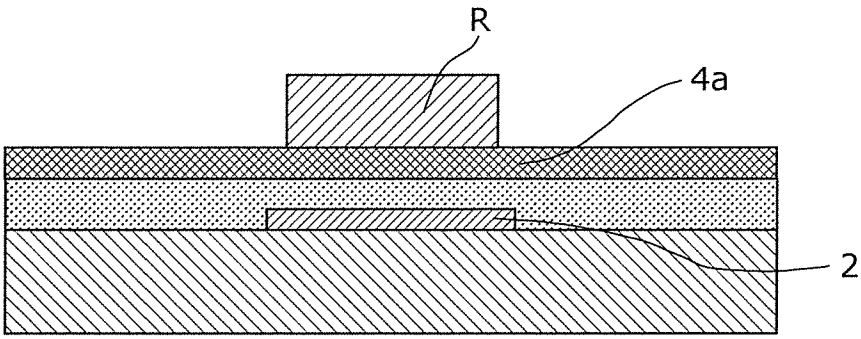
[図7B]



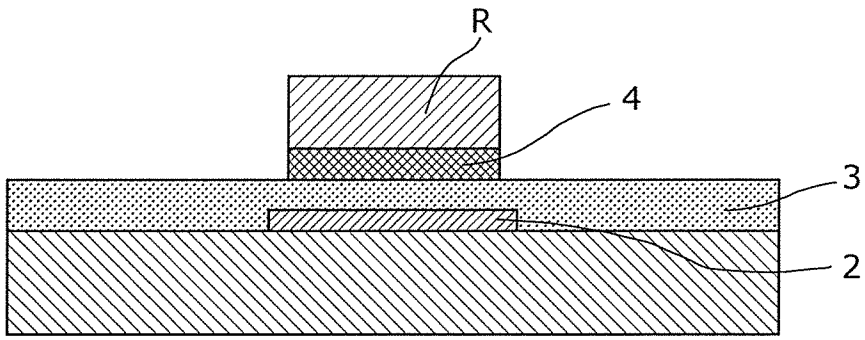
[図7C]



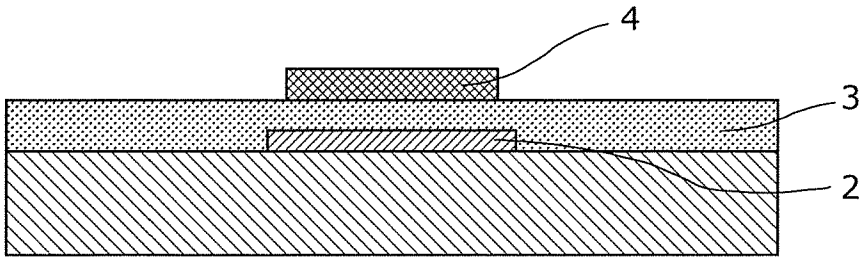
[図7D]



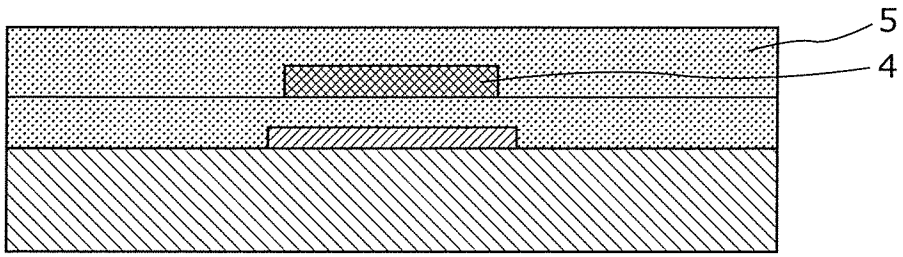
[図7E]



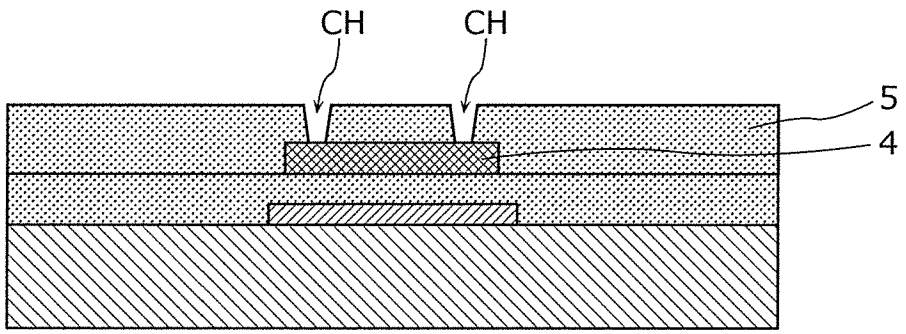
[図7F]



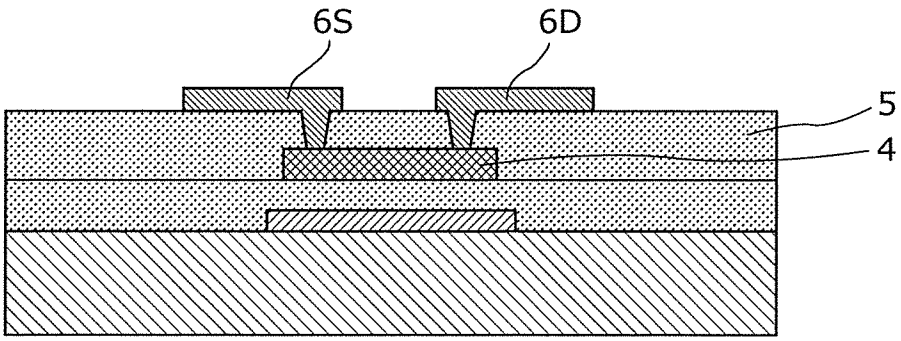
[図7G]



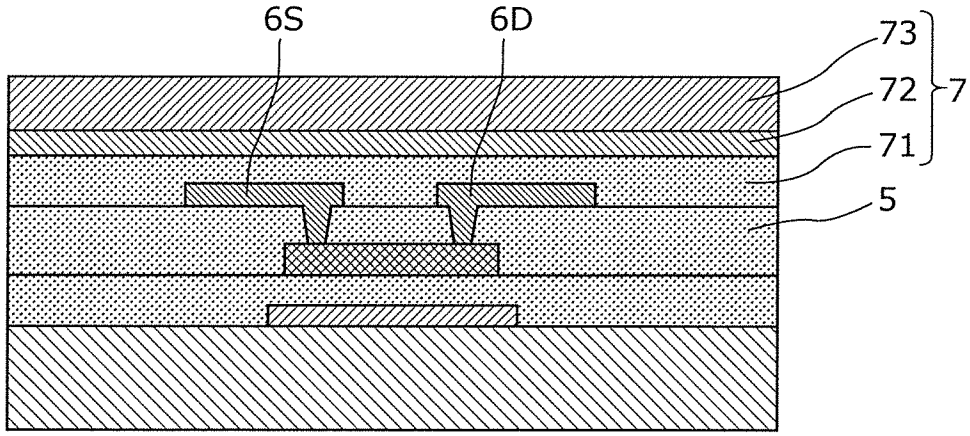
[図7H]



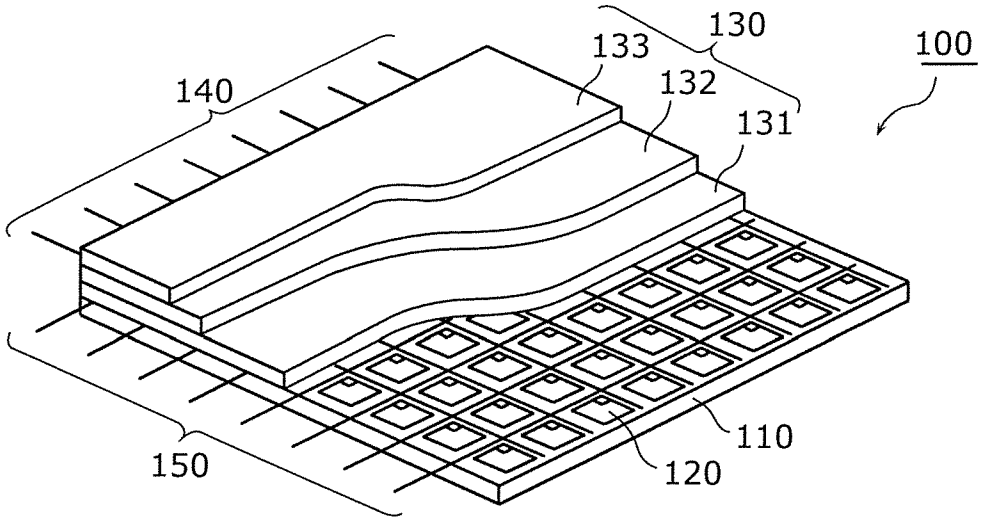
[図7I]



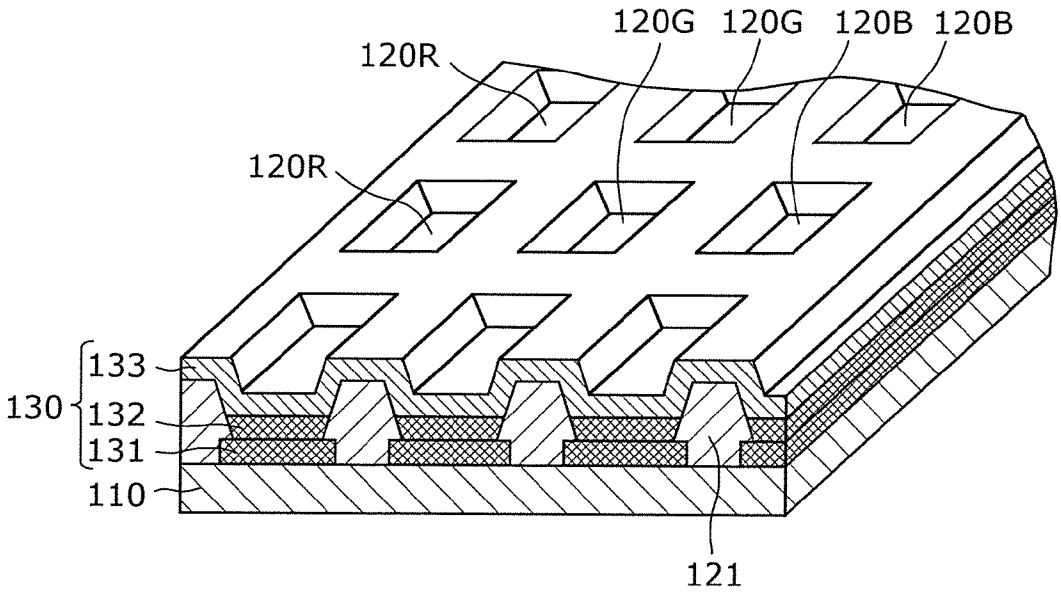
[図7J]



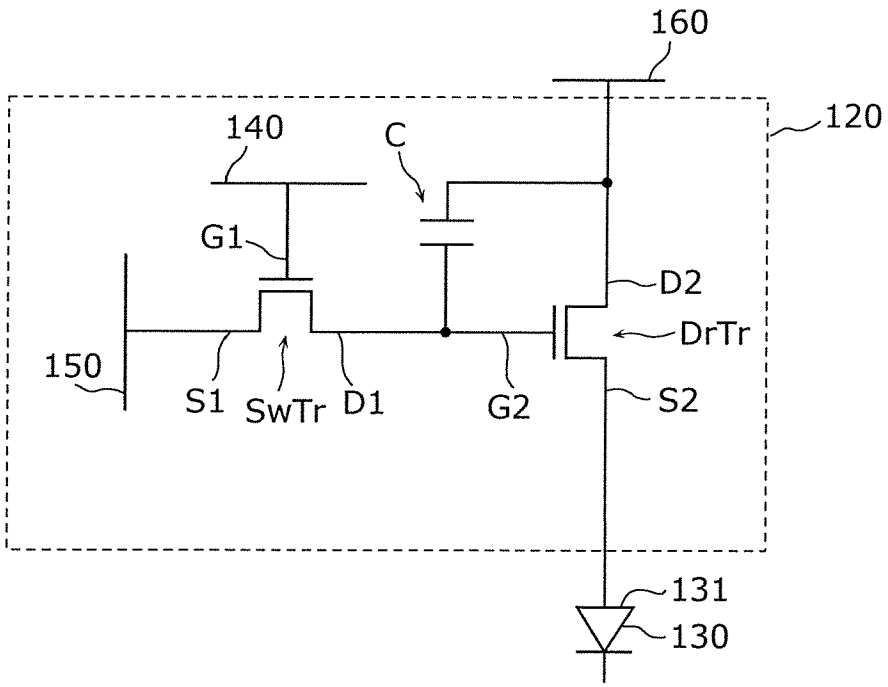
[図8]



[図9]


120G
120G
120B
120B
120R
120R
133
130
132
131
110
121

[図10]


160
120
140
C
G1
D2
DrTr
150
S1
SwTr
D1
G2
S2
131
130

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/005358

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, *H01L21/316*(2006.01)i, *H01L21/318*(2006.01)i, *H01L29/786*(2006.01)i, *H01L51/50*(2006.01)i, *H05B33/22*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L21/316, H01L21/318, H01L29/786, H01L51/50, H05B33/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2009-141002 A (Canon Inc.), 25 June 2009 (25.06.2009), paragraphs [0022] to [0063], [0082]; fig. 1 to 9, 14 & US 2010/0283049 A1 paragraphs [0038] to [0079], [0098]; fig. 1 to 9, 14 & WO 2009/072532 A1 & EP 2195849 A1 & DE 602008005773 D & CN 101884109 A & AT 503273 T & TW 200941724 A	1,4,11-14 5,7,9,10 2,3,6,8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 January 2016 (06.01.16)	19 January 2016 (19.01.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/005358

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-2827 A (Semiconductor Energy Laboratory Co., Ltd.), 09 January 2014 (09.01.2014), paragraph [0301] & US 2013/0314976 A1 paragraph [0313] & KR 10-2013-0132271 A	5,7,9,10
Y	JP 2012-216806 A (Semiconductor Energy Laboratory Co., Ltd.), 08 November 2012 (08.11.2012), paragraphs [0074] to [0075] & US 2012/0252160 A1 paragraphs [0092] to [0093]	5,7,9,10
A	JP 2013-62495 A (Semiconductor Energy Laboratory Co., Ltd.), 04 April 2013 (04.04.2013), & US 2013/0043466 A1 & KR 10-2013-0020877 A & TW 201320189 A	1-14

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／００５３５８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, H01L21/316(2006.01)i, H01L21/318(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/22(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, H01L21/316, H01L21/318, H01L29/786, H01L51/50, H05B33/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2009-141002 A (キヤノン株式会社) 2009.06.25, 段落 0022-0063, 0082、図 1-9, 14 & US 2010/0283049 A1, 段落 0038-0079, 0098、図 1-9, 14 & WO 2009/072532 A1 & EP 2195849 A1 & DE 602008005773 D & CN 101884109 A & AT 503273 T & TW 200941724 A	1, 4, 11-14 5, 7, 9, 10 2, 3, 6, 8
Y	JP 2014-2827 A (株式会社半導体エネルギー研究所) 2014.01.09, 段落 0301 & US 2013/0314976 A1, 段落 0313 & KR 10-2013-0132271 A	5, 7, 9, 10

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．０１．２０１６	１９．０１．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９３５５
岩本　勉
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-216806 A (株式会社半導体エネルギー研究所) 2012.11.08, 段落 0074-0075 & US 2012/0252160 A1, 段落 0092-0093	5, 7, 9, 10
A	JP 2013-62495 A (株式会社半導体エネルギー研究所) 2013.04.04, & US 2013/0043466 A1 & KR 10-2013-0020877 A & TW 201320189 A	1-14