

12

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 08.08.90.

③③ Priorité :

④3 Date de la mise à disposition du public de la demande : 14.02.92 Bulletin 92/07.

(56) Liste des documents cités dans le rapport de recherche : Se reporter à la fin du présent fascicule.

⑥ Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : Société dite SGS-THOMSON
MICROELECTRONICS (S.A.) Société Anonyme —
FR.

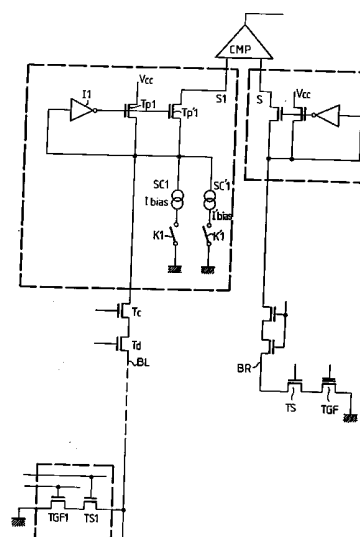
(72) Inventeur(s) : Gaultier Jean-Marie, Silvestre de Ferron Gérard et Castaldi Roberto.

(73) Titulaire(s) :

(74) Mandataire : Cabinet Ballot-Schmit.

(54) Mémoire intégrée pourvue de moyens de test améliorés.

57 L'invention concerne les mémoires en circuit intégré, et plus spécialement les mémoires électriquement programmables. Pour tenir compte notamment du fait que des cellules de mémoire peuvent comporter des défauts de contacts d'accès qui risquent de devenir rédhibitoires lors du vieillissement, on propose selon l'invention d'effectuer un test de la manière suivante: on lit les cellules (TGF1) par comparaison entre un courant Iref de cellule de référence (TGF) et la somme du courant I de cellule testée et d'un courant de polarisation l'bias; ce courant l'bias est plus faible que le courant lbias qui est utilisé en dehors du mode de test (en mode de lecture normale de la mémoire).



MEMOIRE INTEGREE POURVUE DE MOYENS
DE TEST AMELIORES

L'invention concerne les mémoires réalisées en circuit intégré, et notamment les mémoires non volatiles programmables électriquement, effaçables ou non, reprogrammables ou non.

5 Un des problèmes que l'on rencontre dans la fabrication des mémoires, lorsqu'elles comportent de très nombreuses cellules, est la nécessité de les tester complètement avant de les livrer.

10 On teste les mémoires dans leur état vierge, pour vérifier qu'il n'y a strictement aucune cellule mauvaise.

15 Dans les mémoires programmables électriquement fabriquées aujourd'hui, les cellules sont constituées par des transistors à grille flottante. Lorsque les cellules sont vierges, il n'y a pas de charges stockées dans la grille flottante. Si on polarise la cellule avec des potentiels de lecture appropriés, la cellule doit laisser passer un courant. Si au contraire la cellule est programmée, elle ne laisse plus passer de courant
20 dans les mêmes conditions de polarisation.

Mais le courant qui passe dans une cellule vierge est très faible. Pour le détecter en mode de lecture, on procède par lecture différentielle, par comparaison avec une cellule de référence identique aux cellules de la
25 mémoire. Si on appelle I le courant qui passe en mode de lecture dans une cellule, ce courant I a pour valeur I_1 si la cellule est vierge et I_2 (pratiquement nul) si la cellule est programmée. On compare, dans un comparateur différentiel de courant, le courant I_{ref} qui passe dans
30 la cellule de référence (vierge) avec un courant qui est

la somme $I + I_{bias}$ du courant I dans la cellule à lire et d'un courant de polarisation I_{bias} .

Le courant I_{ref} est en principe égal à I_1 : courant dans une cellule vierge. La polarisation I_{bias} est choisie sensiblement égale à $(I_2 - I_1)/2$, c'est-à-dire en pratique $I_{ref}/2$. De cette manière, si le courant I lu dans une cellule est légèrement au dessous de $I_{ref}/2$, le résultat de la comparaison sera dans un premier sens et on considérera que la cellule est dans l'état programmé; si au contraire le courant I est au dessus de $I_{ref}/2$, le résultat de la comparaison sera dans l'autre sens et on considérera que la cellule est vierge.

Le courant de polarisation I_{bias} a donc pour but de faciliter la comparaison entre le courant de la cellule à lire et le courant de la cellule de référence.

Lors du test des mémoires, on effectue la lecture de la mémoire selon le même principe de lecture différentielle.

On s'est aperçu selon l'invention que des mémoires s'avéraient défectueuses à l'usage bien que les cellules aient été testées rigoureusement une à une. On a attribué ces défauts notamment aux mauvais contacts pouvant se produire entre les cellules de mémoire et un conducteur (ligne de bit) auquel ces cellules sont raccordées pour transmettre le courant représentant l'état de la cellule; l'opération de formation de contacts est en effet une opération délicate dans le procédé de fabrication. Non seulement les contacts peuvent être défectueux dès le départ, mais en plus ils peuvent se détériorer par vieillissement (naturel ou forcé).

Un but de l'invention est d'améliorer le test des mémoires pour mieux éliminer les circuits comportant des cellules défectueuses, notamment du point de vue des

contacts.

Selon l'invention, on propose que la mémoire soit pourvue de moyens pour donner au courant de polarisation une valeur plus faible en mode de test qu'en mode de
5 lecture normale.

Ainsi, seules les cellules dont le courant de lecture à l'état vierge est suffisamment fort passeront avec succès le test de vérification de l'état vierge; celles qui présentent un courant de lecture trop faible
10 (bien que suffisant en mode de lecture normale) seront rejetées : on considérera que cette valeur trop faible dénote vraisemblablement la présence d'un mauvais contact qui, en vieillissant, risquera de causer un fonctionnement erroné de la mémoire; on rejettera donc
15 la cellule ou la mémoire.

Ainsi, la mémoire intégrée électriquement programmable selon l'invention, dans laquelle l'état d'une cellule est lu par comparaison entre d'une part un courant absorbé par une cellule de référence et d'autre
20 part la somme du courant absorbé par la cellule à lire et d'un courant de polarisation I_{bias} produit à l'intérieur du circuit intégré, est essentiellement caractérisée en ce qu'elle comporte des moyens pour réduire, en mode de test, la valeur du courant de
25 polarisation, et pour lire l'état des cellules avec cette valeur réduite du courant de polarisation.

Le courant de polarisation en mode de test est de préférence de l'ordre de la moitié du courant de polarisation en lecture normale.

30

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence au dessin annexé dans lequel :

- la figure unique représente schématiquement le circuit de lecture de la mémoire selon l'invention.

Sur cette figure, on a représenté simplement une
5 cellule mémoire constituée essentiellement par un transistor à grille flottante TGF1 en série avec un transistor de sélection TS1, et une cellule de référence constituée de manière identique par un transistor à grille flottante TGF en série avec un transistor TS.

10 La cellule de mémoire à lire est reliée à un conducteur BL appelé "ligne de bit", sur lequel circule le courant absorbé par la cellule lorsqu'elle reçoit les potentiels de lecture appropriés.

La ligne de bit BL est reliée par l'intermédiaire
15 de transistors (Td, Tc) à un circuit de précharge et lecture CPL1. Ce circuit a la fonction suivante : dans une première étape de lecture (phase de précharge), il porte la ligne de bit à un potentiel de précharge fixe; dans une deuxième étape (lecture proprement dite) il
20 détecte le courant qui passe dans la ligne de bit.

De la même manière, la cellule de référence est
reliée à un conducteur BR qui transmet à un circuit de
précharge et lecture CPL le courant absorbé par la
cellule de référence lorsqu'elle reçoit les potentiels
25 de lecture appropriés.

Les transistors Td et Tc sont nécessaires au
fonctionnement de la mémoire, notamment pour l'adressage
de la ligne de bit reliée à la cellule sélectionnée en
lecture. Par raison de symétrie, on a placé des
30 transistors identiques entre le conducteur BR et le
circuit de précharge et lecture CPL de la cellule de
référence.

Les circuits de précharge et lecture CPL et CPL1
sont constitués de manière à détecter des courants;

leurs sorties S et S1 sont reliées chacune à une entrée respective d'un comparateur CMP qui peut fournir un signal fonction de la différence entre les courants détectés par chacun des circuits. Mais, alors que le
5 courant détecté par le circuit CPL est bien le courant absorbé par la cellule de référence, on s'arrange pour que le courant détecté par le circuit CPL1 soit la somme du courant I absorbé dans la cellule à lire et d'un courant de polarisation.

10 Selon l'invention, le courant de polarisation a une première valeur I_{bias} en mode de lecture normale de la mémoire, et une deuxième valeur I'_{bias} en mode de test de cellules vierges, cette deuxième valeur étant plus petite que la première. Un commutateur commandé par
15 exemple par une borne de mode de test non représentée permet de passer du courant I_{bias} au courant I'_{bias}.

En pratique, le courant de polarisation est en effet produit par une source de courant interne au circuit intégré, cette source de courant étant connectée
20 au circuit de précharge et lecture CPL1 ou étant incorporée à ce circuit. On prévoira donc qu'il y a deux sources de courant différentes, par exemple de valeurs I_{bias} et I'_{bias}, que l'on peut connecter alternativement l'une à la place de l'autre selon qu'on est en mode de
25 test ou en mode de fonctionnement normal. Ou encore il y a une première source de courant utilisée en mode de test et une deuxième source utilisée en parallèle avec la première en mode de fonctionnement normal de la mémoire.

30 Dans la réalisation pratique la plus simple, le circuit de précharge et lecture CPL1 est constitué de la manière suivante : il comporte un transistor de précharge Tp1 dont la source est reliée par les transistors Td et Tc à la ligne de bit et dont le drain

est relié à une borne d'alimentation V_{cc} ; il comporte également un inverseur de rebouclage I1 connecté entre la source et la grille du transistor Tp1. Le transistor Tp1 rebouclé par l'inverseur I1 constitue un circuit
 5 d'asservissement qui tend à maintenir une tension de précharge fixe sur la ligne de bit.

Le circuit de précharge et lecture comporte encore, pour permettre la lecture du courant I présent sur la ligne de bit, un transistor de recopie T'p1 dont la
 10 source et la grille sont reliées respectivement à la source et à la grille du transistor Tp. Le drain de ce transistor constitue la sortie S1 du circuit CPL1 et est relié à une première entrée du comparateur de courant CMP.

15 Enfin, pour le circuit CPL1, une source de courant SC1 de valeur I_{bias} est connectée à la source commune des transistors Tp1 et T'p1 pour soustraire de chacun un courant $I_{bias}/2$ (en supposant que les transistors Tp1 et T'p1 ont des géométries identiques).

20 De cette structure il résulte que le courant appliqué à l'entrée du comparateur CMP est égal à $(I + I_{bias})/2$ si les transistors ont même géométrie, I étant le courant absorbé dans la ligne de bit.

Le circuit de précharge et lecture CPL de la
 25 cellule de référence est constitué de manière identique à l'exception du fait qu'il n'y a pas de source de courant de polarisation I_{bias} ; par conséquent le courant qui est appliqué à l'autre entrée S du comparateur est $I_{ref}/2$ si I_{ref} est le courant absorbé à travers la ligne
 30 BR par la cellule de référence vierge.

Enfin, le circuit de précharge et lecture CPL1 associé à la ligne de bit BL comporte une autre source de courant SC'1 et un moyen pour commuter l'une au moins des deux sources de courant pour que le courant I'_{bias}

ajouté au courant I de la ligne de bit en mode de test soit plus faible que le courant I_{bias} ajouté en mode de lecture normale.

5 Dans un exemple de réalisation, le courant I'_{bias} est égal à environ $I_{bias}/2$. Mais il pourrait être plus faible ou plus fort.

10 Sur la figure on a représenté un interrupteur $K1$ associé à une source de courant $SC1$ de valeur I_{bias} et un interrupteur $K'1$ associé à une source $SC'1$ de valeur I'_{bias} . Les interrupteurs sont alors commandés en opposition de phase, $K1$ étant fermé en mode de lecture normal et ouvert en mode de test, $K'1$ étant fermé en mode de test et ouvert en mode de lecture normal.

15 Le résultat du test comme celui de la lecture normale est fourni par le comparateur CMP . Les cellules sont déclarées bonnes en mode de test si le courant qui les traverse est supérieur à $I_{ref} - I'_{bias}$ mais pas si ce courant est compris entre $I_{ref} - I_{bias}$ et $I_{ref} - I'_{bias}$, alors que pourtant, en mode de lecture normale, ces
20 cellules donneraient un signal correct.

REVENDICATIONS

1. Mémoire électriquement programmable en circuit intégré, dans laquelle l'état d'une cellule est lu par comparaison entre un courant absorbé par une cellule de référence et la somme du courant absorbé par la cellule
5 à lire et d'un courant de polarisation complémentaire Ibias produit à l'intérieur du circuit intégré, caractérisé en ce qu'elle comporte des moyens (SC'1, K1, K'1) pour réduire, en mode de test, la valeur du courant de polarisation et pour lire l'état des cellules avec
10 cette valeur réduite de courant de polarisation.

2. Mémoire selon la revendication 1, caractérisée en ce que le courant de polarisation de valeur réduite est de l'ordre de la moitié du courant de polarisation du mode de lecture normale.

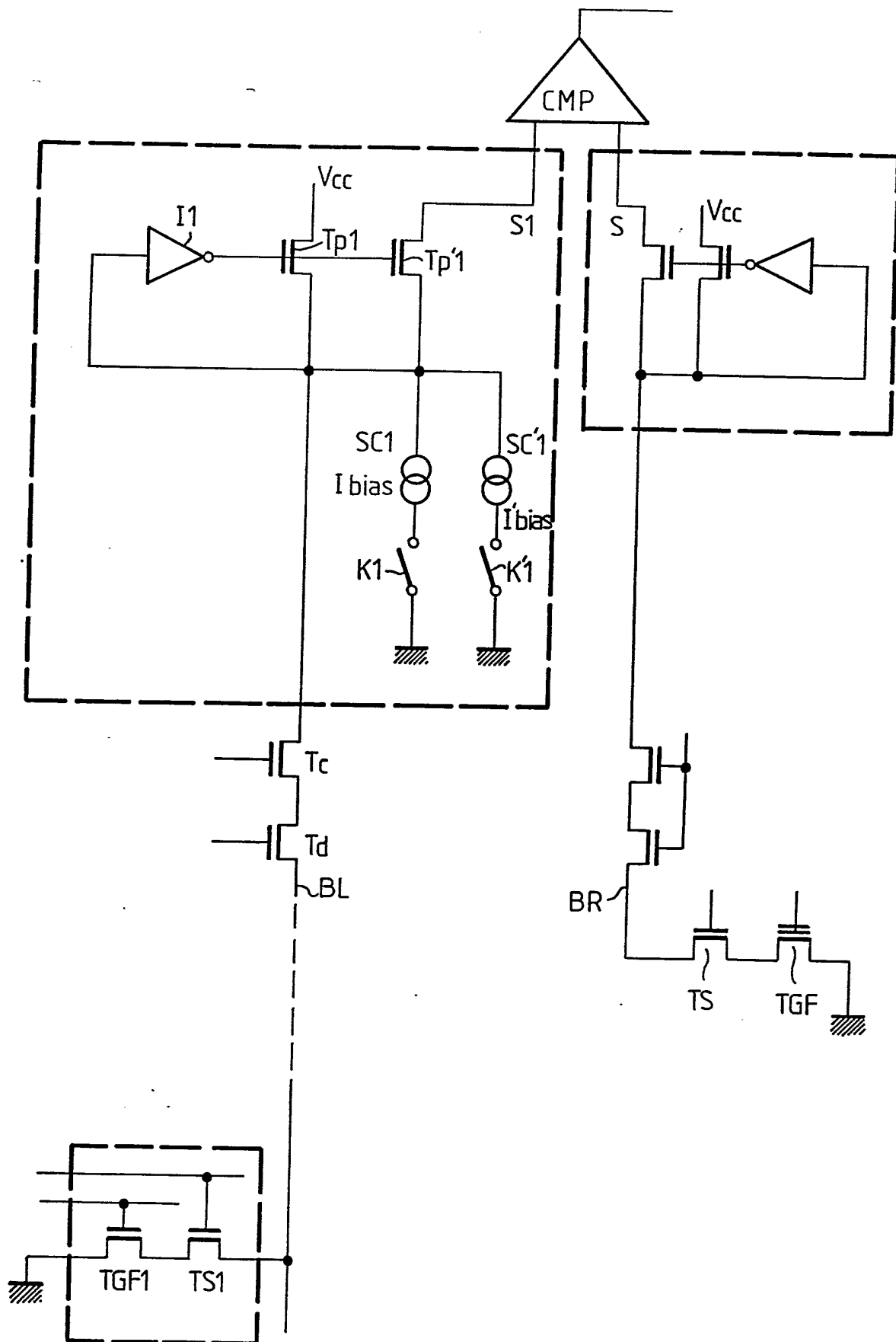
15

20

25

30

1/1



INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLERAPPORT DE RECHERCHE
établi sur la base des dernières revendications
déposées avant le commencement de la rechercheFR 9010114
FA 449846

DOCUMENTS CONSIDERES COMME PERTINENTS			Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 23, no. 5, octobre 1988, pages 1150-1156, New York, US; R. GASTALDI: "A 1-Mbit CMOS EPROM with enhanced verification" * Page 1152, colonne de gauche, ligne 7 - page 1154, colonne de droite, ligne 5; figure 10 *	1	
A	EP-A-0 241 327 (FUJITSU LTD) * Colonne 4, lignes 14-45; figure 2 *	1	
A	PATENT ABSTRACTS OF JAPAN, vol. 13, no. 125 (P-847), 28 mars 1989; & JP-A-63 293 800 (TOSHIBA CORP.) 30-11-1988 * Résumé entier *	1	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
			G 11 C 7 G 11 C 16 G 11 C 29
Date d'achèvement de la recherche 08-05-1991			Examineur KAMSAETER K.M.S.
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			