

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-8711

(P2020-8711A)

(43) 公開日 令和2年1月16日(2020.1.16)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H192
G09G 3/20 (2006.01)	G09G 3/20 641C	2H193
G09F 9/30 (2006.01)	G09G 3/20 621B	5C006
G02F 1/133 (2006.01)	G09G 3/20 680G	5C080
G02F 1/1368 (2006.01)	G09G 3/20 641P	5C094

審査請求 未請求 請求項の数 6 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2018-129318 (P2018-129318)  
 (22) 出願日 平成30年7月6日 (2018.7.6)

(71) 出願人 512225287  
 堺ディスプレイプロダクト株式会社  
 大阪府堺市堺区匠町1番地  
 (74) 代理人 100114557  
 弁理士 河野 英仁  
 (74) 代理人 100078868  
 弁理士 河野 登夫  
 (72) 発明者 山本 晃  
 大阪府堺市堺区匠町1番地 堺ディスプレイ  
 プロダクト株式会社内  
 Fターム(参考) 2H192 AA24 CB05 CC22 CC64 DA12  
 DA71 GD61 HB73  
 2H193 ZA04 ZA07 ZA08 ZC16 ZF31  
 ZH45 ZH46 ZH53

最終頁に続く

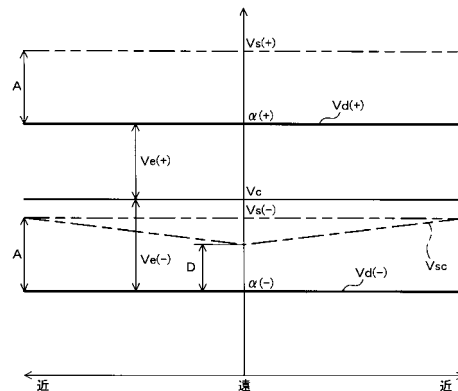
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 表示装置の表示品位を向上させる。

【解決手段】 表示装置は、複数の選択画素電極に第1の極性の一定電圧を印加した場合における複数の選択画素電極の保持電圧  $V_d(+)$  ( $V_d(-)$ ) が等しく又はほぼ等しくなるように、複数の選択画素電極それぞれに接続されたスイッチング素子のゲート電極とドレイン電極との重なり面積が個別に設定されており、複数の選択画素電極に第2の極性の電圧を印加する際、ソース信号  $V_s(-)$  ( $V_s(+)$ ) にソース線ごとに決定された補正電圧を重畳して補正したソース信号  $V_{sc}$  をソース線に印加する。

【選択図】 図12



**【特許請求の範囲】****【請求項 1】**

画素電極を含む複数の画素がマトリックス状に配置された表示装置であって、  
マトリックスの列方向に並置された複数のゲート線と、  
マトリックスの行方向に並置され、前記複数のゲート線と交差する複数のソース線と、  
前記ゲート線及び前記ソース線の交点付近において、該交点を通るゲート線にゲート電極が接続され、該交点を通るソース線にソース電極が接続され、該交点付近の前記画素の画素電極にドレイン電極が接続された複数のスイッチング素子と、  
マトリックスの行方向に並ぶ画素群を選択するゲート信号を前記複数のゲート線に順次印加するゲート印加部と、

10

選択された画素群それぞれの画素電極である複数の選択画素電極に前記スイッチング素子を介して所望の電圧を印加するためのソース信号を前記複数のソース線に印加するソース印加部と、

前記ゲート印加部及び前記ソース印加部を制御する制御部とを備え、

前記ソース印加部は、前記制御部による制御の下、前記選択画素電極に所定電圧を基準とした正極性の電圧と負極性の電圧とを前記ソース信号のフレーム毎に交互に印加し、

前記複数の選択画素電極に正極性及び負極性のうちのいずれか一方の第 1 の極性の一定電圧を印加した場合における前記複数の選択画素電極の保持電圧が等しく又はほぼ等しくなるように、前記複数の選択画素電極それぞれに接続された前記スイッチング素子のゲート電極とドレイン電極との重なり面積が個別に設定されており、

20

前記制御部は、前記複数の選択画素電極に前記第 1 の極性とは逆の第 2 の極性の電圧を印加するための前記ソース信号を前記ソース印加部に印加させる際、前記ソース線ごとに決定された補正電圧を前記ソース信号に重畳することを特徴とする表示装置。

**【請求項 2】**

前記補正電圧は、前記複数の選択画素電極に前記第 2 の極性の一定電圧を印加した場合における前記複数の選択画素電極の保持電圧が等しく又はほぼ等しくなるように決定されることを特徴とする請求項 1 に記載の表示装置。

**【請求項 3】**

前記選択画素電極の保持電圧は、前記選択画素電極に印加された電圧値から、前記選択画素電極に接続された前記スイッチング素子におけるゲート電極及びドレイン電極間の寄生容量と、前記選択画素電極に接続された前記スイッチング素子のゲート電極に印加された前記ゲート信号の波形の鈍りの程度と、前記選択画素電極に接続された前記スイッチング素子におけるゲート電極及びソース電極間の電位差とに応じて定まる引き込み電圧値分だけ低下した電圧であり、

30

前記複数の選択画素電極に前記第 1 の極性の電圧を印加した場合における前記複数の選択画素電極での引き込み電圧値が等しく又はほぼ等しくなるように、前記複数の選択画素電極それぞれに接続された前記スイッチング素子の前記重なり面積が個別に設定されていることを特徴とする請求項 1 又は 2 に記載の表示装置。

**【請求項 4】**

前記ゲート印加部は、前記複数のゲート線の端部に接続され、

40

前記ゲート印加部から遠い選択画素電極ほど、該選択画素電極に接続された前記スイッチング素子の前記重なり面積が大きく設定されていることを特徴とする請求項 3 に記載の表示装置。

**【請求項 5】**

前記ゲート印加部から遠い選択画素電極ほど、絶対値のより大きな補正電圧が重畳された前記ソース信号が該選択画素電極に接続されたソース線に印加されることを特徴とする請求項 4 に記載の表示装置。

**【請求項 6】**

前記ゲート印加部に最も近い選択画素電極に接続されたソース線には、0 V の補正電圧が重畳された前記ソース信号が印加されることを特徴とする請求項 1 ~ 5 のうちのいずれ

50

か 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の画素がマトリックス状に配置された表示装置に関する。

【背景技術】

【0002】

従来、表示装置において、ゲート信号の波形の鈍りに起因する表示品位の低下を抑制するために、各画素のスイッチング素子におけるゲート電極及びドレイン電極の間の寄生容量  $Cgd$  を、ゲート信号を供給するゲート印加部から各画素までの距離の遠近に応じて予め調整しておく技術（いわゆる  $Cgd$  グラデーション）が知られている（例えば、特許文献 1 等）。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2014 - 32282 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、 $Cgd$  グラデーションを採用した場合でも、画素間の輝度差を完全に解消することはできない。この問題に関して、発明者らは、鋭意研究を行なった結果、ゲート印加部から遠い画素電極ほど（即ち、ゲート信号の波形の鈍りが大きいほど）、正極性のソース信号が印加された場合の引き込み電圧値と負極性のソース信号が印加された場合の引き込み電圧値との差が大きくなるという知見を得た。

20

【0005】

本発明は斯かる知見に基づいてなされたものであり、その主たる目的は、表示品位を向上させることができる表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施の形態に係る表示装置は、画素電極を含む複数の画素がマトリックス状に配置された表示装置であって、マトリックスの列方向に並置された複数のゲート線と、マトリックスの行方向に並置され、前記複数のゲート線と交差する複数のソース線と、前記ゲート線及び前記ソース線の交点付近において、該交点を通るゲート線にゲート電極が接続され、該交点を通るソース線にソース電極が接続され、該交点付近の前記画素の画素電極にドレイン電極が接続された複数のスイッチング素子と、マトリックスの行方向に並ぶ画素群を選択するゲート信号を前記複数のゲート線に順次印加するゲート印加部と、選択された画素群それぞれの画素電極である複数の選択画素電極に前記スイッチング素子を介して所望の電圧を印加するためのソース信号を前記複数のソース線に印加するソース印加部と、前記ゲート印加部及び前記ソース印加部を制御する制御部とを備え、前記ソース印加部は、前記制御部による制御の下、前記選択画素電極に所定電圧を基準とした正極性の電圧と負極性の電圧とを前記ソース信号のフレーム毎に交互に印加し、前記複数の選択画素電極に正極性及び負極性のうちのいずれか一方の第 1 の極性の一定電圧を印加した場合における前記複数の選択画素電極の保持電圧が等しく又はほぼ等しくなるように、前記複数の選択画素電極それぞれに接続された前記スイッチング素子のゲート電極とドレイン電極との重なり面積が個別に設定されており、前記制御部は、前記複数の選択画素電極に前記第 1 の極性とは逆の第 2 の極性の電圧を印加するための前記ソース信号を前記ソース印加部に印加させる際、前記ソース線ごとに決定された補正電圧を前記ソース信号に重畳することを特徴とする。

30

40

【発明の効果】

【0007】

50

本発明によれば、表示装置の表示品位を向上させることができる。

【図面の簡単な説明】

【0008】

【図1】実施の形態に係る表示装置の構成図である。

【図2】実施の形態に係る液晶パネルの構成図である。

【図3】実施の形態に係るスイッチング素子の構成図である。

【図4】実施の形態に係る液晶パネルの等価回路図である。

【図5】ゲート印加部に最も近いスイッチング素子における電圧の経時変化を示すグラフである。

【図6】ゲート印加部から最も遠いスイッチング素子における電圧の経時変化を示すグラフである。

10

【図7】正極性及び負極性それぞれのソース信号と保持電圧との関係を示すグラフである。

【図8】Cgdグラデーションを行なった場合のゲート印加部から最も遠いスイッチング素子における電圧の経時変化を示すグラフである。

【図9】Cgdグラデーションを行なった場合の正極性及び負極性それぞれのソース信号と保持電圧との関係を示すグラフである。

【図10】実施の形態に係る制御部の構成図である。

【図11】Cgdグラデーション及びソース信号の調整を行なった場合のゲート印加部から最も遠いスイッチング素子における電圧の経時変化を示すグラフである。

20

【図12】Cgdグラデーション及びソース信号の調整を行なった場合の正極性及び負極性それぞれのソース信号と保持電圧との関係を示すグラフである。

【発明を実施するための形態】

【0009】

以下、本発明を、その実施の形態を示す図面に基づいて詳述する。

【0010】

図1は、実施の形態に係る表示装置1の構成図である。図2は、実施の形態に係る液晶パネル10の構成図である。表示装置1は、例えばテレビジョン受信機、又はパーソナルコンピュータのディスプレイとして構成される。表示装置1は、液晶パネル10、1以上（本実施の形態では2つ）のゲート印加部11、11、ソース印加部12、及び制御部13を備える。

30

【0011】

液晶パネル10は、一面に映像が表示される表示パネルである。液晶パネル10には、透光基板201、202が含まれている。透光基板201の一面には、M本のゲート線21、21、…、N本のソース線22、22、…、 $\{M \times N\}$ 個のスイッチング素子3、3、…、及び $\{M \times N\}$ 個の画素電極41、41、…が設けられている。ここで、M、Nは任意の複数を示している。スイッチング素子3は図中「T」で示し、画素電極41は図中「P」で示している。

【0012】

図1及び図2に示すように、ゲート線21、21、…は、互いに平行に、図中上下方向に並設されている。各ゲート線21の両端部は、ゲート印加部11、11に接続されている。各ゲート印加部11には、ゲートクロック（図中「GC」）が制御部13から与えられる。ゲート印加部11、11は、ゲートクロックが与えられた場合、ゲート線21の両端部からゲート線21にゲート信号を印加する。ゲート信号は、ゲート線21、21、…に、例えば上から順に印加される。一番下のゲート線21にゲート信号が印加された場合、次は一番上のゲート線にゲート信号が印加される。

40

【0013】

ソース線22、22、…は、互いに平行に、図中左右方向に並設されている。各ソース線22は、図示しない絶縁層を介して、ゲート線21、21、…に交差している。各ソース線22の一端部（図中上端部）は、ソース印加部12に接続されている。ソース印加部

50

12には、表示すべき映像を構成する各画素の階調値を示す階調値信号（図中「GV」）が制御部13から与えられる。また、ソース印加部12には、階調値信号毎に、後述する補正電圧を示す補正電圧信号（図中「CV」）が制御部13から与えられる。

【0014】

また、ソース印加部12には、N個の階調値信号が与えられる都度、1個のラッチストロープ信号（図中「LS」）が制御部13から与えられる。N個の階調値信号及びN個の補正電圧信号は、N本のソース線22, 22, ...に一対一に対応する。ソース印加部12には、 $\{M \times N\}$ 個の階調値信号が与えられる都度、1個のフレーム信号（図中「FR」）が制御部13から与えられる。 $\{M \times N\}$ 個の階調値信号は、1フレーム分の映像を構成する $\{M \times N\}$ 個の画素それぞれの階調値を示している。

10

【0015】

ラッチストロープ信号が与えられた場合、ソース印加部12は、ソース線22の一端部からソース線22に、階調値信号に応じた正極性又は負極性のソース信号を印加する。階調値信号が示す階調値が大きいほど、ソース信号の電圧の絶対値は大きい。ソース信号は、ソース線22, 22, ...に同時的に印加される。ソース印加部12は、例えば隣り合うソース線22, 22に印加されるソース信号の極性が互いに異なるように各ソース信号の極性を設定する。また、ソース印加部12は、ソース信号の極性が1フレーム毎に反転するように各ソース信号の極性を設定する。

【0016】

ソース線22に印加すべきソース信号の極性が所定の極性（本実施の形態では負極性）である場合、ソース印加部12は、ソース線22へのソース信号の印加時に、補正電圧信号が示す補正電圧をソース信号に重畳する。この結果、補正電圧が重畳されたソース信号がソース線22に印加される。一方、ソース線22に印加すべきソース信号の極性が上記所定の極性とは逆の極性（本実施の形態では正極性）である場合、ソース印加部12は、ソース信号に補正電圧信号が示す補正電圧を重畳しない。この結果、補正電圧が重畳されていないソース信号がソース線22に印加される。

20

【0017】

表示装置1は、ゲート線21, 21, ...及びソース線22, 22, ...が交差する交点23のそれぞれに対応して、 $\{M \times N\}$ 個の画素5, 5, ...を備える。各画素5は画素電極41含む。画素電極41, 41, ...とスイッチング素子3, 3, ...とは一対一対応である。画素5, 5, ...はマトリクス状に配置されている。即ち、ゲート線21, 21, ...はマトリクスの列方向（図中上下方向）に並置されており、ソース線22, 22, ...はマトリクスの行方向（図中左右方向）に並置されている。また、ゲート線21, 21, ...とソース線22, 22, ...とは画素5, 5, ...付近で交差している。

30

【0018】

各スイッチング素子3は、TFT（Thin Film Transistor）である。スイッチング素子3は、ゲート線21及びソース線22の交点23付近に配されている。スイッチング素子3は、この交点23を通るゲート線21及びソース線22に接続されている。また、スイッチング素子3は、この交点23付近の画素5の画素電極41に接続されている。同一のゲート線21に接続されているスイッチング素子3, 3, ...は、このゲート線21に沿って並設されている。同一のソース線22に接続されているスイッチング素子3, 3, ...は、このソース線22に沿って並設されている。

40

【0019】

図3は、実施の形態に係るスイッチング素子3の構成図である。図3に示す一番左側（又は一番右側）のスイッチング素子は、左側（又は右側）のゲート印加部11に近いスイッチング素子3, 3, ...の一例である。図3に示す左右方向中央部のスイッチング素子は、ゲート印加部11, 11から遠いスイッチング素子3, 3, ...の一例である。

【0020】

各スイッチング素子3は、ゲート電極31、ソース電極32、及びドレイン電極33を有する。ゲート電極31は、交点23を通るゲート線21に接続されている。ゲート電極

50

3 1には、ゲート線 2 1からゲート信号が印加される。ソース電極 3 2は、交点 2 3を通るソース線 2 2に接続されている。ソース電極 3 2には、ソース線 2 2からソース信号が印加される。ドレイン電極 3 3には、交点 2 3付近の画素 5の画素電極 4 1が接続されている。ドレイン電極 3 3及び画素電極 4 1は等電位である。ゲート電極 3 1及びドレイン電極 3 3は、紙面に垂直な方向に互いに重ねられている。図 3に示すハッチングは、ゲート電極 3 1及びドレイン電極 3 3の重なりを示している。

#### 【 0 0 2 1 】

本明細書において、一のスイッチング素子 3が他のスイッチング素子 3に比べてゲート印加部 1 1, 1 1に近いとは、ゲート印加部 1 1から上記一のスイッチング素子 3のゲート電極 3 1までのゲート線 2 1に沿った経路の長さが、ゲート印加部 1 1から上記他のスイッチング素子 3のゲート電極 3 1までのゲート線 2 1に沿った経路の長さよりも短いことをいう。また、一の画素電極 4 1が他の画素電極 4 1に比べてゲート印加部 1 1, 1 1に近いとは、上記一の画素電極 4 1に接続されたスイッチング素子 3が、上記他の画素電極 4 1に接続されたスイッチング素子 3よりもゲート印加部 1 1, 1 1に近いことをいう。逆に、一のスイッチング素子 3が他のスイッチング素子 3に比べてゲート印加部 1 1, 1 1から遠いとは、ゲート印加部 1 1, 1 1から上記一のスイッチング素子 3のゲート電極 3 1までのゲート線 2 1に沿った経路の長さが、ゲート印加部 1 1, 1 1から上記他のスイッチング素子 3のゲート電極 3 1までのゲート線 2 1に沿った経路の長さよりも長いことをいう。また、一の画素電極 4 1が他の画素電極 4 1に比べてゲート印加部 1 1, 1 1から遠いとは、上記一の画素電極 4 1に接続されたスイッチング素子 3が、上記他の画素電極 4 1に接続されたスイッチング素子 3よりもゲート印加部 1 1, 1 1から遠いことをいう。

10

20

#### 【 0 0 2 2 】

スイッチング素子 3をオンするしきい値電圧よりも高い電圧の信号(本明細書ではこの信号を「ゲート信号」という)がゲート電極 3 1に印加されている場合(ゲートオン)、ソース電極 3 2とドレイン電極 3 3とが接続されている。ゲート電極 3 1にゲート信号の印加が終了した場合、即ち、しきい値電圧よりも低い電圧の信号がゲート電極 3 1に印加されている場合(ゲートオフ)、ソース電極 3 2とドレイン電極 3 3との接続は切断される。ソース電極 3 2にソース信号が印加されている場合、ゲートオンされたとき、ソース電極 3 2からドレイン電極 3 3及び画素電極 4 1にソース信号が印加される。故に、ドレイン電極 3 3及び画素電極 4 1の電圧は、ソース信号の電圧に等しくなる。一方、ゲートオフされたとき、ソース線 2 2から画素電極 4 1が切り離されて、画素電極 4 1の電圧は、印加されたソース信号の電圧から引き込み電圧値分だけ低下した電圧(即ち保持電圧)に保持される。

30

#### 【 0 0 2 3 】

以上のようなゲート信号は、マトリックスの行方向に並ぶ画素群を選択するためにゲート線 2 1, 2 1, ...に順次印加される。ゲート信号が印加されたゲート線 2 1にスイッチング素子 3, 3, ...を介して接続されている画素電極 4 1, 4 1, ...を、以下では選択画素電極 4 1, 4 1, ...ということがある。選択された画素群とは、選択画素電極 4 1, 4 1, ...を含む画素 5, 5, ...である。ソース信号は、選択画素電極 4 1, 4 1, ...に、スイッチング素子 3, 3, ...を介して、表示すべき映像の階調値に応じた所望の電圧を印加するためにソース線 2 2, 2 2, ...に印加される。

40

#### 【 0 0 2 4 】

透光基板 2 0 2の一面には、コモン電極 4 2が設けられている。透光基板 2 0 2のコモン電極 4 2が設けられている面と、透光基板 2 0 1の画素電極 4 1, 4 1, ...が設けられている面とは紙面に垂直な方向に対向配置されている。画素電極 4 1, 4 1, ...とコモン電極 4 2との間には、液晶が介在している。コモン電極 4 2には、所定のコモン電圧が印加されている。保持電圧とコモン電圧との差の絶対値を、以下では実効電圧という。実効電圧が等しい画素電極 4 1, 4 1, ...を有する画素それぞれの輝度は等しい。実効電圧が高い画素電極 4 1を有する画素の輝度は高い。

50

## 【 0 0 2 5 】

図 4 は、実施の形態に係る液晶パネル 1 0 の等価回路図である。図中  $C_{gd}$ 、 $C_{lc}$  は寄生容量及び液晶容量である。寄生容量  $C_{gd}$  は、スイッチング素子 3 のゲート電極 3 1 及びドレイン電極 3 3 ( 図 3 参照 ) の間に形成される。液晶容量  $C_{lc}$  は、画素電極 4 1 ( 図 3 参照 ) とコモン電極 4 2 との間に形成される。透光基板 2 0 1 の画素電極 4 1、4 1、... が設けられている面には、M 本の補助容量ライン 4 3、4 3、... ( 図 4 に 1 本のみ図示 ) が、ゲート線 2 1、2 1、... に平行に設けられている。各補助容量ライン 4 3 には、所定の補助電圧が印加されている。補助容量ライン 4 3 と画素電極 4 1 との間には、補助容量  $C_s$  が形成される。

## 【 0 0 2 6 】

ゲートオンされた画素電極 4 1 ( 選択画素電極 ) にソース信号が印加され、液晶容量  $C_{lc}$  が充電される。ソース信号の極性は 1 フレーム毎に反転するので、選択画素電極 4 1 には正極性の電圧 ( ソース信号 ) と負極性の電圧 ( ソース信号 ) とがフレーム毎に交互に印加される。ゲートオフによって画素電極 4 1 の電圧は、保持電圧になる。引き込み電圧値は、選択画素電極 4 1 に接続されたスイッチング素子 3 におけるゲート電極 3 1 及びドレイン電極 3 3 間の寄生容量  $C_{gd}$  と、選択画素電極 4 1 に接続されたスイッチング素子 3 のゲート電極 3 1 に印加されたゲート信号の波形の鈍りの程度と、選択画素電極 4 1 に接続されたスイッチング素子 3 におけるゲート電極 3 1 及びソース電極 3 2 間の電位差 ( 特に再充電が起こっているときの電位差 ) とに応じて定まる。補助容量  $C_s$  に蓄積された電荷によって、保持電圧は一定に保たれる。

## 【 0 0 2 7 】

図 5 は、ゲート印加部 1 1 に最も近いスイッチング素子 3 における電圧の経時変化を示すグラフである。図 5 の横軸は時間  $t$  であり、縦軸は電圧  $V$  である。図 5 には、ゲート電極 3 1 の電圧  $V_{31}$  ( 細い実線 )、ソース電極 3 2 の電圧  $V_{32}$  ( 二点鎖線 )、及びドレイン電極 3 3 の電圧  $V_{33}$  ( 太い実線 ) が示されている。

## 【 0 0 2 8 】

ゲート線 2 1 からゲート電極 3 1 にゲート信号が印加されていない場合、ゲート電極 3 1 の電圧  $V_{31}$  は、所定のゲートロウ電圧  $V_{gl}$  (  $V_{gl} < 0$  ) で一定である。スイッチング素子 3 はゲート印加部 1 1 に最も近いので、ゲート線 2 1 からゲート電極 3 1 に印加されるゲート信号の波形には鈍りが生じていない。故に、ゲート信号が印加された場合、ゲート電極 3 1 の電圧は、ゲートロウ電圧  $V_{gl}$  から急峻に増大して、所定のゲートハイ電圧  $V_{gh}$  (  $V_{gh} > 0$  ) で一定になる。ゲート信号の印加が終了した場合、ゲート電極 3 1 の電圧  $V_{31}$  は、ゲートハイ電圧  $V_{gh}$  から急峻に減少して、ゲートロウ電圧  $V_{gl}$  で一定になる。

## 【 0 0 2 9 】

ゲート電極 3 1 にゲート信号が印加されていないとき、ドレイン電極 3 3 の電圧  $V_{33}$  は、前回の保持電圧で一定である。図 5 の左側は、ソース電極 3 2 に正極性のソース信号  $V_s (+)$  が印加されている場合を示している (  $0 < V_s (+) < V_{gh}$  )。ソース電極 3 2 の電圧は、ソース信号  $V_s (+)$  に等しい。ゲート電極 3 1 にゲート信号が印加されたとき、ドレイン電極 3 3 の電圧  $V_{33}$  は前回の保持電圧から変化して、ソース信号  $V_s (+)$  で一定になる。ゲート電極 3 1 へのゲート信号の印加が終了したとき、ドレイン電極 3 3 の電圧  $V_{33}$  はソース信号  $V_s (+)$  から引き込み電圧値だけ急峻に低下して、正極性の保持電圧 (  $+$  ) (  $0 < (+) < V_s (+)$  ) で一定になる。この場合の引き込み電圧値を “ A ” とする。

## 【 0 0 3 0 】

図 5 の右側は、ソース電極 3 2 に負極性のソース信号  $V_s (-)$  が印加されている場合を示している (  $0 > V_s (-) > V_{gl}$  )。ソース電極 3 2 の電圧は、ソース信号  $V_s (-)$  に等しい。ゲート電極 3 1 にゲート信号が印加されたとき、ドレイン電極 3 3 の電圧  $V_{33}$  は前回の保持電圧から変化して、ソース信号  $V_s (-)$  で一定になる。ゲート電極 3 1 へのゲート信号の印加が終了したとき、ドレイン電極 3 3 の電圧  $V_{33}$  はソース信号

10

20

30

40

50

$V_s(-)$  から引き込み電圧値だけ急峻に低下して、負極性の保持電圧  $(-)$  ( $0 < (-) < V_s(-)$ ) で一定になる。この場合の引き込み電圧値は“ A ”に等しい。従って、引き込み電圧値 A は、下記 (1) 式を満たす。

$$A = |V_s(+)-(-)| = |V_s(-)-(-)| \dots (1)$$

【0031】

コモン電圧  $V_c$  は、表示装置 1 の製造時に、例えば保持電圧  $(+)$  ,  $(-)$  に基づいて、下記 (2) 式のように設定される。

$$V_c = \{ (+) - (-) \} / 2 \dots (2)$$

【0032】

故に、ゲート印加部 11 に最も近い画素電極 41 においては、ソース信号が正極性の場合の実効電圧とソース信号が負極性の場合の実効電圧とが等しい。

10

【0033】

図 6 は、ゲート印加部 11 , 11 から最も遠いスイッチング素子 3 における電圧の経時変化を示すグラフである。図 6 の横軸は時間  $t$  であり、縦軸は電圧  $V$  である。図 6 にも、図 5 と同様に、ゲート電極 31 の電圧  $V_{31}$ 、ソース電極 32 の電圧  $V_{32}$ 、及びドレイン電極 33 の電圧  $V_{33}$  が示されている。

【0034】

ゲート線 21 の電気抵抗及び静電容量によって、ゲート印加部 11 からゲート線 21 に印加されたゲート信号の波形は、ゲート印加部 11 から遠ざかるほど鈍る。図 6 において、スイッチング素子 3 はゲート印加部 11 , 11 から最も遠いので、ゲート線 21 からゲート電極 31 に印加されるゲート信号の波形には大きな鈍りが生じている。故に、ゲート信号が印加された場合、ゲート電極 31 の電圧は、ゲートロウ電圧  $V_{g1}$  から緩やかに増大して、ゲートハイ電圧  $V_{gh}$  で一定になる。ゲート信号の印加が終了した場合、ゲート電極 31 の電圧  $V_{31}$  は、ゲートハイ電圧  $V_{gh}$  から緩やかに減少して、ゲートロウ電圧  $V_{g1}$  で一定になる。

20

【0035】

図 6 の左側は、ソース電極 32 に正極性のソース信号  $V_s(+)$  が印加されている場合を示している。ゲート電極 31 にゲート信号が印加されたとき、ドレイン電極 33 の電圧  $V_{33}$  は前回の保持電圧から緩やかに変化して、ソース信号  $V_s(+)$  で一定になる。ゲート電極 31 へのゲート信号の印加が終了したとき、ドレイン電極 33 の電圧  $V_{33}$  はソース信号  $V_s(+)$  から引き込み電圧値だけ緩やかに低下して、正極性の保持電圧  $(+)$  ( $0 < (+) < V_s(+)$ ) で一定になる。この場合の引き込み電圧値を“ B ”とすると、引き込み電圧値 B は、下記 (3) 式を満たす。

30

$$B = |V_s(+)-(+)| \dots (3)$$

【0036】

引き込み電圧値 B は、図 5 に示す引き込み電圧値 A より小さい。ここで、 $B < A$  となる理由を述べる。即ち、ソース電極 32 とドレイン電極 33 との接続が切断されるタイミングは、ゲート電極 31 の電圧が、ゲートハイ電圧  $V_{gh}$  よりも小さくゲートロウ電圧  $V_{g1}$  よりも大きいしきい値電圧に達したタイミングである。図 5 の場合、ゲート電極 31 の電圧がゲートハイ電圧  $V_{gh}$  からしきい値電圧に減少するまでの経過時間は短い。つまり、ゲートオフ時にソース電極 32 とドレイン電極 33 との接続は即座に切断され、液晶容量  $C_{lc}$  への充電が終了する。一方、図 6 の場合、ゲート電極 31 の電圧がゲートハイ電圧  $V_{gh}$  からしきい値電圧に減少するまでの経過時間は長い。つまり、ゲートオフ時にソース電極 32 とドレイン電極 33 との接続は暫く継続され、液晶容量  $C_{lc}$  への充電が暫く継続される(いわゆる再充電)。故に、保持電圧  $(+)$  は保持電圧  $(+)$  よりも高い(後述する図 7 参照)。従って、(1) , (3) 式により、 $B < A$  である。

40

【0037】

図 6 の右側は、ソース電極 32 に負極性のソース信号  $V_s(-)$  が印加されている場合を示している。ゲート電極 31 にゲート信号が印加されたとき、ドレイン電極 33 の電圧  $V_{33}$  は前回の保持電圧から緩やかに変化して、ソース信号  $V_s(-)$  で一定になる。ゲ

50

ート電極 3 1 へのゲート信号の印加が終了したとき、ドレイン電極 3 3 の電圧  $V_{33}$  はソース信号  $V_s(-)$  から引き込み電圧値だけ緩やかに低下して、負極性の保持電圧  $(-)$  ( $0 < (-) < V_s(-)$ ) で一定になる。この場合の引き込み電圧値を“C”とする。

#### 【0038】

図 6 に示す引き込み電圧値 C は、図 5 に示す引き込み電圧値 A より小さい。この理由は、引き込み電圧値 B が引き込み電圧値 A より小さくなる理由と同じである。即ち、ゲート信号の波形の鈍りに起因する液晶容量  $C_{lc}$  への最充電が行なわれるからである。

#### 【0039】

引き込み電圧値 C は引き込み電圧値 B より小さい。ここで、 $C < B$  となる理由を説明する。即ち、スイッチング素子 3 は、ゲート電極 3 1 及びソース電極 3 2 間の電圧差  $V_{gs}$  が一定電圧を越えると電流  $I_d$  が流れ始め、電圧差  $V_{gs}$  が大きくなるに連れて電流  $I_d$  が大きくなるという特性 ( $I_d - V_{gs}$  特性) を有する。ゲートオフ時のゲート電極 3 1 の電圧  $V_{31}$  がゲートハイ電圧  $V_{gh}$  からしきい値電圧まで低下する間 (即ち、再充電が起こる期間) において、負極性のソース信号  $V_s(-)$  がソース電極 3 2 に印加されたときの電圧差  $V_{gs}$  は、正極性のソース信号  $V_s(+)$  がソース電極 3 2 に印加されたときの電圧差  $V_{gs}$  よりも大きくなる。例えば、ゲート電極 3 1 の電圧  $V_{31}$  がゲートハイ電圧  $V_{gh}$  からソース信号に一致する電圧に変化するまで (即ち、 $V_{gs}$  がプラスの値から 0 になるまで) の時間は、負極性のソース信号  $V_s(-)$  がソース電極 3 2 に印加されたときのほうが正極性のソース信号  $V_s(+)$  がソース電極 3 2 に印加されたときよりも長い。従って、負極性のソース信号  $V_s(-)$  がソース電極 3 2 に印加されたときのほうが、正極性のソース信号  $V_s(+)$  がソース電極 3 2 に印加されたときよりも、再充電時に大きな電流  $I_d$  が流れるので再充電量が大きくなり、その分引き込み電圧値は小さくなる。従って、 $C < B$  である。

#### 【0040】

図 7 は、正極性及び負極性それぞれのソース信号  $V_s(+)$ ,  $V_s(-)$  と保持電圧  $V_d(+)$ ,  $V_d(-)$  との関係を示すグラフである。図 7 の横軸はゲート印加部 1 1 からの遠近であり、縦軸は電圧  $V$  である。ソース信号  $V_s(+)$ ,  $V_s(-)$  は二点鎖線で示してある。保持電圧  $V_d(+)$ ,  $V_d(-)$  は太い実線で示してある。図 7 には、細い実線でコモン電圧  $V_c$  も示してある。

#### 【0041】

保持電圧  $V_d(+)$  は、スイッチング素子 3, 3, ... それぞれのソース電極 3 2 に正極性のソース信号  $V_s(+)$  が印加された場合における各ドレイン電極 3 3 の保持電圧を示している。最もゲート印加部 1 1 に近い画素電極 4 1 の保持電圧  $V_d(+)$  は“ (+) ”であり、最もゲート印加部 1 1, 1 1 から遠い画素電極 4 1 の保持電圧  $V_d(+)$  は“ (+) ”である。そして、保持電圧  $V_d(+)$  は、ゲート印加部 1 1, 1 1 から遠ざかるにつれて“ (+) ”から“ (+) ”まで徐々に大きくなる。故に、正極性のソース信号  $V_s(+)$  の場合、画素電極 4 1 がゲート印加部 1 1, 1 1 から遠いほど、実効電圧  $V_e(+)$  は大きい。

#### 【0042】

画素電極 4 1, 4 1, ... それぞれの引き込み電圧値は  $|V_s(+)-V_d(+)|$  である。最もゲート印加部 1 1 に近い画素電極 4 1 の引き込み電圧値は“ A ”であり、最もゲート印加部 1 1, 1 1 から遠い画素電極 4 1 の引き込み電圧値は“ B ”である。そして、引き込み電圧は、ゲート印加部 1 1, 1 1 から遠ざかるにつれて“ A ”から“ B ”まで徐々に小さくなる。

#### 【0043】

保持電圧  $V_d(-)$  は、スイッチング素子 3, 3, ... それぞれのソース電極 3 2 に負極性のソース信号  $V_s(-)$  が印加された場合における各ドレイン電極 3 3 の保持電圧を示している。最もゲート印加部 1 1 に近い画素電極 4 1 の保持電圧  $V_d(-)$  は“ (-) ”であり、最もゲート印加部 1 1, 1 1 から遠い画素電極 4 1 の保持電圧  $V_d(-)$  は“

10

20

30

40

50

( - ) ”である。そして、保持電圧  $V_d( - )$  は、ゲート印加部 1 1 , 1 1 から遠ざかるにつれて “ ( - ) ” から “ ( - ) ” まで徐々に大きくなる。故に、負極性のソース信号  $V_s( - )$  の場合、画素電極 4 1 がゲート印加部 1 1 , 1 1 から遠いほど、実効電圧  $V_e( - )$  は大きい。

【 0 0 4 4 】

画素電極 4 1 , 4 1 , ... それぞれの引き込み電圧値は  $|V_s( - ) - V_d( - )|$  である。最もゲート印加部 1 1 に近い画素電極 4 1 の引き込み電圧値は “ A ” であり、最もゲート印加部 1 1 , 1 1 から遠い画素電極 4 1 の引き込み電圧値は “ C ” である。引き込み電圧値は、ゲート印加部 1 1 , 1 1 から遠ざかるにつれて “ A ” から “ C ” まで徐々に小さくなる。

10

【 0 0 4 5 】

以上の結果、ゲート印加部 1 1 , 1 1 から遠い画素電極 4 1 を有する画素とゲート印加部 1 1 に近い画素電極 4 1 を有する画素との間で輝度差が生じるので、表示装置 1 の表示品位が低下する。

【 0 0 4 6 】

画素間の輝度差を解消するために、本実施の形態では、C g d グラデーション及びソース信号の調整が行なわれる。まず、C g d グラデーションについて説明する。C g d グラデーションとは、寄生容量 C g d の調整である。各スイッチング素子 3 の寄生容量 C g d が一定である場合、同極性のソース信号が印加された複数の画素電極 4 1 について、画素電極 4 1 がゲート印加部 1 1 , 1 1 から遠いほど引き込み電圧値は小さい。寄生容量 C g d を大きくすれば、引き込み電圧値は大きくなる。故に、スイッチング素子 3 がゲート印加部 1 1 , 1 1 から遠いほど寄生容量 C g d を適宜に大きくすることにより、同極性のソース信号が印加された場合における各画素電極 4 1 の引き込み電圧値を一定にすることができる。

20

【 0 0 4 7 】

ゲート電極 3 1 及びドレイン電極 3 3 の重なり面積が大きいほど、寄生容量 C g d は大きい。従って、ゲート印加部 1 1 , 1 1 から遠いスイッチング素子 3 ほど、ゲート電極 3 1 及びドレイン電極 3 3 の重なり面積は大きくしてある ( 図 3 参照 ) 。

【 0 0 4 8 】

各スイッチング素子 3 におけるゲート電極 3 1 及びドレイン電極 3 3 の重なり面積は、同一のゲート線 2 1 にスイッチング素子 3 , 3 , ... を介して接続されている複数の画素電極 4 1 , 4 1 , ... それぞれに第 1 の極性 ( 本実施の形態では正極性 ) のソース信号  $V_s( + )$  ( 第 1 の極性の一定電圧 ) が印加された場合における複数の画素電極 4 1 , 4 1 , ... それぞれの保持電圧  $V_d( + )$  が互いに等しく又はほぼ等しくなるように、個別に設定されている。ここで、「保持電圧  $V_d( + )$  が互いにほぼ等しい」とは、複数の保持電圧  $V_d( + )$  が完全には一致していないが表示品位に悪影響がない程度の差であることを意味する。重なり面積の設定は、画素電極 4 1 , 4 1 , ... に第 1 の極性のソース信号  $V_s( + )$  を印加した場合における画素電極 4 1 , 4 1 , ... での引き込み電圧値が等しく又はほぼ等しくなるように行なわれる。

30

【 0 0 4 9 】

図 8 は、C g d グラデーションを行なった場合のゲート印加部 1 1 , 1 1 から最も遠いスイッチング素子 3 における電圧の経時変化を示すグラフである。図 8 の縦軸及び横軸は、図 6 の縦軸及び横軸と同じである。図 8 にも、図 6 と同様に、ゲート電極 3 1 の電圧  $V_{31}$ 、ソース電極 3 2 の電圧  $V_{32}$ 、及びドレイン電極 3 3 の電圧  $V_{33}$  が示されている。

40

【 0 0 5 0 】

図 8 の左側は、ソース電極 3 2 に正極性のソース信号  $V_s( + )$  が印加されている場合を示している。ゲート電極 3 1 にゲート信号が印加されたとき、ドレイン電極 3 3 の電圧  $V_{33}$  は前回の保持電圧から緩やかに変化して、ソース信号  $V_s( + )$  で一定になる。ゲート電極 3 1 へのゲート信号の印加が終了したとき、ドレイン電極 3 3 の電圧  $V_{33}$  はソ

50

ース信号  $V_s (+)$  から緩やかに減少して、保持電圧  $(+)$  で一定になる。この場合の引き込み電圧値は“ A ”である。

【 0 0 5 1 】

図 9 は、C g d グラデーションを行なった場合の正極性及び負極性それぞれのソース信号  $V_s (+)$  ,  $V_s (-)$  と保持電圧  $V_d (+)$  ,  $V_d (-)$  との関係を示すグラフである。図 9 の縦軸及び横軸は、図 7 の縦軸及び横軸と同じである。図 9 には、図 7 と同様に、ソース信号  $V_s (+)$  ,  $V_s (-)$  、保持電圧  $V_d (+)$  ,  $V_d (-)$  、及びコモン電圧  $V_c$  が示してある。スイッチング素子 3 , 3 , ... それぞれのソース電極 3 2 に正極性のソース信号  $V_s (+)$  が印加された場合、ゲート印加部 1 1 からの距離の遠近に関わらず、引き込み電圧値は“ A ”で一定である。故に、各画素電極 4 1 の保持電圧  $V_d (+)$  は“  $(+)$  ”で一定であり、実効電圧  $V_e (+)$  も一定である。

10

【 0 0 5 2 】

図 8 の右側は、ソース電極 3 2 に負極性のソース信号  $V_s (-)$  が印加されている場合を示している。ゲート電極 3 1 にゲート信号が印加されたとき、ドレイン電極 3 3 の電圧  $V_{33}$  は前回の保持電圧から緩やかに変化して、ソース信号  $V_s (-)$  で一定になる。ゲート電極 3 1 へのゲート信号の印加が終了したとき、ドレイン電極 3 3 の電圧  $V_{33}$  はソース信号  $V_s (-)$  から緩やかに減少して、負極性の保持電圧  $(-)$  ( $0 < (-) < V_s (-)$ ) で一定になる。この場合の引き込み電圧値を“ D ”とする。

【 0 0 5 3 】

図 8 に示す引き込み電圧値 D は、図 6 に示す引き込み電圧値 C より大きい ( 図 7 及び図 9 参照 ) 。この理由は、C g d グラデーションにより、ゲート印加部 1 1 , 1 1 から最も遠い画素 5 の寄生容量 C g d が、図 6 の場合よりも大きいからである。しかしながら、引き込み電圧値 D は、引き込み電圧値 A より小さい。何故ならば、図 6 に示す引き込み電圧値 C が、引き込み電圧値 B より小さいからである ( 図 7 及び図 9 参照 ) 。

20

【 0 0 5 4 】

図 9 に示すように、スイッチング素子 3 , 3 , ... それぞれのソース電極 3 2 に負極性のソース信号  $V_s (-)$  が印加された場合、最もゲート印加部 1 1 に近い画素電極 4 1 の保持電圧  $V_d (-)$  は“  $(-)$  ”であり、最もゲート印加部 1 1 , 1 1 から遠い画素電極 4 1 の保持電圧  $V_d (-)$  は“  $(-)$  ”である。そして、保持電圧  $V_d (-)$  は、ゲート印加部 1 1 , 1 1 から遠ざかるにつれて“  $(-)$  ”から“  $(-)$  ”まで徐々に大きくなる。故に、負極性のソース信号  $V_s (-)$  の場合、画素電極 4 1 がゲート印加部 1 1 , 1 1 から遠いほど、実効電圧  $V_e (-)$  は大きい。

30

【 0 0 5 5 】

画素電極 4 1 , 4 1 , ... それぞれの引き込み電圧値は  $|V_s (-) - V_d (-)|$  である。最もゲート印加部 1 1 に近い画素電極 4 1 の引き込み電圧値は“ A ”であり、最もゲート印加部 1 1 , 1 1 から遠い画素電極 4 1 の引き込み電圧値は“ D ”である。そして、引き込み電圧値は、ゲート印加部 1 1 , 1 1 から遠ざかるにつれて“ A ”から“ D ”まで徐々に小さくなる。

【 0 0 5 6 】

以上の結果、ゲート印加部 1 1 , 1 1 から遠い画素電極 4 1 を有する画素とゲート印加部 1 1 に近い画素電極 4 1 を有する画素との間で輝度差が生じる。C g d グラデーションを行なった場合の輝度差は、C g d グラデーションを行なわない場合の輝度差よりは減少する。しかしながら、表示装置 1 の使用時に視認可能な程度の輝度差が残る。

40

【 0 0 5 7 】

次に、ソース信号の調整について説明する。本実施の形態においては、負極性のソース信号は調整されるが、正極性のソース信号は調整されない。何故ならば、画素電極 4 1 , 4 1 , ... に正極性のソース信号が印加された場合の輝度差は、C g d グラデーションによって解消されているからである。また、ソース信号の調整は、ソース信号に補正電圧を重畳することによって行なわれる。そこで、ソース印加部 1 2 は、制御部 1 3 の制御の下、画素電極 4 1 , 4 1 , ... に正極性のソース信号を印加する場合はソース信号に補正電圧を

50

重畳せず、画素電極 4 1 , 4 1 , ... に負極性のソース信号を印加する場合はソース信号に補正電圧を重畳するよう構成されている。

【 0 0 5 8 】

図 1 0 は、実施の形態に係る制御部 1 3 の構成図である。制御部 1 3 は、列カウンタ 1 3 1、行カウンタ 1 3 2、テーブル 1 3 3、及び演算部 1 3 4 を備えている。制御部 1 3 には、複数個の階調値信号が順次入力される。制御部 1 3 に入力される階調値信号は、例えば、外部から受信した映像信号に所定の信号処理を施したものである。制御部 1 3 に入力された階調値信号は、列カウンタ 1 3 1 及び演算部 1 3 4 に与えられる。

【 0 0 5 9 】

本実施の形態では、ゲート線 2 1 , 2 1 , ... に個別の行番号が割り振られている。ゲート線 2 1 , 2 1 , ... それぞれに割り振られている行番号は、上側のゲート線 2 1 から順に “ 1 ” , “ 2 ” , ... , “ M ” である。また、本実施の形態では、ソース線 2 2 , 2 2 , ... に個別の列番号が割り振られている。ソース線 2 2 , 2 2 , ... それぞれに割り振られている列番号は、左側のソース線 2 2 から順に “ 1 ” , “ 2 ” , ... , “ N ” である。

10

【 0 0 6 0 】

列カウンタ 1 3 1 は、階調値信号が与えられる都度、計数結果を “ 1 ” インクリメントする。計数結果が “ N ” に達している状態で階調値信号が与えられた場合、列カウンタ 1 3 1 は、計数結果を “ 1 ” にセットする。列カウンタ 1 3 1 の初期値は “ N ” である。つまり、列カウンタ 1 3 1 の計数結果は、演算部 1 3 4 に入力された階調値信号に対応するソース線 2 2 の列番号を表わす。列カウンタ 1 3 1 は、計数結果を “ 1 ” にセットする場

20

【 0 0 6 1 】

行カウンタ 1 3 2 は、計数信号が与えられる都度、計数結果を “ 1 ” インクリメントする。計数結果が “ M ” に達している状態で計数信号が与えられた場合、行カウンタ 1 3 2 は、計数結果を “ 1 ” にセットする。行カウンタ 1 3 2 の初期値は “ M ” である。つまり、行カウンタ 1 3 2 の計数結果は、演算部 1 3 4 に入力された階調値信号に対応するゲート線 2 1 の行番号を表わす。

【 0 0 6 2 】

テーブル 1 3 3 は、不揮発性メモリに記憶されたルックアップテーブルである。テーブル 1 3 3 には、例えば列番号 “ 1 ” ~ “ N ” と、第 1 ~ 第 N の補正電圧とが関連付けて記憶してある。以下では、“ N ” が偶数であるものとして説明する。この場合、例えば、列番号 “ 1 ” に関連付けられている第 1 の補正電圧は 0 V であり、列番号 “ N ” に関連付けられている第 N の補正電圧は 0 V である。列番号 “ 2 ” ~ “ N - 1 ” に関連付けられている第 2 ~ 第 { N - 1 } の補正電圧の絶対値は、何れも 0 V より大きい。また、列番号 “ 2 ” から列番号 “ N / 2 ” までは、大きい列番号に関連付けられている補正電圧ほどその絶対値が大きく、列番号 “ N / 2 - 1 ” から列番号 “ N - 1 ” までは、小さい列番号に関連付けられている補正電圧ほどその絶対値が大きい。本実施の形態において、第 2 ~ 第 { N - 1 } の補正電圧は、負の値である。

30

【 0 0 6 3 】

なお、N 個の列番号を連続する所定個ごとにグループ分けし、グループごとに 1 つの補正電圧が関連付けられてもよい。

40

【 0 0 6 4 】

演算部 1 3 4 は、階調値信号が与えられる都度、列カウンタ 1 3 1 の計数結果（即ち列番号）と行カウンタ 1 3 2 の計数結果（即ち行番号）とを取得する。次に、演算部 1 3 4 は、取得した列番号のソース線 2 2 に印加されるソース信号の極性を判定する。このために、演算部 1 3 4 には極性フラグが設けてある。例えば、極性フラグがセットされている場合、演算部 1 3 4 は、列番号が奇数の場合に正極性と判定し、列番号が偶数の場合に負極性と判定する。極性フラグがリセットされている場合、演算部 1 3 4 は、列番号が偶数の場合に正極性と判定し、列番号が奇数の場合に負極性と判定する。取得した行番号が “ M ”、且つ、取得した列番号が “ N ” の場合、演算部 1 3 4 は、ソース信号の極性を判定

50

した後で、極性フラグのセットとリセットとを切り替える。つまり、ソース信号の極性は、1フレーム毎に反転する。

【0065】

負極性と判定した場合、演算部134は、与えられた階調値信号をソース印加部12に与えると共に、取得した列番号に関連付けられた補正電圧をテーブル133から読み出し、読み出した補正電圧を示す補正電圧信号をソース印加部12に与える。行番号“1”，“N”の場合、補正電圧は0Vである。つまり、ゲート印加部11に最も近い画素電極41に接続されたソース線22には、0Vの補正電圧が重畳された負極性のソース信号が印加される。一方、ゲート印加部11，11から遠い画素電極41ほど、絶対値がより大きな負極性の補正電圧が重畳された負極性のソース信号が、画素電極41に接続されたソース線22に印加される。

10

【0066】

ソース信号に重畳すべき補正電圧は、同一のゲート線21にスイッチング素子3,3,...を介して接続されている複数の画素電極41,41,...それぞれに第2の極性(本実施の形態では負極性)の一定電圧が印加された場合における複数の画素電極41,41,...それぞれの保持電圧 $V_d(+)$ が互いに等しく又はほぼ等しくなるように決定される。

【0067】

列番号が“N”である場合、演算部134は、階調値信号及び補正電圧信号をソース印加部12に与えると共に、ゲートクロックをゲート印加部11,11に与え、ラッチストロブ信号をソース印加部12に与える。この場合、行番号が“M”であるときは、演算部134は、フレーム信号もソース印加部12に与える。

20

【0068】

ソース印加部12には、制御部13の演算部134からN組の階調値信号及び補正電圧信号が1組ずつ与えられる。ソース印加部12には極性フラグが設けてある。例えば、極性フラグがセットされている場合、ソース印加部12は、ラッチストロブ信号が与えられる都度、列番号が奇数のソース線22に、与えられた階調値信号に応じた正極性のソース信号を印加し、列番号が偶数のソース線22に、与えられた補正電圧信号に基づいて補正された負極性のソース信号(補正後のソース信号)を印加する。補正後のソース信号は、与えられた階調値信号に応じた負極性のソース信号に、与えられた補正電圧信号が示す補正電圧が重畳された信号である。極性フラグがリセットされている場合、演算部134は、列番号が奇数のソース線22に、与えられた補正電圧信号に基づいて補正された負極性のソース信号(補正後のソース信号)を印加し、列番号が偶数のソース線22に、与えられた階調値信号に応じた正極性のソース信号を印加する。ソース印加部12は、フレーム信号が与えられる都度、ソース信号の印加後に極性フラグのセットとリセットとを切り替える。つまり、ソース信号の極性は、1フレーム毎に反転する。

30

【0069】

以上のような制御部13は、ゲートクロックをゲート印加部11,11に与え、階調値信号、補正電圧信号、ラッチストロブ信号、及びフレーム信号をソース印加部12に与えることによってゲート印加部11,11及びソース印加部12を制御する制御部として機能する。

40

【0070】

図11は、Cgdグラデーション及びソース信号の調整を行なった場合のゲート印加部11,11から最も遠いスイッチング素子3における電圧の経時変化を示すグラフである。図11の縦軸及び横軸は、図8の縦軸及び横軸と同じである。図11にも、図8と同様に、ゲート電極31の電圧 $V_{31}$ 、ソース電極32の電圧 $V_{32}$ 、及びドレイン電極33の電圧 $V_{33}$ が示されている。

【0071】

図11の左側は、ソース電極32に正極性のソース信号 $V_s(+)$ が印加されている場合を示している。正極性のソース信号 $V_s(+)$ は、補正電圧が重畳されていないソース信号である。故に、図11の左側のグラフは図8の左側のグラフと同じである。

50

## 【0072】

図12は、Cgdグラデーション及びソース信号の調整を行なった場合の正極性及び負極性それぞれのソース信号 $V_{s(+)}$ 、 $V_{s(-)}$ と保持電圧 $V_{d(+)}$ 、 $V_{d(-)}$ との関係を示すグラフである。図12の縦軸及び横軸は、図9の縦軸及び横軸と同じである。図12には、図9と同様に、ソース信号 $V_{s(+)}$ 、 $V_{s(-)}$ 、保持電圧 $V_{d(+)}$ 、 $V_{d(-)}$ 、及びコモン電圧 $V_c$ が示してある。また、図12には、補正電圧が重畳されたソース信号 $V_{sc}$ が一点鎖線で示してある。補正電圧は $\{V_{sc} - V_{s(-)}\}$ である。

## 【0073】

スイッチング素子3, 3, ...それぞれのソース電極32に正極性のソース信号 $V_{s(+)}$ が印加された場合、ゲート印加部11からの距離の遠近に関わらず、各画素電極41の保持電圧 $V_{d(+)}$ は、“ (+ ) ”で一定である。故に、ゲート印加部11からの距離の遠近に関わらず、実効電圧 $V_{e(+)}$ 及び引き込み電圧値はそれぞれ一定である。従って、ゲート印加部11から遠い画素電極41を有する画素とゲート印加部11に近い画素電極41を有する画素との間で生じる輝度差は“ 0 ”である。換言すれば、ドレイン電極33に正極性のソース信号が印加された場合、保持電圧が互いに等しいドレイン電極33に印加されたソース信号は、互いに等しい。

10

## 【0074】

図11の右側は、ソース電極32に負極性のソース信号 $V_{sc}$ が印加されている場合を示している。ゲート電極31にゲート信号が印加されたとき、ドレイン電極33の電圧 $V_{33}$ は前回の保持電圧から緩やかに変化して、ソース信号 $V_{sc}$ で一定になる。ゲート電極31へのゲート信号の印加が終了したとき、ドレイン電極33の電圧 $V_{33}$ はソース信号 $V_{sc}$ から緩やかに減少して、保持電圧“ (- ) ”で一定になる。この場合の引き込み電圧値は“ D ”である。

20

## 【0075】

図9及び図12を比べればわかるように、ゲート印加部11に最も近いスイッチング素子3のソース線22に印加される負極性のソース信号 $V_{sc}$ は、 $V_{sc} = \{ (- ) + A \} = V_{s(-)}$ である。ゲート印加部11, 11から最も遠いスイッチング素子3のソース線22に印加される負極性のソース信号 $V_{sc}$ は、 $V_{sc} = \{ (- ) + D \} < V_{s(-)}$ である。そして、ソース信号 $V_{sc}$ は、ゲート印加部11, 11から遠ざかるにつれて“  $V_{s(-)}$  ”から“  $\{ (- ) + D \}$  ”まで徐々に減少する。

30

## 【0076】

この結果、図12に示すように、スイッチング素子3, 3, ...それぞれのソース電極32に負極性のソース信号 $V_{sc}$ が印加された場合、ゲート印加部11からの距離の遠近に関わらず、各画素電極41の保持電圧 $V_{d(-)}$ は、“ (- ) ”で一定となる。故に、ゲート印加部11からの距離の遠近に関わらず、実効電圧 $V_{e(-)}$ は一定となる。従って、ゲート印加部11から遠い画素電極41を有する画素とゲート印加部11に近い画素電極41を有する画素との間で生じる輝度差は“ 0 ”である。換言すれば、ドレイン電極33に負極性のソース信号が印加された場合、保持電圧が互いに等しいドレイン電極33に印加されたソース信号は、ゲート印加部11, 11から遠いドレイン電極33ほど、低い(即ち絶対値が大きい)。

40

## 【0077】

以上のような表示装置1の場合、正極性のソース信号に関するCgdグラデーションが行なわれた上で、負極性のソース信号の調整が行なわれる。つまり、ゲート印加部からの遠近とソース信号の極性とが共に考慮されている。故に、ゲート印加部11から遠い画素電極41を有する画素とゲート印加部11に近い画素電極41を有する画素との間で生じる輝度差を解消することができる。この結果、表示装置1の表示品位を向上させることができる。

## 【0078】

なお、表示装置1が1つのゲート印加部11を備え、各ゲート線21の一端部が、ゲート印加部11に接続されてもよい。また、表示装置1が2つのソース印加部12, 12を

50

備え、各ソース線 2 2 の両端部が、ソース印加部 1 2 , 1 2 に接続されてもよい。

【 0 0 7 9 】

本実施の形態では、正極性のソース信号に関する C g d グラデーションが行なわれた上で、負極性のソース信号の調整が行なわれるが、これに限定されるものではない。逆に、負極性のソース信号に関する C g d グラデーションが行なわれた上で、正極性のソース信号の調整が行なわれてもよい。

【 0 0 8 0 】

また、本実施の形態では、補正電圧を示す補正電圧信号が制御部 1 3 からソース印加部 1 2 に与えられたが、これに限定されるものではない。例えば、ソース印加部 1 2 が、ソース線 2 2 ごとに補正電圧を記憶しておき（補正量に応じた抵抗等を備えることをも含む）、ソース線 2 2 に印加するソース信号が負極性の場合にそのソース信号に補正電圧を重畳するように構成してもよい。

10

【 0 0 8 1 】

最後に、本実施の形態についてまとめる。

【 0 0 8 2 】

実施の形態にあつては、複数の選択画素電極に正極性及び負極性のうちのいずれか一方の第 1 の極性の一定電圧を印加した場合における複数の選択画素電極の保持電圧が等しく又はほぼ等しくなるように、複数の選択画素電極それぞれに接続されたスイッチング素子のゲート電極とドレイン電極との重なり面積が個別に設定されている。これは、重なり面積を予め調整しておくことによる C g d グラデーションである。また、制御部は、複数の選択画素電極に第 1 の極性とは逆の第 2 の極性の電圧を印加するためのソース信号をソース印加部に印加させる際、ソース線ごとに決定された補正電圧をソース信号に重畳する。

20

【 0 0 8 3 】

つまり、C g d グラデーションを行なった上で、ソース信号の極性を考慮したソース信号の調整が行なわれる。故に、画素間の輝度差が解消される。従って、ゲート印加部からの遠近に起因する表示品位の低下を抑制すると共に、ソース信号の極性に起因する表示品位の低下を抑制することができる。この結果、表示装置の表示品位を向上させることができる。

【 0 0 8 4 】

他の実施の形態にあつては、補正電圧は、複数の選択画素電極に第 2 の極性の一定電圧を印加した場合における複数の選択画素電極の保持電圧が等しく又はほぼ等しくなるように決定される。特に、ゲート印加部から遠い選択画素電極ほど、絶対値のより大きな補正電圧が重畳されたソース信号が、選択画素電極に接続されたソース線に印加される。この場合、第 2 の極性に関して、これらの選択画素電極を有する複数の画素夫々の輝度は等しいか、又はほぼ等しいので、過剰な輝度差に起因する表示装置の表示品位の低下を抑制することができる。一方、ゲート印加部に最も近い選択画素電極に接続されたソース線には、0 V の補正電圧が重畳されたソース信号が印加される。

30

【 0 0 8 5 】

他の実施の形態にあつては、複数の選択画素電極に第 1 の極性の電圧を印加した場合における複数の選択画素電極での引き込み電圧値が等しく又はほぼ等しくなるように、複数の選択画素電極それぞれに接続されたスイッチング素子の重なり面積が個別に設定されている。特に、ゲート印加部から遠い選択画素電極ほど、選択画素電極に接続されたスイッチング素子の重なり面積が大きく設定されている。この場合、第 1 の極性に関して、これらの選択画素電極を有する複数の画素夫々の輝度は等しいか、又はほぼ等しいので、過剰な輝度差に起因する表示装置の表示品位の低下を抑制することができる。

40

【 0 0 8 6 】

今回開示された実施の形態は、全ての点で例示であつて、制限的なものではないと考えられるべきである。本発明の範囲は、上述した意味ではなく、特許請求の範囲と均等の意味及び特許請求の範囲内での全ての変更が含まれることが意図される。

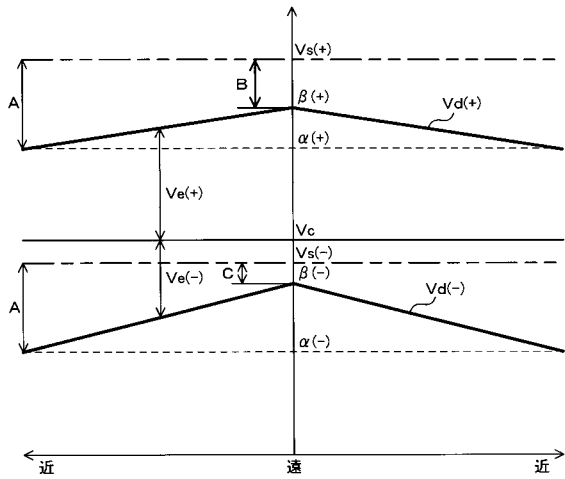
【 符号の説明 】

50

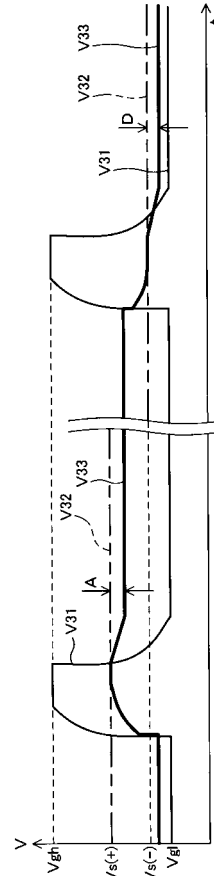




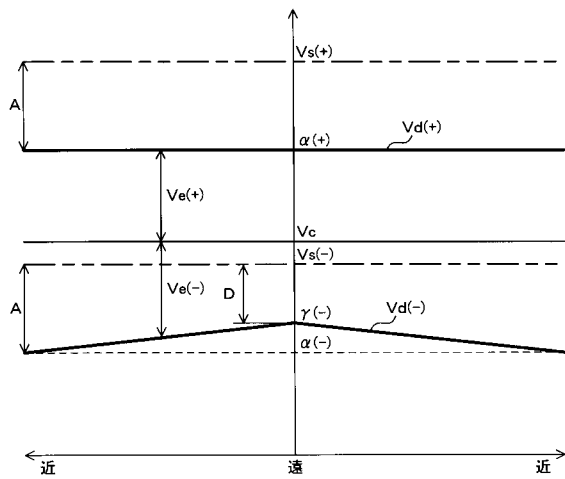
【 図 7 】



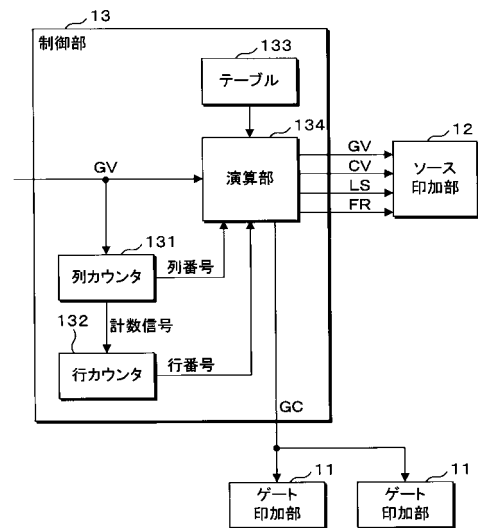
【 図 8 】



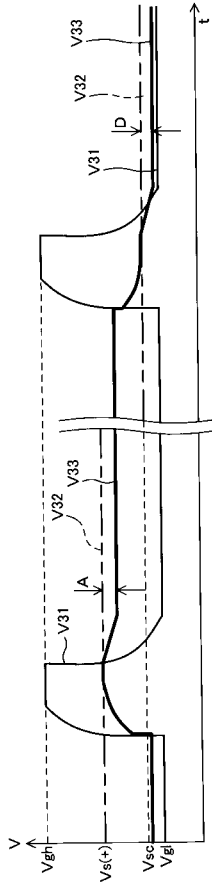
【 図 9 】



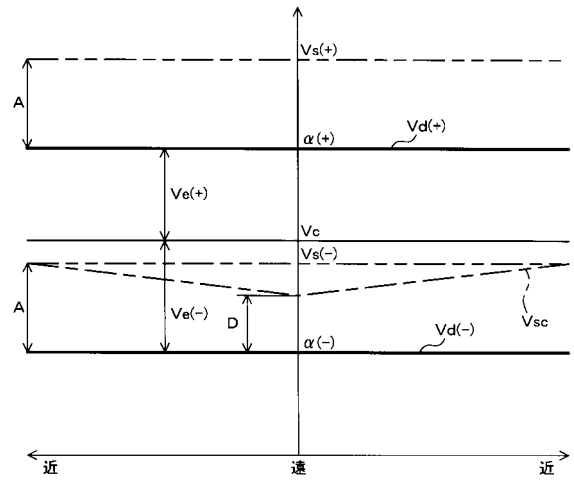
【 図 10 】



【 図 1 1 】



【 図 1 2 】



## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 5 0 M
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 2 4 B
G 0 9 F	9/30	3 3 8
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5
G 0 2 F	1/1368	

Fターム(参考) 5C006 AA01 AA16 AC21 AC28 AF11 AF43 AF46 AF50 AF51 AF57  
BB16 BC02 BC06 BC23 BF22 BF28 FA22 FA37 FA38  
5C080 AA10 BB05 DD05 DD10 EE29 FF03 FF11 GG12 JJ02 JJ03  
JJ06  
5C094 AA21 BA03 BA43 DA13 DB01 EA04 EA10 FA01 FA02