(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月17日(17.12.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/250522 A1

(51) 国際特許分類:
G05F 1/56 (2006.01)

(21) 国際出願番号： PCT/JP2020/011332

(22) 国際出願日： 2020年3月16日(16.03.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

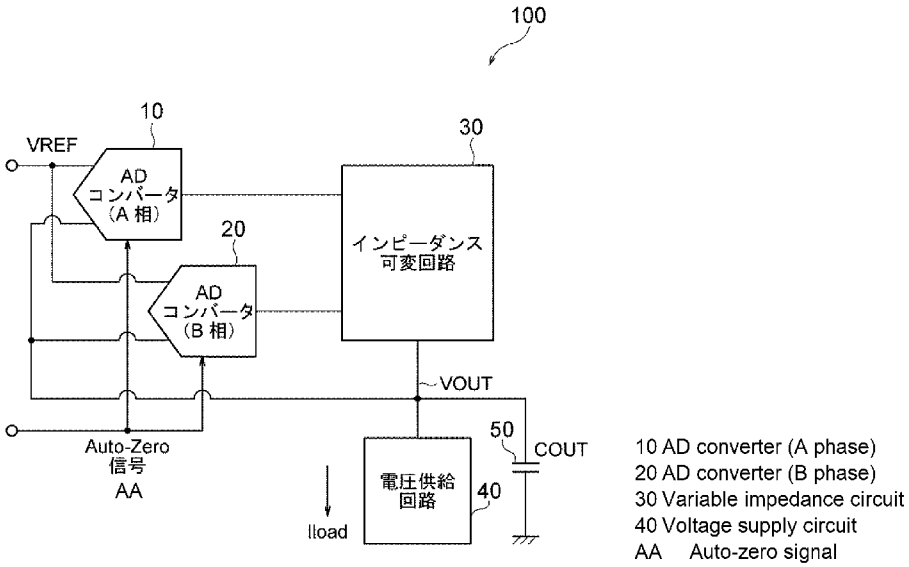
(30) 優先権データ：
特願 2019-108411 2019年6月11日(11.06.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 井手 大介(**IDE Daisuke**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 執行 信彦(**SHIGYO Nobuhiko**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 駒形 啓太(**KOMAGATA Keita**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 渡辺 裕之(**WATANABE Hiroyuki**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 内藤 誉博(**NAITO Takahiro**); 〒2430014 神奈川県厚木市

(54) **Title:** DIGITALLY-CONTROLLED LOW-DROPOUT REGULATOR

(54) 発明の名称： デジタル制御低ドロップアウトレギュレータ



(57) **Abstract:** Provided is a digitally-controlled LDO regulator capable of controlling an output voltage even during an auto-zero processing period. The digitally-controlled low-dropout regulator comprises a plurality of AD converters and a variable impedance circuit. Each of the plurality of AD converters includes a comparator. A first signal from each of the plurality of AD converters is input to the variable impedance circuit. A second signal output from the variable impedance circuit is input to one of two terminals in each of the plurality of AD converters. While one of the plurality of AD converters

WO 2020/250522 A1

［続葉有］

旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人： 渡 邊 薫 (WATANABE Kaoru); 〒1080014 東京都港区芝四丁目１０番５号 ヒューリック田町ビル６階 薫風国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

is operating, the remaining AD converters among the plurality of AD converters execute auto-zero processing, and a voltage value serving as a reference is set. Each comparator compares a voltage value of the second signal input to the one terminal with the voltage value which has been set.

(57) 要約：オートゼロ処理期間中であっても、出力電圧を制御することができる、デジタル制御ＬＤＯレギュレータを提供する。 複数のＡＤコンバータと、インピーダンス可変回路と、備え、複数のＡＤコンバータのそれぞれが、コンパレータを有し、複数のＡＤコンバータからのそれぞれの第１の信号がインピーダンス可変回路に入力され、インピーダンス可変回路から出力される第２の信号が、複数のＡＤコンバータのそれぞれの２つの端子のうち、一方の端子に入力され、複数のＡＤコンバータのうち、１つのＡＤコンバータが動作している間に、複数のＡＤコンバータのうち、残りのＡＤコンバータがオートゼロ処理を実行して、基準となる電圧値が設定され、コンパレータが、一方の端子に入力される第２の信号の電圧値と、設定された電圧値とを、比較する、デジタル制御低ドロップアウトレギュレータを提供する。

明　細　書

発明の名称 ： デジタル制御低ドロップアウトレギュレータ

技術分野

[0001] 本技術は、デジタル制御低ドロップアウトレギュレータに関する。

背景技術

[0002] 現在、レギュレータの一種として、抵抗や半導体素子の電圧降下を利用して、電圧が安定した電源を供給する安定化電源回路（例えば、リニアレギュレータ）が知られている。安定化電源回路の中でも、リニアレギュレータとして低い入出力間電位差でも動作し、デジタルで制御するデジタル制御ＬＤＯ（Ｌｏｗ　Ｄｒｏｐ　Ｏｕｔ）レギュレータが知られている。

[0003] ここで、例えば、デジタル回路からの活動調節信号を受けて出力電圧を提供するように、可変インピーダンス素子を制御する、制御論理を含む電圧レギュレータに関する集積回路が開示されている（特許文献１参照）。また、事前通知信号に応答してデジタルアナログ変換器を有効にし、事前通知信号が電流増加を必要とする負荷の変動が所定の期間の後に開始される、低ドロップアウト調整のための方法も開示されている（特許文献２参照）。

先行技術文献

特許文献

[0004] 特許文献1：特表２０１６－５１９３５６号公報

特許文献2：特表２０１６－５１１４８５号公報

発明の概要

発明が解決しようとする課題

[0005] ここで、オートゼロ処理を必要とするＡＤコンバータは、オートゼロ処理を実行するためのオートゼロ処理期間を必要とする。そして、ＡＤコンバータが備えるコンパレータに、オートゼロ処理期間中に、電圧情報を蓄積する処理が実行される。このため、オートゼロ処理期間中では、ＡＤコンバータが、出力電圧の変化に応答することができない不感帯になるため、ＡＤコン

バータは、出力電圧を制御することが出来ない。

[0006] 本技術は、このような状況に鑑みてなされたものであり、オートゼロ処理期間中であっても、出力電圧を制御することができる、デジタル制御ＬＤＯレギュレータを提供することを主目的とする。

課題を解決するための手段

[0007] 本発明者らは、上述の目的を解決するために鋭意研究を行った結果、オートゼロ処理期間中であっても、出力電圧を制御することができることに成功し、本技術を完成するに至った。

[0008] 即ち、本技術では、複数のＡＤコンバータと、

インピーダンス可変回路と、備え、

前記複数のＡＤコンバータのそれぞれが、コンパレータを有し、

前記複数のＡＤコンバータからのそれぞれの第１の信号が前記インピーダンス可変回路に入力され、

前記インピーダンス可変回路に複数の前記第１の信号が入力され、前記インピーダンス可変回路から出力される第２の信号が、前記複数のＡＤコンバータのそれぞれの２つの端子のうち、一方の端子に入力され、

前記複数のＡＤコンバータのうち、１つのＡＤコンバータが動作している間に、前記複数のＡＤコンバータのうち、残りのＡＤコンバータがオートゼロ処理を実行して、基準となる電圧値が設定され、

前記複数のＡＤコンバータのそれぞれが有する前記コンパレータが、前記一方の端子に入力される前記第２の信号の電圧値と、設定された前記電圧値とを、比較する、デジタル制御低ドロップアウトレギュレータを提供する。

[0009] 本技術に係るデジタル制御低ドロップアウトレギュレータにおいて、前記ＡＤコンバータが、前記オートゼロ処理が必要なＡＤコンバータで構成されていてもよい。

[0010] 本技術に係るデジタル制御低ドロップアウトレギュレータにおいて、

制御回路を更に備え、

前記制御回路が、パルス発生回路を有し、

前記パルス発生回路が、前記オートゼロ処理を実行するためのパルスを生成してもよい。

[0011] 本技術に係るデジタル制御低ドロップアウトレギュレータにおいて、

前記パルス発生回路が、遅延素子と、演算素子とを有し、

前記遅延素子が、入力されたクロック信号のタイミングを遅延させ、

前記演算素子が、前記遅延されたクロック信号と、遅延されないクロック信号とを演算して、前記パルスを生成してもよい。

[0012] 本技術に係るデジタル制御低ドロップアウトレギュレータにおいて、

制御回路を更に備え、

前記制御回路が、前記複数のＡＤコンバータのうち、前記残りのＡＤコンバータが前記オートゼロ処理を実行しない間、当該残りのＡＤコンバータを停止させてもよい。

[0013] 本技術に係るにデジタル制御低ドロップアウトレギュレータおいて、

インバータと、

停止用スイッチと、を備え、

前記インバータの出力を前記停止用スイッチのゲートに接続し、

前記複数のＡＤコンバータのうち、前記残りのＡＤコンバータを停止させる際、前記停止用スイッチのゲート電位が、当該停止用スイッチがオフになる電位に固定され、当該残りのＡＤコンバータが有するコンパレータを停止させてもよい。

[0014] 本技術に係るにデジタル制御低ドロップアウトレギュレータおいて、

前記インピーダンス可変回路が、複数のインピーダンス素子を備え、

前記複数のＡＤコンバータからのそれぞれの前記第１の信号が、前記複数のインピーダンス素子のそれぞれに入力され、前記第１の信号の値により前記複数のインピーダンス素子のそれぞれのオンとオフとを切り替えてもよい。

[0015] 本技術によれば、オートゼロ処理期間中であっても、出力電圧を制御することができる、デジタル制御ＬＤＯを提供することができる。なお、本技術

の効果は、必ずしも上記の効果に限定されるものではなく、本技術に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0016] [図1]本技術に係る第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータの構成例を示すブロック図である。

[図2]ＡＤコンバータ（Ａ相）が有するコンパレータの構成を示したブロック図である。

[図3]オートゼロ処理期間と通常動作期間が交互に繰り返されることにより、コンパレータの誤判定を防ぐことを示した説明図である。

[図4]第１の実施形態に係るデジタル制御ＬＤＯ（低ドロップアウト）レギュレータのインピーダンス可変回路から出力される第２の信号（出力電圧）が低下しないことを示した説明図である。

[図5]本技術に係る第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータが備える制御回路のパルス発生回路を示したブロック図である。

[図6]パルス発生回路で生成される信号のタイミングを示すタイミングチャートである。

[図7]コンパレータを停止させる制御回路が設けられたコンパレータの構成を示したブロック図である。

[図8]各スイッチが切り替わるタイミングを示したタイミングチャートである。

[図9]制御回路によって制御されるコンパレータの構成を示した変形例のブロック図である。

[図10]コンパレータの信号のタイミングチャートである。

[図11]従来のＥｖｅｎｔ　Ｄｒｉｖｅｎ型デジタル制御ＬＤＯレギュレータの構成を示すブロック図である。

[図12]ＡＤコンバータが備えるコンパレータのブロック図である。

[図13]コンパレータを簡素化したブロック図である。

[図14]コンパレータが電圧情報を蓄積する処理を実行しない場合、誤判定を生じることを示した説明図である。

[図15]オートゼロ処理期間中は不感帯となる従来のデジタル制御ＬＤＯレギュレータのブロック図を簡素化したブロック図である。

[図16]オートゼロ処理期間中に電圧供給回路の負荷電流が変化すると、出力電圧が変化する状態を示した説明図である。

発明を実施するための形態

[0017] 以下、本技術を実施するための好適な形態について図面を参照しながら説明する。なお、以下に説明する実施形態は、本技術の代表的な実施形態の一例を示したものであり、これにより本技術の範囲が狭く解釈されることはない。

[0018] なお、説明は以下の順序で行う。

１．本技術の概要

２．第１の実施形態（デジタル制御ＬＤＯ（低ドロップアウト）レギュレータの例１）

３．第２の実施形態（デジタル制御ＬＤＯ（低ドロップアウト）レギュレータの例２）

[0019] ＜１．本技術の概要＞

デジタル制御ＬＤＯは、一般的には、Ｔｉｍｅ Ｄｒｉｖｅｎ型ＬＤＯ（低ドロップアウト）レギュレータ、Ｅｖｅｎｔ Ｄｒｉｖｅｎ型ＬＤＯ（低ドロップアウト）レギュレータ、及び位相比較型ＬＤＯ（低ドロップアウト）レギュレータの３種類に分類される。そこで、一例として、Ｅｖｅｎｔ Ｄｒｉｖｅｎ型デジタル制御ＬＤＯ（低ドロップアウト）レギュレータについて、図１１から図１６を用いて説明する。

[0020] 図１１に示すように、Ｅｖｅｎｔ Ｄｒｉｖｅｎ型のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００ｐは、ＡＤコンバータ１０ｐと、トリガジェネレータ６０、コントローラ７０、インピーダンス可変回路３０ｐ（出力トランジスタ）、電圧供給回路４０ｐ、及びＡＤリフレッシュ回路

８０を備えて構成されている。トリガジェネレータ６０及びコントローラ７０は、制御回路６５ｐを構成する。インピーダンス可変回路３０ｐの出力電圧ＶＯＵＴは、電圧供給回路４０ｐに入力されるとともに、ＡＤコンバータ１０ｐに入力されている。

[0021] ＡＤリフレッシュ回路８０は、トリガジェネレータ６０から、ＡＤコンバータ１０ｐをリセットするためのオートゼロ信号を取得するようになっており、オートゼロ信号を取得するとＡＤコンバータ１０ｐをリセットする。

[0022] ＡＤコンバータ１０ｐは、７ビットのＡＤコンバータで構成されており、インピーダンス可変回路３０から出力される出力電圧ＶＯＵＴを常時監視し、出力電圧ＶＯＵＴの変化に応じてＡＤコンバータ１０ｐの出力コード（ＬＶ［６：０］）が変化する。制御回路６５として機能するトリガジェネレータ６０は、ＡＤコンバータ１０ｐの出力コード（ＬＶ［６：０］）の変化をトリガとして動作し、コントローラ７０がインピーダンス可変回路３０ｐを制御することにより、出力電圧ＶＯＵＴを安定させる。

[0023] ここで、ＡＤコンバータ１０ｐが備えるコンパレータには、シングル入力の構成の場合やコンパレータ間のミスマッチを低減させる目的で、電圧情報を蓄積する処理が実行される。

[0024] 図１２に、ＡＤコンバータ１０ｐが備えるコンパレータ１０００ｐのブロック図を示す。図１２に示すコンパレータ１０００ｐは、スイッチＳＷ１、スイッチＳＷ２、キャパシタンスＣ１、トランジスタＴｒ１、トランジスタＴｒ２、リセットスイッチＲＳＴ＿ＳＷ、及びインバータＩＶ（３段）を備えている。図１２に示すコンパレータ１０００ｐは、７つのコンパレータ１０００ｐにより、ＶＲＥＦ［６：０］とＶＯＵＴと比較するようになっており、ＬＶ［６：０］を出力する。なお、ＡＤＣ＿ｒｅｓｅｔｂ［６：０］は、ＡＤリフレッシュ回路８０により入力されるオートゼロ信号である。

[0025] 次に、コンパレータ１０００ｐについて、図１３と図１４を用いて説明する。図１３は、コンパレータ１０００ｐを簡素化したブロック図である。

[0026] 図１３に示すコンパレータ１０００ｐは、スイッチφ１と、スイッチφ２

と、キャパシタンスＣ１と、トランジスタＴｒ１と、トランジスタＴｒ２と、スイッチφ１１と、インバータＩＶとを備えて構成されている。また、トランジスタＴｒ１とトランジスタＴｒ２とは、インバータを構成する。なお、同一の構成については同一の符号を付し、説明を適宜、省略する。

[0027] また、図１４は、コンパレータ１０００ｐが電圧情報を蓄積する処理を実行しない場合、誤判定を生じる場合があることを示した説明図である。

[0028] コンパレータ１０００ｐは、まず、スイッチφ１とスイッチφ１１とを閉じて、スイッチφ１とスイッチφ１１がオンとなり、キャパシタンスＣ１に、参照電圧ＶＲＥＦとインバータの閾値電圧ＶＴＨの差電圧（ＶＲＥＦ－ＶＴＨ）が蓄えられる。次に、スイッチφ１とスイッチφ１１とを開き、スイッチφ２を閉じる。スイッチφ２を閉じると、ノードＢ（Ｎｏｄｅ　Ｂ）は、ハイインピーダンスになり、参照電圧ＶＲＥＦとＶＩＮとの差電圧ΔＶだけ、電位が下がる。そして、コンパレータ１０００ｐは、ＶＩＮと参照電圧ＶＲＥＦとを比較する。

[0029] ここで、図１４に示すように、コンパレータ１０００ｐは、基準電圧の設定変更、温度変化、電源電圧の変動の影響、又はリーク電流の影響などにより、蓄積された電圧情報が変化し、誤判定することがある。例えば、ノードＢ（Ｎｏｄｅ　Ｂ）において、ゲートリークの影響で電圧が上昇する。この場合、上昇したノードＢ（Ｎｏｄｅ　Ｂ）の電圧がインバータの閾値ＶＴＨを超えると、出力電圧ＶＯＵＴ１において誤判定ＥＤを生じる。

[0030] なお、電圧ＶＯＲは、ゲートリーク電圧が釣り合う電圧値を示しており、電圧ＶＤは、所望の電圧値を示している。

[0031] このような誤判定ＥＤを回避するために、キャパシタンスＣ１が基準となる正しい電圧情報を保持し続ける必要があり、ＡＤコンバータ１０ｐは、定期的なオートゼロ処理が必要となっている。

[0032] ここで、オートゼロ処理期間中は、ＡＤコンバータ１０ｐがインピーダンス可変回路３０ｐからの出力電圧ＶＯＵＴの変化に対応できないため、電圧供給回路４０ｐに所望の電圧を供給できない不感帯の状態となる。

[0033] 図１５に、オートゼロ処理期間中は不感帯となるデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００ｐのブロック図を示す。図１５は、図１１に示したＥｖｅｎｔ　Ｄｒｉｖｅｎ型のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００ｐを簡素化したブロック図である。なお、図１１と同一の構成には同一の符号を付し、説明は省略する。

[0034] また、図１６に、オートゼロ処理期間中に電圧供給回路４０ｐの負荷電流Ｉｌｏａｄが変化すると、出力電圧ＶＯＵＴが変化することを示す。図１６は、オートゼロ処理期間中に電圧供給回路４０ｐの負荷電流Ｉｌｏａｄが変化すると、出力電圧ＶＯＵＴが変化することを示した説明図である。

[0035] 図１６の説明図では、デジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００ｐのオートゼロ処理期間中に負荷電流Ｉｌｏａｄが変化すると、出力値である出力電圧ＶＯＵＴが大きく変化していることを示している。

[0036] 本技術は、このような状況に鑑みてなされたものであり、オートゼロ処理期間中であっても、出力電圧ＶＯＵＴを制御することができることができるデジタル制御ＬＤＯ（低ドロップアウト）レギュレータを提供することを主目的とする。

[0037] なお、上述では、Ｅｖｅｎｔ　Ｄｒｉｖｅｎ型のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００ｐを用いて、オートゼロ処理について説明したが、本技術は、Ｅｖｅｎｔ　Ｄｒｉｖｅｎ型ＬＤＯ（低ドロップアウト）レギュレータに限定されるものではない。

[0038] ＜２．第１の実施形態（デジタル制御ＬＤＯ（低ドロップアウト）レギュレータの例１）＞

本技術に係る第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウトレギュレータ）は、複数のＡＤコンバータと、インピーダンス可変回路と、備え、複数のＡＤコンバータのそれぞれが、コンパレータを有し、複数のＡＤコンバータからのそれぞれの第１の信号がインピーダンス可変回路に入力され、インピーダンス可変回路に複数の第１の信号が入力され、インピーダンス可変回路から出力される第２の信号が、複数のＡＤコンバータのそれぞれ

の２つの端子のうち、一方の端子に入力され、複数のＡＤコンバータのうち、１つのＡＤコンバータが動作している間に、複数のＡＤコンバータのうち、残りのＡＤコンバータがオートゼロ処理を実行して、基準となる電圧値が設定され、複数のＡＤコンバータのそれぞれが有するコンパレータが、一方の端子に入力される第２の信号の電圧値と、設定された電圧値とを、比較する、デジタル制御ＬＤＯ（低ドロップアウト）レギュレータである。

[0039] 本技術に係る第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータによれば、オートゼロ処理期間中であっても、出力電圧を制御することができることができる。

[0040] なお、ＡＤコンバータが２つの場合、２つのＡＤコンバータが交互にオートゼロ処理を実行し、ＡＤＣコンバータが３つ以上の場合には、１つのＡＤコンバータのみ動作し、残りのＡＤコンバータは、オートゼロ処理を実行するものとする。ここで、残りのＡＤコンバータとは、動作している１つのＡＤコンバータ以外のＡＤコンバータのことをいう。また、ＡＤコンバータが２つの場合の交互とは、インターリーブ動作を意味するものとする。なお、以下の説明では、一例として、ＡＤＣコンバータが２つの場合について説明する。

[0041] 図１に、本技術に係る第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータの例を示す。図１は、本技術に係る第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００の構成例を示すブロック図である。

[0042] 図１に示すように、本技術に係る第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００は、複数のＡＤコンバータ（ＡＤコンバータ（Ａ相）１０と、ＡＤコンバータ（Ｂ相）２０）と、インピーダンス可変回路３０と、電圧供給回路４０と、キャパシタンス５０とを備えて構成されている。

[0043] ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０のそれぞれは、コンパレータを有している。なお、第１の実施形態に係るデジタル制御Ｌ

ＤＯ（低ドロップアウト）レギュレータ１００は、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０の２つで構成されているが、２つに限定されるものではない。

[0044] また、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０は、オートゼロ処理が必要なＡＤコンバータで構成されている。

[0045] 図２に、ＡＤコンバータ（Ａ相）１０が備えるコンパレータ１０００を示す。図２は、ＡＤコンバータ（Ａ相）１０が備えるコンパレータ１０００の構成を示したブロック図である。また、ＡＤコンバータ（Ｂ相）２０が備えるコンパレータも、コンパレータ１０００と同一の構成を有している。なお、コンパレータの構成は、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０とが同一の構成に限定されるものではない。また、図２に示すコンパレータ１０００は、一例であって、図２に示すコンパレータの構成に限定されるものではない。

[0046] 図２に示すコンパレータ１０００は、スイッチφ１と、スイッチφ２と、キャパシタンスＣ１と、トランジスタＴｒ１と、トランジスタＴｒ２と、スイッチφ１１と、インバータＩＶとを備えて構成されている。また、トランジスタＴｒ１とトランジスタＴｒ２とは、インバータを構成する。

[0047] 図１に戻り、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０のそれぞれの第１の信号は、インピーダンス可変回路３０に入力されている。そして、インピーダンス可変回路３０に複数の第１の信号（ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０のそれぞれの第１の信号）が入力され、インピーダンス可変回路３０から出力される第２の信号が、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０のそれぞれの２つの端子のうち、一方の端子に入力される。

[0048] そして、複数のＡＤコンバータ（ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０）のうち、１つのＡＤコンバータが動作している間に、残りのＡＤコンバータ（動作している１つのＡＤコンバータ以外のＡＤコンバータ）がオートゼロ処理を実行して、基準となる電圧値（電圧情報）が設

定され、複数のＡＤコンバータ（ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０）のそれぞれが有するコンパレータ１０００が、一方の端子に入力される第２の信号の電圧値と、設定された電圧値とを、比較するようになっている。

[0049] 次に、図２のコンパレータ１０００の構成を参照しながら、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０のコンパレータ１０００のそれぞれの動作について説明する。

[0050] コンパレータ１０００は、まず、スイッチφ１とスイッチφ１１とを閉じて、スイッチφ１とスイッチφ１１がオンとなり、キャパシタンスＣ１に、参照電圧ＶＲＥＦとインバータの閾値電圧ＶＴＨの差電圧（ＶＲＥＦ－ＶＴＨ）が蓄えられる。次に、スイッチφ１とスイッチφ１１とを開き、スイッチφ２を閉じる。スイッチφ２を閉じると、ノードＢ（Ｎｏｄｅ　Ｂ）がハイインピーダンスになり、参照電圧ＶＲＥＦとＶＩＮの差電圧ΔＶだけ、電位が下がる。そして、コンパレータ１０００は、第２の信号の電圧値（ＶＩＮ）と参照電圧ＶＲＥＦとを比較する。

[0051] 図３に、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０とにより、オートゼロ処理を実行するオートゼロ処理期間と、通常動作期間とが交互に繰り返されることを示す。図３は、オートゼロ処理期間と通常動作期間が交互に繰り返されることにより、コンパレータの誤判定を防ぐことを示した説明図である。

[0052] 通常動作時を示す通常動作期間では、キャパシタンスＣ１に蓄えられた参照電圧ＶＲＥＦと、ＶＩＮに入力される第２の信号の電圧値とが比較され、その比較の結果がインバータＩＶで反転されて第１の信号としてＶＯＵＴ１から出力される（図２参照）。この場合、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０のそれぞれは、インバータの閾値ＶＴＨを超える前にオートゼロ処理に交互に切り替えられるので、コンパレータが誤判定することを抑制している。

[0053] なお、電圧ＶＯＲは、ゲートリーク電圧が釣り合う電圧値を示しており、

電圧ＶＤは、所望の電圧値を示している。

[0054] 図４に、第１の実施形態に係るデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００のインピーダンス可変回路３０から出力される第２の信号（出力電圧ＶＯＵＴ）が、低下しないことを示す。

[0055] 図４に示すように、第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００は、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０との２つのＡＤコンバータが交互にオートゼロ処理を実行するようになっている。これにより、第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００は、ＡＤコンバータ（Ａ相）１０か又はＡＤコンバータ（Ｂ相）２０のいずれか一方がオートゼロ処理期間中であっても、他方のＡＤコンバータ（Ｂ相）２０か又はＡＤコンバータ（Ａ相）１０が動作することができる。

[0056] これにより、第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００は、インピーダンス可変回路３０の第２の信号（出力電圧ＶＯＵＴ）の変化に応答することができ、電圧供給回路４０へ電圧を供給する制御が切断されることがない。また、デジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００は、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０の２つのＡＤコンバータが交互にオートゼロ処理を実行することにより、不感帯を無くすことができる。デジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００は、不感帯が無くすことができるため、一方のＡＤコンバータ（ＡＤコンバータ（Ａ相）１０又はＡＤコンバータ（Ｂ相）２０）がオートゼロ処理期間中であっても、電圧供給回路４０に流れる負荷電流Ｉｌｏａｄの変動を許容することができ、従来、使用されていた活動調節信号又は事前通知信号や、制御回路６５ｐ、及びＡＤＣリフレッシュ回路８０等が不要となる。

[0057] このため、デジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００は、例えば、適応電圧制御システムに容易に適用することができる。即ち、第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１

００は、使用上特に制限がないため、適応電圧制御システムなどの他のシステムに容易に適用することができる。

[0058] また、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０とを交互にオートゼロ処理を実行させるオートゼロ信号は、負荷電流Ｉｌｏａｄとは無関係に生成することができるため、簡単な構成で実現することができる。また、図４に示すように、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０のそれぞれを定期的にオートゼロの状態にするため、リーク電流の影響や参照電圧ＶＲＥＦの変化、温度変化によって生じる誤判定を抑制することができる。

[0059] 以上説明したように、本技術に係る第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００は、複数のＡＤコンバータ（ＡＤコンバータ（Ａ相）１０と、ＡＤコンバータ（Ｂ相）２０）と、インピーダンス可変回路３０と、を備えている。ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０のそれぞれは、１つのＡＤコンバータ（例えば、ＡＤコンバータ（Ａ相）１０）が動作している間は、残りのＡＤコンバータ（例えば、ＡＤコンバータ（Ｂ相）２０）がオートゼロ処理を実行して、基準となる電圧値（電圧情報）が設定され、複数のＡＤコンバータ（ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０）のそれぞれが、交互に動作する。

[0060] これにより、第１の実施形態に係るデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００は、オートゼロ処理期間中であっても、インピーダンス可変回路３０の第２の信号（出力電圧ＶＯＵＴ）の変化に応答することができるので、インピーダンス可変回路３０の出力電圧ＶＯＵＴを制御することができる。

[0061] また、第１の実施形態に係るデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００は、ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０とが交互にオートゼロ処理を実行して、基準となる電圧値（電圧情報）が設定されていたが、これに限定されるものではない。例えば、リーク電

流が所定の電流値以上流れた場合に、ＡＤコンバータ（Ａ相）１０、又はＡＤコンバータ（Ｂ相）２０にオートゼロ処理を実行させるようにしてもよい。

[0062] また、第１の実施形態に係るデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００は、インピーダンス可変回路３０が、複数のインピーダンス素子を備えていてもよい。この場合、インピーダンス可変回路３０は、複数のスイッチを備え、負荷電流Ｉｌｏａｄに応じて、インピーダンス素子の駆動される個数を変更することができる。具体的には、複数のＡＤコンバータ（ＡＤコンバータ（Ａ相）１０とＡＤコンバータ（Ｂ相）２０）からのそれぞれの第１の信号は、複数のインピーダンス素子のそれぞれに入力され、第１の信号の値により複数のインピーダンス素子のそれぞれのオンとオフとを切り替えることができる。

[0063] ＜３．第２の実施形態（デジタル制御ＬＤＯ（低ドロップアウト）レギュレータの例２）＞

本技術に係る第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータは、第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータにおいて、制御回路を更に備え、制御回路が、パルス発生回路を有し、パルス発生回路が、オートゼロ処理を実行するためのパルスを生成する、デジタル制御ＬＤＯ（低ドロップアウト）レギュレータである。

[0064] この場合、第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータは、パルス発生回路が、遅延素子と、演算素子とを有し、遅延素子が、入力されたクロック信号のタイミングを遅延させ、演算素子が、遅延されたクロック信号と、遅延されないクロック信号とを演算して、パルスを生成する。

[0065] 本技術に係る第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータによれば、不感帯の期間を無くした上で、更にオートゼロ処理期間を短くすることができる。なお、この第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータを、第１の実施形態のデジタル制御

ＬＤＯ（低ドロップアウト）レギュレータ１００に適用してもよい。

[0066] また、本技術に係る第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータは、制御回路を更に備え、制御回路が、複数のＡＤコンバータのうち、残りのＡＤコンバータ（動作している１つのＡＤコンバータ以外のＡＤコンバータ）がオートゼロ処理を実行しない間、当該ＡＤコンバータとして動作していないＡＤコンバータ（即ち、動作している１つのＡＤコンバータ以外のＡＤコンバータ）を停止させる、デジタル制御ＬＤＯ（低ドロップアウト）レギュレータである。

[0067] この場合、第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータは、インバータと、停止用スイッチと、を更に備え、インバータの出力を停止用スイッチのゲートに接続し、複数のＡＤコンバータのうち、ＡＤコンバータとして動作していないＡＤコンバータを停止させる際、停止用スイッチのゲート電位が、当該停止用スイッチがオフになる電位に固定され、当該ＡＤコンバータが有するコンパレータを停止させる。

[0068] 本技術に係る第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータによれば、オートゼロ処理を実行していないＡＤコンバータが有するコンパレータに流れる電流を止めることができるので、デジタル制御ＬＤＯ（低ドロップアウト）レギュレータの消費電力の軽減を図ることができる。なお、この第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータを、第１の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータ１００に適用してもよい。

[0069] 図５を用いて、本技術に係る第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータが備える制御回路ＣＣ１のパルス発生回路ＰＧについて説明する。図５は、本技術に係る第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータが備える制御回路ＣＣ１のパルス発生回路ＰＧを示したブロック図である。

[0070] 本技術に係る第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータは、制御回路ＣＣ１を更に備え、制御回路ＣＣ１が、パルス発

生回路ＰＧを有し、パルス発生回路ＰＧが、オートゼロ処理を実行するためのパルスを生成する、デジタル制御ＬＤＯ（低ドロップアウト）レギュレータである。

[0071] 制御回路ＣＣ１は、パルス発生回路ＰＧを備え、パルス発生回路ＰＧは、遅延素子（遅延素子ＤＬ１、遅延素子ＤＬ２、遅延素子ＤＬ３）と、演算素子（演算素子ＡＮ１、演算素子ＡＮ２）とを有し、遅延素子ＤＬが、入力されたクロック信号のタイミングを遅延させ、演算素子（演算素子ＡＮ１、演算素子ＡＮ２）が、遅延されたクロック信号と、遅延されないクロック信号とを演算して、パルスを生成する。

[0072] 図５に示すように、パルス発生回路ＰＧは、例えば、遅延素子（遅延素子ＤＬ１、遅延素子ＤＬ２、遅延素子ＤＬ３）と、反転素子（インバータＩＶ１、インバータＩＶ２）と、演算素子（演算素子ＡＮ１、演算素子ＡＮ２）とを有している。

[0073] パルス発生回路ＰＧには、クロックＣＬＫが入力されており、そのクロックＣＬＫは、３つに分岐されている。３つに分岐された１つ目のクロックＣＬＫは、インバータＩＶ１に入力されている。３つに分岐された２つ目のクロックＣＬＫは、遅延素子ＤＬ１、遅延素子ＤＬ２、及び遅延素子ＤＬ３が直列に接続された遅延素子ＤＬ１に入力されている。３つに分岐された３つ目のクロックＣＬＫは、演算素子ＡＮ２に入力されている。インバータＩＶ１の出力と遅延素子ＤＬ３の出力は、演算素子ＡＮ１に入力されており、パルス（信号）を生成する（スイッチφ１、スイッチφ１１）。また、遅延素子ＤＬ３の出力は、インバータＩＶ２にも接続されており、通常動作期間のタイミングの信号を生成する（スイッチφ２）。また、遅延素子ＤＬ３の出力とクロックＣＬＫは、演算素子ＡＮ２に入力されており、コンパレータの電流を停止させるタイミングの信号を生成する（スイッチφ３１、スイッチφ３２）。このように、パルス発生回路ＰＧは、生成したタイミングの信号により、各スイッチ（スイッチφ１、スイッチφ１１、スイッチφ２、スイッチφ３１、及びスイッチφ３２）のオンとオフを制御する。

[0074] 図６に、パルス発生回路ＰＧで生成される信号のタイミングを示す。図６は、パルス発生回路ＰＧで生成される信号のタイミングを示すタイミングチャートである。

[0075] 図６に示すように、クロックＣＬＫは、入力されるクロックＣＬＫのタイミングを示しており、クロックＣＬＫ＿Ｄは、遅延素子ＤＬ３から出力されるクロックＣＬＫ＿Ｄのタイミングを示している。また、スイッチφ１及びスイッチφ１１は、演算素子ＡＮ１から出力されるパルス（信号）によってオンとオフとが切り替えられる。スイッチφ２は、インバータＩＶ２から出力される信号によってオンとオフとが切り替えられる。スイッチφ３１及びスイッチφ３２は、演算素子ＡＮ２から出力される信号によってオンとオフとが切り替えられる。

[0076] 次に、図７を用いて、コンパレータ１０００ａを停止させる制御回路ＣＣ２について説明する。図７は、コンパレータ１０００ａを停止させる制御回路ＣＣ２が設けられたコンパレータ１０００ａの構成を示したブロック図である。図７に示す第２の実施形態のコンパレータ１０００ａが、図２に示す第１の実施形態のコンパレータ１０００と異なる点は、制御回路ＣＣ２が設けれられている点である。第１の実施形態と同一の構成要素については、同一の符号を付し、説明を適宜、省略する。

[0077] 第２の実施形態に係るコンパレータ１０００ａは、制御回路ＣＣ２を更に備えている。制御回路ＣＣ２は、スイッチφ３１及びスイッチφ３２を備えている。スイッチφ３１及びスイッチφ３２は、制御回路ＣＣ１で生成されたパルス（信号）のタイミングでオンとオフとが切り替えられるようになっている（図６参照）。この場合、制御回路ＣＣ２は、複数のＡＤコンバータのうち、オートゼロ処理を実行していないＡＤコンバータを停止させることができる。例えば、複数のＡＤコンバータ（ＡＤコンバータ（Ａ相）１０と、ＡＤコンバータ（Ｂ相）２０）のうち、ＡＤコンバータとして動作していないＡＤコンバータがオートゼロ処理を実行しない間は、当該ＡＤコンバータとして動作していないＡＤコンバータを停止させることができる。

[0078] なお、第２の実施形態に係るコンパレータ１０００ａのスイッチφ１、スイッチφ１１及びスイッチφ２も、制御回路ＣＣ１で生成された信号のタイミングで、オンとオフとが切り替えられるようになっている（図６参照）。

[0079] 図８に、スイッチφ１、スイッチφ１１、スイッチφ２、スイッチφ３１、及びスイッチφ３２が切り替えるタイミングを示す。スイッチφ１及びスイッチφ１１のパルスの期間（“Ｈ”）は、オートゼロ処理を実行するオートゼロ処理期間を示しており、スイッチφ２の“Ｈ”の期間は、通常動作期間を示している。スイッチφ３１及びスイッチφ３２の“Ｈ”の期間は、複数のＡＤコンバータのうち、ＡＤコンバータとして動作していないＡＤコンバータがオートゼロ処理を実行しない間、当該ＡＤコンバータとして動作していないＡＤコンバータを停止させる期間（オフ期間）を示している。

[0080] 次に、図９を用いて、第２の実施形態のコンパレータの変形例について説明する。図９は、制御回路ＣＣ１及び制御回路ＣＣ２によって制御されるコンパレータ１０００ｂの構成を示したブロック図である。なお、図２に示す第１の実施形態のコンパレータ１０００と同一の構成要素については、同一の符号を付し、説明を適宜、省略する。

[0081] 図９に示すように、コンパレータ１０００ｂは、図２に示す第１の実施形態のコンパレータ１０００に、トランジスタＭＰ１及びトランジスタＭＮ１と、インバータＩＶ３及びインバータＩＶ４と、を更に備えて構成されている。インバータＩＶ３の入力端子Ｉ３１には、スイッチφ３１を制御する信号と同じタイミングの信号が入力され（図８参照）、インバータＩＶ４の入力端子Ｉ３２には、スイッチφ３２を制御する信号と同じタイミングの信号が入力される（図８参照）。

[0082] なお、図９に示すコンパレータ１０００ｂのスイッチφ１、スイッチφ１１、スイッチφ２は、図８に示したタイミングチャートのタイミングでオンとオフとが切り替わる。

[0083] コンパレータ１０００ｂは、インバータ（トランジスタＴｒ１及びトランジスタＴｒ２）と、停止用スイッチ（トランジスタＭＰ１及びトランジスタ

ＭＮ１）と、備え、インバータの出力を停止用スイッチ（トランジスタＭＰ１及びトランジスタＭＮ１）のゲートに接続し、コンパレータ１０００ｂを停止させる際、停止用スイッチのゲート電位が、当該停止用スイッチがオフになる電位に固定されるようになっている。この場合、コンパレータ１０００ｂは、インバータＩＶ３の入力端子Ｉ３１に入力される反転信号がトランジスタＭＮ１に入力されるとともに、インバータＩＶ４の入力端子Ｉ３２に入力される反転信号がトランジスタＭＰ１に入力される。これにより、コンパレータ１０００ｂを停止させる際、例えば、入力端子Ｉ３１及び入力端子Ｉ３２に入力される信号が共に“Ｈ”であり、停止用スイッチを構成するトランジスタＭＰ１とトランジスタＭＮ１のゲート電圧が、ゲート電位（“Ｌ”）に固定されるようになっている。

[0084] 図１０に、コンパレータ１０００ｂの信号のタイミングチャートを示す。図１０は、コンパレータ１０００ｂの信号のタイミングチャートである。

[0085] 図１０では、スイッチφ１及びスイッチφ１１のパルスの期間（“Ｈ”）が、オートゼロ処理を実行するオートゼロ処理期間を示している。スイッチφ２の“Ｈ”の期間は、通常動作を実行する通常動作期間を示している。スイッチφ３１及びスイッチφ３２の“Ｈ”の期間は、コンパレータ１０００ｂを停止させる期間（オフ期間）を示している。

[0086] トランジスタＭＰ１は、通常動作期間ではオフとなり、スイッチφ３１及びスイッチφ３２が“Ｈ”のときに、オンとなる。また、トランジスタＭＮ１は、通常動作期間ではオンとなり、スイッチφ３１及びスイッチφ３２が“Ｈ”のときに、オフとなる。

[0087] このように、オートゼロ処理を実行するオートゼロ処理期間を短くし、オフ期間を設けることにより、コンパレータ１０００ｂに流れる電流を止めることができるので、消費電力の低減を図ることができる。

[0088] 以上説明したように、本技術に係る第２の実施形態のデジタル制御ＬＤＯ（低ドロップアウト）レギュレータによれば、オートゼロ処理期間を短くし、オフ期間を設けることにより、比較をしていないコンパレータ１０００ｂ

に流れる電流を止めることができるので、デジタル制御ＬＤＯ（低ドロップアウト）レギュレータの消費電力の軽減を図ることができる。

[0089] なお、本技術は、上述した実施形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0090] また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0091] また、本技術は、以下のような構成を取ることができる。

［１］複数のＡＤコンバータと、

インピーダンス可変回路と、備え、

前記複数のＡＤコンバータのそれぞれが、コンパレータを有し、

前記複数のＡＤコンバータからのそれぞれの第１の信号が前記インピーダンス可変回路に入力され、

前記インピーダンス可変回路に複数の前記第１の信号が入力され、前記インピーダンス可変回路から出力される第２の信号が、前記複数のＡＤコンバータのそれぞれの２つの端子のうち、一方の端子に入力され、

前記複数のＡＤコンバータのうち、１つのＡＤコンバータが動作している間に、前記複数のＡＤコンバータのうち、残りのＡＤコンバータがオートゼロ処理を実行して、基準となる電圧値が設定され、

前記複数のＡＤコンバータのそれぞれが有する前記コンパレータが、前記一方の端子に入力される前記第２の信号の電圧値と、設定された前記電圧値とを、比較する、デジタル制御低ドロップアウトレギュレータ。

［２］前記ＡＤコンバータが、オートゼロ処理が必要なＡＤコンバータで構成される、前記［１］に記載のデジタル制御低ドロップアウトレギュレータ。

［３］制御回路を更に備え、

前記制御回路が、パルス発生回路を有し、

前記パルス発生回路が、前記オートゼロ処理を実行するためのパルスを生成する、前記［１］又は［２］に記載のデジタル制御低ドロップアウトレギ

ュレータ。

［４］前記パルス発生回路が、遅延素子と、演算素子とを有し、

前記遅延素子が、入力されたクロック信号のタイミングを遅延させ、

前記演算素子が、前記遅延されたクロック信号と、遅延されないクロック信号とを演算して、前記パルスを生成する、前記［３］に記載のデジタル制御低ドロップアウトレギュレータ。

［５］制御回路を更に備え、

前記制御回路が、前記複数のＡＤコンバータのうち、前記残りのＡＤコンバータが前記オートゼロ処理を実行しない間、当該残りのＡＤコンバータを停止させる、前記［１］乃至［４］のいずれか１つに記載のデジタル制御低ドロップアウトレギュレータ。

［６］インバータと、

停止用スイッチと、を備え、

前記インバータの出力を前記停止用スイッチのゲートに接続し、

前記複数のＡＤコンバータのうち、前記残りのＡＤコンバータを停止させる際、前記停止用スイッチのゲート電位が、当該停止用スイッチがオフになる電位に固定され、当該残りのＡＤコンバータが有するコンパレータを停止させる、前記［５］に記載のデジタル制御低ドロップアウトレギュレータ。

［７］前記インピーダンス可変回路が、複数のインピーダンス素子を備え、

前記複数のＡＤコンバータからのそれぞれの前記第１の信号が、前記複数のインピーダンス素子のそれぞれに入力され、前記第１の信号の値により前記複数のインピーダンス素子のそれぞれのオンとオフとを切り替える、前記［１］乃至［６］のいずれか１つに記載のデジタル制御低ドロップアウトレギュレータ。

符号の説明

[0092] １０　ＡＤコンバータ（Ａ相）

２０　ＡＤコンバータ（Ｂ相）

３０　インピーダンス可変回路

４０　電圧供給回路

１００　デジタル制御ＬＤＯ（低ドロップアウト）レギュレータ

２００　適応電圧制御システム

１０００　コンパレータ

ＣＣ１、ＣＣ２　制御回路

ＰＧ　パルス発生回路

請求の範囲

[請求項1] 複数のＡＤコンバータと、

インピーダンス可変回路と、備え、

前記複数のＡＤコンバータのそれぞれが、コンパレータを有し、

前記複数のＡＤコンバータからのそれぞれの第１の信号が前記インピーダンス可変回路に入力され、

前記インピーダンス可変回路に複数の前記第１の信号が入力され、前記インピーダンス可変回路から出力される第２の信号が、前記複数のＡＤコンバータのそれぞれの２つの端子のうち、一方の端子に入力され、

前記複数のＡＤコンバータのうち、１つのＡＤコンバータが動作している間に、前記複数のＡＤコンバータのうち、残りのＡＤコンバータがオートゼロ処理を実行して、基準となる電圧値が設定され、

前記複数のＡＤコンバータのそれぞれが有する前記コンパレータが、前記一方の端子に入力される前記第２の信号の電圧値と、設定された前記電圧値とを、比較する、デジタル制御低ドロップアウトレギュレータ。

[請求項2] 前記ＡＤコンバータが、前記オートゼロ処理が必要なＡＤコンバータで構成される、請求項１に記載のデジタル制御低ドロップアウトレギュレータ。

[請求項3] 制御回路を更に備え、

前記制御回路が、パルス発生回路を有し、

前記パルス発生回路が、前記オートゼロ処理を実行するためのパルスを生成する、請求項１に記載のデジタル制御低ドロップアウトレギュレータ。

[請求項4] 前記パルス発生回路が、遅延素子と、演算素子とを有し、

前記遅延素子が、入力されたクロック信号のタイミングを遅延させ、

前記演算素子が、前記遅延されたクロック信号と、遅延されないクロック信号とを演算して、前記パルスを生成する、請求項３に記載のデジタル制御低ドロップアウトレギュレータ。

[請求項5] 制御回路を更に備え、

前記制御回路が、前記複数のＡＤコンバータのうち、前記残りのＡＤコンバータが前記オートゼロ処理を実行しない間、当該残りのＡＤコンバータを停止させる、請求項１に記載のデジタル制御低ドロップアウトレギュレータ。

[請求項6] インバータと、

停止用スイッチと、を備え、

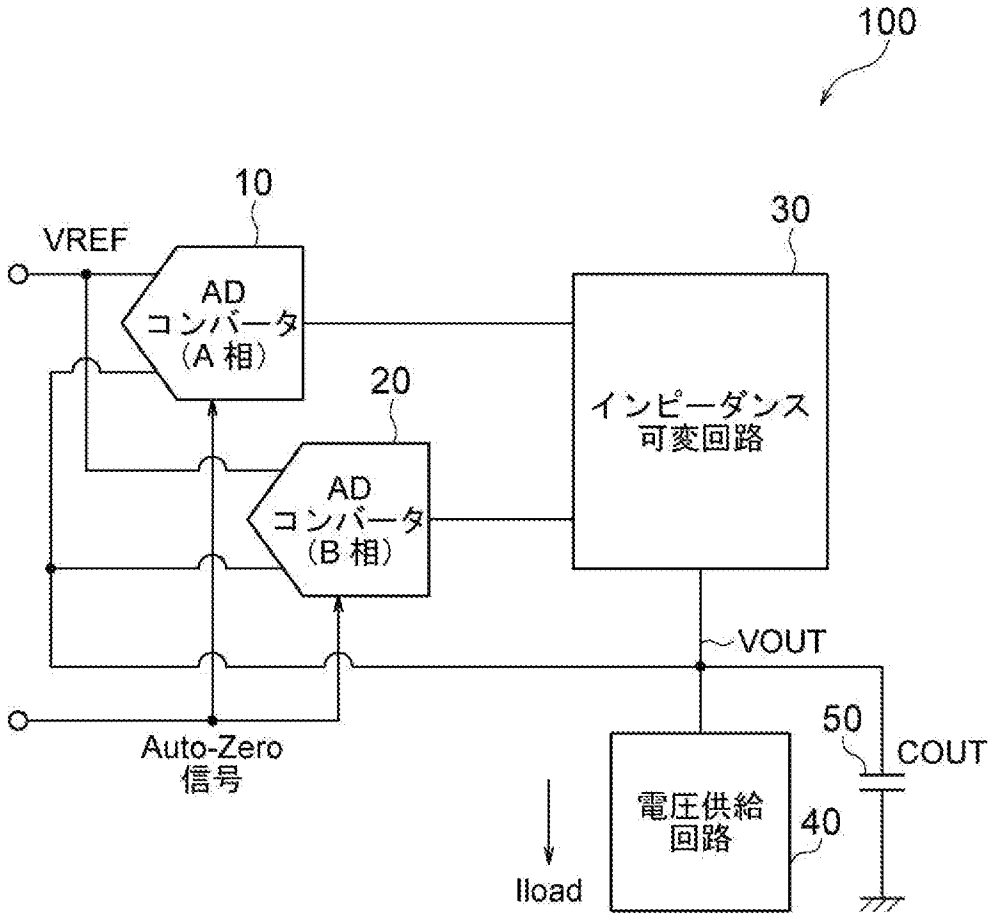
前記インバータの出力を前記停止用スイッチのゲートに接続し、

前記複数のＡＤコンバータのうち、前記残りのＡＤコンバータを停止させる際、前記停止用スイッチのゲート電位が、当該停止用スイッチがオフになる電位に固定され、当該残りのＡＤコンバータが有するコンパレータを停止させる、請求項５に記載のデジタル制御低ドロップアウトレギュレータ。

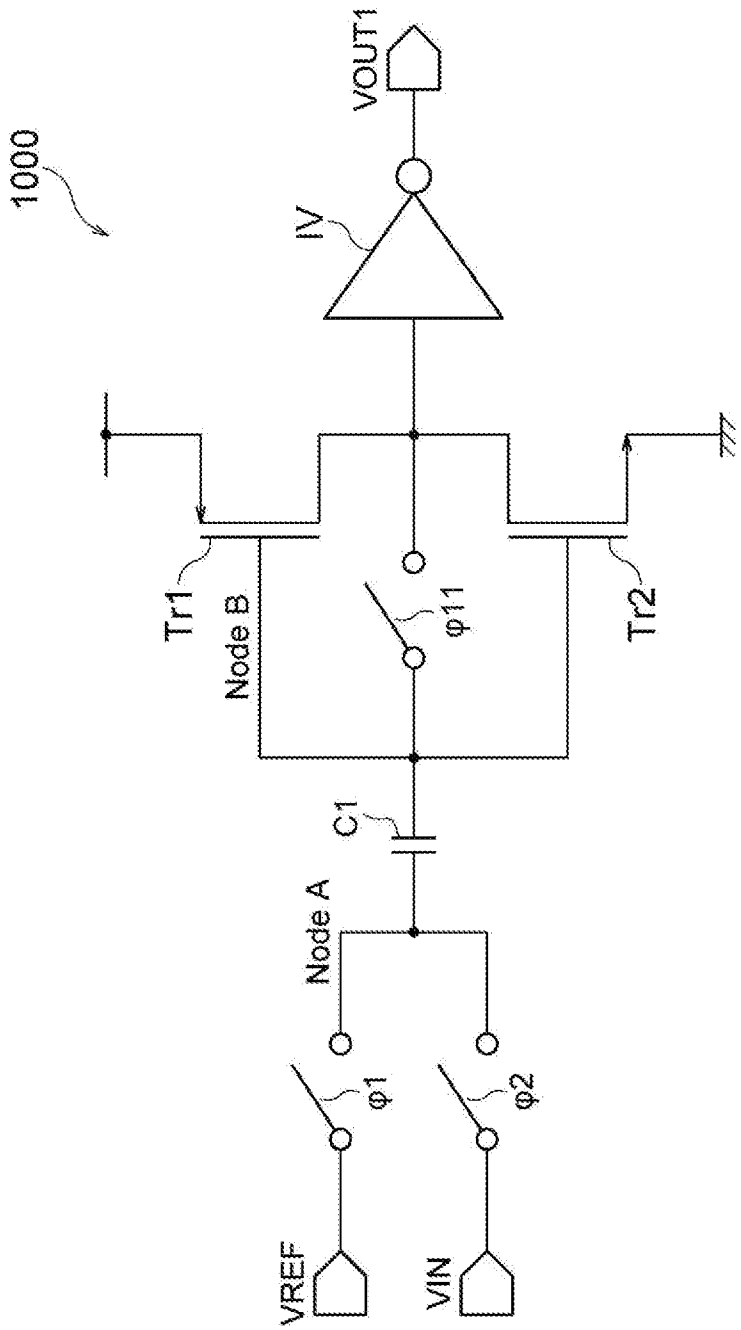
[請求項7] 前記インピーダンス可変回路が、複数のインピーダンス素子を備え、

前記複数のＡＤコンバータからのそれぞれの前記第１の信号が、前記複数のインピーダンス素子のそれぞれに入力され、前記第１の信号の値により前記複数のインピーダンス素子のそれぞれのオンとオフとを切り替える、請求項１に記載のデジタル制御低ドロップアウトレギュレータ。

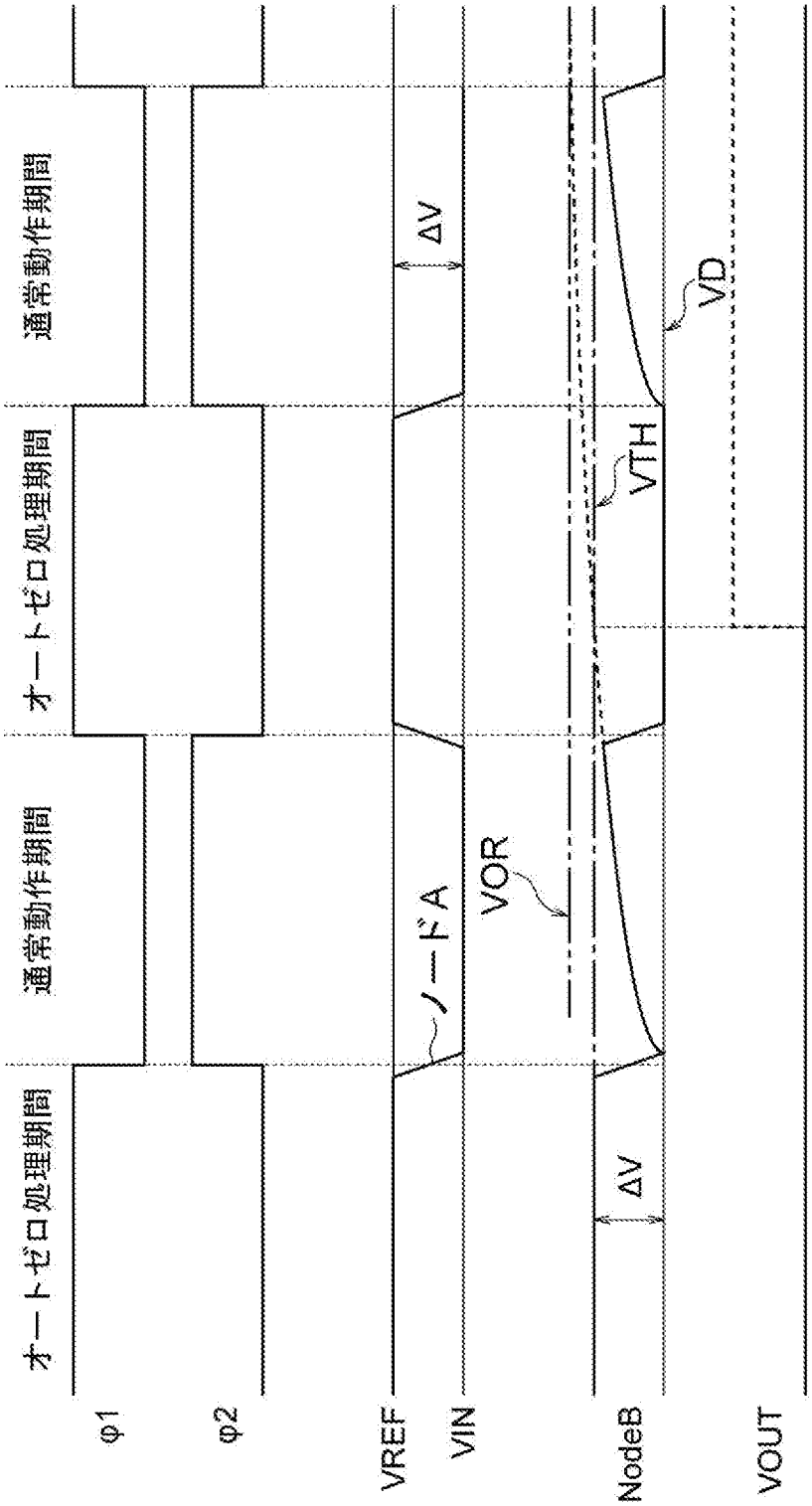
[図1]


100
10
VREF
AD
コンバータ
(A 相)
20
AD
コンバータ
(B 相)
30
インピーダンス
可変回路
VOUT
50
COUT
Auto-Zero
信号
電圧供給
回路
40
Iload

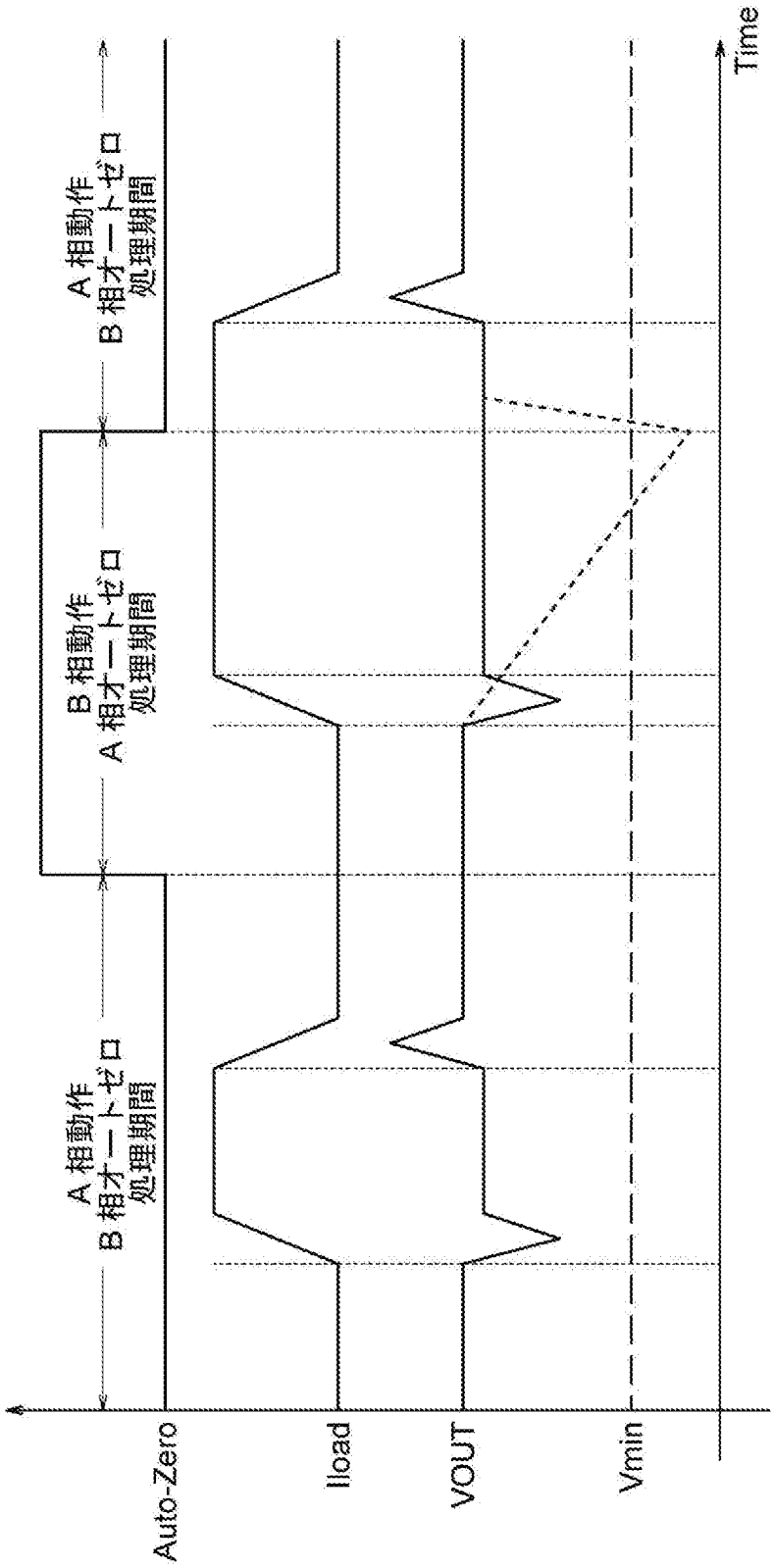
[図2]



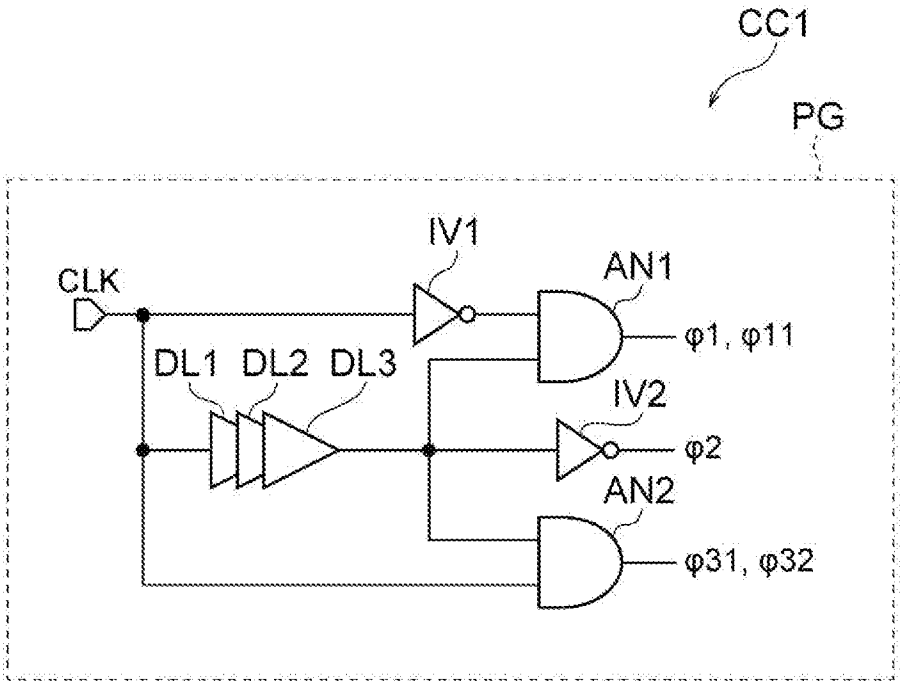
[図3]


オートゼロ処理期間
通常動作期間
オートゼロ処理期間
通常動作期間
φ1
φ2
VREF
VIN
NodeB
VOUT
ΔV
ノードA
VOR
VTH
VD
ΔV

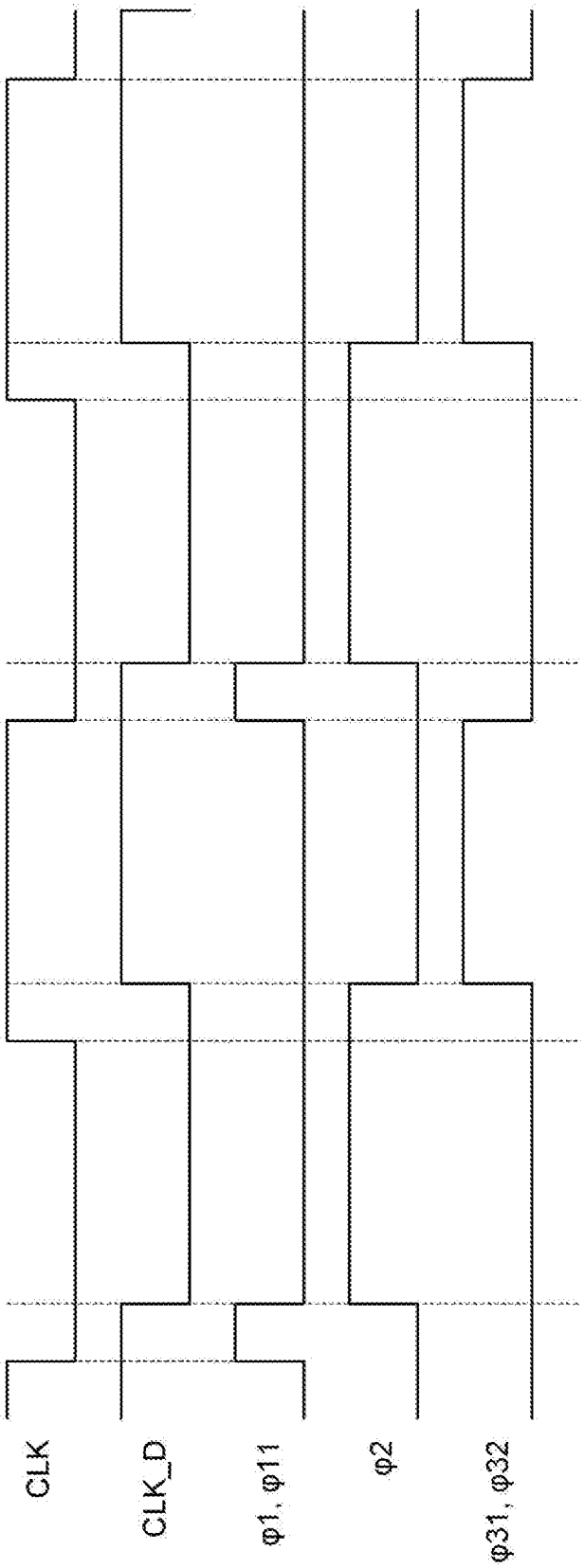
[図4]


A相動作
B相オートゼロ
処理期間
B相動作
A相オートゼロ
処理期間
A相動作
B相オートゼロ
処理期間
Time
Auto-Zero
Iload
VOUT
Vmin

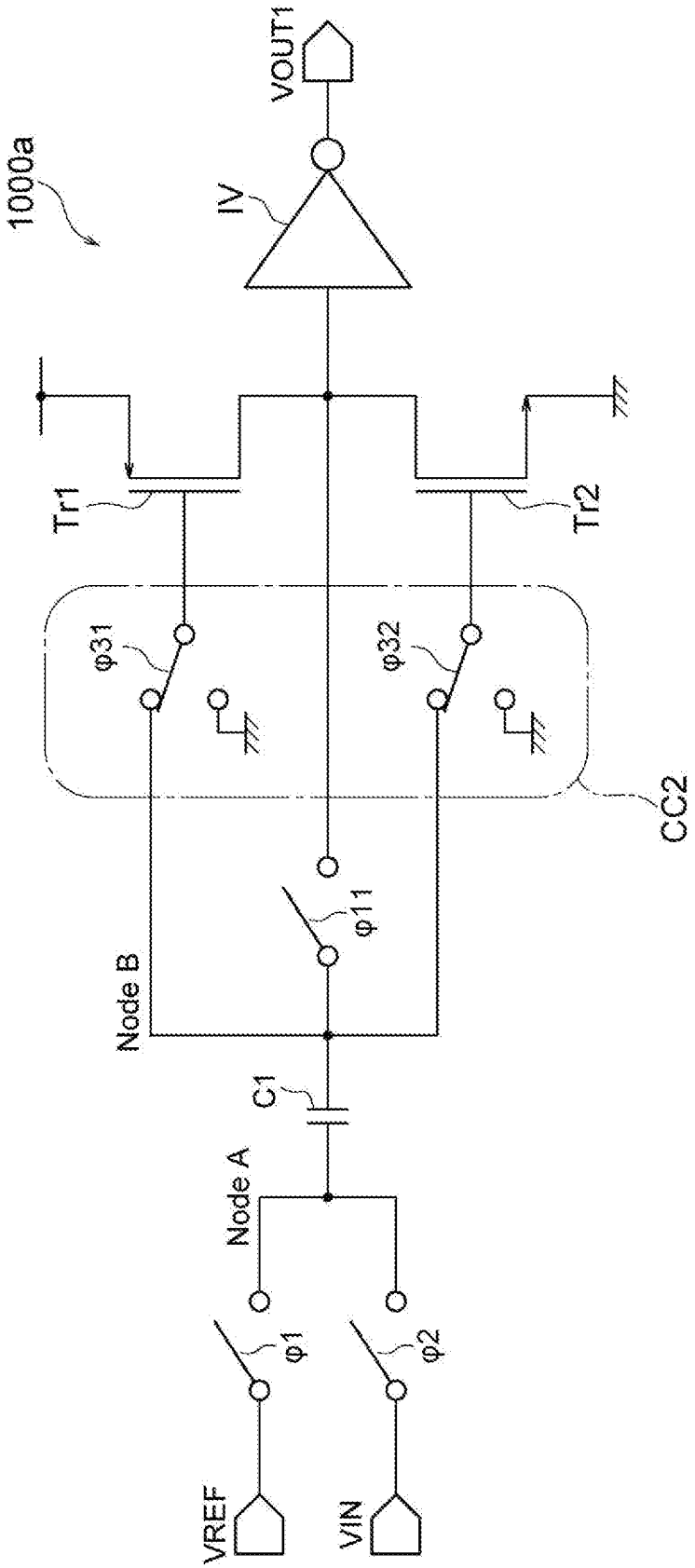
[図5]



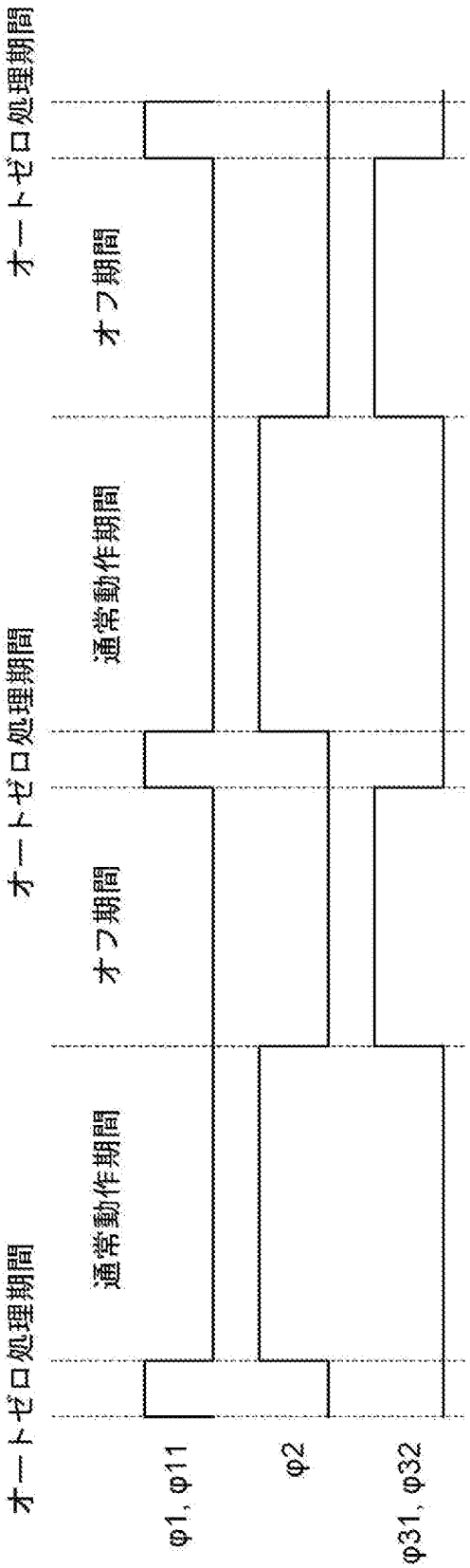
[図6]



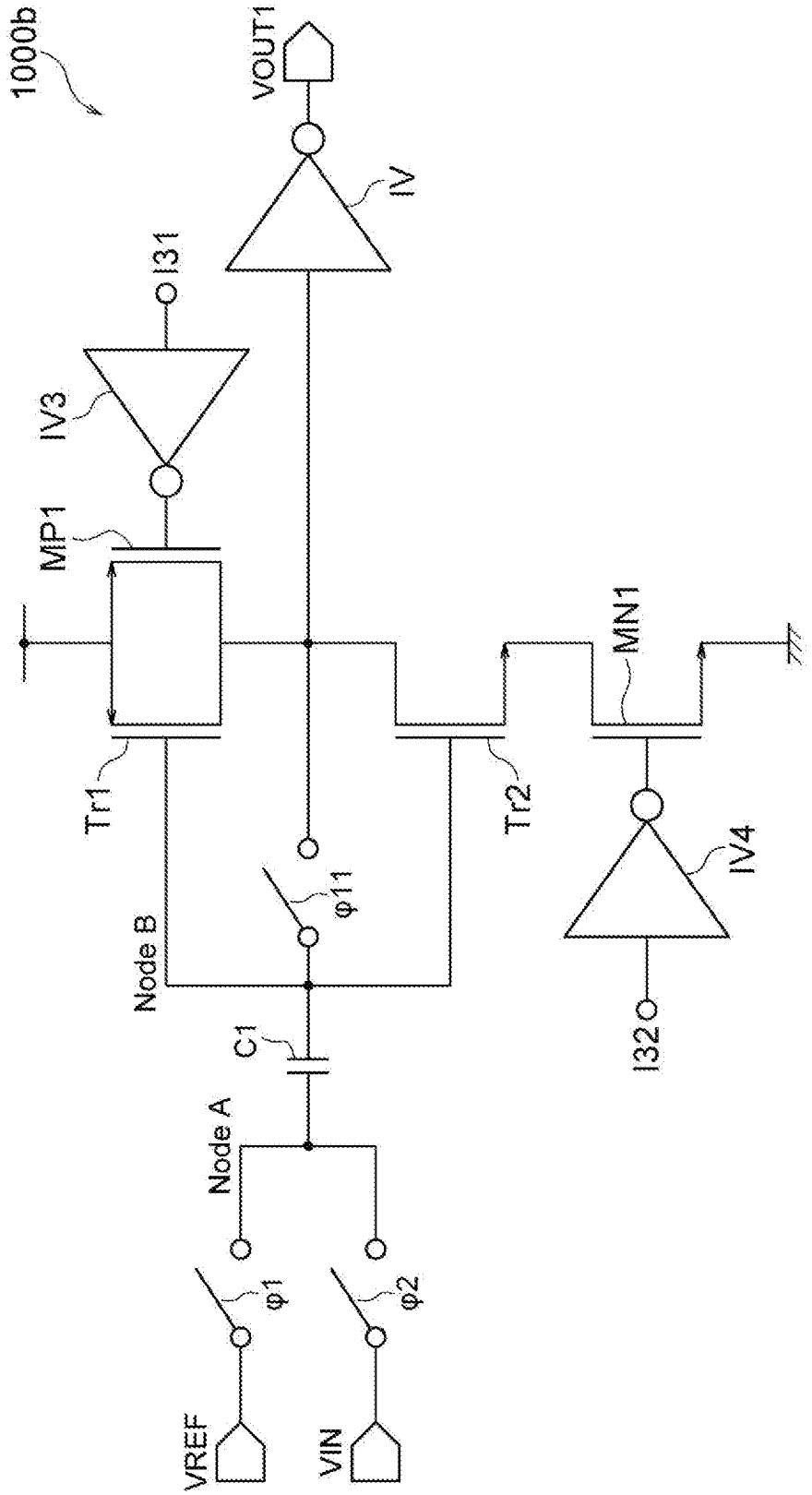
[図7]


VOUT1
1000a
IV
Tr1
Tr2
φ31
φ32
CC2
φ11
Node B
C1
Node A
φ1
φ2
VREF
VIN

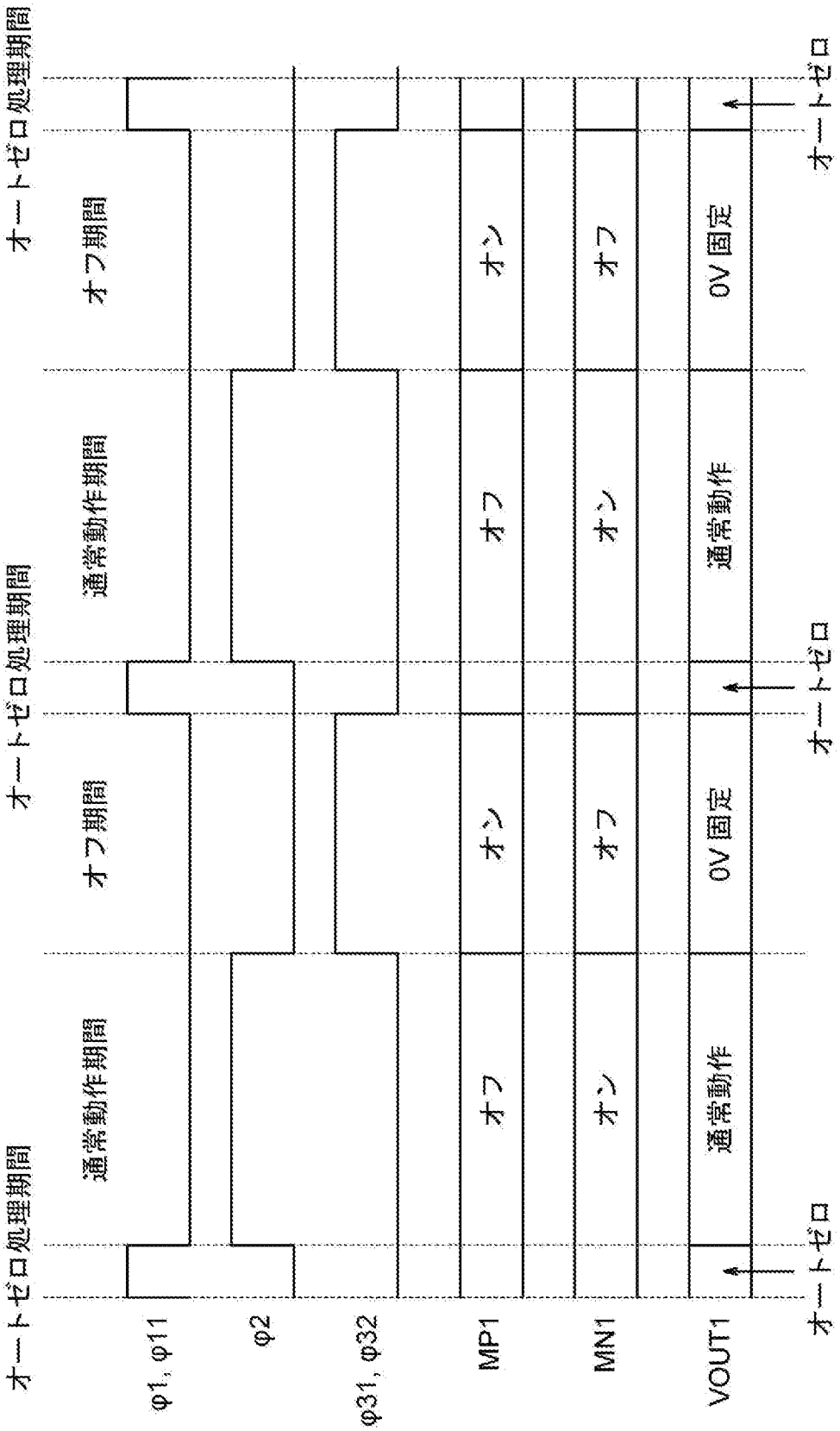
[図8]


オートゼロ処理期間
通常動作期間
オートゼロ処理期間
オフ期間
オートゼロ処理期間
通常動作期間
オフ期間
φ1, φ11
φ2
φ31, φ32

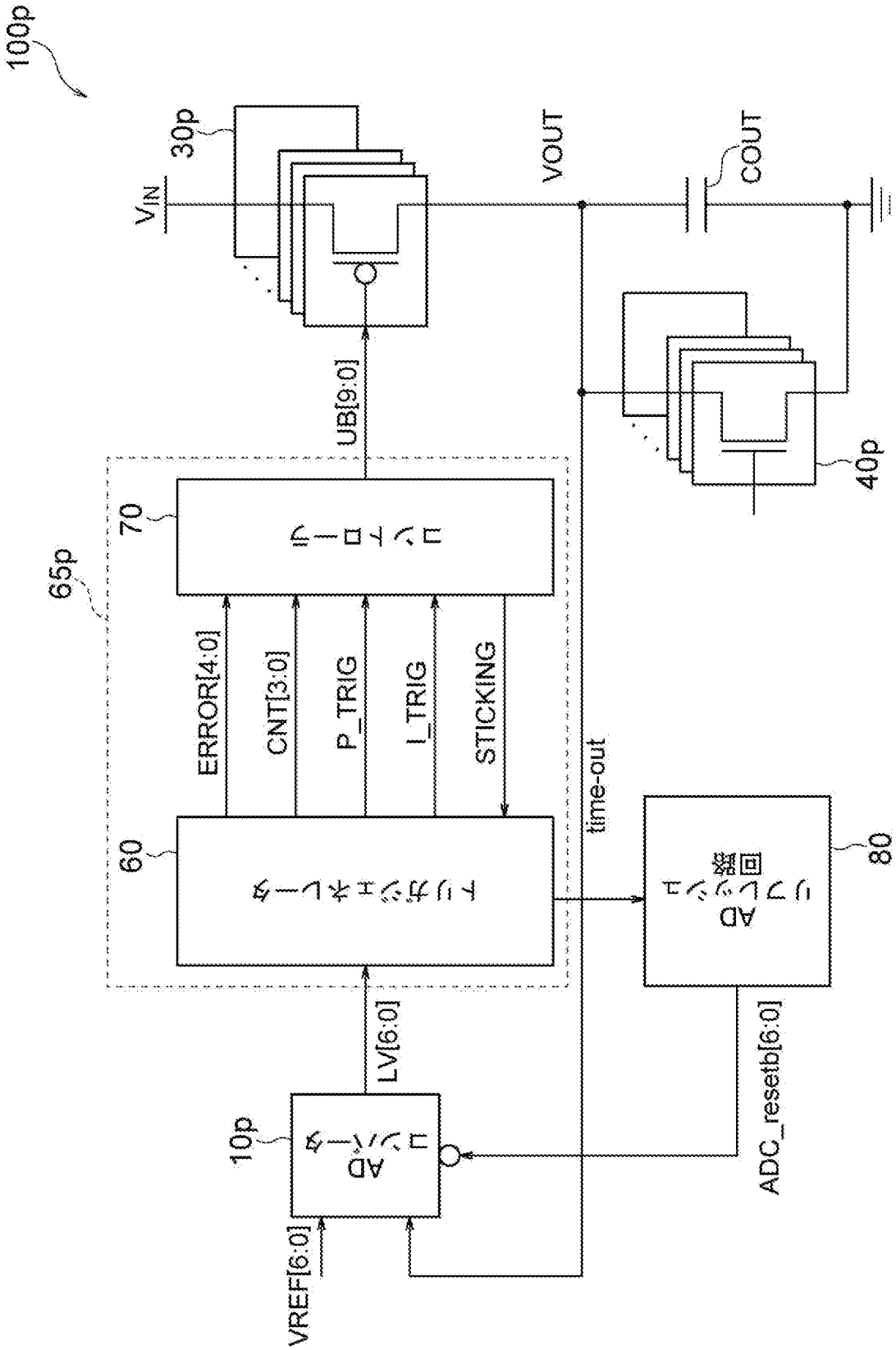
[図9]


1000b
VOUT1
IV
I31
IV3
MP1
MIN1
Tr1
Tr2
IV4
φ11
Node B
C1
I32
Node A
φ1
φ2
VREF
VIN

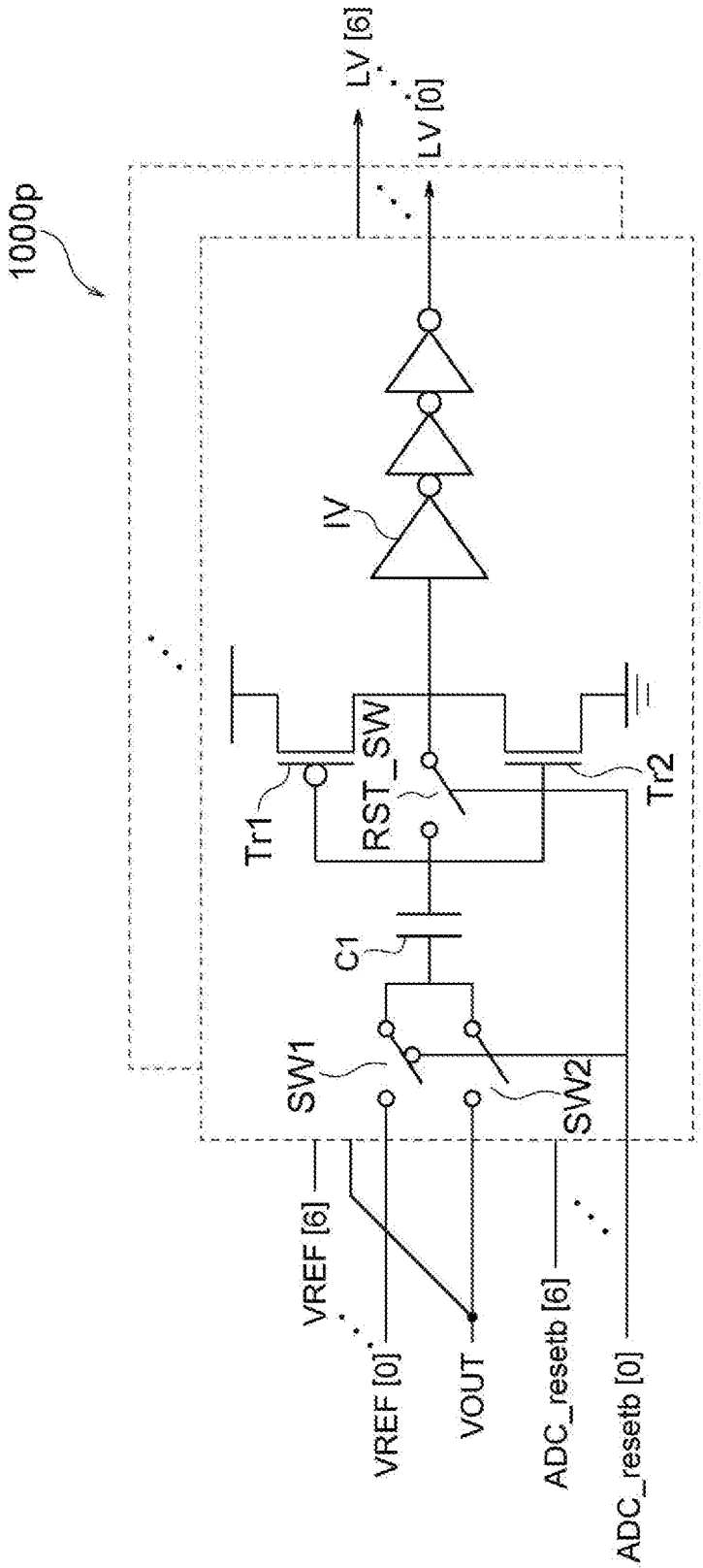
[図10]


オートゼロ処理期間
通常動作期間
オフ期間
オートゼロ処理期間
通常動作期間
オフ期間
オートゼロ処理期間
φ1, φ11
φ2
φ31, φ32
MP1
MN1
VOUT1
オフ
オン
オフ
オン
オフ
オン
0V 固定
通常動作
0V 固定
通常動作
オートゼロ
オートゼロ
オートゼロ

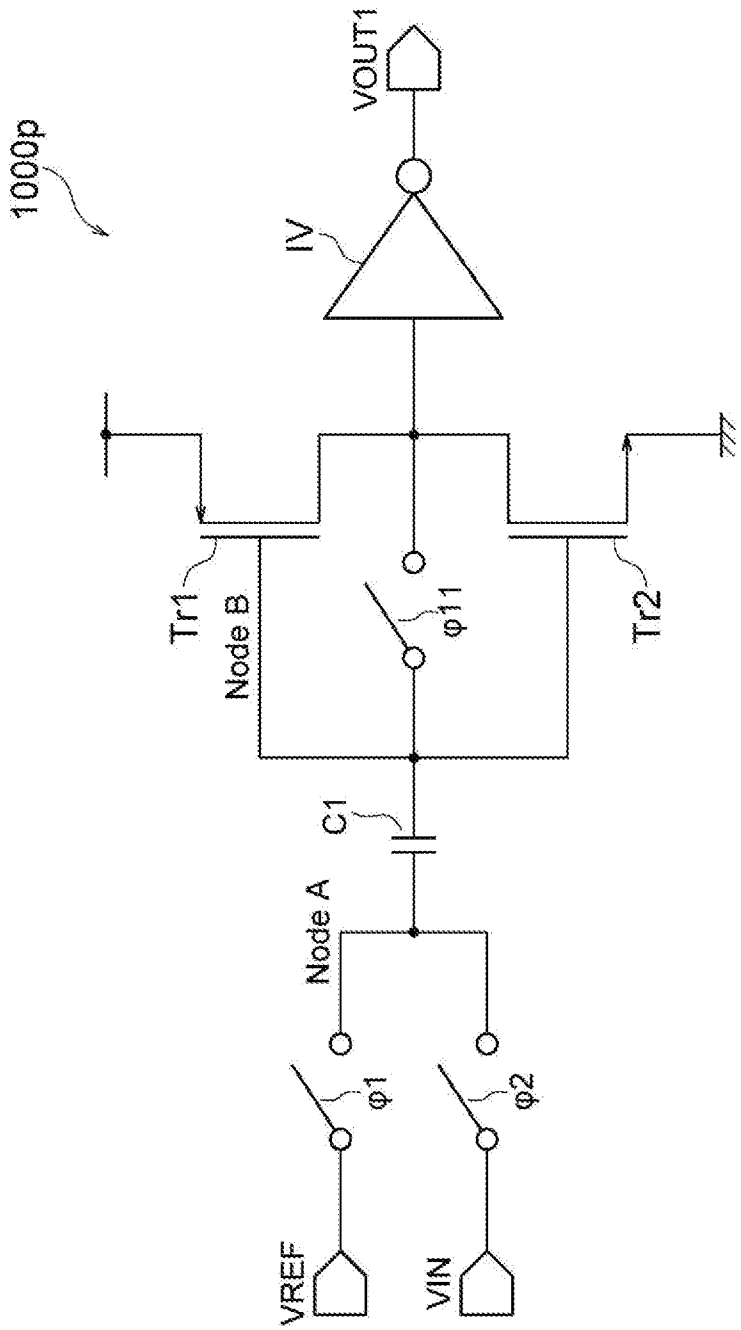
[図11]


100p
30p
V_{IN}
VOUT
COUT
40p
UB[9:0]
65p
70
コントローラ
ERROR[4:0]
CNT[3:0]
P_TRIG
I_TRIG
STICKING
60
ドリフトキャレータ
time-out
80
AD変換回路
10p
ADバッファ
LV[6:0]
VREF[6:0]
ADC_resetb[6:0]

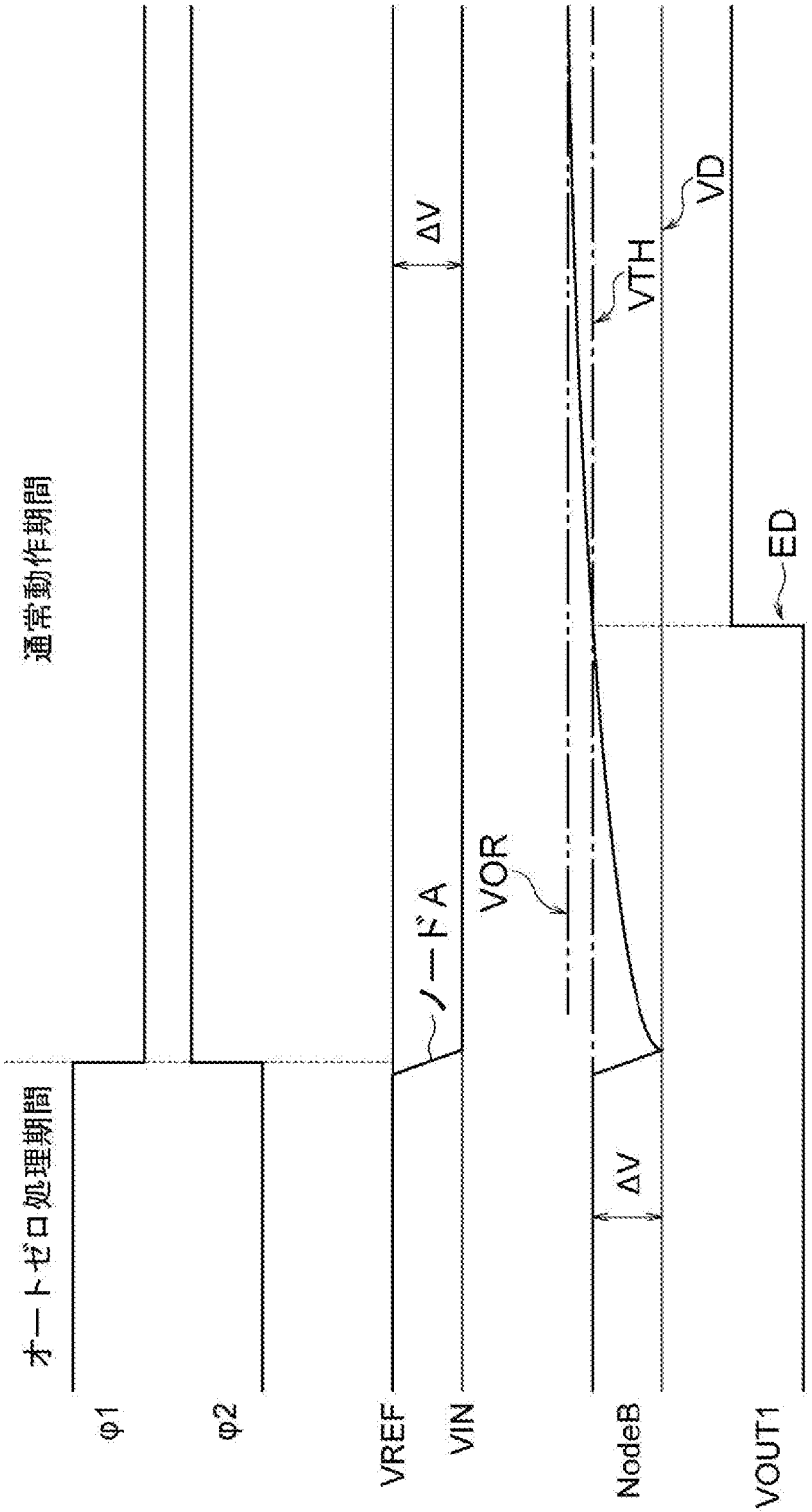
[図12]


1000p
LV [6]
LV [0]
IV
Tr1
RST_SW
Tr2
C1
SW1
SW2
VREF [6]
VREF [0]
VOUT
ADC_resetb [6]
ADC_resetb [0]

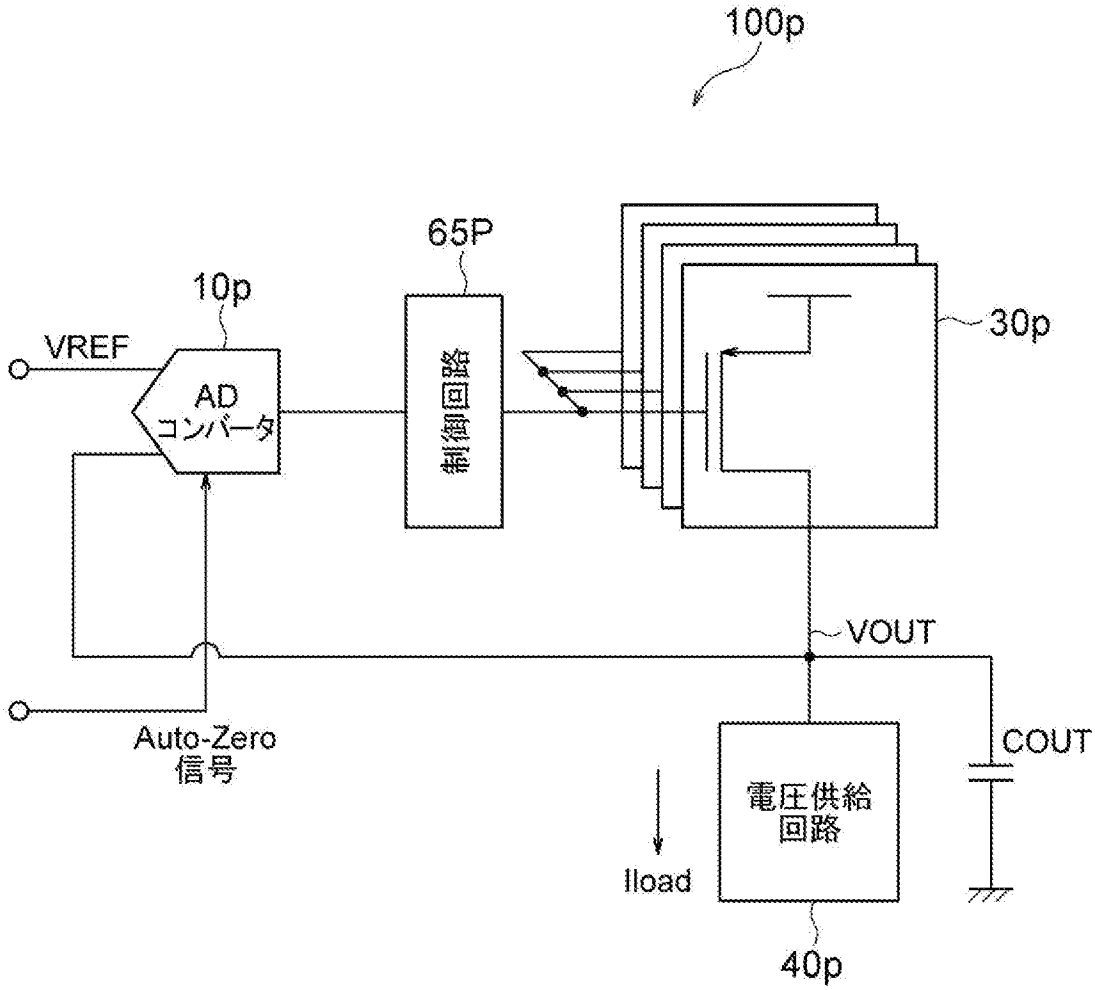
[図13]



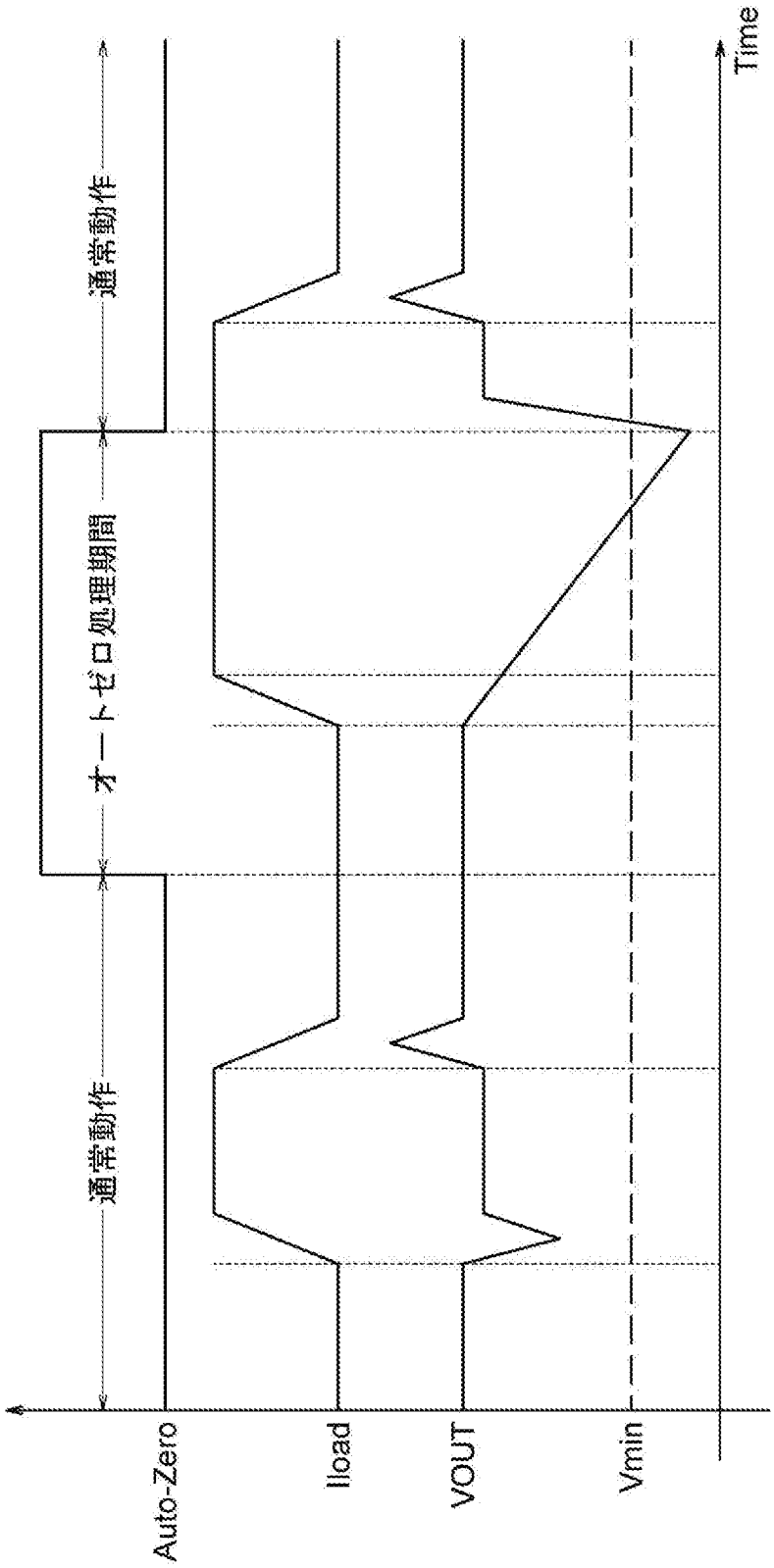
[図14]


オートゼロ処理期間
通常動作期間
φ1
φ2
VREF
VIN
NodeB
VOUT1
ノードA
VOR
ΔV
VTH
VD
ED
ΔV

[図15]


100p
65P
10p
VREF
AD
コンバータ
制御回路
30p
VOUT
Auto-Zero
信号
COUT
電圧供給
回路
Iload
40p

[図16]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/011332

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. G05F1/56(2006.01)i
FI: G05F1/56310F, G05F1/56310C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-170470 A (FUJITSU SEMICONDUCTOR LTD.) 05.08.2010 (2010-08-05), entire text, all drawings	1-7
A	US 2006/0226898 A1 (LINEAR TECHNOLOGY CORPORATION) 12.10.2006 (2006-10-12), entire text, all drawings	1-7
A	JP 2004-194066 A (FUJITSU LIMITED) 08.07.2004 (2004-07-08), entire text, all drawings	1-7
A	JP 2016-519356 A (QUALCOMM INCORPORATED) 30.06.2016 (2016-06-30), entire text, all drawings	1-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02.04.2020	14.04.2020

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

JP 2010-170470 A	05.08.2010	US 2010/0188141 A1 entire text, all drawings
US 2006/0226898 A1	12.10.2006	(Family: none)
JP 2004-194066 A	08.07.2004	US 2004/0113829 A1 entire text, all drawings
JP 2016-519356 A	30.06.2016	US 2014/0266143 A1 entire text, all drawings CN 105027210 A KR 10-2015-0131198 A

国際調査報告

国際出願番号
PCT/JP2020/011332

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G05F 1/56(2006.01)i
FI: G05F1/56 310F; G05F1/56 310C

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G05F1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2010-170470 A (富士通セミコンダクター株式会社) 05.08.2010 (2010-08-05) 全文，全図	1-7
A	US 2006/0226898 A1 (LINEAR TECHNOLOGY CORPORATION) 12.10.2006 (2006-10-12) 全文，全図	1-7
A	JP 2004-194066 A (富士通株式会社) 08.07.2004 (2004-07-08) 全文，全図	1-7
A	JP 2016-519356 A (クアルコム，インコーポレイテッド) 30.06.2016 (2016-06-30) 全文，全図	1-7

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
02.04.2020	14.04.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
山崎　雄司 5G 1159

電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/011332

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-170470 A	05.08.2010	US 2010/0188141 A1 全文，全図	
US 2006/0226898 A1	12.10.2006	（ファミリーなし）	
JP 2004-194066 A	08.07.2004	US 2004/0113829 A1 全文，全図	
JP 2016-519356 A	30.06.2016	US 2014/0266143 A1 全文，全図 CN 105027210 A KR 10-2015-0131198 A	