

FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

273 107

(11)

(13) B1

(51) Int. Cl.⁵
G 05 B 19/02

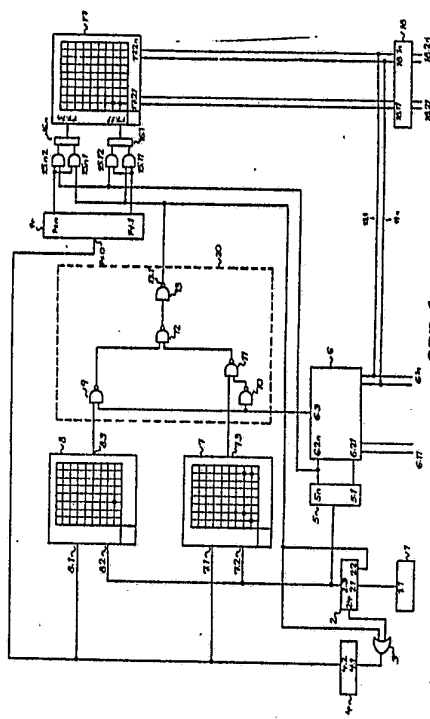
(21) PV 3517-87.J
(22) Přihlášeno 15 05 87

(40) Zveřejněno 12 07 90
(45) Vydáno 30 12 91

(75) Autor vynálezu FICEK LUMÍR, LÍPA JAN,
HRADIL FRANTIŠEK, OSTROV NAD OHŘÍ

(54) Programovatelné zařízení pro bezkontaktní
řízení elektrických strojů

(57) Programovatelné zařízení se využívá pro řízení různých strojů, zejména pístových a šroubových kompresorů, čerpadel a podobně. Sestává z generátoru (1) hodin, sloupkového čítače (2) a řádkového čítače (4), hradel (3, 9 až 13), dekodéru (5), vstupních pamětí (7, 8), výstupní paměti (17) a zesilovače (18). Sloupkový čítač (2) je spojen s generátorem (1) hodin, s dekodérem (5), s první a druhou vstupní pamětí (7, 8), s vyhodnocovacím logickým obvodem (20) a s každým lichým prvním až n-tým výstupním hradlem (15.11 až 15.n1) a s prvním hradlem (3) spojeným s řádkovým čítačem (4). Řádkový čítač (4) je spojen s první a druhou vstupní pamětí (7, 8) a s řádkovým dekodérem (14) spojeným se všemi výstupními hradly (15.11 až 15.n2). První a druhá vstupní paměť (7, 8) jsou spojeny s vyhodnocovacím logickým obvodem (20) spojeným s budičem (6) sběrnice. Budič (6) sběrnice je spojen s dekodérem (5), s každým sudým prvním až n-tým výstupním hradlem (15.12 až 15.n2), se zesilovači (18) a s výstupní pamětí (17) spojenou přes klopné obvody (16.1 až 16.n) s výstupními hradly (15.11 až 15.n2).



Vynález se týká programovatelného zařízení pro bezkontaktní řízení elektrických strojů s funkcí paměťového a rozhodovacího ústrojí.

Jedním ze způsobů, jak vyjádřit složité logické vazby, potřebné k automatickému ovládání elektrických strojů je využití mikroprocesorů, které ve spojení s pamětmi a dalšími obvody řídí celý proces. Nevýhodou těchto zařízení je především jejich obtížnější programování, úprava programů při oživování a při poruše obtížnější stanovení vadné části.

V poslední době se začínají uplatňovat programovatelná logická pole, které je možné elektricky programovat a opětně mazat, a to až již elektricky, nebo ultrafialovým světlem. Tato programovatelná logická pole jsou vlastně syntézou elektricky programovatelných pamětí EPROM a logických polí. Nevýhodou těchto elektricky programovatelných polí je poměrně značná složitost, která klade velké nároky na technologii výroby těchto polí.

Uvedené nedostatky do značné míry odstraňuje programovatelné zařízení pro bezkontaktní řízení elektrických strojů, sestávající z generátoru hodin, sloupkového čítače, řádkového čítače, hradel, dekodéru, vstupních pamětí, výstupní paměti a zesilovače. Podstata vynálezu spočívá v tom, že výstup generátoru hodin je propojen se vstupem sloupkového čítače, jehož nulovací vstup je propojen s prvním vstupem prvního hradla, s výstupem šestého hradla vyhodnocovacího logického obvodu a s prvním vstupem každého lichého prvního až n-tého výstupního hradla. První výstup sloupkového čítače je spojen s dekodérem, se sloupkovým adresovým vstupem první vstupní paměti a se sloupkovým adresovým vstupem druhé vstupní paměti. Výstup druhé vstupní paměti je spojen s vyhodnocovacím logickým obvodem a její adresový řádkový vstup je spojen se vstupem řádkového dekodéru, s adresovým řádkovým vstupem první vstupní paměti a s výstupem řádkového čítače. Vstup řádkového čítače je spojen s výstupem prvního hradla, jehož druhý vstup je spojen s druhým výstupem sloupkového čítače. Výstup první vstupní paměti je propojen s vyhodnocovacím logickým obvodem, který je propojen s výstupem budiče sběrnice, opatřeného vstupem. První až n-tý adresní vstup budiče sběrnice je spojen s prvním až n-tým výstupem dekodéru, jehož n-tý výstup je propojen s druhým vstupem každého sudého prvního až n-tého výstupního hradla, která jsou spojena vždy s odpovídajícím prvním až n-tým lichým výstupním hradlem. První až n-té liché a sudé výstupní hradlo je spojeno s prvním až n-tým klopným obvodem, které jsou propojeny s první až n-tou vstupní adresou výstupní paměti. První až n-tý výstup výstupní paměti je napojen na první až n-tý vstup zesilovače opatřeného prvním až n-tým výstupem. N-tý vstup zesilovače je prvním až n-tým zpětnovazebním vedením spojen s n-tým vstupem budiče sběrnice. Vyhodnocovací logický obvod obsahuje druhé hradlo, které je vstupy napojeno na výstup druhé vstupní paměti, na třetí hradlo, na výstup budiče sběrnice a dále výstupem na páté hradlo, které je spojeno se šestým hradlem a se čtvrtým hradlem propojeným se třetím hradlem a s výstupem první vstupní paměti.

Programovatelné zařízení podle vynálezu se vyznačuje podstatně jednodušším programováním, než je programování u současných mikroprocesorů. Tím se zjednodušuje i práce při hledání chyb při dolaďování programů. Zařízení při krokování zjistí okamžitě chybný vstup a ihned dává povel ke čtení dalšího řádku, čímž se podstatně snižuje doba, až desetinásobně, oproti systému s běžnými mikroprocesory.

Na připojených výkresech je znázorněn příklad provedení zařízení podle vynálezu, kde na obr. 1 je zobrazeno blokové schéma zařízení a na obr. 2 je schéma vyhodnocovacího logického obvodu a jeho pravdivostní tabulka.

Programovatelné zařízení podle vynálezu obsahuje tři paměti. V první a druhé vstupní paměti 7 a 8 jsou zaznamenávány vstupní informace, zatímco ve výstupní paměti 17 jsou zaznamenávány výstupní informace, to jest informace o tom, které výstupy se mají sepnout. Dále obsahuje generátor 1 hodin, jehož výstup 1.1 je propojen se vstupem

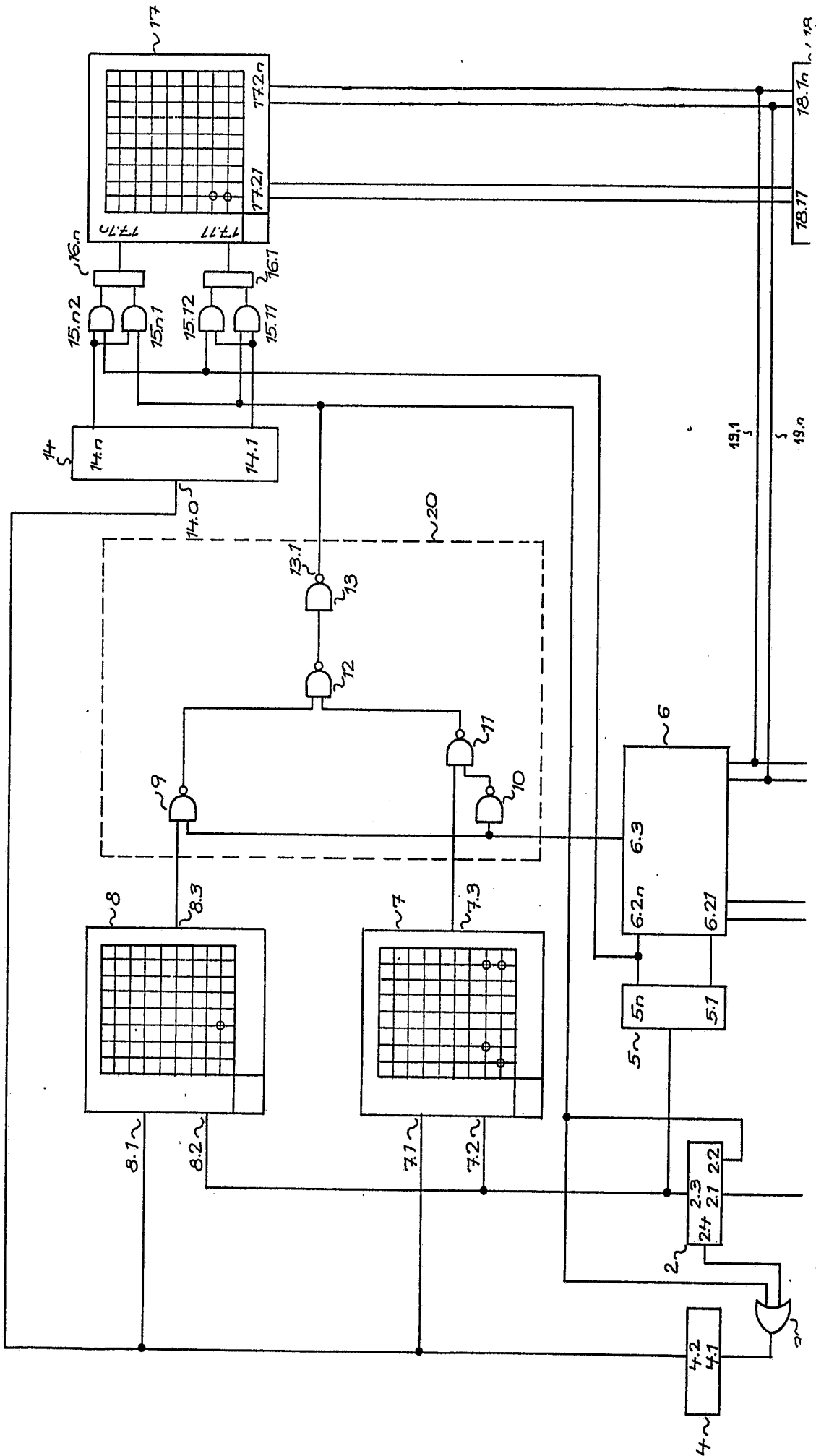
2.1 sloupkového čítače 2, jehož nulovací vstup 2.2 je propojen s prvním vstupem prvního hradla 3, s výstupem 13.1 šestého hradla 13 vyhodnocovacího logického obvodu 20 a s prvním vstupem každého lichého prvního až n -tého výstupního hradla 15.11 až 15.n1. První výstup 2.3 sloupkového čítače 2 je spojen s dekodérem 5, se sloupkovým adresovým vstupem 7.2 první vstupní paměti 7 a se sloupkovým adresovým vstupem 8.2 druhé vstupní paměti 8. Výstup 8.3 druhé vstupní paměti 8 je spojen s vyhodnocovacím logickým obvodem 20 a adresový řádkový vstup 8.1 druhé vstupní paměti 8 je spojen se vstupem 14.0 řádkového dekodéru 14, s adresovým řádkovým vstupem 7.1 první vstupní paměti 7 a s výstupem 4.2 řádkového čítače 4. Výstup 4.1 řádkového čítače 4 je spojen s výstupem prvního hradla 3 jehož druhý vstup je spojen s druhým výstupem 2.4 sloupkového čítače 2. Výstup 7.3 první vstupní paměti 7 je propojen s vyhodnocovacím logickým obvodem 20, který je propojen s výstupem 6.3 budiče 6 sběrnice, opatřeného vstupem 6.11. První až n -tý vstup 6.21 až 6.2n budiče 6 sběrnice je spojen s prvním až n -tým výstupem 5.1 až 5.n dekodéru 5, jehož n -tý výstup 5.n je propojen s druhým vstupem každého sudého prvního až n -tého výstupního hradla 15.12 až 15.n2, která jsou spojena vždy s odpovídajícím prvním až n -tým lichým výstupním hradlem 15.11 až 15.n1. První až n -té liché a sudé výstupní hradlo 15.11 až 15.n2 je spojeno s prvním až n -tým klopným obvodem 16.1 až 16.n, které jsou propojeny s první až n -tou vstupní adresou 17.1 až 17.n výstupní paměti 17. První až n -tý výstup 17.21 až 17.2n výstupní paměti 17 je napojen na první až n -tý vstup 18.11 až 18.1n zesilovače 18 opatřeného prvním až n -tým výstupem 18.21 až 18.2n. N -tý vstup 18.1n zesilovače 18 je prvním až n -tým zpětnovazebním vedením 19.1 až 19.n spojen s n -tým vstupem 6.1n budiče 6 sběrnice. Vyhodnocovací logický obvod 20 obsahuje druhé hradlo 9, které je vstupy napojeno na výstup 8.3 druhé vstupní paměti 8, na třetí hradlo 10, na výstup 6.3 budiče 6 sběrnice a dále výstupem na páté hradlo 12. Páté hradlo 12 je spojeno se šestým hradlem 13 a se čtvrtým hradlem 11 propojeným se třetím hradlem 10 a s výstupem 7.3 první vstupní paměti 7.

Za předpokladu, že se generátor 1 hodin zastavil a že sloupkový čítač 2 a řádkový čítač 4 se zastavily ve stavu 1, jsou první a druhá vstupní paměť 7 a 8 čteny v průsečíku prvního řádku a prvního sloupku. Na výstupu 9.3 první vstupní paměti 7 bude úroveň L, která se dostává na vstup čtvrtého hradla 11. Na výstupu 8.3 druhé vstupní paměti 8 bude úroveň H, která se dostává na vstup druhého hradla 9. Současně dekodér 5 vyhodnotí stav sloupkového čítače 2 a uvolní cestu vstupnímu signálu 6.11 budičem 6 sběrnice na jeho výstup 6.3. Tím je vstupní signál připojen k druhému a třetímu hradlu 9 a 10. Vyhodnocovací logický obvod 20 vyhodnotí stav první a druhé vstupní paměti 7 a 8 včetně vstupu 6.11 budiče 6 sběrnice a na základě výsledku dojde buď k pokračování kontroly dalšího vstupu, nebo k přechodu na další řádek. V případě, že vyhodnocovací logický obvod 20 shledá všechny vstupy shodné s naprogramovanými údaji v první a druhé vstupní paměti 7 a 8, potom při přechodu posledního sloupku dojde k činnosti prvního sudého výstupního hradla 15.12, které způsobí překlopení prvního klopného obvodu 16.1. Výstup prvního klopného obvodu 16.1 uvolní přes první vstupní adresu 17.11 řádek 1 výstupní paměti 17. Výstupní paměť 17, pracující v systému "OR", propojí podle naprogramovaného řádku první až n -tý výstup 17.21 až 17.2n ke vstupům zesilovačů 18. První až n -tý výstup 18.21 až 18.2n zesilovačů 18 potom ovládají příslušná relé, která nejsou zakreslena. Aby bylo možné provádět sekvenční funkce, je možné pomocí prvního až n -tého zpětnovazebního vedení 19.1 až 19.n propojit požadované výstupy výstupní paměti 17 se vstupy budiče 6 sběrnice. V případě, že vstupní signál neodpovídá naprogramovaným údajům v první a druhé vstupní paměti 7 a 8, dává vyhodnocovací logický obvod 20 povel prvnímu lichému výstupnímu hradlu 15.11, přes které je vrácen první klopný obvod 16.1 do základního stavu. Tím je i odpojen řádek 1 výstupní paměti 17, takže nemůže ovlivnit činnost prvního až n -tého výstupu 17.21 až 17.2n. Současně vychází z výstupu 13.1 šestého hradla 13 povel pro nulovací vstup 2.2 sloupkového čítače 2, který způsobí vynulování tohoto čítače. Impuls ze šestého hradla 13 se současně zavede přes první hradlo 3 do vstupu 4.1 řádkového čítače 4. Tím se řádkový čítač 4 posune o jedno místo. V případě, že bžijí generátor 1 hodin, potom se celý popsaný děj neustále opakuje.

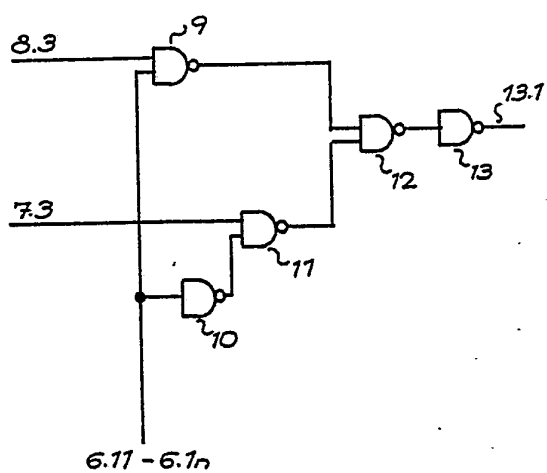
Programovatelné zařízení podle vynálezu se s výhodou využívá pro řízení různých strojů, zejména pístových kompresorů, šroubových kompresorů, čerpadel a podobně.

PŘEDMĚT VYNÁLEZU

1. Programovatelné zařízení pro bezkontaktní řízení elektrických strojů s funkcí paměťového a rozhodovacího ústrojí, sestávající z generátoru hodin, sloupkového čítače, řádkového čítače, hradel, dekodéru, vstupních pamětí, výstupní paměti a zesilovače, vyznačující se tím, že výstup (1.1) generátoru (1) hodin je propojen se vstupem (2.1) sloupkového čítače (2), jehož nulovací vstup (2.2) je propojen s prvním vstupem prvního hradla (3), s výstupem (13.1) šestého hradla (13) vyhodnocovacího logického obvodu (20) a s prvním vstupem každého lichého prvního až n-tého výstupního hradla (15.11 až 15.n1) a první výstup (2.3) sloupkového čítače (2) je spojen s dekodérem (5), se sloupkovým adresovým vstupem (7.2) první vstupní paměti (7) a se sloupkovým adresovým vstupem (8.2) druhé vstupní paměti (8), jejíž výstup (8.3) je spojen s vyhodnocovacím logickým obvodem (20) a jejíž adresový řádkový vstup (8.1) je spojen se vstupem (14.0) řádkového dekodéru (14), s adresovým řádkovým vstupem (7.1) první vstupní paměti (7) a s výstupem (4.2) řádkového čítače (4), jehož vstup (4.1) je spojen s výstupem prvního hradla (3), jehož druhý vstup je spojen s druhým výstupem (2.4) sloupkového čítače (2), přičemž výstup (7.3) první vstupní paměti (7) je propojen s vyhodnocovacím logickým obvodem (20), který je propojen s výstupem (6.3) budiče (6) sběrnice, opatřeného vstupem (6.11), jehož první až n-tý adresní vstup (6.2 až 6.2n) je spojen s prvním až n-tým výstupem (5.1 až 5.n) dekodéru (5), jehož n-tý výstup (5.n) je propojen s druhým vstupem každého sudého prvního až n-tého výstupního hradla (15.12 až 15.n2), která jsou spojena vždy s odpovídajícím prvním až n-tým lichým výstupním hradlem (15.11 až 15.n1), přičemž první až n-té liché a sudé výstupní hradlo (15.11 až 15.n2) je spojeno s prvním až n-tým klopným obvodem (16.1 až 16.n), které jsou propojeny s první až n-tou vstupní adresou (17.1 až 17.n) výstupní paměti (17), jejíž první až n-tý výstup (17.21 až 17.2n) je napojen na první až n-tý vstup (18.11 až 18.1n) zesilovače (18), opatřeného prvním až n-tým výstupem (18.21 až 18.2n), jehož n-tý vstup (18.1n) je prvním až n-tým zpětnovazebním vedením (19.1 až 19.n) spojen s n-tým vstupem (6.1n) budiče (6) sběrnice.
2. Zařízení podle bodu 1, vyznačující se tím, že vyhodnocovací logický obvod (20) obsahuje druhé hradlo (9), které je vstupy napojeno na výstup (8.3) druhé vstupní paměti (8), na třetí hradlo (10), na výstup (6.3) budiče (6) sběrnice a dále výstupem na páté hradlo (12), které je spojeno se šestým hradlem (13) a se čtvrtým hradlem (11) propojeným se třetím hradlem (10) a s výstupem (7.3) první vstupní paměti (7).



CS 273 107 B1



7.3	8.3	6.11-6.1n	13.1
H	H	H	L
H	H	L	L
H	L	L	L
H	L	H	H
L	H	H	L
L	H	L	H

OBR. 2