

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-175338
(P2014-175338A)

(43) 公開日 平成26年9月22日(2014.9.22)

(51) Int.Cl. F I テーマコード(参考)
H O 1 L 33/38 (2010.01) H O 1 L 33/00 2 1 0 5 F 1 4 1

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2013-44002(P2013-44002)
(22) 出願日 平成25年3月6日(2013.3.6)

(71) 出願人 000002303
スタンレー電気株式会社
東京都目黒区中目黒2丁目9番13号
(74) 代理人 110001025
特許業務法人レクスト国際特許事務所
(72) 発明者 松本 孝治
東京都目黒区中目黒2丁目9番13号 ス
タンレー電気株式会社内
Fターム(参考) 5F141 AA03 AA21 AA41 CA04 CA05
CA12 CA40 CA65 CA77 CA88
CA92 CA93 CA98 CB15

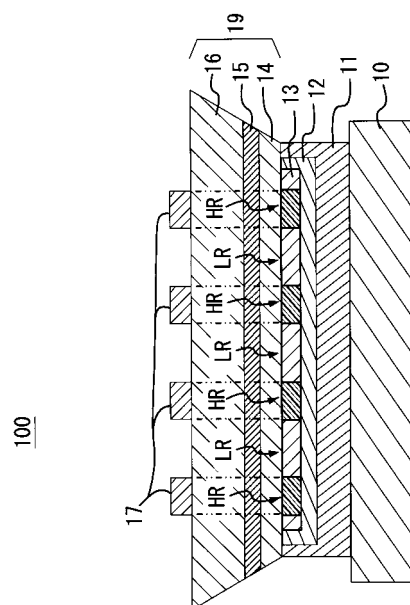
(54) 【発明の名称】 半導体発光素子及びその製造方法

(57) 【要約】 (修正有)

【課題】 製造歩留まりを低下させることなく、光放出面内での発光強度の分布を均一化することが可能な半導体発光素子及びその製造方法を提供する。

【解決手段】 支持基板10上に、キャップ電極11、反射電極12、p電極膜13、p-GaN(窒化ガリウム)層14、発光層15、n-GaN層16及びn電極17を積層させた構造を有し、p-GaN層、発光層及びn-GaN層が積層された構造体がLED層19となり、p-GaN(窒化ガリウム)層、発光層、n-GaN層が積層されたLED層を挟むp電極膜、n電極の内のp電極膜には、LED層とp電極膜との界面に沿って、互いに抵抗値が異なる低抵抗領域LR及び高抵抗領域HRが交互に形成されていて、p電極膜において、上記LED層を介した高抵抗領域及び第n電極間の電流経路が、LED層を介した低抵抗領域及びn電極間の電流経路よりも短くなる位置に、高抵抗領域及び低抵抗領域が夫々形成される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 導電型の第 1 の半導体層、発光層、及び第 1 導電型とは反対導電型の第 2 導電型の第 2 の半導体層が積層された LED 層と、前記第 1 の半導体層上に形成された第 1 電極と、前記第 2 の半導体層上に形成された第 2 電極と、を有し、

前記第 1 電極には、前記 LED 層と前記第 1 電極との界面に沿って、互いに抵抗値が異なる低抵抗領域及び高抵抗領域が形成されており、

前記第 1 電極内において、前記 LED 層を介した前記高抵抗領域及び前記第 2 電極間の電流経路が前記 LED 層を介した前記低抵抗領域及び前記第 2 電極間の電流経路よりも短くなる位置に、前記高抵抗領域及び低抵抗領域が夫々形成されていることを特徴とする半導体発光素子。

10

【請求項 2】

前記第 2 電極は、前記第 2 の半導体層上における前記高抵抗領域に対向した位置に形成されていることを特徴とする請求項 1 記載の半導体発光素子。

【請求項 3】

前記 LED 層は、前記第 1 の半導体層及び前記発光層を貫通して前記第 2 の半導体層の表面を露出させる凹部を有し、

前記第 2 電極は、前記第 2 の半導体層の前記凹部からの露出面に形成されていることを特徴とする請求項 1 記載の半導体発光素子。

20

【請求項 4】

前記第 1 電極は透明導電性の金属酸化膜であり、前記高抵抗領域の酸素濃度が前記低抵抗領域の酸素濃度よりも高いことを特徴とする請求項 1 ~ 3 のいずれか 1 に記載の半導体発光素子。

【請求項 5】

第 1 導電型の第 1 の半導体層、発光層、及び第 1 導電型とは反対導電型の第 2 導電型の第 2 の半導体層が積層された LED 層を形成する LED 層形成工程と、

前記第 1 の半導体層上に第 1 電極を形成する第 1 電極形成工程と、

前記第 2 の半導体層上に第 2 電極を形成する第 2 電極形成工程と、

前記第 1 電極上にパターンニングしたレジストを形成し、前記レジストをマスクとして前記第 1 電極に酸素プラズマ処理を施すことにより、前記第 1 電極の一部を高抵抗化した高抵抗領域と、前記高抵抗領域よりも抵抗値が低い低抵抗領域とを、前記 LED 層と前記第 1 電極との界面に沿って交互に形成する高抵抗化工程と、を有し、

30

前記第 2 電極形成工程では、前記 LED 層を介した前記高抵抗領域及び前記第 2 電極間の電流経路が、前記 LED 層を介した前記低抵抗領域及び前記第 2 電極間の電流経路よりも短くなるような前記第 2 の半導体層上の位置に前記第 2 電極を形成することを特徴とする半導体発光素子の製造方法。

【請求項 6】

前記高抵抗化工程では、前記酸素プラズマ処理の後に、前記レジストを除去した状態で前記第 2 電極の表面に酸化処理を施すことを特徴とする請求項 5 記載の半導体発光素子の製造方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、発光ダイオード (LED: Light Emitting Diode) 等の半導体発光素子及びその製造方法に関する。

【背景技術】**【0002】**

近年、窒化物系の半導体発光素子として、p 型の窒化物半導体層と n 型の窒化物半導体層との間に、活性層 (発光層とも称する) を挟んだ構造を有するものが知られている。かかる半導体発光素子では、p 型の窒化物半導体層の表面を全面的に覆うように形成されて

50

いる導電性の電極膜、及びn型の窒化物半導体層の表面の一部を覆うように形成されている電極片間に電圧を印加することにより活性層から光を放出させ、その光をn型の窒化物半導体層を介して外部に取り出すようにしている。ここで、n型の窒化物半導体層の表面に形成されている電極片は、光り取り出し効率の低下を抑える為に、n型の窒化物半導体層の表面よりも表面を小さく形成するのが好ましい。かかる構成によると、活性層内においてn型の窒化物半導体層における上記電極片に対向した領域と、この電極片との間に挟まれた領域は、その他の領域に比して抵抗値が低くなり、駆動電流が集中的に流れ込むようになる。これにより、発光効率が悪くなるという問題が生じていた。

【0003】

そこで、かかる問題を解決せんとして、p型の窒化物半導体層の表面における、上記電極片に対向した領域だけを他の領域に比して高抵抗化するようにした窒化物半導体発光素子が提案された(例えば、特許文献1参照)。かかる窒化物半導体発光素子では、p型の窒化物半導体層の形成後、その表面における上記電極片に対向した領域に対して不活性ガスをを用いたプラズマ処理を施すことにより、かかる領域を高抵抗化するようになっている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-180504号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、p型の窒化物半導体層の表面における上記電極片に対向した領域だけにプラズマ処理を施すには、かかる領域を除く他の領域にレジストをパターンニングし、その後、かかるレジストを除去及び洗浄すべき表面処理をp型の窒化物半導体層に対して施すことになる。この際、かかる表面処理によりp型の窒化物半導体層の表面状態が悪化すると、その後の工程でp型の窒化物半導体層の表面に電極膜を良好に成膜することができなくなり、歩留まり低下を招く虞があった。

【0006】

本発明は、上記した点に鑑みてなされたものであり、歩留まりを低下させることなく、発光効率を改善することが可能な半導体発光素子及びその製造方法を提供することを目的としている。

【課題を解決するための手段】

【0007】

本発明に係る半導体発光素子は、第1導電型の第1の半導体層、発光層、及び第1導電型とは反対導電型の第2導電型の第2の半導体層が積層されたLED層と、前記第1の半導体層上に形成された第1電極と、前記第2の半導体層上に形成された第2電極と、を有し、前記第1電極には、前記LED層と前記第1電極との界面に沿って、互いに抵抗値が異なる低抵抗領域及び高抵抗領域が形成されており、前記第1電極内において、前記LED層を介した前記高抵抗領域及び前記第2電極間の電流経路が前記LED層を介した前記低抵抗領域及び前記第2電極間の電流経路よりも短くなる位置に、前記高抵抗領域及び低抵抗領域が夫々形成されている。

【0008】

また、本発明に係る半導体発光素子の製造方法は、第1導電型の第1の半導体層、発光層、及び第1導電型とは反対導電型の第2導電型の第2の半導体層が積層されたLED層を形成するLED層形成工程と、前記第1の半導体層上に第1電極を形成する第1電極形成工程と、前記第2の半導体層上に第2電極を形成する第2電極形成工程と、前記第1電極上にパターンニングしたレジストを形成し、前記レジストをマスクとして前記第1電極に酸素プラズマ処理を施すことにより、前記第1電極の一部を高抵抗化した高抵抗領域と、前記高抵抗領域よりも抵抗値が低い低抵抗領域とを、前記LED層と前記第1電極との界面に沿って交互に形成する高抵抗化工程と、を有し、前記第2電極形成工程では、前記

10

20

30

40

50

LED層を介した前記高抵抗領域及び前記第2電極間の電流経路が、前記LED層を介した前記低抵抗領域及び前記第2電極間の電流経路よりも短くなるような前記第2の半導体層上の位置に前記第2電極を形成する。

【0009】

このように、本発明に係る半導体発光素子では、第1導電型の第1の半導体層、発光層及び第1導電型とは反対導電型の第2導電型の第2の半導体層が積層されたLED層を挟む第1及び第2電極の内の第1電極には、LED層と第1電極との界面に沿って、互いに抵抗値が異なる低抵抗領域LR及び高抵抗領域HRが交互に形成されている。この際、第1電極内において、上記LED層を介した高抵抗領域及び第2電極間の電流経路が、LED層を介した低抵抗領域及び第2電極間の電流経路よりも短くなる位置に、高抵抗領域及び低抵抗領域が夫々形成されているのである。

10

【0010】

かかる構成によれば、上記LED層を介して第1電極及び第2電極間の電流経路が短い高抵抗領域にばかり電流が集中することを防止することができる。これにより、発光効率が改善されることになる。

【0011】

また、本発明に係る半導体発光素子では、LED層内に流れる駆動電流の拡散を図るといった目的を達成するために、第1電極の一部の領域(HR)を高抵抗化するようにしているので、かかる目的を達成すべくLED層内の半導体層の一部をプラズマ処理によって高抵抗化した場合に生じる問題が回避される。すなわち、本発明に係る半導体発光素子によれば、半導体層をプラズマ処理する場合に伴う、半導体層表面に対するレジスト除去処理は為されない。よって、このレジスト除去処理を実施したが故に半導体層の表面が、電極膜を良好に成膜出来なくなるような状態に悪化してしまうという不具合が回避されるのである。

20

【0012】

よって、本発明に係る半導体発光素子によれば、歩留まりを低下させることなく、発光効率を改善することが可能となる。

【図面の簡単な説明】

【0013】

【図1】本発明の実施例1である半導体発光素子100の断面図である。

30

【図2】半導体発光素子の製造手順を示すフロー図である。

【図3】製造工程毎に素子構造の断面を示す製造工程図である。

【図4】製造工程毎に素子構造の断面を示す製造工程図である。

【図5】LED層内での電流経路を示す図である。

【図6】p電極膜13が、p-GaN層14上におけるn電極17に対向した領域以外の領域にパターンニングされた、半導体発光素子の断面図である。

【図7】p電極膜13をp-GaN層14上にパターンニングする際の製造工程図である。

【図8】本発明の実施例2である半導体発光素子200の断面図である。

【発明を実施するための形態】

40

【0014】

以下、本発明の実施例について図面を参照しつつ説明する。図1は、本発明の第1の実施例による半導体発光素子100の断面を示す断面図である。図1に示すように、かかる半導体発光素子は、支持基板10上に、キャップ電極11、反射電極12、p電極膜13、p-GaN(窒化ガリウム)層14、発光層15、n-GaN層16及びn電極17を積層させた構造を有する。この際、p-GaN層14、発光層15及びn-GaN層16が積層された構造体がLED層19となる。

【0015】

支持基板10は、例えば熱伝導率60W/mK又は150W/mKのSi(シリコン)からなる。尚、支持基板10としては、熱伝導率160W/mKのCuW(銅タングステ

50

ン)、熱伝導率 17 W/mK の AlN (窒化アルミ)、熱伝導率 300 W/mK の SiC (炭化シリコン)、又は熱伝導率 400 W/mK の Cu (銅)等を用いるようにしても良い。

【0016】

キャップ電極 11 は、支持基板 10 上に形成されており、例えば Ti (チタン) / Pt (プラチナ) / Au (金)、或いは TiW (チタンタングステン) / Ti / Pt / Au のような金属が積層されてなる膜厚が約 $500 \mu\text{m}$ 以上の電極膜である。

【0017】

反射電極 12 は、キャップ電極 11 上に形成されており、例えば Ag (銀) からなる膜厚が約 40 nm 以上の電極膜である。尚、反射電極 12 は、発光層 15 から放出された光を反射させる為に設けられているものである。この際、高い反射率を得る為には、反射電極 12 の厚さが 50 nm 以上であることが望ましい。

10

【0018】

p 電極膜 13 は、反射電極 12 及び p - GaN 層 14 に挟まれて形成されており、例えば ITO (Indium Tin Oxide) 又は IZO (Indium Zinc Oxide) 等からなる、膜厚が約 $5 \text{ nm} \sim 50 \text{ nm}$ の透明導電性の金属酸化膜である。p 電極膜 13 には、この p 電極膜 13 の材料である ITO 又は IZO 自体の抵抗値を有する低抵抗領域 LR と、低抵抗領域 LR よりも抵抗値が高い高抵抗領域 HR とが、図 1 に示すように、 LED 層 19 と p 電極膜 13 との界面に沿って形成されている。この際、これら高抵抗領域 HR 及び低抵抗領域 LR は、p 電極膜 13 内において、 LED 層 19 を介した高抵抗領域 HR 及び n 電極 17 間の距離が、 LED 層 19 を介した低抵抗領域 LR 及び n 電極 17 間の距離よりも小となる位置に夫々形成されている。尚、高抵抗領域 HR は、低抵抗領域 LR よりも高い酸素濃度を有し、これにより低抵抗領域 LR よりも抵抗値が高くなっている。

20

【0019】

p - GaN 層 14 は、p 電極膜 13 上に形成されており、例えば Mg (マグネシウム) のような p 型ドーパントが添加された、膜厚が約 $0.05 \mu\text{m} \sim 0.03 \mu\text{m}$ の p 型の GaN 系半導体結晶膜からなる半導体層である。発光層 15 は、 InGaN (インジウム窒化ガリウム) 結晶からなる井戸層と、この井戸層よりも In 組成 (X) の小さい $\text{In}_x\text{Ga}_{(1-x)}\text{N}$ 結晶又は GaN 結晶からなる障壁層とが交互に繰り返し積層されてなる、いわゆる多重量子井戸構造 (MQW : Multiple Quantum Well) からなる。尚、井戸層及び障壁層の各々の層厚は、約 $3 \text{ nm} \sim 10 \text{ nm}$ である。n - GaN 層 16 は、発光層 15 上に形成されており、例えば Si (シリコン) のような n 型ドーパントが添加された、膜厚が約 $3 \mu\text{m} \sim 7 \mu\text{m}$ の n 型の GaN 系半導体結晶膜からなる半導体層である。尚、n - GaN 層 16 における発光層 14 との界面に対向する面が、発光層 15 からの放出光を外部に取り出す光取出面となる。

30

【0020】

上記した p - GaN 層 14、発光層 15 及び n - GaN 層 16 が積層された構造体が、発光ダイオードとしての LED 層 19 となる。

【0021】

n 電極 17 は、n - GaN 層 16 の表面、つまり光取出面の一部を覆うように形成された、例えば $\text{Ti}/\text{Al}/\text{Pt}/\text{Au}$ 又は $\text{Ti}/\text{Ni}/\text{Au}$ のような金属が積層されてなる電極片である。尚、n 電極 17 は、図 1 に示すように、n - GaN 層 16 上における、p 電極膜 13 の高抵抗領域 HR に対向した位置に形成されている。

40

【0022】

図 2 は、上記した半導体発光素子を製造する際の製造手順を示すフロー図である。先ず、有機金属気相成長 (以下、 MOCVD と称する) 法により、図 3 (a) に示すように、サファイア等からなる成長基板 9 上に、上記した n - GaN 層 16、発光層 15 及び p - GaN 層 14 が順に積層されてなる LED 層を形成する (LED 層形成工程 S1)。

【0023】

次に、スパッタ又は EB (電子ビーム) 蒸着により、図 3 (b) に示すように、p - G

50

a N層14上に、膜厚が約5nm~30nmのITO又はIZO等の透明導電性の金属酸化膜からなるp電極膜13を形成する(p電極形成工程S2)。

【0024】

次に、図3(c)に示すように、p電極膜13上における低抵抗領域LRの形成予定箇所にレジストRgをパターンニングし、引き続き、図3(d)に示すように、レジストRgを隔ててp電極膜13に対して、例えば1.0Paの圧力、処理時間1分の条件で酸素プラズマ処理を施す。

【0025】

かかる酸素プラズマ処理によれば、p電極膜13における、レジストRgに覆われていない領域が酸素プラズマに曝され、その領域内に酸素が取り込まれる。これにより、p電極膜13における、レジストRgに覆われていない領域内の酸素濃度が増加し、高抵抗化する。その後、図3(e)に示すように、レジストRgを除去した状態でp電極膜13の表面に酸化処理を施すことにより、p電極膜13の透過率を高める。例えばp電極膜13の表面に対して、例えばRTA(急速加熱)装置を用い、酸素雰囲気下で、400~600の処理温度による1分~10分間のアニール(熱処理)を施すことにより、p電極膜13の表面の酸素濃度を高める。

【0026】

かかる酸化処理によれば、p電極膜13中の酸素プラズマに曝された領域において酸素原子が結晶格子に取り込まれ、この領域の抵抗値が更に高まる。よって、上記した酸素プラズマ処理及び酸化処理により、このp電極膜13として用いられる材料の抵抗値(例えば、ITOの接触抵抗 10^{-4} オーム)の低抵抗領域LR及びその抵抗値の約5~30倍程度の抵抗値を有する高抵抗領域HRが、図3(e)に示すように、LED層19とp電極膜13との界面に沿って交互に形成される(高抵抗化工程S3)。

【0027】

図3(e)に示す酸化処理の実行後、図4(a)に示すように、p電極膜13を各素子毎の形態にパターンニングし、引き続きスパッタ又はEB蒸着により、p電極膜13上に、Agからなる膜厚が約50nm以上の反射電極12を形成する(反射電極形成工程S4)。

【0028】

次に、スパッタ又はEB蒸着により、図4(a)に示すように、かかる反射電極12上にTi/Pt/Auのような金属が積層されてなる、膜厚が約500μm以上のキャップ電極11を形成する(キャップ電極形成工程S5)。この際、キャップ電極11の一方の界面、つまり反射電極12との接合面はTiで形成されており、他方の界面、つまり支持基板10との接合面はAuで形成されている。尚、反射電極12、つまりAg(銀)のマイグレーションを防止する為には、キャップ電極11の材料としては、例えばTiW(チタンタンゲステン)のようなパラメタルを含む合金、例えばTiW(チタンタンゲステン)/Ti/Pt/Auが積層されてなる合金を用いるのが望ましい。

【0029】

次に、ドライエッチング処理を施すことによりLED層19を素子毎に分割し、引き続き、この分割したキャップ電極11に、図4(b)に示すように支持基板10を貼り合わせる(支持基板貼合工程S6)。支持基板10の表面にはAu(金)膜(図示せず)が形成されており、支持基板貼合工程S6では、キャップ電極11の表面と支持基板10の表面とを、Au/Au接合によるウェハボンディングによって貼り合わせる。尚、キャップ電極11に支持基板10を貼り合わせる方法としては、上記のような金属同士の接合のみならず、金属共晶接合を用いても良い。この際、支持基板10の表面にはAu(金)に代えて例えばSn(スズ)を形成しておき、支持基板10の表面とキャップ電極11とを接合する(Sn/Au接合)。

【0030】

尚、図3(a)~図3(e)及び図4(a)はウェハ中の一部の断面構造を示すものであり、図4(b)及び以下の図4(c)及び図4(d)は、このウェハから分割した1発

10

20

30

40

50

光素子分の断面構造を示すものである。

【0031】

上記した支持基板貼合工程S6の終了後、レーザーリフトオフ法により、図4(c)に示すように、n-GaN層16から成長基板9を剥がしてこれを除去する(成長基板除去工程S7)。

【0032】

次に、スパッタ又はEB蒸着により、n-GaN層16上におけるp電極膜13の高抵抗領域HRに対向した位置に、Ti/Al/Pt/Au又はTi/Ni/Auのような電極膜からなるn電極17を、図4(d)に示すように形成する。すなわち、LED層19を介した高抵抗領域HR及びn電極17間の電流経路が、LED層19を介した低抵抗領域LR及びn電極17間の電流経路よりも短くなるようなn-GaN層16上の位置に、n電極17を形成するのである(n電極形成工程S8)。

10

【0033】

尚、高抵抗領域HRは、これをn-GaN層16の上方から平面視で眺めたときに、n電極17以上の大きさを有し且つn電極17が高抵抗領域HR内に納まるような位置に形成することが好ましい。

【0034】

以上のように、図1に示される半導体発光素子100では、p-GaN層14の表面を覆うp電極膜13として、LED層19とp電極膜13との界面に沿って、互いに抵抗値が異なる低抵抗領域LR及び高抵抗領域HRが交互に形成されている電極膜を採用する。この際、p電極膜13の高抵抗領域HRは、n-GaN層16の表面の一部を覆うn電極17に対向した位置に形成されている。すなわち、図5に示すように、p電極膜13内において、LED層19を介した高抵抗領域HR及びn電極17間の電流経路L2が、LED層19を介した低抵抗領域LR及びn電極17間の電流経路L1よりも短くなる位置に、高抵抗領域HR及び低抵抗領域LRを夫々形成したのである。

20

【0035】

かかる構成によれば、p電極膜13の低抵抗領域LRからは、LED層19内の電流経路L1(一点鎖線にて示す)を介してn電極17側に駆動電流が流れる。また、p電極膜13の高抵抗領域HRからは、LED層内の電流経路L2を介してn電極17側に駆動電流が流れる。この際、図5に示すように、p電極膜13の高抵抗領域HRはLED層を挟んでn電極17に対向した位置に存在し、p電極膜13の低抵抗領域LRはn電極17に対向した位置からずれた位置に存在するので、電流経路L2の経路長は電流経路L1の経路長よりも短くなる。つまり、p電極膜13の高抵抗領域HR及びn電極17間に形成される電流経路L2での抵抗値は、p電極膜13の低抵抗領域LR及びn電極17間に形成される電流経路L1での抵抗値よりも低くなる。ところが、p電極膜13における高抵抗領域HRは低抵抗領域LRよりも抵抗値が高いので、電流経路L2に多くの電流が集中することを防止し、電流経路L1にも電流が広がるようにすることが可能となる。

30

【0036】

従って、図1に示す半導体発光素子100によれば、LED層19の広い範囲に駆動電流を流すことができるようになり、発光効率を改善することが可能となる。

40

【0037】

このとき、抵抗値によって電流経路L1と電流経路L2に流れる電流値の差を小さくすることも可能であるが、電流経路L2よりも電流経路L1に流れる電流値を大きくすることもできる。このような場合であっても電流を広範囲に広げる効果は同様に発揮される為、発光効率の改善に繋がる。また、図1のように光を透過させない電極が発光面にある場合、電極真下の発光は電極に阻害され、光を取り出すことが出来ない。そのため、電極直下から外れるような電流経路L1に電流がより多く流れた方が、より高効率な発光を実現できる。

【0038】

また、図1に示す半導体発光素子100では、前述したように、p電極膜13の一部の

50

領域(HR)を高抵抗化することにより、LED層内に流れる駆動電流の均一化を図るようにしている。これにより、LED層内に流れる駆動電流を広げる為にこのLED層に含まれるGaN系半導体層の一部の領域をプラズマ処理によって高抵抗化する場合に生じる、以下の問題が回避される。すなわち、従来、GaN系半導体層の一部の領域を高抵抗化する為には、GaN系半導体層に対して、レジストのパターンニング、不活性ガスによるプラズマ処理、及びレジスト除去処理を実施することになる。しかしながら、そのレジスト除去処理において、GaN系半導体層の表面に塗布するレジスト剥離剤及び洗浄剤により、GaN系半導体層の表面状態が悪化、つまりその後の工程で電極膜を表面に成膜することが出来なくなるような表面状態に悪化する場合があった。

【0039】

この際、図1に示す半導体発光素子100では、GaN系半導体層(14)の表面に対しては、その表面状態を悪化させるようなレジスト除去処理が為されないので、このGaN系半導体層の表面に電極膜を良好に成膜することが可能となる。

【0040】

よって、本発明に係る半導体発光素子によれば、歩留まりを低下させることなく、光放出面内での発光強度の分布を均一化することが可能となる。

【0041】

尚、本発明では、LED層内に流れる駆動電流の拡散を図るという目的を達成すべく、p電極膜13として、高抵抗領域HR及び低抵抗領域LRを有するものを採用している。しかしながら、同様な目的を達成する為に、図6に示すように、p-GaN層14上におけるn電極17に対向した領域以外の領域にp電極膜13をパターンニングすることも考えられる。この際、p-GaN層14上にp電極膜13をパターンニングする為に、図3(a)~図3(c)に示す一連の工程終了後、引き続き図7(a)に示すように、p電極膜13に対してエッチング処理を施す。かかるエッチング処理により、p電極膜13においてレジストRgに覆われていない箇所が除去される。しかしながら、その除去が完全に為されない場合があり、この際、図7(b)に示すような電極残渣PZがp-GaN層14上に残留する。次に、レジスト剥離剤及び洗浄剤により、図7(b)に示すようなレジストRgを除去すべきレジスト除去処理を行う。しかしながら、その除去が完全になされない場合があり、この際、図7(c)に示すようなレジスト残渣EZがp電極膜13上に残留する。その後、図7(c)に示すように、p電極膜13及びp-GaN層14上に、Ag(銀)からなる反射電極12が成膜される。ところが、上記したエッチング処理で使用されたエッチング液及びレジスト除去処理で使用されたレジスト剥離剤及び洗浄剤によってp-GaN層14の表面状態が悪化している為、p-GaN層14及び反射電極12の界面で図7(c)に示すようなAg(銀)の凝集GSが生じる場合があった。

【0042】

従って、図6に示すような、p電極膜13をパターンニングした構造を採用した場合には、図7(c)に示すように反射電極12内に残留する電極残渣PZ、並びに、p-GaN層14及び反射電極12の界面で生じているAgの凝集GSにより、反射電極12での反射率が低下するという問題があった。

【0043】

しかしながら、本発明に係る半導体発光素子では、p電極膜13に対してエッチング処理を実施することはないので、電極残渣PZの残留、及びAgの凝集GSが生じる虞が無い。よって、本発明によれば、電極残渣PZ及びAgの凝集GSに起因する、反射電極12の反射率低下が生じないので、高効率な発光を実現することが可能となる。

【0044】

また、上記した実施例では、半導体発光素子として、図1に示すような薄膜フィルム構造を有するものを例にとって説明したが、フリップ・チップ構造の素子にも適用することが可能である、

図8は、かかる点に鑑みて為された、フリップ・チップ構造からなる本発明の第2の実施例による半導体発光素子200の構成を示す断面図である。

10

20

30

40

50

【 0 0 4 5 】

図 8 に示す半導体発光素子 2 0 0 においては、キャップ電極 1 1、反射電極 1 2、p 電極膜 1 3、p - GaN 層 1 4、発光層 1 5 及び n - GaN 層 1 6 を積層した構造を有する点については、図 1 に示す半導体発光素子 1 0 0 と同一である。ただし、半導体発光素子 2 0 0 LED 層 1 9 は、図 8 に示すように、p - GaN 層 1 4 及び発光層 1 5 を貫通して n - GaN 層 1 6 の表面を露出させる凹部を有する。そして、n - GaN 層 1 6 の凹部からの露出面に、Ti / Al / Ti / Pt / Au からなる柱状の n 電極 2 0 の一端が直接接続されている。この際、n 電極 2 0 の他端は、ボンディングメタル 2 1 A を介して、例えば PCB (printed circuit board) からなる基板 5 0 に配線されている第 1 のライン (図示せぬ) に接続されており、キャップ電極 1 1 はボンディングメタル 2 1 B を介して、基板 5 0 に配線されている第 2 のライン (図示せぬ) に接続されている。また、この半導体発光素子 2 0 0 に形成されている p 電極膜 1 3 では、n 電極 2 0 に最も近い領域が上述した高抵抗領域 HR となっており、n 電極 2 0 の一端から離れている領域が低抵抗領域 LR となっている。すなわち、図 5 の場合と同様に、p 電極膜 1 3 内において n 電極 2 0 から離れた位置の領域ほど LED 層 1 9 内での電流経路が長くなりその抵抗値が高くなるので、p 電極膜 1 3 内において n 電極 2 0 に最も近い位置に存在する領域を高抵抗化することにより、LED 層内に流れる駆動電流の拡散を図るのである。尚、図 8 に示す一例では、LED 層を形成させる為の成長基板 9 が LED 層に付着したままとなっているが、これを剥がすようにしても良い。

10

【 0 0 4 6 】

要するに、本発明に係る半導体発光素子は、第 1 の半導体層である p - GaN 層 1 4、発光層 1 5 及び第 2 の半導体層である n - GaN 層 1 6 が積層されてなる LED 層 1 9 と、第 1 の半導体層上に形成された第 1 電極としての p 電極膜 1 3 と、第 2 の半導体層上に形成された第 2 電極としての n 電極 1 7 (2 0) と、を有するものである。ここで、第 1 電極には、LED 層と第 1 電極との界面に沿って、互いに抵抗値が異なる低抵抗領域 (LR) 及び高抵抗領域 (HR) が形成されている。この際、これら高抵抗領域及び低抵抗領域は、LED 層を介した高抵抗領域及び第 2 電極間の電流経路が、LED 層を介した低抵抗領域及び第 2 電極間の電流経路よりも短くなる位置に夫々形成されているのである。

20

【 0 0 4 7 】

尚、第 1 の半導体層を p 型の半導体層、第 2 の半導体層を n 型の半導体層として説明しているが、第 1 の半導体層が n 型の半導体層、第 2 の半導体層が p 型の半導体層であっても良い。要するに、LED 層としては、第 1 導電型の第 1 の半導体層、発光層、及び第 1 導電型とは反対導電型の第 2 導電型の第 2 の半導体層が積層された構造を有するものであれば良いのである。

30

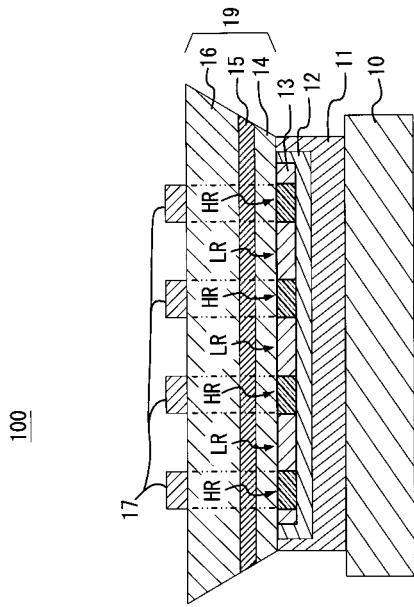
【 符号の説明 】

【 0 0 4 8 】

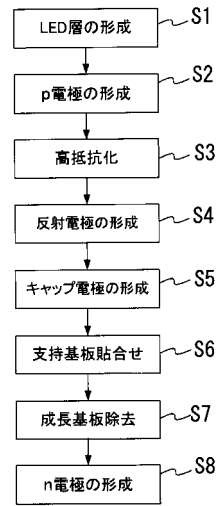
1 2	反射電極
1 3	p 電極膜
1 4	p - GaN 層
1 5	発光層
1 6	n - GaN 層
1 7	n 電極
1 0 0、2 0 0	半導体発光素子

40

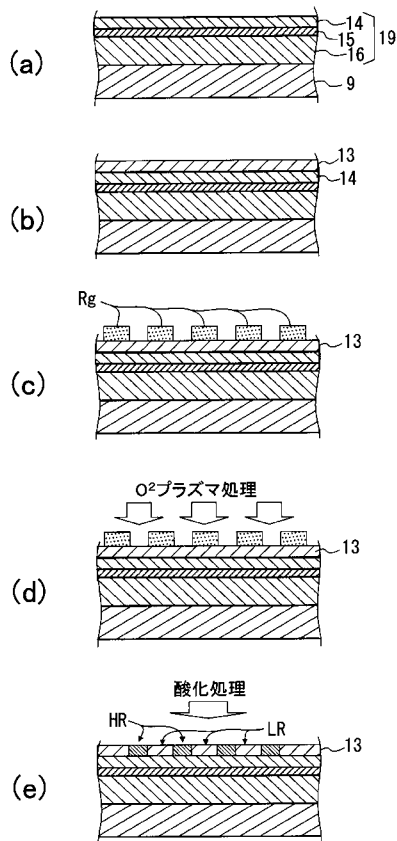
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

