

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年8月19日(2010.8.19)

【公開番号】特開2009-4820(P2009-4820A)

【公開日】平成21年1月8日(2009.1.8)

【年通号数】公開・登録公報2009-001

【出願番号】特願2008-260179(P2008-260179)

【国際特許分類】

H 01 S 5/343 (2006.01)

H 01 S 5/22 (2006.01)

【F I】

H 01 S 5/343 6 1 0

H 01 S 5/22

【手続補正書】

【提出日】平成22年7月2日(2010.7.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

窒化物系半導体からなる基板と、

前記基板上に形成され、第1の方向に延びる光導波路が形成された窒化物系半導体からなる窒化物系半導体層と、

少なくとも前記光導波路の端面近傍を除く領域に、前記光導波路の延びる前記第1の方向に沿って前記基板の前記窒化物系半導体層が形成された側とは反対側の表面に形成された第1の段差部とを備え、

前記基板の前記窒化物系半導体層が形成された側の表面には、前記第1の方向と直交する第2の方向において、前記光導波路の一方側の領域のみに、前記第2の方向に延びるように第2の段差部が形成されている、窒化物系半導体素子。

【請求項2】

前記基板の前記第2の方向の端部に、前記第1の方向に延びる欠陥集中領域を有し、前記第2の段差部は、前記欠陥集中領域を含み、かつ、前記光導波路近傍の端面を含まない領域に形成されている、請求項1に記載の窒化物系半導体素子。

【請求項3】

前記第1の段差部は、前記基板の第2の方向の端部に形成されている、請求項1又は2に記載の窒化物系半導体素子。

【請求項4】

前記第1の方向における前記第1の段差部の長さは、前記第1の方向における前記光導波路の端面間距離の5分の1以上である、請求項1～3のいずれか1項に記載の窒化物系半導体素子。

【請求項5】

前記第2の方向における前記第2の段差部の長さは、前記第2の方向における前記光導波路を含む端面の幅の20分の1以上である、請求項1～4のいずれか1項に記載の窒化物系半導体素子。

【請求項6】

前記窒化物系半導体層側、または、前記基板側のいずれか一方が、融着層を介して放熱

基台に取り付けられている、請求項 1 ~ 5 のいずれか 1 項に記載の窒化物系半導体素子。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】窒化物系半導体素子

【技術分野】

【0001】

本発明は、窒化物系半導体素子に関し、特に、素子分割用溝を備えた窒化物系半導体素子に関する。

【背景技術】

【0002】

従来、素子分割用溝を形成する工程を備えた窒化物系半導体素子の製造方法が知られている（たとえば、特許文献 1 参照）。

【0003】

上記特許文献 1 には、GaN 基板上にリッジ部（光導波路）を有する半導体層を形成する工程と、所定の方向に沿って劈開を行うことによりレーザ共振器バーを形成する工程と、スクライバー（ダイヤモンド針）などを用いて、半導体層側からレーザ共振器バーに素子分離溝（素子分割用溝）を形成する工程と、レーザ共振器バーを素子分離溝に沿って分割することにより半導体レーザ素子を形成する工程とを備えた半導体素子の製造方法が開示されている。

【特許文献 1】特開 2005-136093 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記特許文献 1 の製造方法では、スクライバー（ダイヤモンド針）などを用いて半導体層側からレーザ共振器バーに素子分離溝（素子分割用溝）を形成するので、素子分離溝を形成する際に、スクライバー（ダイヤモンド針）を半導体層に接触させることに起因して、半導体層に割れや欠けが発生し、リッジ部（光導波路）にダメージを与えるという不都合がある。その結果、リッジ部が損傷する場合があるという問題点がある。

【0005】

この発明は、上記のような課題を解決するためになされたものであり、この発明の 1 つの目的は、光導波路が損傷するのを抑制することが可能な窒化物系半導体素子を提供することである。

【課題を解決するための手段】

【0006】

上記目的を達成するために、この発明の窒化物系半導体素子の製造方法は、基板上に、第 1 の方向に延びる光導波路を有する窒化物系半導体層を形成する工程と、光導波路の延びる第 1 の方向と交差する第 2 の方向に沿って第 1 の分割を行う工程と、基板の窒化物系半導体層が形成された側とは反対側の表面で、かつ、第 2 の方向に延びる第 1 の分割による分割面から所定の距離を隔てた領域に、レーザ光を照射することにより第 1 の方向に延びる素子分割用溝を形成する工程と、素子分割用溝に沿って第 2 の分割を行うことにより窒化物系半導体素子を形成する工程とを備えている。

【0007】

この発明の窒化物系半導体素子の製造方法では、上記のように、基板の窒化物系半導体層が形成された側とは反対側の表面に、レーザ光を照射することにより第 1 の方向に延びる素子分割用溝を形成することによって、レーザ光を用いて非接触の状態で、基板に素子

分割用溝を形成することができるので、素子分割用溝を形成する際に窒化物系半導体層に割れや欠けが発生するのを抑制することができる。これにより、窒化物系半導体層の光導波路が損傷するのを抑制することができる。また、基板の第1の分割による分割面から所定の距離を隔てた領域に、レーザ光を照射することにより素子分割用溝を形成することによって、素子分割用溝を光導波路の分割面から離れた位置に形成することができるので、レーザ光を照射することにより素子分割用溝を形成する際に、基板の材料などが蒸発して粉状になったものが光導波路の分割面に付着するのを抑制することができる。これにより、光導波路から出射される光の強度が低下するのを抑制することができる。また、基板の窒化物系半導体層が形成された側とは反対側の表面に、レーザ光を照射することにより素子分割用溝を形成することによって、素子分割用溝を窒化物系半導体層の光導波路からさらに離れた位置に形成することができるので、レーザ光を照射することにより素子分割用溝を形成する際に、基板の材料などが蒸発して粉状になったものが光導波路の分割面に付着するのをより抑制することができる。これにより、光導波路から出射される光の強度が低下するのをより抑制することができる。

【0008】

上記構成において、好ましくは、基板は、第1の方向に延びるとともに、第2の方向に所定の間隔で複数設けられる欠陥集中領域を有する。このように構成すれば、欠陥集中領域に第1の方向に延びる素子分割用溝を形成すれば、欠陥集中領域を素子端部に形成することができるので、通常、素子の中央部側に配置される光導波路を欠陥集中領域から離れた領域に形成することができる。これにより、光導波路の結晶欠陥が増加するのを抑制することができる。

【0009】

上記基板が欠陥集中領域を有する構成において、好ましくは、基板上に第1の方向に延びる光導波路を有する窒化物系半導体層を形成する工程は、第1の方向に延びる隣接する欠陥集中領域の間に、少なくとも2つの光導波路を形成する工程を含み、基板に素子分割用溝を形成する工程は、欠陥集中領域と、光導波路間の中央とに、素子分割用溝を形成する工程を含む。このように構成すれば、隣接する欠陥集中領域間に2つ以上の窒化物系半導体素子を形成することができるので、1つの半導体ウェハに対する窒化物系半導体素子の取れ数を多くすることができる。

【0010】

上記基板上に窒化物系半導体層を形成する工程が隣接する欠陥集中領域間に少なくとも2つの光導波路を形成する工程を含む構成において、好ましくは、隣接する光導波路間の中央から光導波路までの距離は、欠陥集中領域から光導波路までの距離以下の大きさである。このように構成すれば、光導波路を欠陥集中領域から離れた位置に形成することができる。レーザ光を照射することにより素子分割用溝を形成する場合、欠陥集中領域では光の吸収が増大し高温になりやすいので、光導波路を欠陥集中領域から離れた位置に形成することにより、光導波路が高温になりすぎるので抑制することができる。これにより、素子分割用溝を形成する際に、光導波路が損傷するのをより抑制することができる。

【0011】

上記基板が欠陥集中領域を有する構成において、好ましくは、第1の分割を行う工程は、少なくとも窒化物系半導体層の欠陥集中領域を含み、かつ、光導波路を含まない領域に、レーザ光を照射することにより、第2の方向に延びるように欠陥集中領域毎に設けられる破線状の劈開用溝を形成する工程と、劈開用溝に沿って劈開を行うことにより共振器面を形成する工程とを含む。このように構成すれば、光導波路に劈開用溝を形成することなく、劈開を行うことができるので、光導波路の分割面を、容易に、劈開面とすることができます。

【0012】

この発明の窒化物系半導体素子の製造方法において、好ましくは、第1の分割を行う工程と、第2の分割を行うことにより窒化物系半導体素子を形成する工程とを行った後に、窒化物系半導体層側、または、基板側のいずれか一方を、融着層を介して放熱基台に取り

付ける工程をさらに備える。このように構成すれば、融着層が、表面から窪んだ劈開用溝または素子分割用溝にも入り込んで固着するので、窒化物系半導体素子を放熱基台に安定して固定することができる。この結果、レーザ出射光の軸ずれが生じるのを抑制することができる。

【0013】

この発明の窒化物系半導体素子は、窒化物系半導体からなる基板と、基板上に形成され、第1の方向に延びる光導波路が形成された窒化物系半導体からなる窒化物系半導体層と、少なくとも光導波路の端面近傍を除く領域に、光導波路の延びる第1の方向に沿って基板の窒化物系半導体層が形成された側とは反対側の表面に形成された第1の段差部とを備える。

【0014】

この発明の窒化物系半導体素子では、上記のように、第1の方向に沿って基板の窒化物系半導体層が形成された側とは反対側の表面に形成された第1の段差部を備えることによって、第1の段差部は、基板上の窒化物系半導体層から離れた位置に形成されるので、窒化物系半導体層に割れや欠けが発生するのを抑制することができる。これにより、窒化物系半導体層の光導波路が損傷するのを抑制することができる。また、光導波路の端面近傍を除く領域に第1の段差部を備えることによって、レーザ光を照射することにより第1の段差部（素子分割用溝）を形成する際に、基板の材料などが蒸発して粉状になったものが光導波路の端面（分割面）に付着するのを抑制することができる。これにより、光導波路から出射される光の強度が低下するのを抑制することができる。また、第1の方向に沿って基板の窒化物系半導体層が形成された側とは反対側の表面に形成された第1の段差部を備えることによって、第1の段差部（素子分割用溝）は窒化物系半導体層の光導波路からさらに離れた位置に形成されるので、レーザ光を照射することにより第1の段差部（素子分割用溝）を形成する際に、基板の材料などが蒸発して粉状になったものが光導波路の端面（分割面）に付着するのをより抑制することができる。これにより、光導波路から出射される光の強度が低下するのをより抑制することができる。

【0015】

この発明の窒化物系半導体素子において、好ましくは、第1の方向における第1の段差部の長さは、第1の方向における光導波路の端面間距離の5分の1以上である。このように構成すれば、第1の方向に沿って素子分割を行う際に、予め第1の段差部（素子分割用溝）が光導波路の端面間距離の5分の1以上の長い領域に形成されているので、第1の段差部を起点として第1の方向に容易に素子分割を行うことができる。これにより、窒化物系半導体層に割れや欠けが発生するのをより抑制することができる。

【0016】

この発明の窒化物系半導体素子において、好ましくは、基板は、光導波路の延びる第1の方向に延びるとともに、第1の方向と交差する第2の方向に所定の間隔で複数設けられる欠陥集中領域を有し、少なくとも窒化物系半導体層の欠陥集中領域を含み、かつ、光導波路近傍の端面を含まない領域に、光導波路から所定の距離を隔てて、第2の方向に延びるように欠陥集中領域毎に第2の段差部が形成されている。このように構成すれば、欠陥集中領域に第1の方向に延びる第1の段差部（素子分割用溝）を形成した場合、欠陥集中領域を素子端部に形成することができるので、通常、素子の中央部側に配置される光導波路を欠陥集中領域から離れた領域に形成することができる。これにより、光導波路の結晶欠陥が増加するのを抑制することができる。また、少なくとも窒化物系半導体層の欠陥集中領域を含み、かつ、光導波路近傍の端面を含まない領域に、光導波路から所定の距離を隔てて、第2の方向に延びるように欠陥集中領域毎に第2の段差部を形成すれば、光導波路に第2の段差部（劈開用溝）を形成することなく劈開を行うことができるので、光導波路の端面を、容易に、劈開面とすることができます。

【0017】

上記窒化物系半導体層の第2の方向に延びるように欠陥集中領域毎に第2の段差部を形成する構成において、好ましくは、第2の方向における第2の段差部の長さは、第2の方

向における光導波路を含む端面の幅の20分の1以上である。このように構成すれば、第2の方向に沿って劈開を行う際に、予め第2の段差部（劈開用溝）が光導波路を含む端面の幅の20分の1以上の長い領域に形成されているので、第2の段差部を起点として第2の方向に、より容易に、劈開することができる。

【0018】

この発明の窒化物系半導体素子において、好ましくは、窒化物系半導体層側、または、基板側のいずれか一方が、融着層を介して放熱基台に取り付けられている。このように構成すれば、融着層が、表面から窪んだ劈開用溝または素子分割用溝にも入り込んで固着するので、窒化物系半導体素子を放熱基台に安定して固定することができる。この結果、レーザ出射光の軸ずれが生じるのを抑制することができる。

【発明を実施するための最良の形態】

【0019】

（第1実施形態）

図1は、本発明の第1実施形態によるGaN系半導体レーザチップの製造プロセスにより形成された構造の一例を示した斜視図である。図2は、図1に示したGaN系半導体レーザチップの中央付近の半導体層の詳細構造を示した断面図である。まず、図1および図2を参照して、第1実施形態によるGaN系半導体レーザチップの製造プロセスにより形成された構造の一例（半導体レーザチップ20a）について説明する。なお、第1実施形態によるGaN系半導体レーザチップは、400nm帯域の発振波長を有する半導体レーザチップ（青紫色レーザダイオード）である。

【0020】

第1実施形態の一例による半導体レーザチップ20aでは、図1に示すように、n型GaN基板1上に、後述する活性層14（図2参照）を含むとともに、pn接合を有する窒化物系の半導体層2が形成されている。なお、n型GaN基板1は、本発明の「基板」の一例である。

【0021】

ここで、第1実施形態の一例による半導体レーザチップ20aでは、図1に示すように、n型GaN基板1および半導体層2の一方側（矢印A方向側）の端部には、結晶欠陥の多い直線状の欠陥集中領域30が形成されている。このn型GaN基板1は、所定の領域（欠陥集中領域30）に結晶欠陥を集中して形成することにより、それ以外の広い領域の結晶欠陥を低減させた基板である。なお、半導体層2は、本発明の「窒化物系半導体層」の一例である。

【0022】

また、半導体レーザチップ20aの矢印A方向（矢印B方向）の長さ（幅）は、約200μmに形成されるとともに、矢印A方向（矢印B方向）と実質的に直交するC方向の長さ（奥行き）は、約400μmに形成されている。また、劈開方向（後述するリッジ部2aの延びる方向（C方向）と実質的に直交する方向）（矢印A方向（矢印B方向））は、<11-20>方向である。また、レーザ光が出射される面（後述する劈開面7または8）は、M面（{1-100}面）である。

【0023】

また、半導体層2は、図1に示すように、C方向にストライプ状（細長状）に延びる光導波路を構成するリッジ部2aを含む。このリッジ部2aは、第1実施形態では、半導体レーザチップ20a（n型GaN基板1）の矢印A方向（矢印B方向）の中央部100から他方側（矢印B方向側）に距離W0（=約20μm）だけ寄った領域に形成されている。すなわち、リッジ部2aは、欠陥集中領域30から約120μm離れた位置に形成されている。また、リッジ部2aは、半導体レーザチップ20a（n型GaN基板1）の他方側（矢印B方向側）の端部から所定の距離W1（=約80μm）だけ内側に形成されている。このリッジ部2aの上面には、リッジ部2a側（下側）から順にP_t膜およびP_d膜が積層されたp側電極3が形成されている。また、半導体層2上には、p側電極3を覆うように、約300nmの厚みを有するSiO₂膜からなる電流プロック層4が形成され

ている。この電流ブロック層4のp側電極3の真上のC方向の両端部（後述する劈開面7および8）近傍以外の領域には、開口部4aが設けられている。

【0024】

また、p側電極3および電流ブロック層4上の半導体レーザチップ20a（n型GaN基板1）の端面（4辺）から約30μm内側の線によって囲まれる領域には、p側電極3および電流ブロック層4側（下側）から順にTi膜およびAu膜が積層されたp側パッド電極5が形成されている。すなわち、p側パッド電極5は、開口部4aを介してp側電極3に電気的に接続されている。また、p側パッド電極5の矢印A方向（矢印B方向）の長さ（幅）は、約140μmに形成されるとともに、C方向の長さ（奥行き）は、約340μmに形成されている。また、半導体レーザチップ20a（n型GaN基板1）の裏面上には、n型GaN基板1側（上側）から順にTi膜、Pt膜およびAu膜が積層されたn側電極6が形成されている。

【0025】

また、半導体レーザチップ20a（図1参照）には、光導波路を構成するリッジ部2aと直交するように、2つの劈開面7および8が形成されている。なお、劈開面7および8は、本発明の「第1の分割による分割面」の一例である。この2つの劈開面7および8により、共振器面が構成されている。また、劈開面7および8には、それぞれ、約105nmの厚みを有するSiO₂膜からなる端面コート膜（図示せず）と、約70nmの厚みを有するSiO₂膜および約43nmの厚みを有するTiO₂膜が交互に5層ずつ積層された端面コート膜（図示せず）とが形成されている。

【0026】

また、第1実施形態の一例による半導体レーザチップ20aでは、n型GaN基板1、半導体層2および電流ブロック層4には、上面側（電流ブロック層4側）から基板1の内部に達する約40μmの深さを有する劈開（第1の分割）を行うための劈開導入用段差部9aおよび9bが形成されている。この劈開導入用段差部9aおよび9bは、p側パッド電極5が形成されていない領域に形成されている。なお、劈開導入用段差部9aおよび9bは、それぞれ、本発明の「第2の段差部」の一例である。

【0027】

また、第1実施形態では、半導体レーザチップ20aの劈開導入用段差部9aおよび9bは、結晶欠陥の多い欠陥集中領域30を含み、かつ、リッジ部2a（光導波路）を含まない領域に形成されている。具体的には、劈開導入用段差部9aおよび9bは、図1に示すように、リッジ部2aの一方側（矢印A方向側）の領域のみに、半導体レーザチップ20a（n型GaN基板1）の一方側（矢印A方向側）の端部まで延びるように、リッジ部2a（光導波路）と直交する方向（矢印A方向（矢印B方向））に沿ってそれぞれ形成されている。また、劈開導入用段差部9aおよび9bは、矢印A方向（矢印B方向）の幅W3が、劈開面7または8の矢印A方向（矢印B方向）の幅W4（=約200μm）の20分の1以上を有するように構成されている。

【0028】

また、第1実施形態では、n型GaN基板1およびn側電極6の矢印A方向および矢印B方向の端部には、半導体レーザチップ20a（n型GaN基板1）の裏面側（半導体層2が形成された側とは反対側）から、リッジ部2a（光導波路）の延びる方向（C方向）に沿って、チップ状に分割（第2の分割）を行うための分離導入用段差部10aおよび10bがそれぞれ形成されている。この分離導入用段差部10aおよび10bは、n側電極6側から基板1の内部に達する約40μmの深さを有する。なお、分離導入用段差部10aおよび10bは、それぞれ、本発明の「第1の段差部」の一例である。

【0029】

また、第1実施形態では、図1に示すように、分離導入用段差部10aおよび10bは、矢印A方向（矢印B方向）に延びる劈開面7および8から所定の距離W2（=約20μm）を隔てた領域に形成されている。なお、分離導入用段差部10aおよび10bは、矢印C方向の長さ（=約360μm）が、半導体レーザチップ20aのC方向の長さ（=約

400 μm) の 5 分の 1 以上を有するように形成されている。また、分離導入用段差部 10 a および 10 b は、レーザ光が照射されることにより形成されており、劈開面 7 および 8 の下部には、レーザ光が照射されることにより n 型 GaN 基板 1 および n 側電極 6 の材料が蒸発して粉状になったもの (デブリ 31) が付着している。このデブリ 31 は、分離導入用段差部 10 a および 10 b 近傍の劈開面 7 および 8 の下部を中心として所定の半径 R (= 約 80 μm) を有するように形成されている。

【 0030 】

また、n 型 GaN 基板 1 および半導体層 2 の詳細構造としては、n 型 GaN 基板 1 は、酸素がドープされているとともに、六方晶構造からなる。また、半導体層 2 は、Ga 面の C 面 (面方位 (0001)) からなる表面 (上面) を有している。また、半導体層 2 は、図 2 に示すように、n 型 GaN 基板 1 上に配置されるとともに、Si がドープされた n 型 GaN 層からなるバッファ層 11 が形成されている。このバッファ層 11 上には、n 型 Al_{0.05}Ga_{0.95}N からなる n 型クラッド層 12 が形成されている。

【 0031 】

また、n 型クラッド層 12 上には、アンドープ GaN からなる n 側光ガイド層 13 が形成されている。この n 側光ガイド層 13 上には、多重量子井戸 (MQW) 構造を有する活性層 14 が形成されている。この活性層 14 は、2 つのアンドープ GaN からなる障壁層 (図示せず) と、3 つのアンドープ In_{0.1}Ga_{0.9}N からなる井戸層 (図示せず) とが交互に積層された構造を有する。

【 0032 】

また、活性層 14 上には、アンドープ GaN からなる p 側光ガイド層 15 が形成されている。この p 側光ガイド層 15 上には、アンドープ Al_{0.3}Ga_{0.7}N からなるキャップ層 16 が形成されている。このキャップ層 16 は、活性層 14 の In 原子が脱離することにより、活性層 14 の結晶品質が劣化するのを抑制する機能を有する。

【 0033 】

また、キャップ層 16 上には、Mg がドープされるとともに、p 型 Al_{0.05}Ga_{0.95}N からなる p 型クラッド層 17 が形成されている。この p 型クラッド層 17 は、p 型クラッド層 17 の上面から所定の領域がエッチングされることにより形成された約 1.5 μm の幅を有するとともに C 方向 (図 1 参照) に延びる凸部を有する。また、p 型クラッド層 17 の凸部上には、アンドープ In_{0.05}Ga_{0.95}N からなる p 側コンタクト層 18 が形成されている。これら p 型クラッド層 17 の凸部と p 側コンタクト層 18 とにより、電流注入領域となるとともに、光導波路を構成するリッジ部 2a が形成されている。

【 0034 】

図 3 は、本発明の第 1 実施形態による GaN 系半導体レーザチップの製造プロセスにより形成された構造の他の例を示した斜視図である。図 4 は、図 3 に示した第 1 実施形態の他の例による GaN 系半導体レーザチップを放熱基台に取り付けた際の構造を示した斜視図である。次に、図 3 および図 4 を参照して、第 1 実施形態による GaN 系半導体レーザチップの製造プロセスにより形成された構造の他の例 (半導体レーザチップ 20b) について説明する。

【 0035 】

ここで、第 1 実施形態では、後述する製造プロセスにおいて、図 1 に示した第 1 実施形態の一例による半導体レーザチップ 20a に加えて、図 3 に示すような第 1 実施形態の他の例による半導体レーザチップ 20b が形成される。この半導体レーザチップ 20b は、中央部 100 を対称軸として半導体レーザチップ 20a (図 1 参照) と矢印 A 方向 (矢印 B 方向) に対称な形状を有している。

【 0036 】

また、図 4 には、第 1 実施形態の他の例による半導体レーザチップ 20b (n 型 GaN 基板 1) の n 側電極 6 側が Au - Sn などからなる半田 21 を介してジャンクションアップ方式により AlN などからなる放熱基台 (サブマウント) 22 に固定されている構造が

示されている。この際、溶融した半田 2 1 は、放熱基台 2 2 に対して半導体レーザチップ 2 0 b の n 側電極 6 の裏面側のみならず、分離導入用段差部 1 0 a および 1 0 b の形状に合わせて流れ込んで固着するので、半導体レーザチップ 2 0 b は放熱基台 2 2 に対して確実に融着されている。なお、半田 2 1 は、本発明の「融着層」の一例である。

【 0 0 3 7 】

なお、図 4 では、第 1 実施形態の他の例による半導体レーザチップ 2 0 b をジャンクションアップ方式により放熱基台 2 2 に融着した例について示したが、第 1 実施形態の一例による半導体レーザチップ 2 0 a (図 1 参照) についても、上記と同様に、ジャンクションアップ方式により放熱基台 2 2 に融着することが可能である。

【 0 0 3 8 】

図 5 および図 6 は、図 1 および図 3 に示した第 1 実施形態による GaN 系半導体レーザチップのウェハ状態での製造プロセス (ウェハプロセス) を説明するための図である。次に、図 1 ~ 図 6 を参照して、第 1 実施形態による半導体レーザチップ 2 0 a および 2 0 b のウェハ状態での製造プロセス (ウェハプロセス) について説明する。

【 0 0 3 9 】

まず、図 2 に示すように、 M O V P E (M e t a l O r g a n i c V a p o r P h a s e Epitaxy : 有機金属気相成長) 法を用いて、約 1 1 5 0 の基板温度で、欠陥集中領域 3 0 を有する n 型 GaN 基板 1 上に、 Si がドープされた n 型 GaN 層からなるバッファ層 1 1 、 n 型 Al_{0.05}Ga_{0.95}N からなる n 型クラッド層 1 2 、および、アンドープ GaN からなる n 側光ガイド層 1 3 を順次成長させる。

【 0 0 4 0 】

ここで、第 1 実施形態では、 n 型 GaN 基板 1 として、 C 方向に延びるとともに、矢印 A 方向 (矢印 B 方向) に約 4 0 0 μ m の間隔でストライプ状に配置される欠陥集中領域 3 0 が複数設けられた基板を用いる。

【 0 0 4 1 】

この後、 M O V P E 法を用いて、約 8 5 0 の基板温度で、 n 側光ガイド層 1 3 上に、 3 つのアンドープ In_{0.1}Ga_{0.9}N からなる井戸層 (図示せず) と、 2 つのアンドープ GaN からなる障壁層 (図示せず) とを交互に成長させることにより、活性層 1 4 を形成する。続いて、活性層 1 4 上に、アンドープ GaN からなる p 側光ガイド層 1 5 と、アンドープ Al_{0.3}Ga_{0.7}N からなるキャップ層 1 6 を順次形成する。

【 0 0 4 2 】

この後、 M O V P E 法を用いて、約 1 1 5 0 の基板温度で、キャップ層 1 6 上に、 Mg がドープされ、 p 型 Al_{0.05}Ga_{0.95}N からなる p 型クラッド層 1 7 を成長させる。

【 0 0 4 3 】

次に、 M O V P E 法を用いて、約 8 5 0 の基板温度で、 p 型クラッド層 1 7 上に、アンドープ In_{0.05}Ga_{0.95}N からなる p 側コンタクト層 1 8 を形成する。

【 0 0 4 4 】

その後、真空蒸着法およびエッチング技術を用いて、リッジ部 2 a および p 側電極 3 を形成する。具体的には、真空蒸着法を用いて、 p 側コンタクト層 1 8 上に、 p 側コンタクト層 1 8 側 (下側) から順に Pt 膜および Pd 膜を形成する。次に、エッチング技術を用いて、 C 方向 (図 1 参照) に延びるレジスト (図示せず) をマスクとして、 Pt 膜および Pd 膜をエッチングするとともに、 p 側コンタクト層 1 8 と p 型クラッド層 1 7 の上面から所定の領域とをエッチングする。これにより、 p 側コンタクト層 1 8 および p 型クラッド層 1 7 の凸部により構成されるとともに、電流注入領域および光導波路としての機能を有する約 1.5 μ m の幅を有するリッジ部 2 a と、リッジ部 2 a 上に配置される p 側電極 3 とが形成される。このとき、リッジ部 2 a は、図 5 および図 6 に示すように、約 2 0 0 μ m 間隔で劈開方向である < 1 1 - 2 0 > 方向 (矢印 A 方向 (矢印 B 方向)) と実質的に直交する方向 (< 1 - 1 0 0 > 方向) (C 方向) にストライプ状 (細長状) に延びるよう形成される。

【0045】

また、第1実施形態では、リッジ部2aは、C方向に延びる隣接する欠陥集中領域30と欠陥集中領域30との間に、2つずつ形成される。また、リッジ部2aは、図6に示すように、所定の間隔W5(=約160μm)およびW6(=約240μm)の異なる2つの間隔を交互に有するように形成される。すなわち、第1実施形態では、リッジ部(光導波路)2a間の中央からリッジ部(光導波路)2aまでの距離(約80μm)は、欠陥集中領域30からリッジ部(光導波路)2aまでの距離(約120μm)以下の大きさである。

【0046】

このようにして、図2に示すように、バッファ層11、n型クラッド層12、n側光ガイド層13、活性層14、p側光ガイド層15、キャップ層16、p型クラッド層17およびp側コンタクト層18からなる半導体層2が形成される。このとき、第1実施形態では、n型GaN基板1の結晶欠陥の多い欠陥集中領域30上に形成される半導体層2の領域も、結晶欠陥の多い欠陥集中領域30となる。

【0047】

その後、図1に示すように、プラズマCVD法を用いて、半導体層2上に、p側電極3を覆うように、約300nmの厚みを有するSiO₂膜からなる電流ブロック層4を形成する。

【0048】

次に、エッチング技術を用いて、フォトレジスト(図示せず)をマスクとして、電流ブロック層4をエッチングして、p側電極3の真上の領域のうちの劈開面形成領域近傍以外の電流ブロック層4の部分に開口部4aを形成する。これにより、p側電極3の上面が露出される。

【0049】

その後、真空蒸着法およびリフトオフ法を用いて、p側電極3および電流ブロック層4の所定の領域上に、p側電極3および電流ブロック層4側(下側)から順にTi膜およびAu膜を積層することにより、p側パッド電極5を形成する。具体的には、電流ブロック層4上のGaN系半導体レーザチップ(n型GaN基板1)の端面(4辺)となる位置から約30μm内側の線によって囲まれる領域以外の領域(端面となる位置から約30μmまでの領域)に、フォトレジスト(図示せず)を形成する。そして、真空蒸着法を用いて、p側電極3および電流ブロック層4上に、p側電極3および電流ブロック層4側(下側)から順にTi膜およびAu膜を形成する。その後、リフトオフ法を用いて、フォトレジスト(図示せず)を除去することにより、p側電極3および電流ブロック層4上のGaN系半導体レーザチップ(n型GaN基板1)の端面(4辺)となる位置から約30μm内側の線によって囲まれる領域(端面となる位置から約30μmまでの領域以外の領域)に、p側パッド電極5が形成される。このとき、p側パッド電極5は、図5に示すように、p側パッド電極5の矢印A方向(矢印B方向)の中央部が光導波路を構成するリッジ部2aから矢印A方向側または矢印B方向側に約20μm寄った領域に配置される。なお、各p側パッド電極5は、矢印A方向(矢印B方向)の長さ(幅)が約140μmに形成されるとともに、C方向の長さ(奥行き)が約340μmに形成される。

【0050】

次に、n型GaN基板1の厚みが、たとえば、約130μmになるまで、n型GaN基板1の裏面側を研磨する。

【0051】

その後、真空蒸着法を用いて、n型GaN基板1の裏面上に、n型GaN基板1側(上側)から順にTi膜、Pt膜およびAu膜を積層することにより、n側電極6を形成する。

【0052】

以上のようにして、GaN系半導体レーザチップがマトリクス状に配置されたウェハが完成する。

【0053】

図7～図10は、図1に示した第1実施形態によるGaN系半導体レーザチップのウェハプロセス以降の製造プロセス（チップ化プロセス）を説明するための斜視図である。次に、図1および図5～図10を参照して、第1実施形態によるGaN系半導体レーザチップのウェハプロセス以降の製造プロセス（チップ化プロセス）について説明する。

【0054】

まず、図5に示すように、半導体層2側（上側）から、ストライプ状のリッジ部2aの延びる方向（C方向）に沿って約400μmの間隔を隔てて、レーザ光を用いてリッジ部2aと直交する方向（矢印A方向および矢印B方向）に延びる劈開用溝9を形成する。このとき、異なる2つの間隔のうちの大きい間隔W6（＝約240μm）（図6参照）を有するリッジ部（光導波路）2a間に、約100μmの長さを有する劈開用溝9を形成する。すなわち、第1実施形態では、劈開用溝9は、欠陥集中領域30を含み、かつ、リッジ部（光導波路）2aを含まない領域に、矢印A方向（矢印B方向）に延びる破線状に欠陥集中領域30毎に形成される。

【0055】

また、劈開用溝9は、約40μmの深さを有するように形成されるとともに、GaN系半導体レーザチップの上面側から、n型GaN基板1、半導体層2および電流プロック層4に形成される。

【0056】

この状態で、図7に示すように、矢印A方向（矢印B方向）に延びる刃状治具40を劈開用溝9に沿って下面側からウェハに当接させるとともに、ウェハの上面側が開くように荷重を印加することによって、ウェハを、劈開用溝9の位置で矢印A方向（矢印B方向）に沿って劈開（第1の分割）する。これにより、ウェハは、半導体レーザチップ20aおよび20bが矢印A方向（矢印B方向）に交互に1列に配置されたバー状に形成される。

【0057】

次に、図8に示すように、バー状に劈開された複数のウェハを、劈開面7が上側になるように、端面コート用治具41に配置する。そして、劈開面7に約105nmの厚みを有するSiO₂膜からなる端面コート膜（図示せず）を形成する。その後、バー状に劈開された複数のウェハを裏返して、劈開面8が上側になるように、端面コート用治具41に配置する。そして、劈開面8に、約70nmの厚みを有するSiO₂膜および約43nmの厚みを有するTiO₂膜が交互に5層ずつ積層された端面コート膜（図示せず）を形成する。このようにして、劈開面7および8に、共振器面が形成される。

【0058】

次に、図9に示すように、バー状に劈開されたウェハのn型GaN基板1の裏面側から、約200μmの間隔で、ストライプ状のリッジ部2aの延びる方向（C方向）にレーザ光を用いて非接触の状態で、約40μmの深さを有する素子分割用溝10を形成する。

【0059】

このとき、第1実施形態では、矢印A方向（矢印B方向）に延びる劈開面7および8から所定の距離W2（約20μm）（図1参照）を隔てた領域に、素子分割用溝10を形成する。このとき、劈開面7および8の下部には、レーザ光が照射されることにより、所定の半径R（＝約80μm）を有するデブリ31（n型GaN基板1およびn側電極6の材料が蒸発して粉状になったもの）が付着する。なお、レーザ光を用いて非接触の状態でn型GaN基板1に素子分割用溝10を形成するので、素子分割用溝10を形成する際に半導体層2に割れや欠けが発生するのが抑制される。

【0060】

また、第1実施形態では、約160μmの間隔W5（図6参照）を有するリッジ部（光導波路）2a間、および、約240μmの間隔W6（図6参照）を有するリッジ部（光導波路）2a間のそれぞれの中間位置に、素子分割用溝10を形成する。すなわち、第1実施形態では、素子分割用溝10は、欠陥集中領域30と、約160μmの間隔W5を有するリッジ部（光導波路）2a間の中央とに形成される。

【 0 0 6 1 】

この状態で、図10示すように、C方向に延びる刃状治具42を素子分割用溝10に沿って上面側（半導体層2側）からバー状のウェハに当接させるとともに、バー状のウェハの下面側（n側電極6側）が開くように荷重を印加することにより、バー状のウェハを、素子分割用溝10の位置でC方向に沿って分割（第2の分割）する。これにより、バー状のウェハが、図1に示すように、約200μmの矢印A方向（矢印B方向）の長さ（幅）および約400μmのC方向の長さ（奥行き）を有するGaN系半導体レーザチップに分割されて、GaN系半導体レーザチップ（半導体レーザチップ20aおよび20b）が多數製造される。

【 0 0 6 2 】

また、図4に示すように、上記の製造プロセスによってチップ化された半導体レーザチップ20bのn側電極6側を下にして、加熱により高温状態となった放熱基台（サブマウント）22に半田21を介して融着する。この際、溶融した半田21は、放熱基台22に対して半導体レーザチップ20bのn側電極6の裏面側のみならず、分離導入用段差部10aおよび10bにも、その形状に合わせるように流れ込んで固着する。これにより、ジヤンクションアップ方式によるGaN系半導体レーザチップが形成される。

【 0 0 6 3 】

第1実施形態では、上記のように、n型GaN基板1の半導体層2が形成された側とは反対側のn側電極6側に、レーザ光を照射することによりC方向に延びるように形成された分離導入用段差部10aおよび10b（素子分割用溝10）を備えることによって、分離導入用段差部10aおよび10b（素子分割用溝10）は、n型GaN基板1上の半導体層2から離れた位置に形成されるので、半導体層2に割れや欠けが発生するのを抑制することができる。これにより、半導体層2の光導波路を構成するリッジ部2aが損傷するのを抑制することができる。

【 0 0 6 4 】

また、第1実施形態では、n型GaN基板1の劈開面7および8から所定の距離W2（=約20μm）を隔てた領域に、レーザ光を照射することにより形成された分離導入用段差部10aおよび10b（素子分割用溝10）を備えることによって、素子分割用溝10をリッジ部（光導波路）2aの端面を含む劈開面7および8から離れた位置に形成することができるので、レーザ光を照射することにより分離導入用段差部10aおよび10b（素子分割用溝10）を形成する際に、デブリ31（n型GaN基板1およびn側電極6の材料が蒸発して粉状になったもの）がリッジ部2aの端面近傍に付着するのを抑制することができる。これにより、リッジ部2a下の発光部から出射されるレーザ光の強度が低下するのを抑制することができる。また、n型GaN基板1の半導体層2が形成された側とは反対側のn側電極6側に、レーザ光を照射することにより形成された分離導入用段差部10aおよび10b（素子分割用溝10）を備えることによって、分離導入用段差部10aおよび10b（素子分割用溝）は半導体層2のリッジ部2aからさらに離れた位置に形成されるので、レーザ光を照射することにより分離導入用段差部10aおよび10b（素子分割用溝10）を形成する際に、デブリ31がリッジ部2aの端面近傍に付着するのをより抑制することができる。これにより、リッジ部2a下の発光部から出射される光の強度が低下するのをより抑制することができる。

【 0 0 6 5 】

また、第1実施形態では、リッジ部（光導波路）2a間の中央からリッジ部2aまでの距離W1（=約80μm）を、欠陥集中領域30からリッジ部2aまでの距離（約120μm）以下の大きさにすることによって、リッジ部2aを欠陥集中領域30から離れた位置に形成することができる。レーザ光を照射することにより分離導入用段差部10aおよび10b（素子分割用溝10）を形成する場合、欠陥集中領域30では光の吸収が増大し高温になりやすいので、リッジ部2aを欠陥集中領域30から離れた位置に形成することにより、リッジ部2aが高温になりすぎるのを抑制することができる。これにより、分離導入用段差部10aおよび10b（素子分割用溝10）を形成する際に、リッジ部（光導

波路) 2 a が損傷するのをより抑制することができる。

【 0 0 6 6 】

また、第1実施形態では、矢印C方向における分離導入用段差部10aおよび10b(素子分割用溝10)の長さを、矢印C方向におけるリッジ部(光導波路)2aの端面間距離(=約400μm)の5分の1以上であるように構成することによって、矢印C方向に沿って素子分割を行う際に、予め素子分割用溝10がリッジ部2aの端面間距離の5分の1以上の長い領域に形成されているので、素子分割用溝10を起点として矢印C方向に容易に素子分割を行うことができる。これにより、半導体層2に割れや欠けが発生するのをより抑制することができる。

【 0 0 6 7 】

また、第1実施形態では、半導体層2の欠陥集中領域30を含み、かつ、リッジ部(光導波路)2aを含まない領域に、レーザ光を照射することにより、矢印A方向(矢印B方向)に延びるように欠陥集中領域30毎に、破線状の劈開導入用段差部9aおよび9b(劈開用溝9)を形成することによって、リッジ部2aに劈開導入用段差部9aおよび9b(劈開用溝9)を形成することなく、劈開を行うことができるので、リッジ部2aの分割面を、容易に、劈開面とすることができる。

【 0 0 6 8 】

また、第1実施形態では、矢印A方向(矢印B方向)における劈開導入用段差部9aおよび9b(劈開用溝9)の幅W3を、矢印A方向(矢印B方向)における劈開面7および8の幅W4(=約200μm)の20分の1以上であるように構成することによって、矢印A方向(矢印B方向)に沿って劈開を行う際に、予め劈開用溝9が劈開面7および8の幅W4の20分の1以上の長い領域に形成されているので、劈開用溝9を起点として矢印A方向(矢印B方向)に、より容易に、劈開することができる。

【 0 0 6 9 】

また、第1実施形態では、n型GaN基板1のn側電極6側を、Au-Snなどからなる半田21を介して放熱基台22に取り付けるように構成することによって、半田21が、n側電極6の裏面上のみならず、裏面から窪んだ分離導入用段差部10aおよび10bにも入り込んで固着するので、半導体レーザチップ20bを放熱基台22に安定して固定することができる。この結果、レーザ出射光の軸ずれが生じるのを抑制することができる。なお、半導体レーザチップ20a(図1参照)をジャンクションアップ方式により放熱基台22に融着する場合も、上記と同様の効果が得られる。

【 0 0 7 0 】

(第1実施形態の第1変形例)

図11は、本発明の第1実施形態の第1変形例によるGaN系半導体レーザチップを放熱基台に取り付けた際の構造を示した斜視図である。この第1実施形態の第1変形例によるGaN系半導体レーザチップでは、上記第1実施形態と異なり、上記第1実施形態の一例による半導体レーザチップ20aをジャンクションダウン方式により放熱基台22に固定する場合について説明する。

【 0 0 7 1 】

ここで、第1実施形態の第1変形例では、図11に示すように、半導体レーザチップ20a(n型GaN基板1)のp側パッド電極5側がAu-Snなどからなる半田21を介してジャンクションダウン方式によりAlNなどからなる放熱基台22に固定されている。この場合、溶融した半田21は、放熱基台22に対して半導体レーザチップ20aのp側パッド電極5の表面のみならず劈開面7および8の半導体層2側に形成された劈開導入用段差部9aおよび9bの形状に合わせて流れ込んで固着するので、半導体レーザチップ20aは放熱基台22に対して確実に融着されている。

【 0 0 7 2 】

第1実施形態の第1変形例では、上記のように、n型GaN基板1の半導体層2が形成されたp側パッド電極5側を、Au-Snなどからなる半田21を介して放熱基台22に取り付けるように構成することによって、半田21が、p側パッド電極5の表面のみなら

ず、表面から窪んだ劈開導入用段差部 9 a および 9 b にも入り込んで固着するので、半導体レーザチップ 2 0 a を放熱基台 2 2 に安定して固定することができる。この結果、レーザ出射光の軸ずれが生じるのを抑制することができる。また、溶融した半田 2 1 が劈開導入用段差部 9 a (図 1 1 参照) に入り込んで固着するので、共振器面 (劈開面 7) のリッジ部 (光導波路) 2 a 近傍に、はみ出ない。これにより、半田 2 1 がリッジ部 2 a からのレーザ出射光を妨げるのを抑制することができる。

【 0 0 7 3 】

なお、第 1 実施形態の第 1 変形例のその他の効果は、上記第 1 実施形態と同様である。また、上記第 1 実施形態の他の例による半導体レーザチップ 2 0 b (図 3 参照) をジャンクションダウン方式により放熱基台 2 2 に融着する場合も、上記と同様の効果が得られる。

【 0 0 7 4 】

(第 2 実施形態)

図 1 2 および図 1 3 は、本発明の第 2 実施形態による GaN 系半導体レーザチップの製造プロセスにより形成された構造を示した斜視図である。図 1 4 は、図 1 2 および図 1 3 に示した第 2 実施形態による GaN 系半導体レーザチップの製造プロセスを説明するための斜視図である。図 1 2 ~ 図 1 4 を参照して、この第 2 実施形態では、上記第 1 実施形態と異なり、隣接する欠陥集中領域と欠陥集中領域との間に 3 つの GaN 系半導体レーザチップを形成する場合について説明する。

【 0 0 7 5 】

第 2 実施形態では、GaN 系半導体レーザチップは、図 1 2 および図 1 3 に示すように、n 型 GaN 基板 4 1 の一方側 (矢印 D 方向側または矢印 E 方向側) に結晶欠陥の多い欠陥集中領域 3 0 を有する半導体レーザチップ 4 0 a と、n 型 GaN 基板 4 1 に結晶欠陥の多い欠陥集中領域 3 0 を有さない半導体レーザチップ 4 0 b とにより構成されている。なお、後述する製造プロセスにおいて、図 1 2 に示した第 2 実施形態による半導体レーザチップ 4 0 a に加えて、図 1 4 に示すような半導体レーザチップ 4 0 c が形成される。この半導体レーザチップ 4 0 c は、第 1 実施形態で示した半導体レーザチップ 2 0 a に対する半導体レーザチップ 2 0 b と同様に、中央部 1 1 0 を対称軸として半導体レーザチップ 4 0 a (図 1 2 参照) と矢印 D 方向 (矢印 E 方向) に対称な形状を有している。

【 0 0 7 6 】

この半導体レーザチップ 4 0 a (4 0 c) および 4 0 b は、図 1 2 および図 1 3 に示すように、矢印 D 方向 (矢印 E 方向) に沿って、それぞれ、約 150 μm および約 100 μm の長さを有するように形成されている。なお、n 型 GaN 基板 4 1 は、本発明の「基板」の一例である。

【 0 0 7 7 】

また、半導体レーザチップ 4 0 a (4 0 c) および 4 0 b には、上記第 1 実施形態と同様、n 型 GaN 基板 4 1 上に、F 方向にストライプ状 (細長状) に延びる光導波路を構成するリッジ部 4 2 a を含む窒化物系の半導体層 4 2 が形成されている。なお、半導体層 4 2 は、本発明の「窒化物系半導体層」の一例である。また、半導体層 4 2 上には、p 側電極 4 3 を覆うように、約 300 nm の厚みを有する SiO₂ 膜からなる電流ブロック層 4 4 および p 側パッド電極 4 5 が形成されている。また、n 型 GaN 基板 4 1 の裏面上には、n 側電極 4 6 が形成されている。また、光導波路を構成するリッジ部 4 2 a と直交するように、共振器面を構成する 2 つの劈開面 4 7 および 4 8 が形成されている。なお、劈開面 4 7 および 4 8 は、本発明の「第 1 の分割による分割面」の一例である。

【 0 0 7 8 】

また、第 2 実施形態では、図 1 2 に示すように、半導体レーザチップ 4 0 a には、上記第 1 実施形態と同様、劈開導入用段差部 4 9 a および 4 9 b (努開用溝 4 9) が一方側に形成されているとともに、リッジ部 4 2 a が半導体レーザチップ 4 0 a (n 型 GaN 基板 4 1) の矢印 D 方向 (矢印 E 方向) の中央部 1 1 0 から他方側に寄った領域に形成されている。また、半導体レーザチップ 4 0 b には、図 1 3 に示すように、上記第 1 実施形態と

異なり、劈開導入用段差部 49a および 49b (劈開用溝 49) が形成されていないとともに、リッジ部 42a が半導体レーザチップ 40b (n 型 GaN 基板 41) の矢印 D 方向 (矢印 E 方向) の中央部 120 に形成されている。

【0079】

なお、第 2 実施形態のその他の構造は、上記第 1 実施形態と同様である。

【0080】

次に、図 12～図 14 を参照して、第 2 実施形態による GaN 系半導体レーザチップのウェハ状態での製造プロセス (ウェハプロセス) について説明する。

【0081】

まず、図 12 および図 13 に示すように、上記第 1 実施形態と同様のプロセスを用いて、n 型 GaN 基板 41 上に、p 側コンタクト層 (図示せず) までを形成する。その後、真空蒸着法およびエッチング技術を用いて、リッジ部 (光導波路) 42a および p 側電極 43 を形成する。

【0082】

このとき、第 2 実施形態では、図 14 に示すように、隣接する欠陥集中領域 30 と欠陥集中領域 30 との間に 3 つのリッジ部 42a を形成する。

【0083】

なお、第 2 実施形態のその他のウェハ状態での製造プロセス (ウェハプロセス) は、上記第 1 実施形態のウェハ状態での製造プロセスと同様である。

【0084】

次に、図 12～図 14 を参照して、第 2 実施形態による GaN 系半導体レーザチップのウェハプロセス以降の製造プロセス (チップ化プロセス) について説明する。

【0085】

まず、上記第 1 実施形態と同様のプロセスを用いて、図 14 に示すように、欠陥集中領域 30 を含み、かつ、リッジ部 (光導波路) 42a を含まない領域に、矢印 D 方向 (矢印 E 方向) に延びる破線状に欠陥集中領域 30 毎に劈開用溝 49 を形成する。この状態で、上記第 1 実施形態と同様のプロセスを用いて、ウェハを、劈開用溝 49 の位置で矢印 D 方向 (矢印 E 方向) に沿って劈開 (第 1 の分割) する。これにより、ウェハは、GaN 系半導体レーザチップが矢印 D 方向 (矢印 E 方向) に 1 列に配置されたバー状に形成される。

【0086】

そして、上記第 1 実施形態と同様のプロセスを用いて、バー状に劈開されたウェハの n 型 GaN 基板 41 の裏面側から、ストライプ状のリッジ部 42a の延びる方向 (F 方向) に素子分割用溝 10 (図 12 および図 13 参照) を形成する。

【0087】

このとき、第 2 実施形態では、図 12 および図 13 に示すように、上記第 1 実施形態と同様、矢印 D 方向 (矢印 E 方向) に延びる劈開面 47 および 48 から所定の距離 W2 (約 20 μm) を隔てた領域に、素子分割用溝 10 を形成する。

【0088】

また、第 2 実施形態では、素子分割用溝 10 は、欠陥集中領域 30 と、欠陥集中領域 30 から約 150 μm 離れた部分とに形成される。この状態で、上記第 1 実施形態と同様のプロセスを用いて、バー状のウェハを、素子分割用溝 10 の位置で F 方向に沿って分割 (第 2 の分割) することにより、図 12 および図 13 に示した GaN 系半導体レーザチップ (3 つの半導体レーザチップ 40a (40c) および 40b) が多数製造される。

【0089】

なお、第 2 実施形態のその他のウェハプロセス以降の製造プロセス (チップ化プロセス) は、上記第 1 実施形態のウェハプロセス以降の製造プロセスと同様である。

【0090】

また、第 2 実施形態の効果は、上記第 1 実施形態と同様である。なお、半導体レーザチップ 40a および 40c (図 12 参照) を融着層 (半田 21 など) を介して放熱基台に固定する際は、上記第 1 実施形態と同様にジャンクションアップ方式およびジャンクション

ダウン方式のいずれの方法によっても融着層が分離導入用段差部 10 a (10 b) または劈開導入用段差部 49 a (49 b) に入り込んで固着するので、半導体レーザチップ 40 a を放熱基台に安定して固定することができる。その一方、半導体レーザチップ 40 b (図 13 参照) を融着層を介して放熱基台に固定する際は、ジャンクションダウン方式の場合のみ、融着層が分離導入用段差部 10 a (10 b) に入り込んで固着するので、上記と同様の効果が得られる。

【 0091 】

(第 3 参考形態)

図 15 は、本発明の第 3 参考形態による GaN 系半導体レーザチップの製造プロセスにより形成された構造を示した斜視図である。図 16 は、図 15 に示した第 3 参考形態による GaN 系半導体レーザチップを放熱基台に取り付けた際の構造を示した斜視図である。図 15 および図 16 を参照して、この第 3 参考形態では、上記第 1 および第 2 実施形態と異なり、隣接する欠陥集中領域と欠陥集中領域との間に 1 つの GaN 系半導体レーザチップを形成する場合について説明する。

【 0092 】

第 3 参考形態による半導体レーザチップ 60 a では、図 15 に示すように、n 型 GaN 基板 61 の両側 (矢印 A 方向側および矢印 B 方向側) に結晶欠陥の多い欠陥集中領域 30 を有している。この半導体レーザチップ 60 a は、矢印 A 方向 (矢印 B 方向) に沿って、約 400 μ m の長さ (幅) を有するように形成されている。なお、n 型 GaN 基板 61 は、本発明の「基板」の一例である。

【 0093 】

また、半導体レーザチップ 60 a には、上記第 1 実施形態と同様、n 型 GaN 基板 61 上に、C 方向にストライプ状 (細長状) に延びる光導波路を構成するリッジ部 62 a を含む窒化物系の半導体層 62 が形成されている。なお、半導体層 62 は、本発明の「窒化物系半導体層」の一例である。また、半導体層 62 上には、p 側電極 63 を覆うように、約 300 nm の厚みを有する SiO₂ 膜からなる電流ブロック層 64 および p 側パッド電極 65 が形成されている。また、n 型 GaN 基板 61 の裏面上には、n 側電極 66 が形成されている。また、光導波路を構成するリッジ部 62 a と直交するように、共振器面を構成する 2 つの劈開面 67 および 68 が形成されている。なお、劈開面 67 および 68 は、本発明の「第 1 の分割による分割面」の一例である。

【 0094 】

ここで、第 3 参考形態では、図 15 に示すように、半導体レーザチップ 60 a には、上記第 1 実施形態と異なり、劈開導入用段差部 69 a および 69 b が一方側 (矢印 A 方向側) に形成されているとともに、劈開導入用段差部 69 c および 69 d が他方側 (矢印 B 方向側) に形成されている。また、リッジ部 62 a は、半導体レーザチップ 60 a (n 型 GaN 基板 61) の矢印 A 方向 (矢印 B 方向) の中央部 110 から若干 A 方向側に寄った領域に形成されている。なお、劈開導入用段差部 69 a 、 69 b 、 69 c および 69 d は、それぞれ、本発明の「第 2 の段差部」の一例である。

【 0095 】

なお、第 3 参考形態の GaN 系半導体レーザチップ (半導体レーザチップ 60 a) のその他の構造は、上記第 1 実施形態と同様である。

【 0096 】

また、第 3 参考形態では、図 16 に示すように、半導体レーザチップ 60 a (n 型 GaN 基板 61) の n 側電極 66 側が Au - Sn などからなる半田 21 を介してジャンクションアップ方式により AlN などからなる放熱基台 (サブマウント) 22 に固定されている。この際、溶融した半田 21 は、放熱基台 22 に対して半導体レーザチップ 60 a の n 側電極 66 の裏面側のみならず分離導入用段差部 10 a および 10 b の形状に合わせるように流れ込んで固着する。これにより、半導体レーザチップ 60 a は放熱基台 22 に対して確実に固定されている。

【 0097 】

図17は、図15および図16に示した第3参考形態によるGaN系半導体レーザチップの製造プロセスを説明するための斜視図である。次に、図15～図17を参照して、第3参考形態によるGaN系半導体レーザチップのウェハ状態での製造プロセス（ウェハプロセス）について説明する。

【0098】

まず、図15に示すように、上記第1実施形態と同様のプロセスを用いて、n型GaN基板61上に、p側コンタクト層（図示せず）までを形成する。その後、真空蒸着法およびエッティング技術を用いて、リッジ部（光導波路）62aおよびp側電極63を形成する。

【0099】

このとき、第3参考形態では、図17に示すように、隣接する欠陥集中領域30と欠陥集中領域30との間に1つのリッジ部62aを形成する。

【0100】

なお、第3参考形態のその他のウェハ状態での製造プロセス（ウェハプロセス）は、上記第1実施形態のウェハ状態での製造プロセスと同様である。

【0101】

次に、図15～図17を参照して、第3参考形態によるGaN系半導体レーザチップのウェハプロセス以降の製造プロセス（チップ化プロセス）について説明する。

【0102】

まず、上記第1実施形態と同様のプロセスを用いて、図17に示すように、欠陥集中領域30を含み、かつ、リッジ部（光導波路）62aを含まない領域に、矢印A方向（矢印B方向）に延びる破線状に欠陥集中領域30毎に劈開用溝69を形成する。この状態で、上記第1実施形態と同様のプロセスを用いて、ウェハを、劈開用溝69の位置で矢印A方向（矢印B方向）に沿って劈開（第1の分割）する。これにより、ウェハは、GaN系半導体レーザチップが矢印A方向（矢印B方向）に1列に配置されたバー状に形成される。

【0103】

そして、上記第1実施形態と同様のプロセスを用いて、バー状に劈開されたウェハのn型GaN基板61の裏面側から、ストライプ状のリッジ部62aの延びる方向（C方向）に素子分割用溝10（図15参照）を形成する。

【0104】

このとき、第3参考形態では、図15に示すように、上記第1実施形態と同様、矢印A方向（矢印B方向）に延びる劈開面67および68からC方向に所定の距離W2（約20μm）を隔てた領域に、素子分割用溝10を形成する。

【0105】

また、第3参考形態では、素子分割用溝10は、欠陥集中領域30の部分（図15参照）に形成される。この状態で、上記第1実施形態と同様のプロセスを用いて、バー状のウェハを、素子分割用溝10の位置でC方向に沿って分割（第2の分割）することにより、図15に示したGaN系半導体レーザチップ（半導体レーザチップ60a）が多数製造される。

【0106】

なお、第3参考形態のその他のウェハプロセス以降の製造プロセス（チップ化プロセス）は、上記第1実施形態のウェハプロセス以降の製造プロセスと同様である。

【0107】

そして、第3参考形態では、図16に示すように、上記チップ化された半導体レーザチップ60aのn側電極66側を下にして、加熱により高温状態となった放熱基台（サブマウント）22に半田21を介して融着する。この際、溶融した半田21は、放熱基台22に対して半導体レーザチップ60aのn側電極66の裏面側のみならず、分離導入用段差部10aおよび10bの形状に合わせて流れ込んで固着する。これにより、第1実施形態と同様に、ジャンクションアップ方式によるGaN系半導体レーザチップが形成される。

【0108】

第3参考形態では、上記第1実施形態と同様に、n型GaN基板61の半導体層62が形成された側とは反対側のn側電極66側を、Au-Snなどからなる半田21を介して放熱基台22に取り付けるように構成することによって、半田21が、n側電極66の裏面上のみならず、裏面から窪んだ分離導入用段差部10aおよび10bにも入り込んで固着するので、半導体レーザチップ60aを放熱基台22に安定して固定することができる。この結果、レーザ出射光の軸ずれが生じるのを抑制することができる。なお、第3参考形態のその他の効果は、上記第1実施形態と同様である。

【0109】

(第3参考形態の変形例)

図18は、本発明の第3参考形態の変形例によるGaN系半導体レーザチップを放熱基台に取り付けた際の構造を示した斜視図である。この第3参考形態の変形例によるGaN系半導体レーザチップでは、上記第3参考形態と異なり、半導体レーザチップ60aをジャンクションダウン方式により放熱基台22に固定する場合について説明する。

【0110】

ここで、第3参考形態の変形例では、図18に示すように、半導体レーザチップ60a(n型GaN基板61)のp側パッド電極65側がAu-Snなどからなる半田21を介してジャンクションダウン方式によりAlNなどからなる放熱基台(サブマウント)22に固定されている。この場合、溶融した半田21は、放熱基台22に対して半導体レーザチップ60aのp側パッド電極65の表面のみならず劈開面67および68の半導体層62側に形成された4つの劈開導入用段差部69a、69b、69cおよび69dの形状に合わせて流れ込んで固着するので、半導体レーザチップ60aは放熱基台22に対して確実に固定されている。

【0111】

第3参考形態の変形例では、上記のように、n型GaN基板61の半導体層62が形成されたp側パッド電極65側を、Au-Snなどからなる半田21を介して放熱基台22に取り付けるように構成することによって、半田21が、p側パッド電極65の表面のみならず、表面から窪んだ劈開導入用段差部69a、69b、69cおよび69d(4箇所)にも入り込んで固着するので、半導体レーザチップ60aを放熱基台22に安定して固定することができる。この結果、レーザ出射光の軸ずれが生じるのを抑制することができる。また、溶融した半田21が劈開導入用段差部69aおよび69c(図18参照)に入り込んで固着するので、共振器面(劈開面67)のリッジ部(光導波路)62a近傍に、はみ出ない。これにより、半田21がリッジ部62aからのレーザ出射光を妨げるのを抑制することができる。なお、第3参考形態の変形例のその他の効果は、上記第1実施形態と同様である。

【0112】

なお、今回開示された実施形態および実施例は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態および実施例の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0113】

たとえば、上記実施形態では、GaN系半導体レーザチップに本発明を適用する例を示したが、本発明はこれに限らず、GaN系以外の窒化物系半導体素子にも適用可能である。

【0114】

また、上記実施形態では、素子分割用溝を、劈開面から約20μm隔てた領域に形成した例を示したが、本発明はこれに限らず、素子分割用溝を、劈開面から約20μm以外の距離を隔てた領域に形成してもよい。たとえば、素子分割用溝を、劈開面から約20μmよりも大きい距離を隔てた領域に形成する場合、素子分割用溝を形成する際のデブリがリッジ部(光導波路)に付着するのをより抑制することができるので、ウェハ(n型GaN基板)をより薄くすることができる。

【0115】

また、上記実施形態では、結晶欠陥の多い領域が直線状に形成されたn型GaN基板を用いた例について示したが、本発明はこれに限らず、結晶欠陥の多い領域が直線状以外の、たとえば、網目状に形成されたn型GaN基板を用いてもよい。

【0116】

また、上記実施形態では、刃状治具を用いて、ウェハを劈開または分割した例について示したが、本発明はこれに限らず、刃状治具以外の、たとえば、ローラなどを用いて、ウェハを劈開または分割してもよい。

【0117】

また、上記実施形態では、端面コート材料として、 SiO_2 および TiO_2 を用いた例について示したが、本発明はこれに限らず、端面コート材料として、 SiO_2 および TiO_2 以外の、たとえば、 Al_2O_3 、 ZrO_2 、 Ta_2O_5 、 Nb_2O_5 、 La_2O_3 、 SiN 、 AlN または BN などを用いてもよいし、これらの組成比の異なる材料である Ti_3O_5 や Nb_2O_3 などを用いてもよい。

【0118】

また、上記実施形態では、ウェハ(n型GaN基板)の厚みを約130μmに形成した例について示したが、本発明はこれに限らず、ウェハ(n型GaN基板)の厚みを約130μm以外の厚みに形成してもよい。

【0119】

また、上記実施形態では、p側パッド電極を、半導体レーザチップの端面(4辺)となる位置から均等な距離だけ内側の領域に形成したが、本発明はこれに限らず、均等な距離でなくてもよいし、形状も他のものでも構わない。たとえば、p側パッド電極を、円形、多角形、または、図19～図21にそれぞれ示した本発明の第1実施形態の第2変形例～第4変形例のような形状にしてもよい。この場合、第2変形例～第4変形例では、p側パッド電極5a～5cの面積を小さくすることができるので、半導体レーザチップの容量を小さくすることができる。これにより、半導体レーザチップの応答特性(高周波特性)を向上させることができる。また、第2変形例～第4変形例(特に第2変形例)では、半導体レーザチップ(p側パッド電極5a～5c)を上方から見るだけで、半導体レーザチップの方向を容易に識別することができるので、レーザ光の出射方向を容易に識別することができる。

【0120】

また、上記実施形態では、隣接する欠陥集中領域と欠陥集中領域との間に、1つまたは2つまたは3つのGaN系半導体レーザチップを形成した例について示したが、本発明はこれに限らず、隣接する欠陥集中領域と欠陥集中領域との間に、4つ以上のGaN系半導体レーザチップを形成してもよい。

【0121】

また、第2実施形態では、隣接する欠陥集中領域と欠陥集中領域との間に、約150μm、約100μmおよび約150μmの幅をそれぞれ有する3つのGaN系半導体レーザチップを形成した例について示したが、本発明はこれに限らず、隣接する欠陥集中領域と欠陥集中領域との間に、同じ幅の3つのGaN系半導体レーザチップを形成してもよい。

【0122】

また、第2実施形態では、隣接する欠陥集中領域と欠陥集中領域との間に、3つのGaN系半導体レーザチップを形成し、中央のレーザチップのリッジ部(光導波路)を、レーザチップの中央部に位置するように形成した例について示したが、本発明はこれに限らず、中央のレーザチップのリッジ部(光導波路)を、一方側に寄った位置に形成してもよい。

【0123】

また、上記実施形態では、基板の裏面側に形成される素子分割用溝および基板の半導体層側に形成される劈開用溝の深さをともに約40μmとした例について示したが、本発明はこれに限らず、素子分割用溝および劈開用溝の深さを3μm以上100μm以下の範囲

で形成してもよい。

【0124】

また、上記実施形態では、半導体レーザチップを固定するためのサブマウントとしてAlNからなる放熱基台を用いた例について示したが、本発明はこれに限らず、SiC、Si、BN、ダイヤモンド、Cu、CuWおよびAlなどの他の材料からなる放熱基台を用いてもよい。また、レーザチップを放熱基台に固定する際の融着層としてAu-Snからなる半田を用いたが、本発明はこれに限らず、Ag-Sn、Pb-SnおよびIn-Snなどの他の材料からなる融着層を用いてもよい。

【図面の簡単な説明】

【0125】

【図1】本発明の第1実施形態によるGaN系半導体レーザチップの製造プロセスにより形成された構造の一例を示した斜視図である。

【図2】図1に示したGaN系半導体レーザチップの中央付近の半導体層の詳細構造を示した断面図である。

【図3】本発明の第1実施形態によるGaN系半導体レーザチップの製造プロセスにより形成された構造の他の例を示した斜視図である。

【図4】図3に示した第1実施形態の他の例によるGaN系半導体レーザチップを放熱基台に取り付けた際の構造を示した斜視図である。

【図5】図1に示した第1実施形態によるGaN系半導体レーザチップのウェハ状態での製造プロセス（ウェハプロセス）を説明するための斜視図である。

【図6】図1に示した第1実施形態によるGaN系半導体レーザチップのウェハ状態での製造プロセス（ウェハプロセス）を説明するための平面図である。

【図7】図1に示した第1実施形態によるGaN系半導体レーザチップのウェハプロセス以降の製造プロセス（チップ化プロセス）を説明するための斜視図である。

【図8】図1に示した第1実施形態によるGaN系半導体レーザチップのウェハプロセス以降の製造プロセス（チップ化プロセス）を説明するための斜視図である。

【図9】図1に示した第1実施形態によるGaN系半導体レーザチップのウェハプロセス以降の製造プロセス（チップ化プロセス）を説明するための斜視図である。

【図10】図1に示した第1実施形態によるGaN系半導体レーザチップのウェハプロセス以降の製造プロセス（チップ化プロセス）を説明するための斜視図である。

【図11】本発明の第1実施形態の第1変形例によるGaN系半導体レーザチップを放熱基台に取り付けた際の構造を示した斜視図である。

【図12】本発明の第2実施形態によるGaN系半導体レーザチップの構造を示した斜視図である。

【図13】本発明の第2実施形態によるGaN系半導体レーザチップの構造を示した斜視図である。

【図14】図12および図13に示した第2実施形態によるGaN系半導体レーザチップの製造プロセスを説明するための斜視図である。

【図15】本発明の第3参考形態によるGaN系半導体レーザチップの構造を示した斜視図である。

【図16】図15に示した第3参考形態によるGaN系半導体レーザチップを放熱基台に取り付けた際の構造を示した斜視図である。

【図17】図15および図16に示した第3参考形態によるGaN系半導体レーザチップの製造プロセスを説明するための斜視図である。

【図18】本発明の第3参考形態の変形例によるGaN系半導体レーザチップを放熱基台に取り付けた際の構造を示した斜視図である。

【図19】本発明の第1実施形態の第2変形例によるGaN系半導体レーザチップの構造を示した斜視図である。

【図20】本発明の第1実施形態の第3変形例によるGaN系半導体レーザチップの構造を示した斜視図である。

【図21】本発明の第1実施形態の第4変形例によるGaN系半導体レーザチップの構造を示した斜視図である。

【符号の説明】

【0126】

- 1、41、61 n型GaN基板(基板)
- 2、42、62 半導体層(窒化物系半導体層)
- 7、8、47、48、67、68 剥開面(第1の分割による分割面)
- 9、49、69 剥開用溝
- 9a、9b、49、49b、69a、69b、69c、69d 剥開導入用段差部(第2の段差部)
- 10 素子分割用溝
- 10a、10b 分離導入用段差部(第1の段差部)
- 21 半田(融着層)
- 30 欠陥集中領域