



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월09일
(11) 등록번호 10-1134168
(24) 등록일자 2012년03월30일

(51) 국제특허분류(Int. Cl.)

H01L 21/60 (2006.01)

(21) 출원번호 10-2005-0077657

(22) 출원일자 2005년08월24일

심사청구일자 2010년08월23일

(65) 공개번호 10-2007-0023268

(43) 공개일자 2007년02월28일

(56) 선행기술조사문헌

KR1020070119530 A

KR1020060115720 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

조원구

서울 서대문구 홍제4동 인왕산현대아파트 101동 301호

강호민

경기도 수원시 팔달구 권광로 373, 106동 2503호 (우만동, 월드메르디앙 아파트)

(74) 대리인

오세준, 권혁수, 송윤호

전체 청구항 수 : 총 34 항

심사관 : 김준학

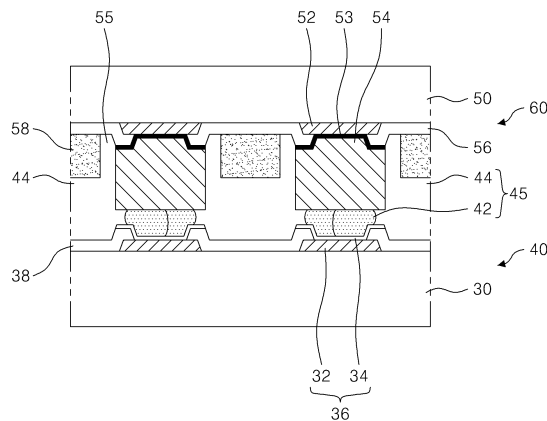
(54) 발명의 명칭 반도체 칩 및 그 제조 방법과, 그를 이용한 표시 패널 및 그 제조 방법

(57) 요약

본 발명 ACF의 도전 입자의 잔류율을 향상시킬 수 있는 반도체 칩 및 그 제조 방법과, 그를 이용한 표시 패널 및 그 제조 방법에 관한 것이다.

본 발명은 반도체 기판에 집적화된 구동 회로와 접속된 다수의 범프와; 상기 구동 회로를 보호하면서 상기 다수의 범프 보다 낮은 높이로 형성되어 상기 다수의 범프가 돌출되게 하는 유기 절연막을 구비하는 반도체 칩 및 그 제조 방법과, 그를 이용한 표시 패널 및 그 제조 방법을 개시한다.

대표도 - 도3



특허청구의 범위

청구항 1

반도체 기판에 집적화된 구동 회로와 접속된 다수의 범프와;

상기 구동 회로를 보호하면서 상기 다수의 범프 보다 낮은 높이로 형성되어 상기 다수의 범프가 돌출되게 하는 유기 절연막을 구비하는 것을 특징으로 하는 반도체 칩.

청구항 2

제 1 항에 있어서,

상기 유기 절연막은 상기 다수의 범프 각각을 개별적으로 둘러싸는 오픈홀을 추가로 구비하는 것을 특징으로 하는 반도체 칩.

청구항 3

제 2 항에 있어서,

상기 오픈홀의 단면적은 상기 범프의 단면적 보다 큰 것을 특징으로 하는 반도체 칩.

청구항 4

제 1 항에 있어서,

상기 구동 회로와 상기 범프 사이에 접속된 칩 패드와;

상기 구동 회로와 상기 유기 절연막 사이에 형성되어 상기 칩 패드를 노출시키는 보호막을 추가로 구비하는 것을 특징으로 하는 반도체 칩.

청구항 5

반도체 기판에 집적화된 구동 회로와 접속된 다수의 범프를 형성하는 단계와;

상기 구동 회로를 보호하면서 상기 다수의 범프가 돌출되도록 상기 범프 보다 낮은 높이의 제 1 유기 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 칩의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 제 1 유기 절연막에 상기 다수의 범프 각각을 개별적으로 둘러싸는 오픈홀을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 칩의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 오픈홀의 단면적은 상기 범프의 단면적 보다 크게 형성된 것을 특징으로 하는 반도체 칩의 제조 방법.

청구항 8

제 5 항에 있어서,

상기 범프를 형성하는 단계 이전에,

상기 구동 회로와 접속된 칩 패드를 형성하는 단계와;

상기 구동 회로 덮으면서 상기 범프와 접속될 칩 패드를 노출시키는 보호막을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 칩의 제조 방법.

청구항 9

반도체 칩이 이방성 도전 필름을 통해 실장된 표시 패널에 있어서,

기관 상에 형성되어 상기 반도체 칩에 형성된 범프와 상기 이방성 도전 필름에 포함된 도전 입자를 통해 접속된 전극 패드와;

상기 전극 패드를 고립시키는 오픈홀을 갖도록 상기 기관 상에 형성된 유기 절연막을 구비하는 것을 특징으로 하는 표시 패널.

청구항 10

제 9 항에 있어서,

상기 전극 패드는 상기 기관 상에 형성된 신호 라인과 접속된 하부 전극 패드와;

상기 하부 전극 패드 위에 형성된 절연막의 컨택홀을 통해 상기 하부 전극 패드와 접속된 상부 전극 패드를 구비하는 것을 특징으로 표시 패널.

청구항 11

제 9 항에 있어서,

상기 오픈홀의 단면적은 상기 전극 패드의 단면적 보다 큰 것을 특징으로 하는 표시 패널.

청구항 12

제 9 항에 있어서,

상기 유기 절연막은 상기 전극 패드 보다 높게 형성된 것을 특징으로 하는 표시 패널.

청구항 13

제 12 항에 있어서,

상기 유기 절연막은 상기 기관 상에 실장된 반도체 칩의 범프 보다 낮게 형성된 것을 특징으로 하는 표시 패널.

청구항 14

기관 상에 신호 라인과 접속된 전극 패드를 형성하는 단계와;

상기 전극 패드를 고립시키는 오픈홀을 갖는 유기 절연막을 상기 기관 상에 형성하는 단계와;

반도체 칩을 이방성 도전 필름을 통해 상기 기관 상에 실장하여 상기 반도체 칩의 범퍼와 상기 전극 패드가 상기 이방성 도전 필름에 포함된 도전 입자를 통해 접속되게 하는 단계를 포함하는 것을 특징으로 하는 반도체 칩이 실장된 표시 패널의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 전극 패드를 형성하는 단계는

상기 신호 라인과 접속된 하부 전극 패드를 형성하는 단계와;

상기 하부 전극 패드를 노출시키는 컨택홀을 갖는 절연막을 형성하는 단계와;

상기 컨택홀을 통해 상기 하부 전극 패드와 접속된 상부 전극 패드를 형성하는 단계를 포함하는 것을 특징으로 하는 표시 패널의 제조 방법.

청구항 16

제 14 항에 있어서,

상기 오픈홀의 단면적은 상기 전극 패드의 단면적 보다 크게 형성된 것을 특징으로 하는 표시 패널의 제조 방법.

청구항 17

제 14 항에 있어서,

상기 유기 절연막은 상기 전극 패드 보다 높게 형성된 것을 특징으로 하는 표시 패널의 제조 방법.

청구항 18

제 14 항에 있어서,

상기 유기 절연막은 상기 기판 상에 실장된 반도체 칩의 범프 보다 낮게 형성된 것을 특징으로 하는 표시 패널의 제조 방법.

청구항 19

제 15 항에 있어서,

상기 상부 전극 패드는 상기 유기 절연막을 형성한 다음 형성된 것을 특징으로 하는 표시 패널의 제조 방법.

청구항 20

반도체 기판에 집적화된 구동 회로와 접속된 다수의 범프 및 상기 구동 회로를 보호하면서 상기 다수의 범프 보다 낮은 높이로 형성되어 상기 다수의 범프가 돌출되게 하는 제1 유기 절연막을 구비한 반도체 칩;

기판 상에 형성된 신호 라인과 접속된 전극 패드를 포함하는 기판과;

상기 반도체 칩이 상기 기판 상에 부착되게 하고 상기 반도체 칩의 범프와 상기 전극 패드를 접속시키는 도전 입자를 포함하는 이방성 도전 필름을 구비하는 것을 특징으로 하는 표시 패널.

청구항 21

제 20 항에 있어서,

상기 제1 유기 절연막은 상기 다수의 범프 각각을 개별적으로 둘러싸는 오픈홀을 추가로 구비하는 것을 특징으로 하는 표시 패널.

청구항 22

제 21 항에 있어서,

상기 오픈홀의 단면적은 상기 범프의 단면적 보다 큰 것을 특징으로 하는 표시 패널.

청구항 23

제 20 항에 있어서,

상기 구동 회로와 상기 범프 사이에 접속된 칩 패드와;

상기 구동 회로와 상기 제1 유기 절연막 사이에 형성되어 상기 칩 패드를 노출시키는 보호막을 추가로 구비하는 것을 특징으로 하는 표시 패널.

청구항 24

제 20 항에 있어서,

상기 전극 패드를 고립시키는 제2 오픈홀을 갖도록 상기 기판 상에 형성된 제2 유기 절연막을 추가로 구비하는 것을 특징으로 하는 표시 패널.

청구항 25

제 20 항에 있어서,

상기 전극 패드는 상기 기판 상에 형성된 신호 라인과 접속된 하부 전극 패드와;

상기 하부 전극 패드 위에 형성된 절연막의 컨택홀을 통해 상기 하부 전극 패드와 접속된 상부 전극 패드를 구

비하는 것을 특징으로 표시 패널.

청구항 26

제 24 항에 있어서,

상기 제2 유기 절연막에 형성된 제2 오픈홀의 단면적은 상기 전극 패드의 단면적 보다 큰 것을 특징으로 하는 표시 패널.

청구항 27

제 24 항에 있어서,

상기 제2 유기 절연막은 상기 전극 패드 보다 높게 형성된 것을 특징으로 하는 표시 패널.

청구항 28

제 24 항에 있어서,

상기 제1 및 제2 유기 절연막은 상기 반도체 칩이 상기 기판 상에 실장된 경우 일정 간격으로 이격되도록 형성된 것을 특징으로 하는 표시 패널.

청구항 29

제 5 항 내지 제 8 항 중 어느 한 항에 기재된 제조 방법으로 반도체 칩을 마련하는 단계와;

전극 패드가 노출된 표시 패널을 마련하는 단계와;

도전 입자를 포함하는 이방성 도전 필름을 통해 상기 반도체 칩을 상기 표시 패널에 실장하는 단계를 포함하는 것을 특징으로 하는 표시 패널의 제조 방법.

청구항 30

제 29 항에 있어서,

상기 표시 패널을 마련하는 단계는

상기 전극 패드를 고립시키는 제2 오픈홀을 갖는 제2 유기 절연막을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 표시 패널의 제조 방법.

청구항 31

제 30 항에 있어서,

상기 전극 패드를 형성하는 단계는

신호 라인과 접속된 하부 전극 패드를 형성하는 단계와;

상기 하부 전극 패드를 노출시키는 컨택홀을 갖는 절연막을 형성하는 단계와;

상기 컨택홀을 통해 상기 하부 전극 패드와 접속된 상부 전극 패드를 형성하는 단계를 포함하는 것을 특징으로 하는 표시 패널의 제조 방법.

청구항 32

제 30 항에 있어서,

상기 제2 오픈홀의 단면적은 상기 전극 패드의 단면적 보다 크게 형성된 것을 특징으로 하는 표시 패널의 제조 방법.

청구항 33

제 30 항에 있어서,

상기 제2 유기 절연막은 상기 전극 패드 보다 높게 형성된 것을 특징으로 하는 표시 패널의 제조 방법.

청구항 34

제 30 항에 있어서,

상기 제1 및 제2 유기 절연막은 상기 반도체 칩이 상기 기판 상에 실장된 경우 일정 간격으로 이격되도록 형성된 것을 특징으로 하는 표시 패널의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0020] 본 발명은 반도체 칩 및 그를 이용한 표시 패널에 관한 것으로, 특히 이방성 도전 입자의 잔류율을 향상시킬 수 있는 반도체 칩 및 그 제조 방법과, 그를 이용한 표시 패널 및 그 제조 방법에 관한 것이다.
- [0021] 최근, 표시 장치로 각광 받고 있는 평판 표시 장치로는 유전 이방성을 액정을 이용한 액정 표시 장치(LCD), 불활성 가스의 방전을 이용한 플라즈마 디스플레이 패널(PDP), 유기 발광 다이오드를 이용한 유기 전계 발광 표시 장치(OLED) 등이 대표적이다. 이들 중 플라즈마 디스플레이 패널은 대형 TV로만 응용되고 반면에 액정 표시 장치 및 유기 전계 발광 표시 장치는 휴대폰, 노트북, 모니터, TV 등과 같이 소형부터 대형까지 다양한 크기로 많은 분야에 응용되고 있다.
- [0022] 이러한 평판 표시 장치는 화상을 표시하기 위한 화소 매트릭스를 갖는 표시 패널과, 표시 패널을 구동하는 패널 구동 회로를 구비한다. 패널 구동 회로는 반도체 칩 형태로 집적화되어 표시 패널과 전기적으로 접속된다. 구동 회로 칩(이하, 구동 칩)을 표시 패널과 접속시키는 방법으로는 TAP(Tape Automated Bonding) 방법과 COF(Chip On Film) 방법이 대표적이다.
- [0023] TAP 방법은 구동 칩이 실장된 TCP(Tape Carrier Package) 또는 COF(Chip On Film)를 ACF(Anisotropic Conductive Film)를 이용하여 표시 패널에 부착하는 방법이다. COF 방법은 구동 칩을 ACF를 이용하여 표시 패널에 직접 실장하는 방법으로 저비용, 소형 및 박형화가 요구되는 표시 패널에 주로 적용된다.
- [0024] 도 1은 COG 방식으로 표시 패널의 기판 상에 실장된 구동 칩의 단자 부분을 도시한 단면도이다.
- [0025] 도 1에 도시된 구동 칩(20)은 ACF(15)를 통해 표시 패널의 기판(10) 상에 형성된 전극 패드(12)와 전기적으로 접속됨과 아울러 기판(10) 상에 부착된다.
- [0026] 구체적으로, 구동 칩(20)은 실리콘 웨이퍼(22)에 형성된 칩 패드(24)와, 실리콘 웨이퍼(22)를 보호하면서 칩 패드(24)를 노출시키는 컨택홀이 형성된 보호막(26)과, 보호막(26)의 컨택홀을 통해 칩 패드(24)와 접속되어 단자 역할을 하는 범프(28)를 구비한다.
- [0027] 이러한 구동 칩(20)은 ACF(15)를 통해 표시 패널의 기판(10) 상에 실장된다. 다시 말하여, 전극 패드(12)가 형성된 기판(10)의 패드 영역에 ACF(15), 즉 도전 입자(16)가 함유된 ACF 레진(Resin)(14)을 도포하고 구동 칩(20)을 정렬시켜 가열 압착함으로써 구동 칩(20)이 표시 패널의 기판(10) 상에 실장된다. 이때, ACF(15)의 도전 입자(16)가 구동 칩의 범프(28)와 기판(10) 상의 전극 패드(12) 사이에 위치하여 범프(28)와 전극 패드(12)를 전기적으로 접속시키게 된다.
- [0028] 따라서, 범프(28)와 전극 패드(12) 사이에 위치하는 도전 입자(16)의 갯수, 즉 잔류율이 범프(28)와 전극 패드(12)간의 접속 저항을 결정하게 되므로 구동 신호의 신뢰성을 확보하기 위해서는 도전 입자(16)의 잔류율이 높아야만 한다.
- [0029] 그러나, 현재의 기술로는 범프와 전극 패드 사이에 위치하는 도전 입자의 잔류율이 너무 낮은 실정이므로 도전 입자의 잔류율을 향상시킬 수 있는 방안이 요구된다. 또한, 범프 아래의 도전 입자 잔류율을 높이기 위하여 ACF의 도전 입자 함유량을 높이는 방법이 고려될 수 있으나, 이는 ACF 원자재의 가격을 상승시키는 단점이 있다.

발명이 이루고자 하는 기술적 과제

- [0030] 따라서, 본 발명의 목적은 ACF의 도전 입자의 잔류율을 향상시킬 수 있는 반도체 칩 및 그 제조 방법과, 그를 이용한 표시 패널 및 그 제조 방법에 관한 것이다.

발명의 구성 및 작용

- [0031] 상기 목적들을 달성하기 위하여, 본 발명의 제1 실시 예에 따른 반도체 칩은 반도체 기판에 집적화된 구동 회로와 접속된 다수의 범프와; 상기 구동 회로를 보호하면서 상기 다수의 범프 보다 낮은 높이로 형성되어 상기 다수의 범프가 돌출되게 하는 유기 절연막을 구비한다.
- [0032] 그리고, 상기 반도체 칩은 상기 유기 절연막은 상기 다수의 범프 각각을 개별적으로 둘러싸는 오픈홀을 추가로 구비한다.
- [0033] 상기 오픈홀의 단면적은 상기 범프의 단면적 보다 크게 형성된다.
- [0034] 또한, 상기 반도체 칩은 상기 구동 회로와 상기 범프 사이에 접속된 칩 패드와; 상기 구동 회로와 상기 유기 절연막 사이에 형성되어 상기 칩 패드를 노출시키는 보호막을 추가로 구비한다.
- [0035] 본 발명의 제1 실시 예에 따른 반도체 칩의 제조 방법은 반도체 기판에 집적화된 구동 회로와 접속된 다수의 범프를 형성하는 단계와; 상기 구동 회로를 보호하면서 상기 다수의 범프가 돌출되도록 상기 범프 보다 낮은 높이의 유기 절연막을 형성하는 단계를 포함한다.
- [0036] 그리고, 상기 반도체 칩의 제조 방법은 상기 유기 절연막에 상기 다수의 범프 각각을 개별적으로 둘러싸는 오픈홀을 형성하는 단계를 추가로 포함한다.
- [0037] 또한, 상기 반도체 칩의 제조 방법은 상기 범프를 형성하는 단계 이전에, 상기 구동 회로와 접속된 칩 패드를 형성하는 단계와; 상기 구동 회로 덮으면서 상기 범프와 접속될 칩 패드를 노출시키는 보호막을 형성하는 단계를 추가로 포함한다.
- [0038] 본 발명의 제2 실시 예에 따른 표시 패널은 반도체 칩이 이방성 도전 필름을 통해 실장된 표시 패널에서, 기판 상에 형성되어 상기 반도체 칩에 형성된 범프와 상기 이방성 도전 필름에 포함된 도전 입자를 통해 접속된 전극 패드와; 상기 전극 패드를 고립시키는 오픈홀을 갖도록 상기 기판 상에 형성된 유기 절연막을 구비한다.
- [0039] 상기 전극 패드는 상기 기판 상에 형성된 신호 라인과 접속된 하부 전극 패드와; 상기 하부 전극 패드 위에 형성된 절연막의 컨택홀을 통해 상기 하부 전극 패드와 접속된 상부 전극 패드를 구비한다.
- [0040] 상기 오픈홀의 단면적은 상기 전극 패드의 단면적 보다 크게 형성된다.
- [0041] 상기 유기 절연막은 상기 전극 패드 보다 높게 형성된다.
- [0042] 상기 유기 절연막은 상기 기판 상에 실장된 반도체 칩의 범프 보다 낮게 형성된다.
- [0043] 본 발명의 제2 실시 예에 따른 표시 패널의 제조 방법은 기판 상에 신호 라인과 접속된 전극 패드를 형성하는 단계와; 상기 전극 패드를 고립시키는 오픈홀을 갖는 유기 절연막을 상기 기판 상에 형성하는 단계와; 반도체 칩을 이방성 도전 필름을 통해 상기 기판 상에 실장하여 상기 반도체 칩의 범프와 상기 전극 패드가 상기 이방성 도전 필름에 포함된 도전 입자를 통해 접속되게 하는 단계를 포함한다.
- [0044] 상기 전극 패드를 형성하는 단계는 상기 신호 라인과 접속된 하부 전극 패드를 형성하는 단계와; 상기 하부 전극 패드를 노출시키는 컨택홀을 갖는 절연막을 형성하는 단계와; 상기 컨택홀을 통해 상기 하부 전극 패드와 접속된 상부 전극 패드를 형성하는 단계를 포함한다.
- [0045] 상기 상부 전극 패드는 상기 유기 절연막을 형성한 다음 형성된다.
- [0046] 본 발명의 제3 실시 예에 따른 표시 패널은 상기 본 발명의 제1 실시 예에 따른 반도체 칩과; 기판 상에 형성된 신호 라인과 접속된 전극 패드를 포함하는 기판과; 상기 반도체 칩이 상기 기판 상에 부착되게 하고 상기 반도체 칩의 범프와 상기 전극 패드를 접속시키는 도전 입자를 포함하는 이방성 도전 필름을 구비한다.
- [0047] 그리고, 상기 표시 패널은 상기 전극 패드를 고립시키는 제2 오픈홀을 갖도록 상기 기판 상에 형성된 제2 유기

절연막을 추가로 구비한다.

- [0048] 상기 제2 유기 절연막에 형성된 제2 오픈홀의 단면적은 상기 전극 패드의 단면적 보다 크게 형성된다.
- [0049] 상기 제1 및 제2 유기 절연막은 상기 반도체 칩이 상기 기판 상에 실장된 경우 일정 간격으로 이격되도록 형성된다.
- [0050] 본 발명의 제3 실시 예에 따른 표시 패널의 제조 방법은 상기 본 발명의 제1 실시 예에 따른 제조 방법으로 반도체 칩을 마련하는 단계와; 전극 패드가 노출된 표시 패널을 마련하는 단계와; 도전 입자를 포함하는 이방성 도전 필름을 통해 상기 반도체 칩을 상기 표시 패널에 실장하는 단계를 포함한다.
- [0051] 상기 표시 패널을 마련하는 단계는 상기 전극 패드를 고립시키는 제2 오픈홀을 갖는 제2 유기 절연막을 형성하는 단계를 추가로 포함한다.
- [0052] 상기 목적들 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면을 참조한 실시 예에 대한 상세한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0053] 본 발명의 바람직한 실시 예들에 대한 설명에 앞서, 본 발명이 도출된 기술적인 배경, 즉 구동 칩의 범프와 표시 패널의 패드 사이에 ACF 도전 입자의 잔류율이 부족한 구체적인 원인을 살펴보면 다음과 같다.
- [0054] 도 2는 구동 칩에 형성된 다수의 범프와 기관의 접촉 부분을 보여주는 사진이다.
- [0055] 도 2를 참조하면, 기관(2) 상에 실장된 구동 칩의 범프(4) 아래에 위치하는 ACF 도전 입자(8)의 잔류율 보다 범프(4)와 범프(4) 사이의 스페이스(6) 내에 위치하는 ACF 도전 입자(8)의 잔류율이 더 많음을 알 수 있다. 이는 ACF를 기관(2) 상에 도포하고 그 위에 구동 칩을 정렬시켜 가열 압착하는 경우 범프(4) 아래의 ACF 레진이 범프들(4) 사이의 스페이스(6) 내에 위치한 ACF 레진 보다 압력을 크게 받음에서 기인한다. 이러한 범프(4) 아래와 범프들(4) 사이의 스페이스(6)와의 압력차로 인하여, ACF 레진의 흐름이 범프(4) 하단에서 범프들(4) 사이의 스페이스(6)로 향하게 되므로 ACF 레진의 흐름을 따라 ACF 도전 입자(8)도 이동하게 된다. 이 결과, 범프(4) 아래에 위치하는 도전 입자(8)의 잔류율은 감소하게 되고 범프들(4) 사이의 스페이스(6) 내에는 도전입자들(8)이 묻치는 현상이 심화된다. 이로 인하여 스페이스(6) 내로 묻친 도전 입자는 범프(4)간의 쇼트를 유발하고, 범프(4) 아래에 위치하는 도전 입자(8)의 잔류율 감소로 접속 신뢰성에 나쁜 영향을 주게 된다.
- [0056] 따라서, 본 발명은 구동 칩을 실장하는 경우 범프 아래와 범프들 사이의 스페이스와의 압력차를 줄여 ACF 도전 입자의 유동을 감소시킴으로써 범프 아래에 위치하는 도전 입자의 잔류율을 향상시키고자 한다.
- [0057] 이하, 구동 칩의 범프 아래와 범프들 사이의 스페이스와의 압력차를 줄여 범프 아래 도전 입자의 잔류율을 향상시킬 수 있는 본 발명의 바람직한 실시 예들을 도 3 내지 도 11을 참조하여 상세하게 설명하기로 한다.
- [0058] 도 3은 본 발명의 제1 실시 예에 따른 구동 칩(60)이 실장된 표시 패널(40)의 일부분을 도시한 단면도이고, 도 4 및 도 5는 도 3에 도시된 구동 칩(60)에서 범프(54)가 형성된 하부면을 보여주는 평면도 및 사진이다.
- [0059] 도 3에 도시된 구동 칩(60)은 ACF(45)를 통해 표시 패널(40)의 어느 한 기관(30) 상에 형성된 전극 패드(36)와 전기적으로 접속됨과 아울러 기관(30) 상에 부착된다.
- [0060] 표시 패널(40)은 하부 기관(30) 상에 형성되어 화상 표시부의 신호 라인과 접속된 전극 패드(36)를 구비한다.
- [0061] 전극 패드(36)는 화상 표시부의 신호 라인으로부터 연장된 하부 전극 패드(32)와, 절연막(38)을 관통하는 컨택홀을 통해 하부 전극 패드(32)와 접속된 상부 전극 패드(34)로 구성된다. 하부 전극 패드(32)는 화상 표시부의 신호 라인과 함께 불투명 금속으로 형성된다. 상부 전극 패드(34)는 하부 전극 패드(32)를 보호하기 위한 투명 도전 물질로 형성된다. 이러한 상부 전극 패드(34)는 화상 표시부에서 서브 화소 단위로 빛을 투과시키기 위한 화소 전극과 함께 패터닝되어 형성된다.
- [0062] 구동 칩(60)은 실리콘 웨이퍼(50)에 형성된 구동 회로와 접속된 칩 패드(52)와, 실리콘 웨이퍼(50) 상에 형성되고 칩 패드(52)를 노출시키는 컨택홀이 형성된 보호막(56)과, 보호막(56)의 컨택홀을 통해 칩 패드(52)와 접속되어 단자 역할을 하는 범프(54)를 구비한다. 또한, 구동 칩(60)은 범프(54) 보다 낮은 높이로 범프(54)의 주변을 둘러싸는 유기 절연막(58)을 더 구비한다.
- [0063] 칩 패드(52)는 Al 등과 같은 금속으로, 범프(54)는 Au 등과 같은 등과 같은 금속으로 형성된다. 이러한 칩 패드(52)와 범프(54) 사이에는 칩 패드(52)를 보호하기 위한 배리어 금속층(53)이 추가로 형성되기도 한다.

- [0064] 보호막(56)은 SiNx 등과 같은 절연 물질로 칩 패드(52)가 형성된 실리콘 웨이퍼(50) 상에 형성되어 구동 회로가 형성된 실리콘 웨이퍼(50)를 보호하게 된다. 이러한 보호막(56)은 칩 패드(52)를 노출시키는 컨택홀을 구비한다.
- [0065] 배리어 금속층(53) 및 범프(54)는 보호막(56)의 컨택홀을 통해 노출된 칩 패드(52)와 접촉된다.
- [0066] 그리고, 범프(54)가 형성된 보호막(56) 상에는 구동 칩(60)에 내장된 구동 회로를 보호하기 위하여 폴리 이미드(Polyimide) 계열의 유기 절연막(58)이 더 형성된다. 또한, 유기 절연막(58)은 도 4 및 도 5에 도시된 바와 같이 범프(54)가 형성된 단자 영역, 즉 구동 칩의 주변 영역까지 확장되어 형성되고, 범프(54)를 노출시키는 오픈홀(55)을 구비한다. 이러한 유기 절연막(58)은 범프(54) 보다 낮은 높이로 형성되어 구동 칩(60)을 기판(30) 상에 실장할 때 범프(54) 아래와 범프들(54) 사이의 스페이스와의 압력차를 감소시킴으로써 범프들(54) 사이의 스페이스로 ACF 도전 입자(42)가 빠져나오는 것을 감소시킬 수 있게 된다. 이때, 범프(54)가 노출되도록 유기 절연막(58)에 형성된 오픈홀(55)은 도 4 및 도 5와 같이 범프(54) 보다 넓은 단면적을 갖도록 형성된다. 다시 말하여, 오픈홀(55)의 에지부가 범프(54)의 에지부와 이격되어 형성됨으로써 ACF 도전 입자들(42)과 접촉될 수 있는 범프(54)의 단면적이 충분히 확보되게 한다. 이와 달리, 오픈홀(55)은 범프(54)와 동일한 단면적을 갖도록 형성되어 유기 절연막(58)이 범프(54)의 측면과 접촉될 수도 있다.
- [0067] 이러한 구성을 갖는 구동 칩(60)은 ACF(45)를 통해 표시 패널(40)의 기판(30) 상에 실장된다. 구체적으로, 전극 패드(36)가 형성된 기판(30)의 패드 영역에 ACF(45), 즉 도전 입자(42)가 함유된 ACF 레진(44)을 도포하고 구동 칩(60)을 정렬시켜 가열 압착함으로써 구동 칩(60)이 표시 패널(40)의 기판(30) 상에 실장된다. 이때, 범프들(54) 사이의 스페이스에 범프(54) 보다 낮은 높이의 유기 절연막(58)이 존재하게 됨으로써 범프(54) 아래와, 범프들(54) 사이의 스페이스, 즉 유기 절연막(58) 아래의 압력차가 감소하게 된다. 이에 따라, ACF 레진(44)과 함께 도전 입자(42)의 유동이 감소하여 범프들(54) 사이의 스페이스로 빠져나오는 도전 입자(42)의 개수를 줄일 수 있게 된다. 이 결과, 범프(54) 아래의 도전 입자(42) 잔류율이 향상되므로 구동 칩(60)의 범프(54)와 표시 패널(40)의 전극 패드(36)간의 접촉 저항을 감소시킬 수 있게 된다.
- [0068] 한편, 도 3에 도시된 본 발명의 구동 칩(60)에서 유기 절연막(58)의 높이를 범프(54)와 같게 하거나 높게 하는 경우 범프(54)와 전극 패드(36) 사이의 도전 입자(42)의 변형률이 감소하여 접촉 저항이 증가할 우려가 있으므로 유기 절연막(58)의 높이는 범프(54) 보다 낮게 형성하는 것이 바람직하다.
- [0069] 도 6a 내지 도 6d는 도 3에 도시된 본 발명의 제1 실시 예에 따른 구동 칩(60)의 제조 방법을 단계적으로 보여주는 단면도들이다.
- [0070] 도 6a를 참조하면, 실리콘 웨이퍼(50) 상에 구동 회로의 전극들과 함께 칩 패드(52)가 형성된다. 칩 패드(52)는 Al 등과 같은 금속층이 실리콘 웨이퍼(50) 상에 증착된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 구동 회로의 전극들과 함께 형성된다.
- [0071] 도 6b를 참조하면, 구동 회로 및 칩 패드(52)가 형성된 실리콘 웨이퍼(50) 상에 보호막(56)이 형성되고, 보호막(56)을 관통하여 칩 패드(52)를 노출시키는 컨택홀(51)이 형성된다. 컨택홀(51)을 갖는 보호막(56)은 SiNx 등과 같은 무기 절연 물질이 구동 회로 및 칩 패드(52)가 형성된 실리콘 웨이퍼(50) 상에 증착된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다.
- [0072] 도 6c를 참조하면, 보호막(56)의 컨택홀(51)을 통해 노출된 칩 패드(52)와 접촉된 배리어 금속층(53) 및 범프(54)가 형성된다. 배리어 금속층(53) 및 범프(54)는 보호막(56) 위에 Au/Ni/Ti 등과 같은 배리어 금속과 Au 등과 같은 범프용 금속이 적층된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다.
- [0073] 도 6d를 참조하면, 구동 회로를 보호함과 아울러 범프(54)를 노출시키는 유기 절연막(58)이 보호막(56) 위에 형성된다. 유기 절연막(58)은 감광성을 갖는 폴리이미드 계열의 유기 절연막이 범프(54)가 형성된 보호막(56) 위에 형성된 다음 포토리소그래피 공정으로 노광 및 현상함으로써 형성된다.
- [0074] 이러한 과정을 통해 완성된 구동 칩(60)은 도 3과 같이 전극 패드(36)가 형성된 기판(30) 상에 ACF(45)를 도포한 다음, 그 ACF(45) 위에 정렬시켜 가열 압착함으로써 실장된다. 이때, 범프들(54) 사이의 스페이스에 범프(54) 보다 낮은 높이로 존재하는 유기 절연막(58)에 의해 ACF 레진(44) 및 도전 입자(42)의 유동이 감소하여 범프(54) 아래의 도전 입자(42) 잔류율이 향상된다.
- [0075] 도 7은 본 발명의 제2 실시 예에 따른 구동 칩(60)이 실장된 표시 패널(40)의 일부분을 도시한 단면도이고, 도 8은 도 7에 도시된 표시 패널(40)의 패드 영역을 도시한 평면도이다.

- [0076] 도 7에 도시된 구동 칩(60)이 실장된 표시 패널(40)은 도 3과 대비하여 구동 칩(60)의 범프(54) 대신 전극 패드들(36) 사이의 스페이스에 유기 절연막(62)이 형성되는 것을 제외하고는 동일한 구성 요소들을 구비하므로, 중복된 구성 요소들에 대한 상세한 설명은 생략하기로 한다.
- [0077] 도 7에 도시된 구동 칩(60)은 구동 칩(60)은 실리콘 웨이퍼(50)에 형성된 구동 회로와 접속된 칩 패드(52)와, 실리콘 웨이퍼(50) 상에 형성되고 칩 패드(52)를 노출시키는 컨택홀이 형성된 보호막(56)과, 보호막(56)의 컨택홀을 통해 칩 패드(52)와 접속되어 단자 역할을 하는 범프(54)를 구비한다. 또한, 구동 칩(60)은 구동 회로 영역을 보호하기 위하여 범프(54)가 형성된 단자 영역, 즉 구동 칩(60)의 주변 영역을 제외한 구동 회로 영역의 보호막(56) 상에 형성된 유기 절연막(미도시)을 추가로 구비한다. 그리고, 구동 칩(60)은 칩 패드(52)와 범프(54) 사이에 형성된 배리어 금속층(53)을 추가로 구비하기도 한다.
- [0078] 도 7에 도시된 표시 패널(40)의 하부 기판(30) 상에 형성된 전극 패드(36)는 화상 표시부의 신호 라인으로부터 연장된 하부 전극 패드(32)와, 절연막(38)을 관통하는 컨택홀을 통해 하부 전극 패드(32)와 접속된 상부 전극 패드(34)로 구성된다. 그리고, 표시 패널(40)은 전극 패드(36) 보다 높게 형성되어 전극 패드(36)를 고립시키는 유기 절연막(62)을 더 구비한다.
- [0079] 다시 말하여, 하부 기판(30)의 절연막(38) 위에는 유기 절연막(62)이 형성되고, 그 유기 절연막(62)에는 도 8에 도시된 바와 같이 전극 패드(36)와 이격되어 전극 패드(36)를 고립시키는 오픈홀(63)이 형성된다. 이러한 유기 절연막(62)은 전극 패드(36) 보다 높게 형성되고, ACF(44)를 통해 구동 칩(60)이 실장된 경우 구동 칩(60)의 범프(54) 보다는 낮게 형성된다. 이에 따라, 구동 칩(60)을 기판(30) 상에 실장할 때 범프(54) 아래와 범프들(54) 사이의 스페이스와의 압력차를 감소시킴으로써 범프들(54) 사이의 스페이스로 ACF 도전 입자(42)가 빠져나오는 것을 감소시킬 수 있게 된다. 이때, 전극 패드(36)를 둘러싸는 오픈홀(63)은 도 8과 같이 전극 패드(36) 보다 넓은 단면적을 갖도록 형성된다. 다시 말하여, 오픈홀(63)의 에지부가 전극 패드(36)의 에지부와 이격되어 형성됨으로써 ACF 도전 입자들(42)과 접촉될 수 있는 전극 패드(36) 및 범프(54)의 단면적이 충분히 확보되게 한다. 이와 달리, 오픈홀(63)은 전극 패드(36)와 동일한 단면적을 갖도록 형성되어 유기 절연막(62)이 전극 패드(36)의 측면과 접촉될 수도 있다.
- [0080] 이러한 구성을 갖는 기판(30)의 패드 영역에 ACF(45), 즉 도전 입자(42)가 함유된 ACF 레진(44)을 도포하고 구동 칩(60)을 정렬시켜 가열 압착함으로써 구동 칩(60)이 표시 패널(40)의 기판(10) 상에 실장된다. 이때, 범프들(54) 사이의 스페이스에 범프(54) 보다 낮은 높이의 유기 절연막(62)이 존재하게 됨으로써 범프(54) 아래와, 범프들(54) 사이의 스페이스, 즉 유기 절연막(62) 위의 압력차가 감소하게 된다. 이에 따라, ACF 레진(44)과 함께 도전 입자(42)의 유동이 감소하여 범프들(54) 사이의 스페이스로 빠져나오는 도전 입자(42)의 개수를 줄일 수 있게 된다. 이 결과, 범프(54) 아래의 도전 입자(43) 잔류율이 향상되므로 구동 칩(60)의 범프(54)와 표시 패널(40)의 전극 패드(36)간의 접속 저항을 감소시킬 수 있게 된다.
- [0081] 도 9a 내지 도 9d는 도 7에 도시된 본 발명의 제1 실시 예에 따른 표시 패널(40)의 제조 방법을 단계적으로 보여주는 단면도들이다.
- [0082] 도 9a를 참조하면, 기판(40) 상에 화상 표시부의 신호 라인들과 함께 하부 전극 패드(32)가 형성된다. 하부 전극 패드(32)는 Al계, Mo계 등의 금속층이 기판(30) 상에 증착된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 화상 표시부의 신호 라인들과 함께 형성된다.
- [0083] 도 9b를 참조하면, 화상 표시부의 신호 라인과 함께 하부 전극 패드(32)가 형성된 기판(30) 상에 절연막(38)이 형성되고, 절연막(38)을 하부 전극 패드(32)를 노출시키는 컨택홀(61)이 형성된다. 컨택홀(61)을 갖는 절연막(38)은 SiNx 등과 같은 무기 절연 물질이 신호 라인 및 하부 전극 패드(32)가 형성된 기판(30) 상에 증착된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다.
- [0084] 도 9c를 참조하면, 절연막(38) 상에 하부 전극 패드(32)를 노출시키는 오픈홀(63)을 갖는 유기 절연막(62)이 형성된다. 유기 절연막(62)은 감광성을 갖는 폴리이미드 계열의 유기 절연 물질이 절연막(38) 위에 증착된 다음 포토리소그래피 공정으로 노광 및 현상함으로써 형성된다.
- [0085] 도 9d를 참조하면, 유기 절연막(62)의 오픈홀(63)을 통해 노출된 하부 전극 패드(32)와 접속된 상부 전극 패드(34)이 형성된다. 상부 전극 패드(34)는 유기 절연막(62) 위에 투명 도전 물질이 증착된 다음 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 이러한 상부 전극 패드(34)는 화상 표시부에 서브 화소 단위로 형성되는 화소 전극과 함께 형성된다.

- [0086] 이러한 과정을 통해 완성된 기관(30)의 패드 영역에 ACF(45)를 도포한 다음, 그 ACF(45) 위에 구동 칩(60)을 정렬시켜 가열 압착함으로써 구동 칩(60)이 실장된다. 이때, 범프들(54) 사이의 스페이스에 범프(54) 보다 낮은 높이로 존재하는 유기 절연막(62)에 의해 ACF 레진(44) 및 도전 입자(42)의 유동이 감소하여 범프(54) 아래의 도전 입자(42) 잔류율이 향상된다.
- [0087] 도 10은 본 발명의 제3 실시 예에 따른 구동 칩(60)이 실장된 표시 패널(40)의 일부분을 도시한 단면도이다.
- [0088] 도 10에 도시된 구동 칩(60)이 실장된 표시 패널(40)은 도 3에 도시된 표시 패널(40)과 대비하여 전극 패드들(36) 사이의 스페이스에 제2 유기 절연막(62)이 더 형성되는 것을 제외하고는 동일한 구성 요소들을 구비하므로, 중복된 구성 요소들에 대한 상세한 설명은 생략하기로 한다.
- [0089] 도 10에 도시된 구동 칩(60)은 실리콘 웨이퍼(50)에 형성된 구동 회로와 접속된 칩 패드(52)와, 실리콘 웨이퍼(50) 상에 형성되고 칩 패드(52)를 노출시키는 콘택홀이 형성된 보호막(56)과, 보호막(56)의 콘택홀을 통해 칩 패드(52)와 접속되어 단자 역할을 하는 범프(54)를 구비한다. 또한, 구동 칩(60)은 범프(54) 보다 낮은 높이로 범프(54)의 주변을 둘러싸는 제1 유기 절연막(58)을 더 구비한다. 제1 유기 절연막(56)은 도 4 및 도 5에 도시된 바와 같이 범프(54)가 형성된 단자 영역, 즉 구동 칩의 주변 영역까지 확장되어 형성되고, 범프(54)를 노출시키는 오픈홀(55)을 구비한다. 이때, 제1 유기 절연막(56)에 형성된 오픈홀(55)은 도 4 및 도 5와 같이 범프(54) 보다 넓은 단면적을 갖도록 형성되어 ACF 도전 입자들(42)과 접촉될 수 있는 범프(54)의 단면적이 충분히 확보되게 한다. 이와 달리, 오픈홀(55)은 범프(54)와 동일한 단면적을 갖도록 형성되어 제1 유기 절연막(58)이 범프(54)의 측면과 접촉될 수도 있다. 이러한 구성을 갖는 구동 칩(60)은 도 6a 내지 도 6d에서 전술한 바와 같은 제조 방법을 통해 완성된다.
- [0090] 도 10에 도시된 표시 패널(40)의 하부 기관(30) 상에 형성된 전극 패드(36)는 화상 표시부의 신호 라인으로부터 연장된 하부 전극 패드(32)와, 절연막(38)을 관통하는 콘택홀을 통해 하부 전극 패드(32)와 접속된 상부 전극 패드(34)로 구성된다. 그리고, 표시 패널(40)은 전극 패드(36) 보다 높은 높이로 전극 패드(36)의 주변을 둘러싸는 제2 유기 절연막(62)을 더 구비한다.
- [0091] 다시 말하여, 하부 기관(30)의 절연막(38) 위에는 제2 유기 절연막(62)이 형성되고, 그 유기 절연막(62)에는 도 8에 도시된 바와 같이 전극 패드(36)와 이격되어 둘러싸는 형태의 오픈홀(63)이 형성된다. 이러한 제2 유기 절연막(56)은 전극 패드(36) 보다 높은 높이로 형성되고, ACF(44)를 통해 구동 칩(60)이 실장된 경우 구동 칩(60)의 범프(44) 보다 낮은 높이로 형성됨으로써 제1 유기 절연막(58)과 일정한 간격을 두고 이격된다. 제2 유기 절연막(62)의 오픈홀(63)은 도 8과 같이 전극 패드(36) 보다 넓은 단면적을 갖도록 형성됨으로써 ACF 도전 입자들(42)과 접촉될 수 있는 전극 패드(36) 및 범프(54)의 단면적이 충분히 확보되게 한다. 이와 달리, 제2 유기 절연막(62)의 오픈홀(63)은 전극 패드(36)와 동일한 단면적을 갖도록 형성되어 유기 절연막(62)이 전극 패드(36)의 측면과 접촉될 수도 있다. 이러한 구성을 갖는 표시 패널(40)은 도 9a 내지 도 9d에서 전술한 바와 같은 제조 방법을 통해 완성된다.
- [0092] 그리고, 전극 패드(36)가 형성된 기관(30)의 패드 영역에 ACF(45)를 도포하고 구동 칩(60)을 정렬시켜 가열 압착함으로써 구동 칩(60)이 표시 패널(40)의 기관(10) 상에 실장된다. 이때, 구동 칩(60)의 범프들(54) 사이의 스페이스에는 범프(54) 보다 낮은 높이의 제1 유기 절연막(58)이, 표시 패널(40)의 전극 패드들(36) 사이의 스페이스에는 제1 유기 절연막(58)과 일정 간격으로 이격된 제2 유기 절연막(62)이 존재하게 됨으로써 범프(54) 아래와, 범프들(54) 사이의 스페이스, 즉 제1 및 제2 유기 절연막(58, 62) 사이의 압력차가 감소하게 된다. 이에 따라, ACF 레진(44)과 함께 도전 입자(42)의 유동이 감소하여 범프들(54) 사이의 스페이스로 빠져나오는 도전 입자(42)의 개수를 줄일 수 있게 된다. 이 결과, 범프(54) 아래의 도전 입자(43) 잔류율이 향상되므로 구동 칩(60)의 범프(54)와 표시 패널(40)의 전극 패드(36)간의 접속 저항을 감소시킬 수 있게 된다.
- [0093] 이와 같이, 본 발명의 제1 내지 제3 실시 예에 따른 구동 칩이 실장된 표시 패널은 액정 표시 장치, 유기 전계 발광 표시 장치 등과 같은 평판 표시 장치에 적용될 수 있게 된다. 이하, 본 발명의 제1 내지 제3 실시 예가 액정 표시 장치에 적용된 경우를 예로 들어 설명하기로 한다.
- [0094] 도 11은 본 발명의 제1 내지 제3 실시 예에 따른 구동 칩이 실장된 표시 패널을 이요한 액정 패널을 개략적으로 도시한 것이다.
- [0095] 도 11에 도시된 액정 패널은 하부 기관(30)과 상부 기관(70)이 액정을 사이에 두고 접합되어 형성된다. 여기서, 상부 기관(70)은 하부 기관(30)의 주변 영역, 즉 게이트 및 데이터 구동 칩(80, 90)이 형성된 하부 기관(30)의 회로 영역이 노출되게 한다.

[0096] 하부 기판(30)의 표시 영역에는 상호 교차하는 게이트 라인(GL) 및 데이터 라인(DL)과, 게이트 라인(GL) 및 데이터 라인(DL)의 교차부에 접속된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)와 접속된 서브 화소 단위의 화소 전극이 형성된다. 이러한 화소 전극은 상부 기판(70)에 형성된 공통 전극과 액정을 사이에 두고 중첩되어 액정셀, 즉 등가적으로 액정 캐패시터(C1c)를 형성하게 된다. 박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터의 게이트 신호에 응답하여 데이터 라인(DL)으로부터의 데이터 신호를 화소 전극으로 공급한다. 이에 따라, 화소 전극에 공급된 데이터 신호와 공통 전극에 공급된 공통 전압(Vocm)의 전압차에 따라 유전 이방성을 갖는 액정이 구동되어 광 투과율이 조절된다.

[0097] 그리고, 하부 기판(30)의 주변 영역에는 게이트 라인(GL)을 구동하는 게이트 구동 칩(80)과, 데이터 라인(DL)을 구동하는 데이터 구동 칩(90)이 본 발명의 제1 내지 제3 실시 예에서 전술한 COG 방식으로 실장된다.

[0098] 다시 말하여, 게이트 구동 칩(80)은 ACF를 통해 하부 기판(30) 상에 실장되어 게이트 라인(GL)으로부터 연장된 게이트 패드와 접속된다. 데이터 구동 칩(80)은 ACF를 통해 하부 기판(30) 상에 실장되어 데이터 라인(DL)으로부터 연장된 데이터 패드와 접속된다. 이때, 게이트 구동 칩(80) 및 데이터 구동 칩(90)의 범프들 사이의 스페이스에 제1 유기 절연막이 형성되거나, 하부 기판(30)의 게이트 패드들 사이 및 데이터 패드들 사이의 스페이스에 제2 유기 절연막이 형성된다. 이와 달리, 게이트 구동 칩(80) 및 데이터 구동 칩(90)의 범프들 사이의 스페이스에 제1 유기 절연막이 형성되고, 하부 기판(30)의 게이트 패드들 사이 및 데이터 패드들 사이의 스페이스에 제2 유기 절연막이 형성된다. 이에 따라, 게이트 구동 칩(80) 및 데이터 구동 칩(90)이 하부 기판(30) 상에 실장될 때 ACF 레진과 함께 도전 입자의 유동이 감소하여 범프들(54) 사이의 스페이스로 빠져나오는 도전 입자(42)의 수를 줄일 수 있게 된다. 이 결과, 범프(54) 아래의 도전 입자(43) 잔류율이 향상되므로 구동 칩(60)의 범프(54)와 표시 패널(40)의 전극 패드(36)간의 접속 저항을 감소시킬 수 있게 된다.

[0099]

발명의 효과

[0100] 상술한 바와 같이, 본 발명에 따른 반도체 칩 및 그 제조 방법은 범프들 사이의 스페이스에 유기 절연막을 구비함으로써 반도체 칩을 표시 패널에 실장할 때 ACF의 유동이 감소되어 범프와 패드 사이에 존재하는 도전 입자의 잔류율을 향상시킬 수 있게 된다.

[0101] 또한, 본 발명에 따른 표시 패널 및 그 제조 방법은 패드들 사이의 스페이스에 유기 절연막을 구비함으로써 반도체 칩을 표시 패널에 실장할 때 ACF의 유동이 감소되어 범프와 패드 사이에 존재하는 도전 입자의 잔류율을 향상시킬 수 있게 된다.

[0102] 또한, 본 발명에 따른 반도체 칩이 실장된 표시 패널 및 그 제조 방법은 구동칩의 범프들 사이의 스페이스에 제1 유기 절연막을 구비함과 아울러, 표시 패널의 패드들 사이의 스페이스에 제2 유기 절연막을 구비함으로써 반도체 칩을 표시 패널에 실장할 때 ACF의 유동이 감소되어 범프와 패드 사이에 존재하는 도전 입자의 잔류율을 향상시킬 수 있게 된다.

[0103] 이에 따라, 본 발명에 따른 반도체 칩이 실장된 표시 패널 및 그 제조 방법에 의하면 ACF 도전 입자의 잔류율 향상으로 반도체 칩과 표시 패널과의 접속 신뢰성을 확보할 수 있음과 아울러 ACF의 도전 입자 함유량을 줄여 ACF의 원자재 가격을 낮출 수 있게 된다.

[0104] 나아가, 본 발명에 따른 반도체 칩이 실장된 표시 패널 및 그 제조 방법에 의하면 ACF 도전 입자의 잔류율 향상으로 고해상도에 맞추어 범프의 면적 및 피치를 감소시킬 수 있게 됨으로써 원가도 절감할 수 있게 된다.

[0105] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0001] 도 1은 종래의 표시 패널에 COG 방식으로 실장된 구동 칩을 도시한 단면도.

[0002] 도 2는 종래의 구동 칩에 형성된 다수의 범프와 기판의 접촉 부분을 보여주는 사진.

[0003] 도 3은 본 발명의 제1 실시 예에 따른 COG형 구동 칩이 실장된 표시 패널의 일부를 도시한 단면도.

[0004] 도 4는 도 3에 도시된 구동 칩의 하면을 부분적으로 도시한 평면도.

[0005] 도 5는 본 발명의 제1 실시 예에 따른 구동 칩의 범프 영역을 보여주는 사진.

[0006] 도 6a 내지 도 6d는 도 3에 도시된 구동 칩의 제조 방법을 단계적으로 도시한 단면도들.

[0007] 도 7은 본 발명의 제2 실시 예에 따른 COG형 구동 칩이 실장된 표시 패널을 도시한 단면도.

[0008] 도 8은 도 7에 도시된 표시 패널의 패드 영역을 부분적으로 도시한 평면도.

[0009] 도 9a 내지 도 9d는 도 7에 도시된 표시 패널의 제조 방법을 단계적으로 도시한 단면도들.

[0010] 도 10은 본 발명의 제3 실시 예에 따른 COG형 구동 칩이 실장된 표시 패널을 도시한 단면도.

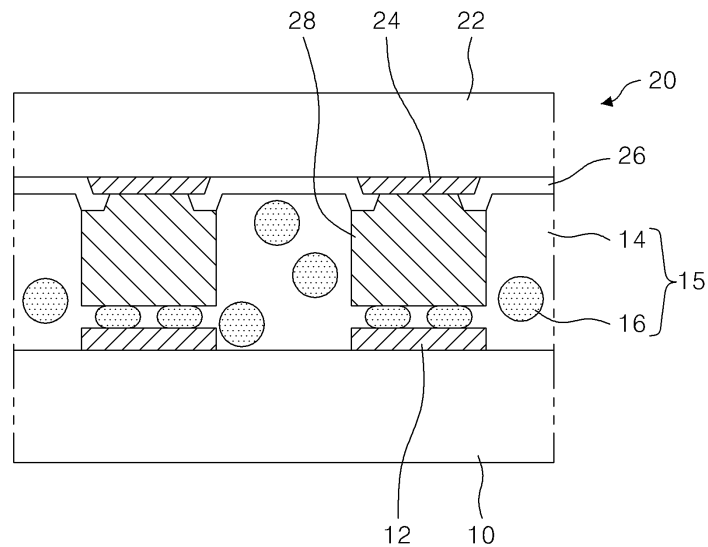
[0011] 도 11은 본 발명의 제1 내지 제3 실시 예에 따른 COG형 구동 칩이 실장된 액정 패널을 개략적으로 도시한 도면.

[0012] < 도면의 주요 부분에 대한 부호의 설명 >

[0013]	10, 30 : 하부 기판	12, 24, 36, 52 : 패드
[0014]	14, 44 : 이방성 도전 필름(ACF)	16, 42 : 도전 입자
[0015]	20, 60, 80 : 구동 칩	22, 50 : 실리콘 웨이퍼
[0016]	26, 56 : 보호막	28, 54 : 범프
[0017]	53 : 배리어 금속층	55, 63 : 개구부
[0018]	58, 62 : 유기 보호막	70 : 상부 기판
[0019]	51, 61 : 콘택홀	

도면

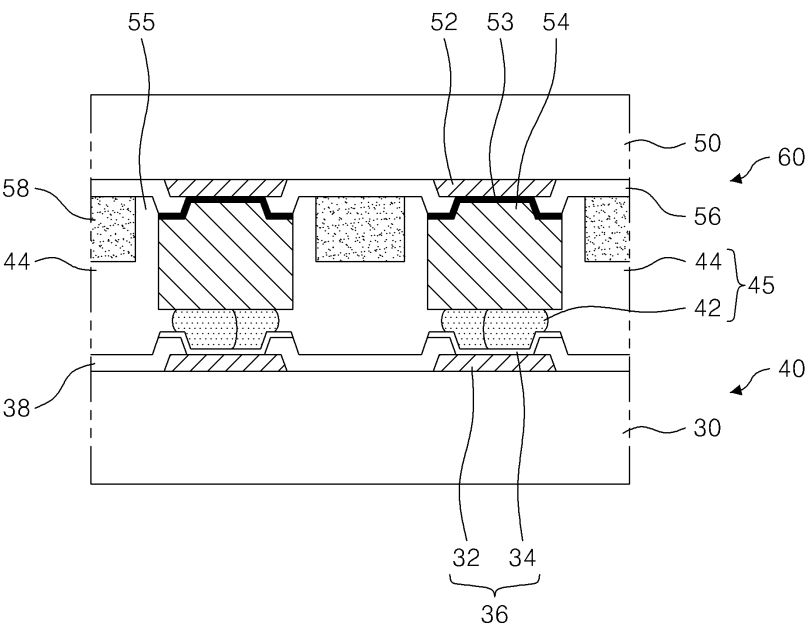
도면1



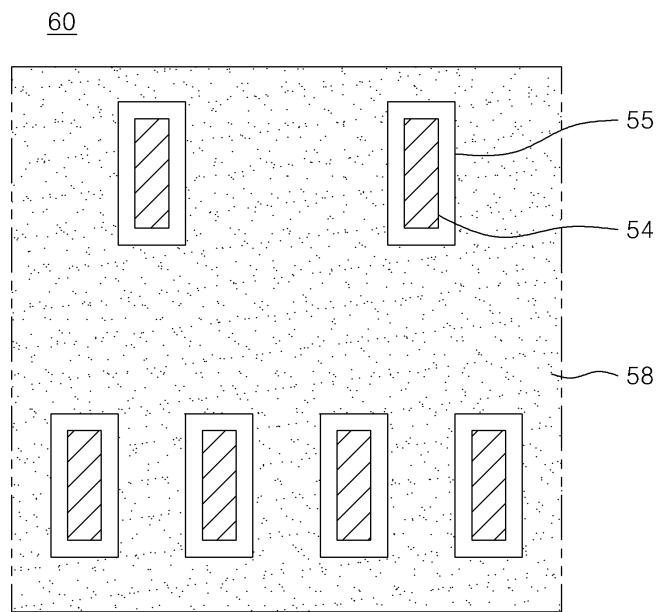
도면2



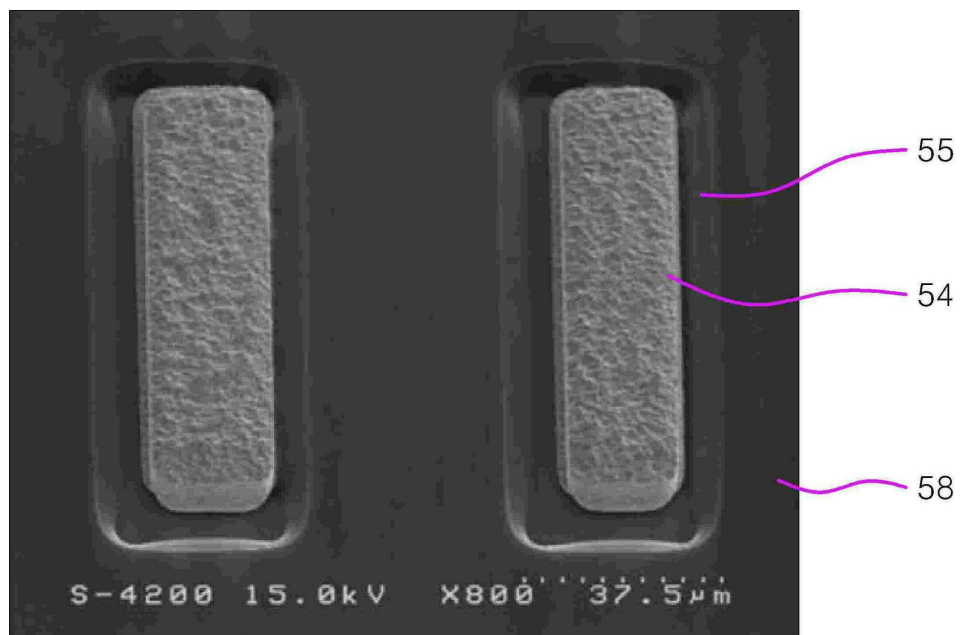
도면3



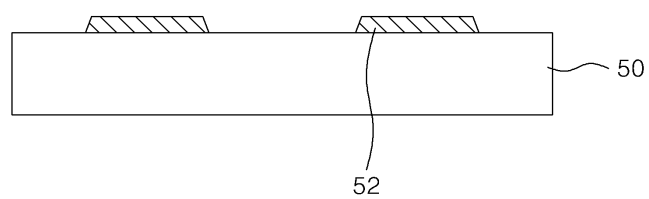
도면4



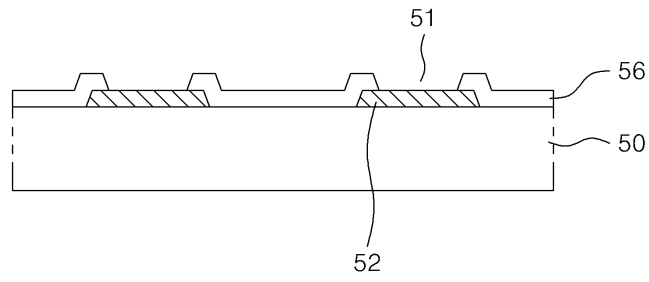
도면5



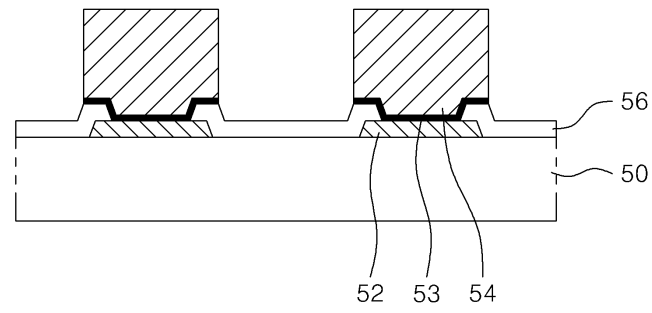
도면6a



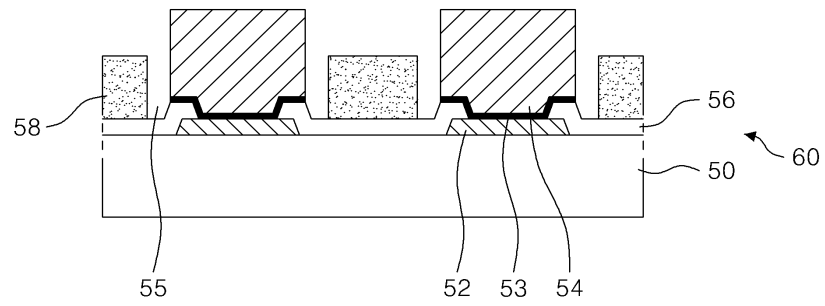
도면6b



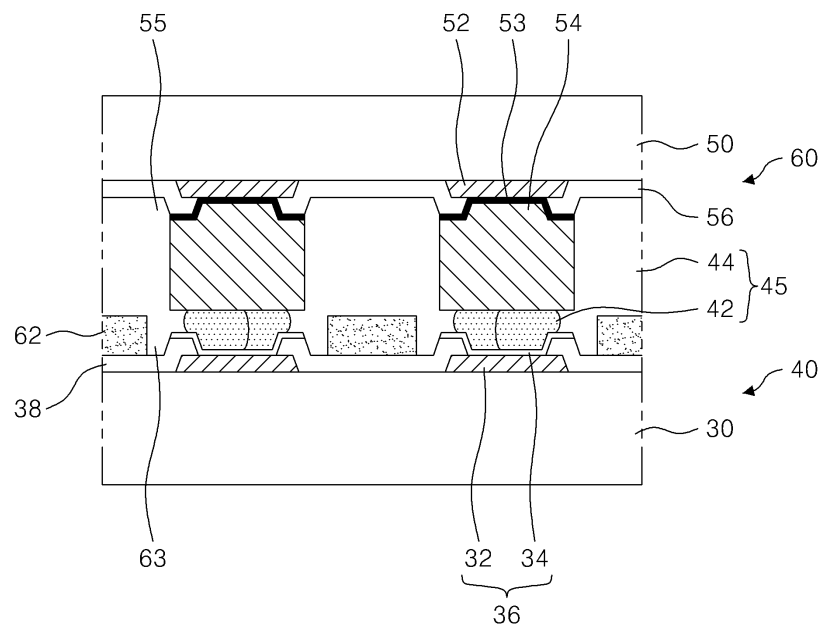
도면6c



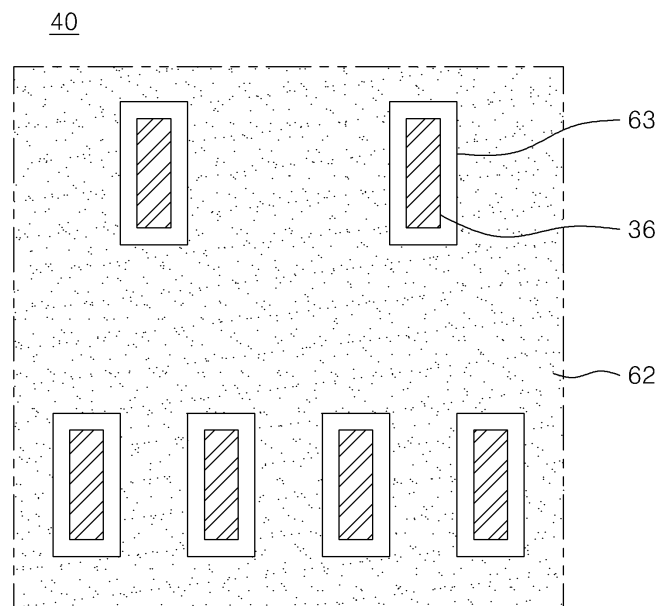
도면6d



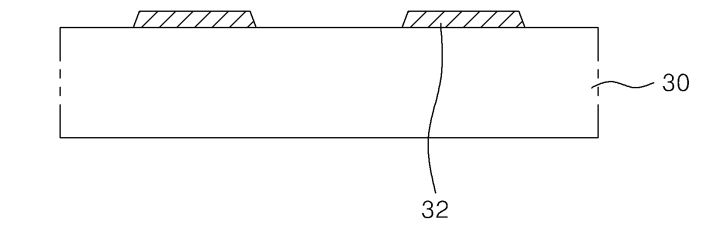
도면7



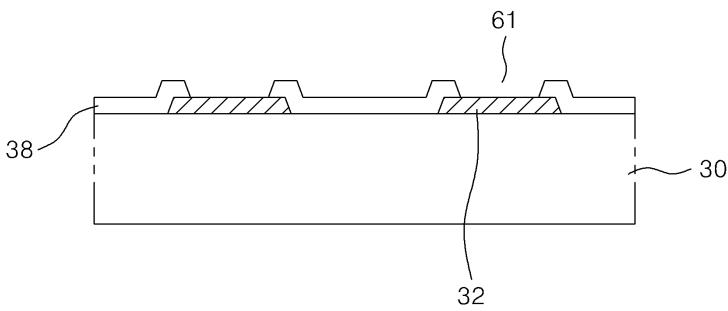
도면8



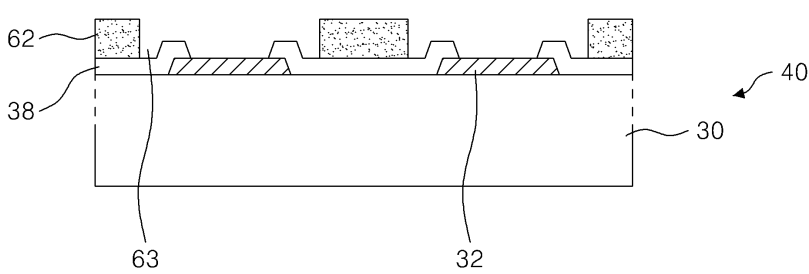
도면9a



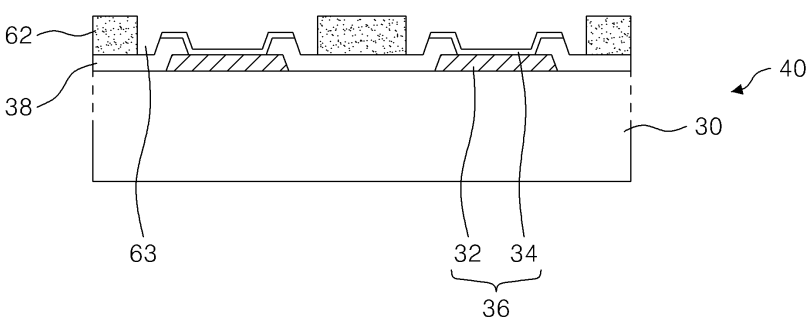
도면9b



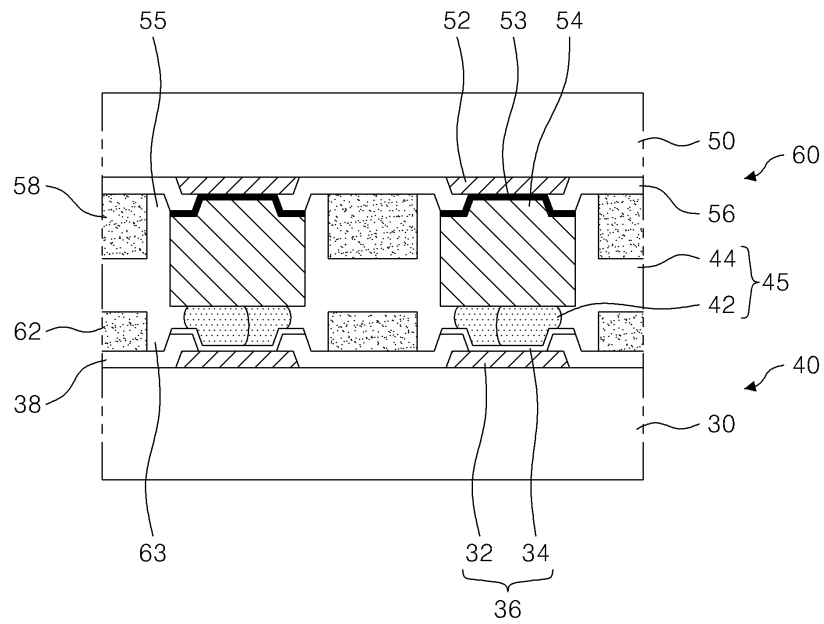
도면9c



도면9d



도면10



도면11

