

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年6月1日(01.06.2023)



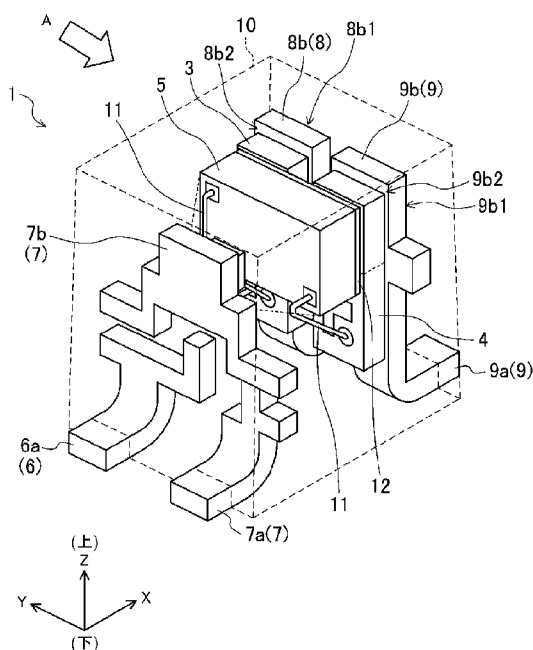
(10) 国際公開番号

WO 2023/095423 A1

- (51) 国際特許分類:
H01L 31/12 (2006.01)
- (21) 国際出願番号: PCT/JP2022/034355
- (22) 国際出願日: 2022年9月14日(14.09.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-191714 2021年11月26日(26.11.2021) JP
- (71) 出願人: パナソニックIPマネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207 大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).
- (72) 発明者: 北原 大祐 (KITAHARA Daisuke). 高 真 祐 (TAKA Shinsuke). 梶 本 剛 志 (KAJIMOTO Yoshiyuki).
- (74) 代理人: 鎌田 健司, 外 (KAMATA Kenji et al.); 〒5406207 大阪府大阪市中央区城見2丁目1番61号 パナソニックIPマネジメント株式会社内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) Title: SEMICONDUCTOR RELAY AND ELECTRIC CIRCUIT COMPRISING SAME

(54) 発明の名称: 半導体リレー及びこれを備えた電気回路



(57) Abstract: A semiconductor relay (1) comprises: first and second input terminals (6, 7); a light-emitting element (2); a light-receiving drive element (5) having a light-receiving element (51); first and second output terminals (8, 9); first and second MOSFET elements (3, 4); and a sealing resin (10). The light-emitting element (2) and the light-receiving element (51) face each other with a space therebetween. A first surface (3a) of the first MOSFET element (3) is placed on a first element placement section (8b) of the first output terminal (8), and a first surface (4a) of the second MOSFET element (4) is placed on a second element placement section (9b) of the second output terminal (9). The light-receiving drive element (5) is placed on second surfaces (3b, 4b) of the first and second MOSFET elements (3, 4), and the second surfaces (3b, 4b) face the first surfaces (3a, 4a).

WO 2023/095423 A1

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：半導体リレー (1) は、第1及び第2入力端子 (6, 7) と、発光素子 (2) と、受光素子 (51) を有する受光駆動素子 (5) と、第1及び第2出力端子 (8, 9) と、第1及び第2 MOSFET素子 (3, 4) と、封止樹脂 (10) と、を備えている。発光素子 (2) と受光素子 (51) は、間隔をあけて対向している。第1出力端子 (8) の第1素子載置部 (8b) に第1 MOSFET素子 (3) の第1面 (3a) が、第2出力端子 (9) の第2素子載置部 (9b) に第2 MOSFET素子 (4) の第1面 (4a) が載置される。受光駆動素子 (5) は、第1及び第2 MOSFET素子 (3, 4) のそれぞれの第2面 (3b, 4b) に載置されており、第2面 (3b, 4b) は第1面 (3a, 4a) と対向している。

明 細 書

発明の名称：半導体リレー及びこれを備えた電気回路

技術分野

[0001] 本開示は、半導体リレー及びこれを備えた電気回路に関する。

背景技術

[0002] 従来から、交流信号の伝送手段として、MOSFET出力フォトカプラや光MOSFETとも呼ばれる半導体リレーが知られている（例えば、特許文献1参照）。このような半導体リレーでは、伝送信号の高周波化に伴い、インサクションロスの増加が課題となっていた。

[0003] この課題を解決するために、例えば、特許文献2に示す構成が提案されている。特許文献2に開示される半導体リレーは、入力端子に載置された発光素子と、出力端子に載置された受光素子とが封止樹脂の内部で対向して配置されている。入力端子、出力端子ともに途中で1回折り曲げられ、これらの先端部分は、封止樹脂の下面に沿って封止樹脂から外部に向かって突出している。

[0004] 上面に信号線とグランド線が形成された回路基板に、この半導体リレーが実装された場合、半導体リレーの内部において、信号の出力側での通過箇所が、信号線の上方に配置される。よって、信号の通過経路とグランド線との間の距離を近づけられ、インピーダンス不整合を抑制して、インサクションロスを低減できる。

[0005] また、受光素子及び受光素子が載置された入力端子の素子載置部とグランド線や回路基板の下面に形成されたグランドプレーンとの間の距離を大きくできる。なお、グランド線とグランドプレーンとは、ともにグランド電位に電氣的に接続されている。このことにより、半導体リレーの入力側で、グランド電位との間で生じる寄生容量の容量値を低減でき、インサクションロスをさらに低減できる。

先行技術文献

特許文献

[0006] 特許文献1：特許第6216418号公報

特許文献2：特許第5491894号公報

発明の概要

[0007] ところで、近年、半導体リレーのさらなる小型化が要求されている。また、半導体リレーを介して伝送される伝送信号のさらなる高周波化が求められており、これに伴って、さらなるインサクションロスの低減が求められている。

[0008] 本開示はかかる点に鑑みてなされたもので、その目的は、小型化かつインサクションロスの低減が可能な半導体リレー及びこれを備えた電気回路を提供することにある。

[0009] 上記目的を達成するため、本開示に係る半導体リレーは、回路基板の上に実装される半導体リレーであって、第1入力端子と、第2入力端子と、前記第1入力端子と前記第2入力端子とに電氣的に接続される発光素子と、前記発光素子から出力された光を受光する受光素子と、前記受光素子を有し、駆動信号を出力する受光駆動素子と、前記受光駆動素子から出力された前記駆動信号によりオンオフする第1MOSFET素子と、前記受光駆動素子から出力された前記駆動信号によりオンオフする第2MOSFET素子と、第1素子載置部と第1出力側外部端子部とを有する第1出力端子と、第2素子載置部と第2出力側外部端子部とを有する第2出力端子と、前記発光素子と、前記受光駆動素子と、前記第1MOSFET素子と、前記第2MOSFET素子と、前記第1入力端子と、前記第2入力端子と、前記第1出力端子と、前記第2出力端子と、を封止する封止樹脂と、を備える。前記発光素子と前記受光素子は、所定の間隔をあけて対向し、前記第1MOSFET素子及び前記第2MOSFET素子のそれぞれは、第1面と、前記第1面と対向する第2面とを有しており、前記受光素子と前記発光素子が対向する方向は、前記第1面と前記第2面が対向する方向と同じであり、前記第1素子載置部に前記第1MOSFET素子の前記第1面が載置され、前記第2素子載置部に

前記第2 MOSFET素子の前記第1面が載置され、前記第1素子載置部は上下方向に延伸し、

前記第1出力側外部端子部は、前記第1素子載置部から前記封止樹脂の下面に沿うように延伸し、前記封止樹脂から突出し、前記受光駆動素子は、前記第1 MOSFET素子の前記第2面及び前記第2 MOSFET素子の前記第2面に載置されている。

[0010] 本開示に係る電気回路は、本開示に係る上記半導体リレーと、前記回路基板と、を備えた電気回路であって、前記回路基板は、誘電体基板の上面に、第1配線と第2配線とが形成されてなり、前記第1配線は、間隔をあけて設けられた一对の配線で構成され、前記第2配線は、間隔をあけて設けられた一对の配線で構成され、前記第1入力端子は、前記第1入力側外部端子部の下面が、前記第1配線を構成する前記一对の配線のうちの一方の上面に接するように、前記第1配線に接続され、前記第2入力端子は、前記第2入力側外部端子部の下面が、前記第1配線を構成する前記一对の配線のうちの他方の上面に接するように、前記第1配線に接続され、前記第1出力端子は、前記第1出力側外部端子部の下面が、前記第2配線を構成する前記一对の配線のうちの一方の上面に接するように、前記第2配線に接続され、前記第2出力端子は、前記第1出力側外部端子部の下面が、前記第2配線を構成する前記一对の配線のうちの他方の上面に接するように、前記第2配線に接続されている。

[0011] 本開示によれば、半導体リレーの小型化が図れる。また、インサクションロスの低減が図れる。

図面の簡単な説明

[0012] [図1]実施形態に係る半導体リレーの斜視図である。

[図2]半導体リレーを図1に示す方向Aから見た側面図である。

[図3]第1入力端子と発光素子が載置された第2入力端子を図2に示す方向Bから見た図である。

[図4]受光駆動素子と第1 MOSFET素子と第2 MOSFET素子とが載置

された第1出力端子及び第2出力端子を図2に示す方向Cから見た図である。

[図5]発光素子の斜視図である。

[図6]受光駆動素子の斜視図である。

[図7]第1MOSFET素子の斜視図である。

[図8]実施形態に係る電気回路の概略図である。

[図9]半導体リレーの等価回路図である。

[図10]比較例に係る半導体リレーの図2相当図である。

[図11]比較例に係る半導体リレーにおける寄生容量の分布を示す模式図である。

[図12]入力側と出力側との容量結合低減効果を説明するための模式図である。

[図13]グラウンド電位との容量結合低減効果を説明するための模式図である。

[図14]スタブの影響の低減効果を説明するための模式図である。

[図15]インサクションロスの周波数依存性を示す図である。

[図16]インピーダンス不整合の影響の低減効果を説明するための模式図である。

[図17]変形例に係る半導体リレーの斜視図である。

[図18]変形例に係る半導体リレーを図17に示す方向Dから見た側面図である。

[図19]発光素子が載置された第1入力端子と第2入力端子を図18に示す方向Eから見た図である。

[図20]受光駆動素子と第1MOSFET素子と第2MOSFET素子とが載置された第1出力端子及び第2出力端子を図18に示す方向Fから見た図である。

[図21]耐リフロー性の向上効果を説明するための模式図である。

[図22]光結合部形成工程の製造容易性を説明するための模式図である。

発明を実施するための形態

[0013] 以下、本開示の実施形態を図面に基づいて説明する。なお、以下の好ましい実施形態の説明は、本質的に例示に過ぎず、本開示、その適用物或いはその用途を制限することを意図するものではない。「MOS」とは、「Metal-Oxide Semiconductor Field Effect Transistor」のことである。

[0014] (実施形態)

[半導体リレーの構成]

図1は、本実施形態に係る半導体リレー1の斜視図を示し、図2は、半導体リレー1を図1に示す方向Aから見た側面図を示す。図3は、発光素子2が載置された第1入力端子6と第2入力端子7を図2に示す方向Bから見た図を示す。図4は、受光駆動素子5と第1MOSFET素子3と第2MOSFET素子4とが載置された第1出力端子8及び第2出力端子9を図2に示す方向Cから見た図を示す。なお、説明の便宜上、図1、図2において、封止樹脂10及びこれを構成する遮光性樹脂10aと透光性樹脂10bのそれぞれの輪郭を破線で示している。

[0015] 図5は、発光素子2の斜視図を、図6は、受光駆動素子5の斜視図を、図7は、第1MOSFET素子3の斜視図を示す。

[0016] なお、以降の説明において、発光素子2と受光駆動素子5とが対向する方向をX方向または第1方向と呼ぶことがある。第1出力端子8と第2出力端子9の配列方向をY方向または第2方向と呼ぶことがある。Y方向（第2方向）は、第1入力端子6と第2入力端子7の配列方向でもある。第1素子載置部8bと第1出力側外部端子部8aの配列方向をZ方向または第3方向と呼ぶことがある。Z方向（第3方向）は、第2素子載置部9bと第2出力側外部端子部9aの配列方向でもある。また、Z方向（第3方向）において、第1素子載置部8bが配置された側を上または上方と呼び、第1出力側外部端子部8aが配置された側を下または下方と呼ぶことがある。なお、本願明細書における「上」、「下」の呼称はあくまでも相対的なものであり、例えば、鉛直方向に沿って「上」、「下」を意味するものではない。

[0017] X方向（第1方向）とY方向（第2方向）とZ方向（第3方向）とは互い

に直交している。なお、本願明細書において、「直交」しているとは、半導体リレー 1 を構成する各部品の加工公差や製造公差、また部品間の組立公差を含んで直交しているという意味であり、比較対象同士が、厳密な意味で直交しているということを意味するものではない。

[0018] 図 1, 図 2 に示すように、半導体リレー 1 は、発光素子 2 と受光駆動素子 5 と第 1 MOSFET 素子 3 と第 2 MOSFET 素子 4 とを備えている。また、半導体リレー 1 は、第 1 入力端子 6 と第 2 入力端子 7 と第 1 出力端子 8 と第 2 出力端子 9 と封止樹脂 10 とを備えている。

[0019] 発光素子 2 は、公知の LED (Light Emitting Diode) 素子である。図 5 に示すように、発光素子 2 の第 2 面 2 b にアノード端子 2 c が、第 1 面 2 a にカソード端子 2 d が形成されている。銀ペースト等の導電接着材 (図示せず) を介して、カソード端子 2 d が第 2 入力端子 7 の素子載置部 7 b の第 2 面 7 b 2 に接続固定されている。つまり、カソード端子 2 d が第 2 入力端子 7 に電氣的に接続されている。また、図 3 に示すように、アノード端子 2 c と第 1 入力端子 6 とがワイヤ 11 を介して電氣的に接続されている。

[0020] なお、本願明細書では、半導体リレー 1 の内部に配置された状態で、各部品の「第 2 面」は、「第 1 面」よりも、X 方向に沿って、半導体リレー 1 の中央に近い側に位置している。また、半導体リレー 1 の内部に配置された状態で、「第 1 面」及び「第 2 面」のそれぞれの法線方向は、X 方向である。

[0021] 受光駆動素子 5 は、受光素子 5 1 と駆動回路 5 2 (図 9 参照) とを有している。受光素子 5 1 は、例えば、公知のフォトダイオードがアレイ状に配置されてなる。図 6 に示すように、受光駆動素子 5 の第 2 面 5 b に、ソース端子 5 c とドレイン端子 5 d とが形成されている。ドレイン端子 5 d は、第 2 面 5 b における互いに離間した位置に 2 箇所設けられている。なお、受光駆動素子 5 の第 2 面 5 b には、受光素子 5 1 も形成されているが、説明の便宜上、その図示を省略している。

[0022] 図 4 に示すように、受光駆動素子 5 のソース端子 5 c と第 1 MOSFET 素子 3 の第 1 ソース端子 3 f とがワイヤ 11 を介して電氣的に接続されてい

る。受光駆動素子5の2つのドレイン端子5dのうち一方が、ワイヤ11を介して第1MOSFET素子3の第1ゲート端子3eと電氣的に接続されている。また、2つのドレイン端子5dのうち他方が、ワイヤ11を介して第2MOSFET素子4の第2ゲート端子4eと電氣的に接続されている。

[0023] 第1MOSFET素子3は、半導体基板に公知の縦型MOSFETが形成されてなる。第1MOSFET素子3は、通常、直列接続されるか並列接続された複数の縦型MOSFETで構成される。ただし、単一の縦型MOSFETであってもよい。図7に示すように、第1MOSFET素子3の第2面3bに第1ゲート端子3eと第1ソース端子3fが、第1面3aに第1ドレイン端子3gが形成されている。なお、第1ドレイン端子3gは、第1MOSFET素子3の第1面3aのほぼ全体にわたって形成されている。

[0024] また、第1MOSFET素子3は、素子形成領域3cとこれに隣接した素子非形成領域3dとを有している。

[0025] 図7に示すように、第2MOSFET素子4は、第1MOSFET素子3と同様の構造である。よって、第2ゲート端子4eと第2ソース端子4fと第2ドレイン端子4gの配置やそれぞれの形状も第1MOSFET素子3と同様である。また、第1MOSFET素子3と同様に、第2MOSFET素子4は、素子形成領域4cとこれに隣接した素子非形成領域4dとを有している。

[0026] 以降の説明において、素子形成領域3cを第1領域3c、素子形成領域4cを第1領域4c、素子非形成領域3dを第2領域3d、素子非形成領域4cを第2領域4dと呼ぶ。第1領域3c、4cのそれぞれには、1または複数の縦型MOSFETが形成されている。一方、第2領域3d、4dのそれぞれには、縦型MOSFETが形成されていない。第1MOSFET素子3において、第1領域3cの第1面3aは第2領域3dの第1面3aと連続しており、両者は同一の面をなしている。第1領域3cの第2面3bは第2領域3dの第2面3bと連続しており、両者は同一の面をなしている。第2MOSFET素子4において、第1領域4cの第1面4aは第2領域4dの第1

面4 aと連続しており、両者は同一の面をなしている。第1領域4 cの第2面4 bは第2領域4 dの第2面4 bと連続しており、両者は同一の面をなしている。

[0027] 図4に示すように、第1MOSFET素子3の第1ソース端子3 fと第2MOSFET素子4の第2ソース端子4 fとがワイヤ11を介して電氣的に接続されている。つまり、第1MOSFET素子3は、第2MOSFET素子4と逆直列に接続されている。また、当該ワイヤ11は、受光駆動素子5よりもZ方向に沿った下方に位置している。

[0028] 図1または図2に示すように、第1MOSFET素子3の第1ドレイン端子は、銀ペースト等の導電接着材（図示せず）により、第1出力端子8の第1素子載置部8 bの第2面8 b 2に固定されている。第2MOSFET素子4の第2ドレイン端子は、導電接着材により、第2出力端子9の第2素子載置部9 bの第2面9 b 2に固定されている。

[0029] 図1または図2に示すように、受光駆動素子5は、絶縁接着材12を介して、第1MOSFET素子3の第2領域3 dの第2面3 bと第2MOSFET素子4の第2領域4 dの第2面4 bとに跨って配置固定されている。つまり、第1出力端子8の第1素子載置部8 bの第2面8 b 2に対して、第1MOSFET素子3と絶縁接着材12と受光駆動素子5がこの順に積層配置されている。また、第2出力端子9の第2素子載置部9 bの第2面9 b 2に対して、第2MOSFET素子4と絶縁接着材12と受光駆動素子5がこの順に積層配置されている。なお、本実施形態では、絶縁接着材12として、DAF (Die Attachment Film) を用いている。

[0030] 第1入力端子6及び第2入力端子7は、それぞれ、銅板を加工して得られる導電部材である。なお、銅板の表面に別の金属膜、例えば、ニッケルを含む金属膜（図示せず）がめっきされている。なお、金属膜の材質はこれに特に限定されない。

[0031] 第1入力端子6は入力側外部端子部6 aを有しており、第2入力端子7は入力側外部端子部7 aを有している。また、第2入力端子は、素子載置部7

bを有している。

[0032] 図1または図2に示すように、第1入力端子6及び第2入力端子7のそれぞれは、封止樹脂10の内部に位置する一方の端部から、Z方向に沿って下方に延び、封止樹脂10の下面の近傍で折り曲げられ、他方の端部が、封止樹脂10の側面からY方向に沿って延び、さらに封止樹脂10から外部に向かって突出している。第1入力端子6及び第2入力端子7のそれぞれにおいて、封止樹脂10から外部に向かって突出した部分が入力側外部端子部6a及び入力側外部端子部7aである。

[0033] 素子載置部7bは、封止樹脂10の内部に配置される。素子載置部7bは、第1面7b1と、第1面7b1とX方向で対向する第2面7b2とを有している。

[0034] 素子載置部7bの第2面7b2に発光素子2が載置される。第1入力端子6は、第2入力端子7とY方向に並んで配置される一方、第2入力端子7と離間している。

[0035] 第1出力端子8及び第2出力端子9は、それぞれ、銅板を加工して得られる導電部材である。なお、銅板の表面に別の金属膜、例えば、ニッケルを含む金属膜(図示せず)がめっきされている。なお、金属膜の材質はこれに特に限定されない。

[0036] 第1出力端子8は、第1出力側外部端子部8aと第1素子載置部8bを有している。第2出力端子9は、第2出力側外部端子部9aと第2素子載置部9bを有している。

[0037] 図1または図2に示すように、第1出力端子8及び第2出力端子9のそれぞれは、封止樹脂10の内部に位置する一方の端部から、Z方向に沿って下方に延び、封止樹脂10の下面の近傍で折り曲げられ、他方の端部が、封止樹脂10の側面からY方向に沿って延び、さらに封止樹脂10から外部に向かって突出している。第1出力端子8において、封止樹脂10から外部に向かって突出した部分が第1出力側外部端子部8aである。第2出力端子9において、封止樹脂10から外部に向かって突出した部分が第2出力側外部端

子部 9 a である。

[0038] 第 1 素子載置部 8 b 及び第 2 素子載置部 9 b は、封止樹脂 10 の内部に配置されており、それぞれ、第 1 面 8 b 1, 9 b 1 と、第 1 面 8 b 1, 9 b 1 と X 方向で対向する第 2 面 8 b 2, 9 b 2 とを有している。第 1 素子載置部 8 b の第 2 面 8 b 2 に第 1 MOSFET 素子 3 が載置される。第 2 素子載置部 9 b の第 2 面 9 b 2 に第 2 MOSFET 素子 4 が載置される。第 1 出力端子 8 は、第 2 出力端子 9 と Y 方向に並んで配置される一方、第 2 出力端子 9 と離間している。

[0039] 図 1 または図 2 に示すように、第 1 素子載置部 8 b 及び第 2 素子載置部 9 b は、第 2 入力端子 7 の素子載置部 7 b と距離 W1 をあけて X 方向に対向している。なお、距離 W1 は、第 1 素子載置部 8 b 及び第 2 素子載置部 9 b のそれぞれの第 2 面 8 b 2, 9 b 2 と第 2 入力端子 7 の素子載置部 7 b の第 2 面 7 b 2 との X 方向の距離である。

[0040] 図 1 または図 2 に示すように、Z 方向から見て、第 1 出力側外部端子部 8 a は、第 1 入力端子 6 の入力側外部端子部 6 a と Y 方向に対向している。第 2 出力側外部端子部 9 a は、第 2 入力端子 7 の入力側外部端子部 7 a と Y 方向に対向している。

[0041] 封止樹脂 10 は、第 1 入力端子 6 と第 2 入力端子 7 と第 1 出力端子 8 と第 2 出力端子 9 とを封止し、それぞれの位置を固定する。また、第 2 入力端子 7 に載置された発光素子 2 や、第 1 出力端子 8 に載置された第 1 MOSFET 素子 3 や第 2 出力端子 9 に載置された第 2 MOSFET 素子 4、さらに受光駆動素子 5 が封止樹脂 10 によって封止され、それぞれの位置が固定されることは言うまでもない。なお、前述したように、第 1 出力側外部端子部 8 a、第 2 出力側外部端子部 9 a、第 1 入力端子 6 の入力側外部端子部 6 a、第 2 入力端子 7 の入力側外部端子部 7 a は、封止樹脂 10 から外部に向かって突出している。

[0042] 図 1 または図 2 に示すように、封止樹脂 10 は、いずれも絶縁性の遮光性樹脂 10 a と透光性樹脂 10 b とを有している。遮光性樹脂 10 a は、例え

ば、黒色色素が含有されたエポキシ樹脂である。ただし、これに特に限定されず、光を遮蔽する材質であればよい。透光性樹脂10bは、受光駆動素子5と発光素子2との間に設けられ、遮光性樹脂10aによって封止されている。透光性樹脂10bは、例えば、透明シリコン樹脂である。ただし、これに特に限定されず、少なくとも発光素子2が発する光に対して透明な絶縁性樹脂であればよい。透光性樹脂10bは、受光駆動素子5の受光素子51と発光素子2とを光学的に結合する光結合部を構成している。

[0043] なお、図1及び図2に示すように、封止樹脂10の側面は、Z方向に関して所定の角度で傾いて形成されている。具体的には、封止樹脂10の外形は、断面視で、Z方向に沿って上方から下方に向かうにつれて幅が広がる順テーパ形状となっている。これは、封止樹脂10を金型（図示せず）で成形する場合に、金型から引き抜き易くするためである。

[0044] また、第1入力端子6及び第2入力端子7と、第1出力端子8及び第2出力端子9とは、封止樹脂10により互いに電氣的に絶縁されている。さらに、発光素子2と受光駆動素子5と第1MOSFET素子3と第2MOSFET素子4とは、封止樹脂10により互いに電氣的に絶縁されている。つまり、半導体リレー1は、入力信号と出力信号とを電氣的に絶縁した状態で出力信号のオンオフを行う入出力絶縁型の半導体リレー1である。

[0045] [電気回路の構成]

図8は、実施形態に係る電気回路の概略図を示す。電気回路100は、半導体リレー1と回路基板40とを少なくとも備えている。回路基板40は、所定の比誘電率を有する誘電体材料からなる誘電体基板40aの上面に第1配線41、第2配線42、第3配線43が形成されてなる、いわゆるプリント配線板(Printed Wiring Board)である。また、回路基板40の下面にはグラウンドプレーン45（例えば、図13参照）が形成されている。グラウンドプレーン45は、誘電体基板40aの下面のほぼ全体にわたって形成される。なお、第1配線41、第2配線42、第3配線43、及びグラウンドプレーン45は、誘電体基板40aの上面または下面に銅めっき等を施して形成さ

れる。

- [0046] 第3配線43とグランドプレーン45とは、誘電体基板40aを厚さ方向、この場合はZ方向に貫通する導電ビア44（例えば、図13参照）を介して電氣的に接続されている。また、グランドプレーン45は、電気回路100のグランド電位に電氣的に接続されている。なお、伝送信号の伝送ロスを低減するため、誘電体基板40aの比誘電率は低く設定されている。
- [0047] 第1配線41は、Y方向に間隔をあけて設けられ、それぞれ長手方向がX方向である互いに平行な一対の配線41a, 41bで構成される。第1配線41は、半導体リレー1に伝送信号を入力するための入力信号線である。第1配線41を構成する一対の配線41a, 41bのそれぞれの一端は、第1入力端子6及び第2入力端子7のそれぞれの入力側外部端子部6a, 7aに接続されている。具体的には、第1入力端子6及び第2入力端子7のそれぞれの入力側外部端子部6a, 7aは、それぞれの下面が第1配線41を構成する一対の配線41a, 41bのそれぞれの上面に接するように第1配線に接続されている。一方、図8に示すように、第1配線41を構成する一対の配線41a, 41bのそれぞれの他端は、開放端となっている。また、一対の配線41a, 41bのそれぞれのX方向の長さは、伝送信号の波長 λ の $1/2$ （ $=\lambda/2$ ）に設定されている。
- [0048] 第2配線42は、Y方向に間隔をあけて設けられ、それぞれ長手方向がY方向である一対の配線42a, 42bで構成される。第2配線42は、半導体リレー1から出力される伝送信号の出力信号線である。第2配線42を構成する一対の配線42a, 42bのそれぞれの一端は、第1出力端子8の第1出力側外部端子部8aと第2出力端子9の第2出力側外部端子部9aとに接続されている。具体的には、第1出力端子8の第1出力側外部端子部8aと第2出力端子9の第2出力側外部端子部9aは、それぞれの下面が第2配線42を構成する一対の配線42a, 42bのそれぞれの上面に接するように第2配線42に接続されている。
- [0049] 第3配線43は、第1配線41を構成する一対の配線41a, 41bの端

部を挟むように設けられた2本の配線43a, 43bと、当該2本の配線43a, 43bと第2配線42を挟んでX方向で反対側に設けられた配線43cとを含んでいる。3本の配線43a, 43b, 43cのそれぞれは、長手方向がY方向である。前述したように、第3配線43に含まれる3本の配線43a, 43b, 43cもグランドプレーン45を介してグランド電位に電氣的に接続されている。つまり、第3配線43は、出力信号線である第2配線42と離間して、かつ第2配線42を挟むように設けられており、第2配線42に入射される輻射ノイズ等を遮蔽する役割を果たしている。

[0050] なお、図8には、回路基板40に半導体リレー1のみが実装された例を示したが、他の素子が回路基板40に実装されていてもよいことは言うまでもない。

[0051] [半導体リレーの動作]

図9は、半導体リレー1の等価回路図を示す。

[0052] 第1入力端子6と第2入力端子7との間に伝送信号が入力されると、発光素子2は、所定の波長の光を出力する。発光素子2で発生した光が透光性樹脂10bの内部を伝搬して、受光素子51で受光される。

[0053] 受光素子51では、光電変換により電流が発生し、この電流に基づいて駆動回路52が動作する。ワイヤ11を介して、発光素子2の光量に応じた電圧信号である駆動信号が、第1MOSFET素子3の第1ゲート端子3e及び第2MOSFET素子4の第2ゲート端子4eにそれぞれ印加される。

[0054] 駆動信号の電圧が第1MOSFET素子3及び第2MOSFET素子4のそれぞれのしきい値電圧を超えると、第1MOSFET素子3のソース(S)ードレイン(D)間及び第2MOSFET素子4のソース(S)ードレイン(D)間がそれぞれオン状態となる。さらに、第1MOSFET素子3と第2MOSFET素子4とを介して、第1出力端子8と第2出力端子9との間が導通状態となる。このことにより、第1入力端子6と第2入力端子7との間に入力された伝送信号が、第1出力端子8と第2出力端子9との間に伝送され、さらに、第2配線42に伝送される。

[0055] 第1入力端子6と第2入力端子7との間で、伝送信号の入力が停止すると、発光素子2からの発光も停止する。これに応じて、受光素子51では電流が発生しなくなり、駆動回路52は停止する。

[0056] その結果、第1MOSFET素子3の第1ゲート端子3e及び第2MOSFET素子4の第2ゲート端子4eにそれぞれ印加された駆動信号の電圧が低下する。駆動信号の電圧が前述したしきい値電圧を下回ると、第1MOSFET素子3のソース(S)ードレイン(D)間及び第2MOSFET素子4のソース(S)ードレイン(D)間がそれぞれオフ状態となる。さらに、第1出力端子8と第2出力端子9との間が非導通状態となる。このことにより、第1入力端子6と第2入力端子7との間に入力された伝送信号が、半導体リレー1で遮断され、第2配線42へ伝送されなくなる。

[0057] [効果等]

以上説明したように、本実施形態に係る半導体リレー1は、第1入力端子6及び第2入力端子7と、第1入力端子6と第2入力端子7とに電氣的に接続される発光素子2と、を少なくとも備えている。また、半導体リレー1は、第1MOSFET素子3及び第2MOSFET素子4にそれぞれ駆動信号を出力する受光駆動素子5を備えている。受光駆動素子5は、発光素子2から出力された光を受光する受光素子51と、受光素子51で発生した電流により動作し、前述の駆動信号を出力する駆動回路52とを有している。

[0058] 半導体リレー1は、駆動回路52から出力された駆動信号によりそれぞれオンオフする第1MOSFET素子3と、第2MOSFET素子4と、をさらに備えている。また、半導体リレー1は、第1素子載置部8bと第1出力側外部端子部8aとを有する第1出力端子8と、第2素子載置部9bと第2出力側外部端子部9aとを有する第2出力端子9と、を備えている。

[0059] 半導体リレー1は、発光素子2と、受光駆動素子5と、第1MOSFET素子3と、第2MOSFET素子4と、第1入力端子6と、第2入力端子7と、第1出力端子8と、第2出力端子9と、を封止する封止樹脂10をさらに備えている。

[0060] 発光素子2と受光素子51は、所定の間隔をあけてX方向（第1方向）に対向している。第1MOSFET素子3及び第2MOSFET素子4は、それぞれ第1面3a、4aと、第1面3a、4aとX方向に対向する第2面3b、4bとを有している。第1出力端子8の第1素子載置部8bに第1MOSFET素子3の第1面3aが載置される。第2出力端子9の第2素子載置部9bに第2MOSFET素子4の第1面4aが載置される。

[0061] 第1出力端子8における第1素子載置部8b及び第1出力側外部端子部8aの配列方向をZ方向（第3方向）とし、X方向及びZ方向とそれぞれ直交する方向をY方向（第2方向）とする。第1素子載置部8bは、Z方向に沿って第1出力側外部端子部8aの上方に配置される。また、第2出力端子9において、第2素子載置部9bは、Z方向に沿って第2出力側外部端子部9aの上方に配置される。受光駆動素子5は、第1MOSFET素子3及び第2MOSFET素子4のそれぞれの第2面3b、4bに載置されている。具体的には、受光駆動素子5は、第1MOSFET素子3及び第2MOSFET素子4のそれぞれの第2領域3d、4dにおける第2面3b、4bに載置されている。

[0062] 半導体リレー1をこのように構成することで、半導体リレー1を小型化できる。また、インサクションロスを低減できる。これらについて、特許文献2に開示された従来の構成と対比させてさらに説明する。

[0063] 図10は、比較例に係る半導体リレーの図2相当図を示し、図11は、比較例に係る半導体リレーにおける寄生容量の分布を模式的に示す。具体的には、図10及び図11は、特許文献2に開示された従来の半導体リレー20を示している。なお、図10～図16において、図1～図8に示したものと同様の箇所については同一の符号を付して詳細な説明を省略することがある。

[0064] 図10に示す従来の半導体リレー20は、以下に示す点で、本実施形態の半導体リレー1と異なる。まず、第1出力端子8及び第2出力端子9と離間して、Z方向に沿って上方に第3素子載置部13が設けられている。次に、

第3素子載置部13の第2面13bに受光駆動素子5が載置されている。つまり、受光駆動素子5は、Z方向に沿って、第1MOSFET素子3と第2MOSFET素子4の上方に、これらと離間して配置されている。

[0065] その結果、図11に示すように、半導体リレー20では、グランド電位と第3素子載置部13との間に容量結合によって寄生容量が発生する。また、出力側に位置する第1出力端子8及び第2出力端子9並びに第3素子載置部13と第1入力端子6及び第2入力端子7との間に、容量結合による寄生容量が発生している。これらの寄生容量により、第1入力端子6及び第2入力端子7から第1出力端子8及び第2出力端子9に信号を伝送する場合、インサクションロスが発生する。また、信号が高周波になるにつれて、インサクションロスの増加の度合いが高まる。

[0066] 一方、本実施形態の半導体リレー1では、図10に示す第3素子載置部13が省略され、図1及び図2に示すように、第1MOSFET素子3及び第2MOSFET素子4のそれぞれの第2領域3d、4dの第2面3b、4bに受光駆動素子5が載置される。このことにより、グランド電位との容量結合及び入力側と出力側との容量結合の両方を低減することができる。

[0067] 図12は、入力側と出力側との容量結合低減効果を説明するための模式図である。図13は、グランド電位との容量結合低減効果を説明するための模式図である。

[0068] 第3素子載置部13が省略されることで、図12に示すように、本実施形態の半導体リレー1のZ方向の高さH1は、図10に示す従来の半導体リレー20のZ方向の高さH2よりも低くできる。つまり、低背化された小型の半導体リレー1が実現できる。

[0069] なお、従来の半導体リレー20において、第1MOSFET素子3及び第2MOSFET素子4のそれぞれのサイズを小さくすることで、小型化を図ることも考えられる。例えば、第1MOSFET素子3及び第2MOSFET素子4のそれぞれにおいて、Z方向のサイズを小さくすることで、半導体リレー20の低背化が図れる。

[0070] しかし、第1MOSFET素子3や第2MOSFET素子4のサイズを小さくすると、それぞれのオン抵抗が増加してしまう。特に縦型MOSFETにおいて、ドレイン抵抗がオン抵抗に大きく寄与する。第1MOSFET素子3や第2MOSFET素子4の面積が低下することで、ドレイン面積が低下し、オン抵抗が増加してしまう。その結果、半導体リレー20で伝送される信号の高周波特性が低下してしまうおそれがある。

[0071] 一方、本実施形態の半導体リレー1によれば、第1MOSFET素子3及び第2MOSFET素子4のそれぞれの第2領域3d, 4dにおける第2面3b, 4bに絶縁接着材12を介して受光駆動素子5を重ねて配置している。このことにより、第1MOSFET素子3及び第2MOSFET素子4のそれぞれは、ある程度以上のサイズを保ちつつ、半導体リレー1の低背化が図れる。特に、第1MOSFET素子3及び第2MOSFET素子4のそれぞれのドレイン面積が大きく低下しないため、オン抵抗の増加が抑制でき、半導体リレー1で伝送される信号の高周波特性の低下を抑制できる。

[0072] また、第3素子載置部13が省略されることで、寄生容量に寄与する出力側の電極面積を大幅に減らすことができる。つまり、入力側と出力側との容量結合が低減され、インサクションロスが低減される。なお、図12に示すように、距離W1を距離W2よりも長くすることで、入力側と出力側との容量結合、ひいてはインサクションロスをさらに低減できる。ここで、距離W2は、第1素子載置部8bの第2面8b2, 第2素子載置部9bの第2面9b2, 第3素子載置部13の第2面13bのそれぞれと、第2入力端子7の素子載置部7bの第2面7b2とのX方向の距離である。

[0073] また、図13に示すように、第3素子載置部13とグランド電位との間に発生する寄生容量が無くなり、この寄生容量に起因したインサクションロスが低減される。

[0074] また、グランド電位との間の容量結合が低減されることで、スタブによる共振の影響を低減できる。このことについてさらに説明する。

[0075] 図14は、スタブの影響の低減効果を説明するための模式図である。図1

5は、インサクションロスの周波数依存性を示す図である。なお、図15は、片対数グラフであり、周波数を表す横軸は、線形目盛であるのに対し、インサクションロスを表す縦軸は、対数目盛である。

[0076] 図14に示す2つの図のうち、右側の図は、図4に対応している。つまり、右側の図は、本実施形態の半導体リレー1の内部を示している。一方、左側の図は、図10に示す従来の半導体リレー20の内部を示している。

[0077] 本実施形態の半導体リレー1、従来の半導体リレー20ともに、第1出力端子8と第2出力端子9との間が導通状態になると、図14に示す矢印が信号の伝送経路となる。この場合、受光駆動素子5のソース端子5cと第1MOSFET素子3の第1ソース端子3fとを接続するワイヤ11が高周波回路におけるスタブとして作用する。

[0078] また、第1MOSFET素子3及び第2MOSFET素子4のソース(S)とグラウンド電位との間の寄生容量値をCとし、スタブとして作用するワイヤ11のインダクタンス値をLとすると、当該寄生容量とワイヤ11とで構成される共振回路の共振周波数 f_c は、式(1)に示す関係を満たす。

[0079] $f_c = (1 / 2\pi) \times (LC)^{-1/2} \dots (1)$

図14の左側の図に示すように、従来の半導体リレー20では、第2MOSFET素子4の第2ソース端子4fと第3素子載置部13とがワイヤ11により接続されている。このことにより、受光駆動素子5と第2MOSFET素子4とが第3素子載置部13を介して電氣的に接続される。また、当該ワイヤ11もスタブとして作用する。また、従来の半導体リレー20における前述の寄生容量値Cには、第3素子載置部13とグラウンド電位との間の寄生容量値が加算される。

[0080] また、図14の左側の図に示すように、従来の半導体リレー20では、受光駆動素子5が、第1MOSFET素子3及び第2MOSFET素子4とZ方向に沿った上方に離間して配置されている。このため、受光駆動素子5のソース端子5cと第1MOSFET素子3の第1ソース端子3fとを接続するワイヤ11の長さが、図14の右側に示す本実施形態の半導体リレー1に

おける当該ワイヤ11よりも長くなる。よって、前述のインダクタンス値Lも従来の半導体リレー20の方が本実施形態の半導体リレー1よりも大きくなる。

[0081] つまり、式(1)に示す共振周波数 f_c は、従来の半導体リレー20の方が本実施形態の半導体リレー1よりも低くなる。

[0082] このため、図15に示すように、従来の半導体リレー20では、スタブによる共振の影響が本実施形態の半導体リレー1よりも低周波側に現れる。一方、本実施形態の半導体リレー1では、インサクションロスの周波数特性が全体的に高周波側にシフトしており、高周波側での信号の減衰が抑制されている。つまり、本実施形態の半導体リレー1は、従来の半導体リレー20よりも、インサクションロスに関し、高周波特性が良化することが分かった。

[0083] また、本実施形態によれば、第1MOSFET素子3の第1ソース端子3fと第2MOSFET素子4の第2ソース端子4fとを接続するワイヤ11の長さを短くできる。このことにより、半導体リレー1の内部でインピーダンス不整合が生じたり、不整合の度合いが増加したりするのを抑制できる。このことについてさらに説明する。

[0084] 図16は、インピーダンス不整合の影響の低減効果を説明するための模式図である。図16の上側の図は、図14の左側の図に対応している。つまり、図16の上側の図は、従来の半導体リレー20の内部を示している。一方、図16の下側の図は、図14の右側の図に対応している。つまり、図16の下側の図は、本実施形態の半導体リレー1の内部を示している。

[0085] 前述したように、第1MOSFET素子3の第1ソース端子3fと第2MOSFET素子4の第2ソース端子4fとを電氣的に接続するのに、従来の半導体リレー20、本実施形態の半導体リレー1ともにワイヤ11を用いている。しかし、ワイヤ11は第1出力端子8や第2出力端子9に比べて高インピーダンスであり、伝送信号の高周波特性が低下する要因となる。また、第1MOSFET素子3の第1ソース端子3fと第2MOSFET素子4の第2ソース端子4fとを電氣的に接続するワイヤ11は、信号の伝送経路の

一部にあたる。このため、信号の周波数が高くなるにつれて、信号の伝送経路でインピーダンス不整合を起こしやすくなる。

[0086] 一方、本実施形態によれば、第1 MOSFET素子3、第2 MOSFET素子4ともに、Y方向にシュリンクしつつ、Z方向には、ある程度のサイズを確保でき、オン抵抗の増加を抑制できる。また、従来の半導体リレー20に比べて、第1 MOSFET素子3と第2 MOSFET素子4のY方向の間隔を近づけられるため、ワイヤ11の長さを短くできる。このことにより、本実施形態の半導体リレー1は、従来の半導体リレー20に比べて、ワイヤ11のインピーダンスを低減でき、伝送信号の高周波特性の低下を抑制できる。

[0087] さらに、信号の伝送経路でのインピーダンス不整合を低減できる。

[0088] 第1 MOSFET素子3は、縦型MOSFETが形成された第1領域3cとMOSFETが形成されていない第2領域3dとが、Z方向に並んで配置されている。第2 MOSFET素子4は、縦型MOSFETが形成された第1領域4cとMOSFETが形成されていない第2領域4dとが、Z方向に並んで配置されている。受光駆動素子5は、第1 MOSFET素子3の第2領域3dにおける第2面3b及び第2 MOSFET素子4の第2領域4dにおける第2面4bに載置されている。

[0089] 第1 MOSFET素子3と第2 MOSFET素子4をこのように構成することで、半導体リレー1の組立工程で不良等が発生するのを抑制できる。つまり、第1 MOSFET素子3及び第2 MOSFET素子4のそれぞれの第2面3b、4bに、絶縁接着材12を介して受光駆動素子5を載置する場合、熱を加える。さらに、受光駆動素子5に対し、X方向に圧力を加えて、受光駆動素子5を第1 MOSFET素子3と第2 MOSFET素子4に確実に固定する必要がある。

[0090] しかし、第1 MOSFET素子3、第2 MOSFET素子4ともに第1領域3c、4cに所定以上の圧力を加えると、縦型MOSFETの特性が変化したり、極端な場合は、第1 MOSFET素子3や第2 MOSFET素子4

が破損したりする場合がある。

- [0091] 一方、本実施形態によれば、素子非形成領域である第2領域3d, 4dに受光駆動素子5を載置するため、前述した不具合が起こるのを回避でき、第1MOSFET素子3や第2MOSFET素子4の特性を安定化できる。また、組立工程での不具合を低減して、半導体リレー1の製造歩留まりを向上させることができる。
- [0092] また、第1MOSFET素子3及び第2MOSFET素子4のそれぞれの第2面3b, 4bに、絶縁接着材12により受光駆動素子5を固定することで、第1MOSFET素子3と第2MOSFET素子4との間で短絡が発生するのを防止できる。
- [0093] また、封止樹脂10は、遮光性樹脂10aと、少なくとも発光素子2からの光を透過する透光性樹脂10bとを有している。発光素子2と受光素子51は透光性樹脂10bを挟んでX方向に対向している。
- [0094] このようにすることで、発光素子2からの光を受光素子51で確実に受光することができる。
- [0095] 第1出力側外部端子部8a及び第2出力側外部端子部9aと、第1入力端子6及び第2入力端子7のそれぞれに設けられた入力側外部端子部6a, 7aとは、Y方向にかつ封止樹脂10の下面に沿って封止樹脂10から外部に向かって突出するように設けられている。
- [0096] また、この場合、第1入力端子6及び前記第2入力端子7のそれぞれに設けられた入力側外部端子部6a, 7aは、Y方向に沿って間隔をあけて設けられている。第1出力側外部端子部8aと第2出力側外部端子部9aは、Y方向に沿って間隔をあけて設けられている。
- [0097] このようにすることで、封止樹脂10の下面を実装面とした面実装型の半導体リレー1を実現できる。
- [0098] 本実施形態に係る電気回路100は、半導体リレー1と、回路基板40と、を少なくとも備えている。回路基板40は、誘電体基板40aの上面に、第1配線41と第2配線42とがそれぞれ形成されてなる。

- [0099] 第1配線41は、Y方向に間隔をあけて設けられ、それぞれ長手方向がX方向である互いに平行な一対の配線41a, 41bで構成されている。第2配線42は、Y方向に間隔をあけて設けられ、それぞれ長手方向がY方向である一対の配線42a, 42bで構成されている。
- [0100] 第1入力端子6及び第2入力端子7は、それぞれを入力側外部端子部6a, 7aの下面が、第1配線41を構成する一対の配線41a, 41bのそれぞれの上面に接するように、第1配線41に接続されている。
- [0101] 第1出力端子8及び第2出力端子9は、第1出力側外部端子部8a及び第2出力側外部端子部9aのそれぞれの下面が、第2配線42を構成する一対の配線42a, 42bのそれぞれの上面に接するように、第2配線42に接続されている。
- [0102] なお、第1配線41は、半導体リレー1により通過または遮断される信号の入力用配線であり、第2配線42は、当該信号の出力用配線（信号線）である。
- [0103] 本実施形態の電気回路100によれば、半導体リレー1による信号の通過及び遮断を簡便な構成で行うことができる。
- [0104] 回路基板40の上面には、第2配線42と離間して、かつ第2配線42を挟むように第3配線43がさらに形成されている。第3配線43は、回路基板40の下面に形成されたグランドプレーン45と電氣的に接続され、グランドプレーン45は、グランド電位と電氣的に接続されている。
- [0105] 第2配線42を挟むようにグランド電位に接続された第3配線43を配置することで、第2配線42を伝搬する伝送信号への輻射ノイズ等の混入を抑制できる。また、第2配線42から、回路基板40に実装された他の電子部品（図示せず）へ輻射ノイズ等が伝搬するのを抑制できる。また、半導体リレー1により通過または遮断される高周波信号を伝送する信号伝送回路を簡便に構成できる。
- [0106] <変形例>
- 図17は、本変形例に係る半導体リレー30の斜視図を示し、図18は、

半導体リレー 30 を図 17 に示す方向 D から見た側面図を示す。

[0107] 図 19 は、発光素子が載置された第 1 入力端子 6 と第 2 入力端子 7 を図 18 に示す方向 E から見た図を示し、図 20 は、受光駆動素子 5 と第 1 MOSFET 素子 3 と第 2 MOSFET 素子 4 とが載置された第 1 入力端子 6 及び第 2 入力端子 7 を図 18 に示す方向 F から見た図を示す。

[0108] 図 21 は、耐リフロー性の向上効果を説明するための模式図であり、図 22 は、光結合部形成工程の製造容易性を説明するための模式図である。

[0109] なお、説明の便宜上、図 17～図 22 において、実施形態と同様の箇所については同一の符号を付して詳細な説明を省略する。また、図 17、図 18、図 21 において、封止樹脂 10 及びこれを構成する遮光性樹脂 10a と透光性樹脂 10b のそれぞれの輪郭を破線で示している。また、図 22 において、遮光性樹脂 10a の図示を省略している。

[0110] 図 17～図 20 に示す本変形例の半導体リレー 30 は、以下に示す点で、図 1～図 4 に示す実施形態の半導体リレー 1 と異なる。

[0111] まず、第 1 MOSFET 素子 3 及び第 2 MOSFET 素子 4 のそれぞれにおいて、第 1 領域 3c、4c は、第 2 領域 3d、4d よりも Z 方向に沿った上方に配置される。このことにより、受光駆動素子 5 は、第 1 MOSFET 素子 3 及び第 2 MOSFET 素子 4 のそれぞれの第 1 領域 3c、4c よりも、Z 方向に沿った下方に配置される。

[0112] 本変形例によれば、半導体リレー 30 の製造工程における熱処理耐性を向上させることができる。

[0113] 半導体リレー 1、30 を製造するにあたって、部品を位置決めし、銀ペーストやクリームはんだ等を用いて、別の部品に仮固定した後に、全体を熱処理して、部品間を電氣的に接続する、いわゆるリフロー工程が行われる。この場合、樹脂封止された半導体リレー 1、30 が、100℃～300℃程度の温度で熱処理される。また、シリコン樹脂は、一般に、エポキシ樹脂よりも線膨張係数が大きい。

[0114] つまり、リフロー工程において、透光性樹脂 10b が遮光性樹脂 10a よ

りも大きく熱膨張する。この場合、透光性樹脂 10 b から、第 2 入力端子 7 の素子載置部 7 b や第 1 出力端子 8 の第 1 素子載置部 8 b や第 2 出力端子 9 の第 2 素子載置部 9 b が X 方向にかつ、封止樹脂 10 の側面に向かって押される力が強くなる。

[0115] 図 21 の左側に示すように、実施形態の半導体リレー 1 では、第 2 入力端子 7 の素子載置部 7 b や第 1 素子載置部 8 b や第 2 素子載置部 9 b は、封止樹脂 10 の内部で相対的に Z 方向に沿った上方に位置している。また、封止樹脂 10 の外形は、前述した順テーパ形状になっている。このため、第 2 入力端子 7 の素子載置部 7 b の第 1 面 7 b 1, 第 1 素子載置部 8 b の第 1 面 8 b 1, 及び第 2 素子載置部 9 b の第 1 面 9 b 1 を覆う封止樹脂 10 は、上方に向かうほど薄くなっている。

[0116] よって、透光性樹脂 10 b の熱膨張により、第 2 入力端子 7 の素子載置部 7 b, 第 1 素子載置部 8 b, 及び第 2 素子載置部 9 b が X 方向に押圧されると、封止樹脂 10 が薄くなっている部分に応力が集中する。この場合、封止樹脂 10 が薄くなっている部分で強度が足りず、割れを生じることがある。

[0117] 一方、図 21 の右側に示すように、本変形例の半導体リレー 30 では、受光駆動素子 5 を覆う透光性樹脂 10 b は、第 1 MOSFET 素子 3 の第 1 領域 3 c 及び第 2 MOSFET 素子 4 の第 1 領域 4 c よりも、Z 方向に沿って下方に配置される。このため、第 2 入力端子 7 の素子載置部 7 b の第 1 面 7 b 1, 第 1 素子載置部 8 b の第 1 面 8 b 1, 及び第 2 素子載置部 9 b の第 1 面 9 b 1 を覆う封止樹脂 10 は、実施形態の半導体リレー 1 の場合よりも厚くなっている。

[0118] よって、透光性樹脂 10 b の熱膨張により、第 2 入力端子 7 の素子載置部 7 b, 第 1 素子載置部 8 b, 及び第 2 素子載置部 9 b が X 方向に押圧された場合も、封止樹脂 10 の強度を確保でき、耐リフロー性を向上できる。

[0119] また、本変形例の半導体リレー 30 では、実施形態の半導体リレー 1 よりも受光駆動素子 5 が下方に位置しており、重心が下方に下がっている。このため、半導体リレー 30 を回路基板 40 に実装した場合の安定性が良くなる

。また、受光駆動素子5の位置に合わせて、第2入力端子7の素子載置部7b及び発光素子2の位置も、実施形態の半導体リレー1よりも下方にシフトする。このことにより、第1入力端子6及び第2入力端子7のそれぞれにおいて、Z方向の長さが短くなる。言い換えると、第1入力端子6及び第2入力端子7のそれぞれにおいて、第1出力端子8や第2出力端子9と対向する部分の面積が小さくなる。このことにより、入力側と出力側との容量結合を低減でき、インサクションロスを低減できる。

[0120] また、半導体リレー1, 30を製造するにあたって、発光素子2や受光駆動素子5の下方まで遮光性樹脂10aで封止した後に、透光性樹脂10bが、発光素子2と受光駆動素子5との間に充填、封止される。

[0121] 本変形例によれば、第1MOSFET素子3の第1ソース端子3fと第2MOSFET素子4の第2ソース端子4fとを接続するワイヤ11は、受光駆動素子5よりもZ方向に沿った上方に位置している。

[0122] よって、透光性樹脂10bの充填時に、硬化前の透光性樹脂10bがワイヤ11にかからない。このため、透光性樹脂10bの硬化時や、半導体リレー30に熱が加わった場合等に、ワイヤ11の断線が生じにくく、半導体リレー30の製造歩留まりを向上できる。また、半導体リレー30の信頼性を向上できる。

[0123] 一方、実施形態の半導体リレー1では、変形例の半導体リレー30よりも透光性樹脂10bによる光結合部の形成工程が容易になる。

[0124] 図22の左側は、変形例の半導体リレー30における光結合部の形成工程を示し、図22の右側は、実施形態の半導体リレー1における光結合部の形成工程を示す。

[0125] 図22の左側に示すように、変形例の半導体リレー30では、透光性樹脂10bを滴下、塗布するためのノズル200を、半導体リレー30の内部まで進入させる必要がある。この場合、ワイヤ11や第1入力端子6や第2入力端子7との接触とノズル200が接触するのを避けるため、ノズル200の形状を工夫する必要がある。また、ノズル200の移動制御が複雑になる

- 。
- [0126] 一方、実施形態の半導体リレー 1 では、変形例の半導体リレー 30 に比べて、ノズル 200 の進入量を小さくできる。このため、ノズル 200 の形状を簡素化できる。また、ノズル 200 の移動制御が簡素化され、透光性樹脂 10b、つまり、光結合部の形成工程が容易となる。
- [0127] また、図 16 の下側の図に示すように、実施形態に示す半導体リレー 1 では、第 1 MOSFET 素子 3 の第 1 ソース端子 3f と第 2 MOSFET 素子 4 の第 2 ソース端子 4f とを電氣的に接続するのに、ワイヤ 11 を用いている。また、当該ワイヤ 11 は、受光駆動素子 5 よりも Z 方向に沿った下方に配置されている。
- [0128] 当該ワイヤ 11 は、伝送信号の伝送経路の一部をなす。一般に、この伝送経路が、グランド電位、この場合は、第 3 配線 43 やグランドプレーン 45 から離れるにしたがって、伝送経路のインピーダンスが大きくなり、半導体リレー 1 または半導体リレー 30 を含む電気回路 100 において、インピーダンス不整合の度合いが大きくなる。
- [0129] 実施形態に示す半導体リレー 1 では、例えば、図 16 の下側の図に示すように、伝送信号の伝送経路の一部をなすワイヤ 11 を、受光駆動素子 5 よりも Z 方向に沿った下方に配置させることで、当該ワイヤ 11 と第 3 配線 43 やグランドプレーン 45 との距離を近づけることができる。このことにより、半導体リレー 1 において、変形例に示す半導体リレー 30 に比べて、伝送信号の高周波特性をさらに良化できる。

産業上の利用可能性

- [0130] 本開示の半導体リレーは、小型化が図れ、かつインサクションロスの低減が可能のため、高周波信号の通過及び遮断用素子として有用である。

符号の説明

- [0131] 1, 20, 30 半導体リレー
2 発光素子
3 第 1 MOSFET 素子

- 3 a 第1面
- 3 b 第2面
- 3 c 素子形成領域（第1領域）
- 3 d 素子非形成領域（第2領域）
- 4 第2MOSFET素子
- 4 a 第1面
- 4 b 第2面
- 4 c 素子形成領域（第1領域）
- 4 d 素子非形成領域（第2領域）
- 5 受光駆動素子
- 5 b 第2面
- 5 1 受光素子
- 5 2 駆動回路
- 6 第1入力端子
- 6 a 入力側外部端子部
- 7 第2入力端子
- 7 a 入力側外部端子部
- 7 b 素子載置部
- 8 第1出力端子
- 8 a 第1出力側外部端子部
- 8 b 第1素子載置部
- 9 第2出力端子
- 9 a 第2出力側外部端子部
- 9 b 第2素子載置部
- 1 0 封止樹脂
- 1 0 a 遮光性樹脂
- 1 0 b 透光性樹脂
- 1 1 ワイヤ

- 1 2 絶縁接着材
- 1 3 第3素子載置部
- 4 0 回路基板
- 4 0 a 誘電体基板
- 4 1 第1配線
- 4 2 第2配線
- 4 3 第3配線
- 4 4 導電ビア
- 4 5 グランドプレーン
- 1 0 0 電気回路
- 2 0 0 ノズル

請求の範囲

[請求項1]

回路基板の上に実装される半導体リレーであって、
第1入力端子と、
第2入力端子と、
前記第1入力端子と前記第2入力端子とに電氣的に接続される発光素子と、
前記発光素子から出力された光を受光する受光素子と、
前記受光素子を有し、駆動信号を出力する受光駆動素子と、
前記受光駆動素子から出力された前記駆動信号によりオンオフする第1MOSFET素子と、
前記受光駆動素子から出力された前記駆動信号によりオンオフする第2MOSFET素子と、
第1素子載置部と第1出力側外部端子部とを有する第1出力端子と、
、
第2素子載置部と第2出力側外部端子部とを有する第2出力端子と、
、
前記発光素子と、前記受光駆動素子と、前記第1MOSFET素子と、前記第2MOSFET素子と、前記第1入力端子と、前記第2入力端子と、前記第1出力端子と、前記第2出力端子と、を封止する封止樹脂と、
を備え、
前記発光素子と前記受光素子は、所定の間隔をあけて対向し、
前記第1MOSFET素子及び前記第2MOSFET素子のそれぞれは、第1面と、前記第1面と対向する第2面とを有しており、
前記受光素子と前記発光素子が互いに対向する方向は、前記第1面と前記第2面が互いに対向する方向と同じであり、
前記第1素子載置部に前記第1MOSFET素子の前記第1面が載置され、

前記第2素子載置部に前記第2MOSFET素子の前記第1面が載置され、

前記第1素子載置部は、上下方向に延伸し、

前記第1出力側外部端子部は、前記第1素子載置部から前記封止樹脂の下面に沿うように延伸し、前記封止樹脂から突出し、

前記受光駆動素子は、前記第1MOSFET素子の前記第2面及び前記第2MOSFET素子の前記第2面に載置されている、

半導体リレー。

[請求項2] 前記受光駆動素子は、前記第1MOSFET素子の前記第2面及び前記第2MOSFET素子の前記第2面に、絶縁接着材により固定されている、

請求項1に記載の半導体リレー。

[請求項3] 前記封止樹脂は、遮光性樹脂と、前記発光素子からの光を透過する透光性樹脂と、を含み、

前記発光素子と前記受光素子は、前記透光性樹脂を介して対向している、

請求項1または2に記載の半導体リレー。

[請求項4] 前記第1MOSFET素子と前記第2MOSFET素子のそれぞれは、MOSFETが形成された第1領域とMOSFETが形成されていない第2領域が上下に並んで配置されており、

前記受光駆動素子は、前記第1MOSFET素子及び前記第2MOSFET素子のそれぞれの前記第2領域における前記第2面に載置されている、

請求項1～3のいずれか1項に記載の半導体リレー。

[請求項5] 前記第1MOSFET素子及び前記第2MOSFET素子のそれぞれにおいて、前記第1領域は、前記第2領域よりも上方に配置される、

請求項4に記載の半導体リレー。

- [請求項6] 前記第1 MOSFET素子及び前記第2 MOSFET素子のそれぞれにおいて、前記第1領域は、前記第2領域よりも下方に配置される、
- 請求項4に記載の半導体リレー。
- [請求項7] 前記第1 MOSFET素子は第1ソース端子を有し、
前記第2 MOSFET素子は第2ソース端子を有し、
前記第1ソース端子と前記第2ソース端子はワイヤにより互いに接続され、
- 前記ワイヤは前記受光駆動素子よりも下方に位置している、
請求項1～5のいずれか1項に記載の半導体リレー。
- [請求項8] 前記第1 MOSFET素子は第1ソース端子を有し、
前記第2 MOSFET素子は第2ソース端子を有し、
前記第1ソース端子と前記第2ソース端子はワイヤにより互いに接続され、
- 前記ワイヤは前記受光駆動素子よりも上方に位置している、
請求項1～4、6のいずれか1項に記載の半導体リレー。
- [請求項9] 前記第1出力側外部端子部と、前記第2出力側外部端子部と、前記第1入力端子に設けられた第1入力側外部端子部と、前記第2入力端子に設けられた第2入力側外部端子部とは、前記封止樹脂の下面に沿って前記封止樹脂から外部に向かって突出するように設けられており、
- 前記第1入力側外部端子部と前記第2入力側外部端子部とは、互いに間隔をあけて設けられており、
- 前記第1出力側外部端子部と前記第2出力側外部端子部とは、互いに間隔をあけて設けられている、
- 請求項1～8のいずれか1項に記載の半導体リレー。
- [請求項10] 請求項9に記載の半導体リレーと、
前記回路基板と、

を備えた電気回路であって、

前記回路基板は、誘電体基板の上面に、第1配線と第2配線とが形成されてなり、

前記第1配線は、間隔をあけて設けられた一对の配線で構成され、

前記第2配線は、間隔をあけて設けられた一对の配線で構成され、

前記第1入力端子は、前記第1入力側外部端子部の下面が、前記第1配線を構成する前記一对の配線のうちの一方の上面に接するように、前記第1配線に接続され、

前記第2入力端子は、前記第2入力側外部端子部の下面が、前記第1配線を構成する前記一对の配線のうちの他方の上面に接するように、前記第1配線に接続され、

前記第1出力端子は、前記第1出力側外部端子部の下面が、前記第2配線を構成する前記一对の配線のうちの一方の上面に接するように、前記第2配線に接続され、

前記第2出力端子は、前記第1出力側外部端子部の下面が、前記第2配線を構成する前記一对の配線のうちの他方の上面に接するように、前記第2配線に接続されている、

電気回路。

[請求項11]

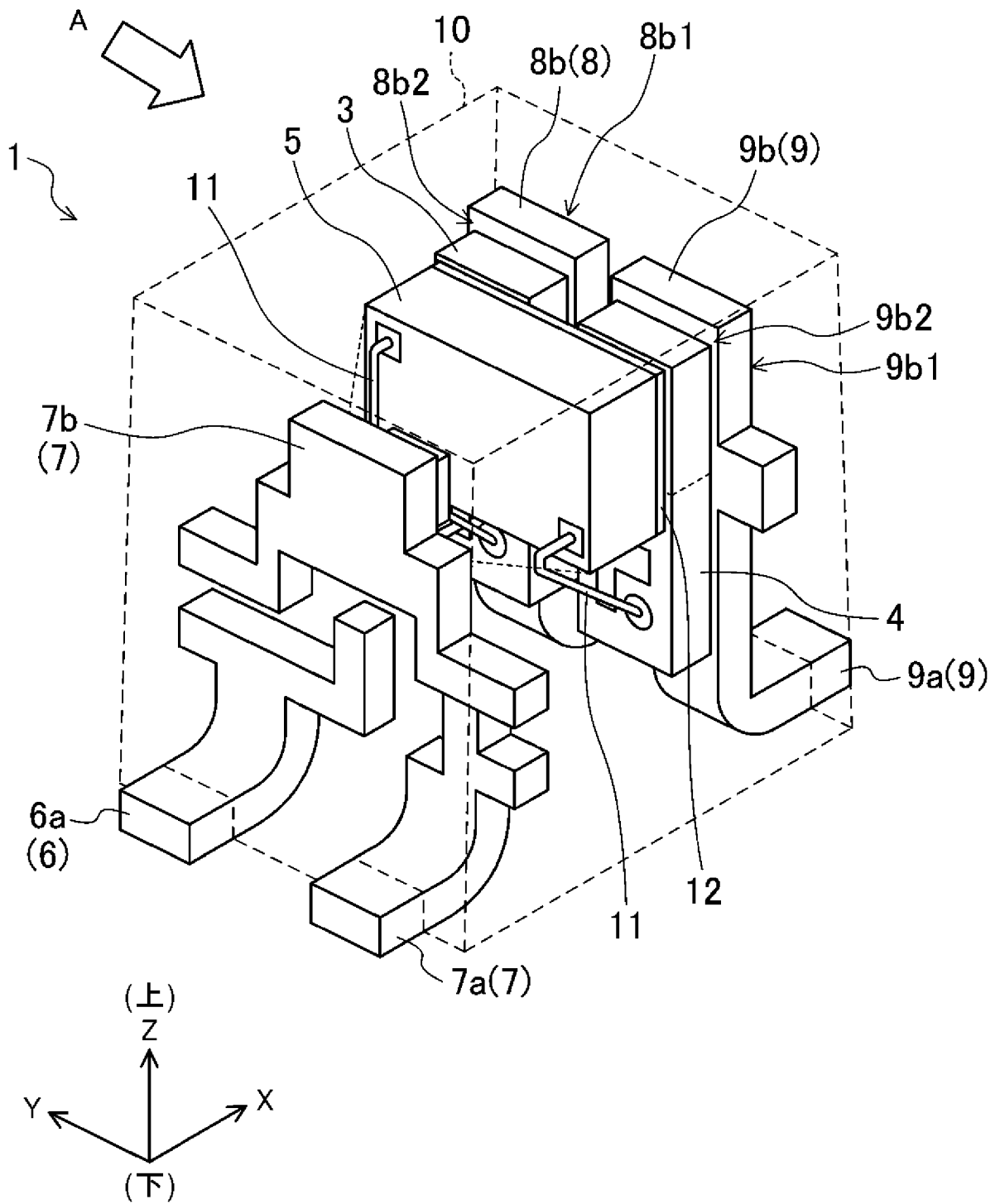
前記回路基板の上面には、前記第2配線と離間して、かつ前記第2配線を挟むように第3配線がさらに形成されており、

前記第3配線は、前記回路基板の下面に形成されたグランドプレーンと電氣的に接続され、

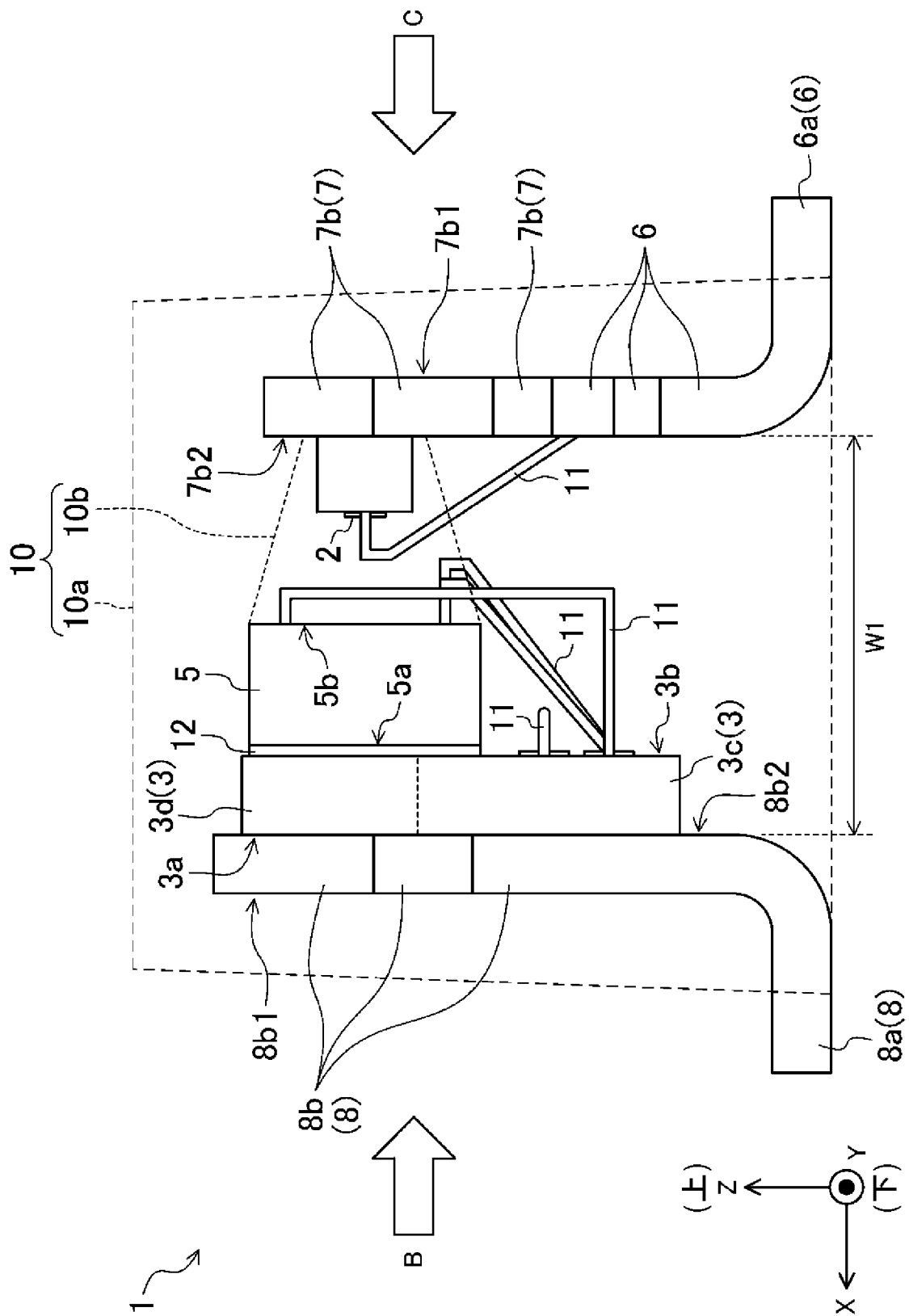
前記グランドプレーンは、グランド電位と電氣的に接続されている、

請求項10に記載の電気回路。

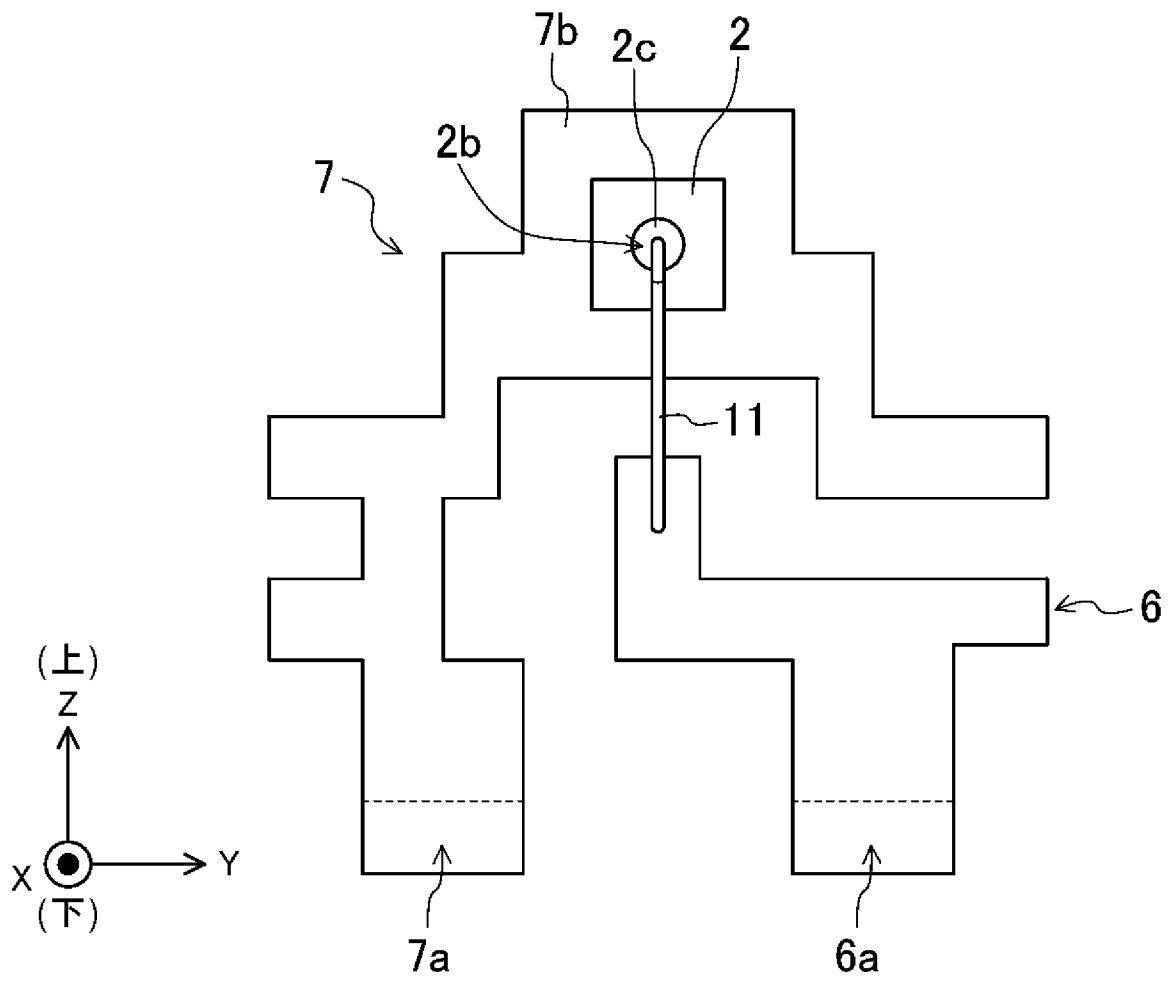
[図1]



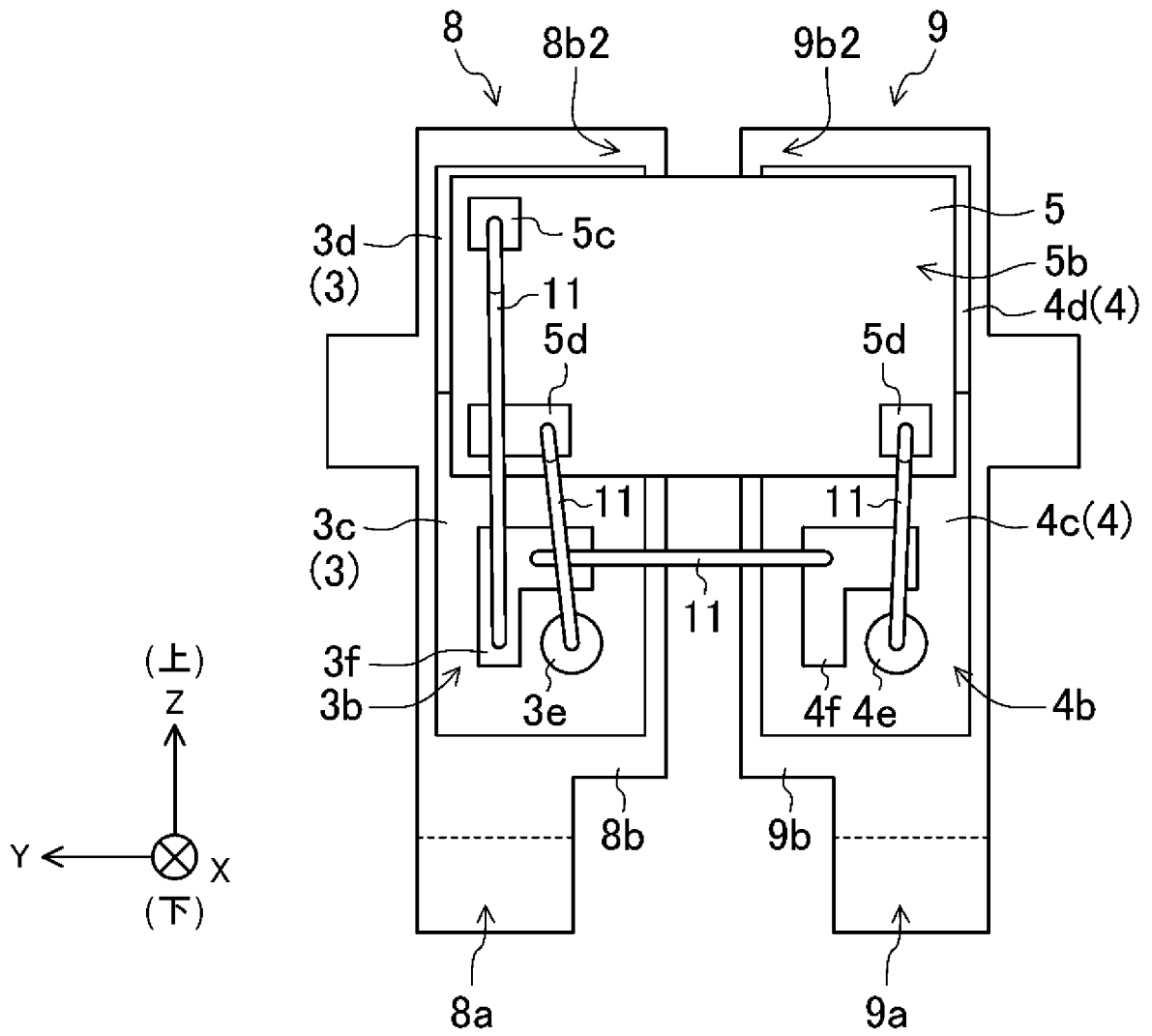
[図2]



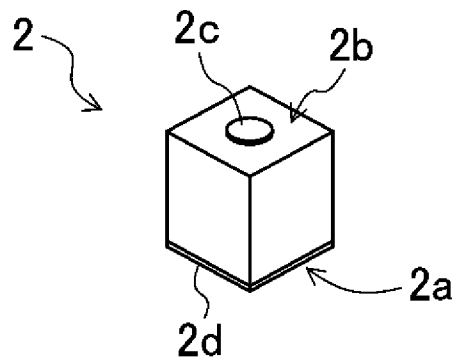
[図3]



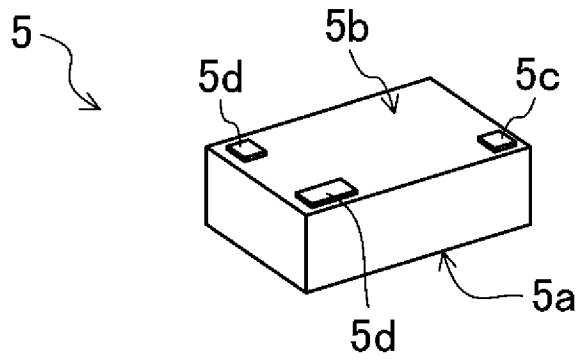
[図4]



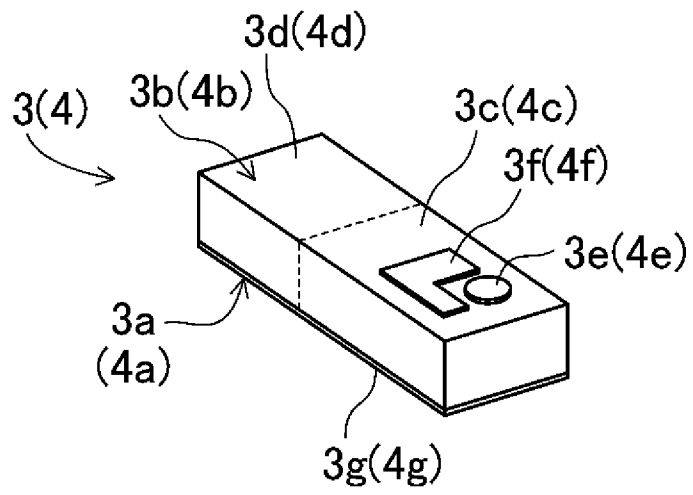
[図5]



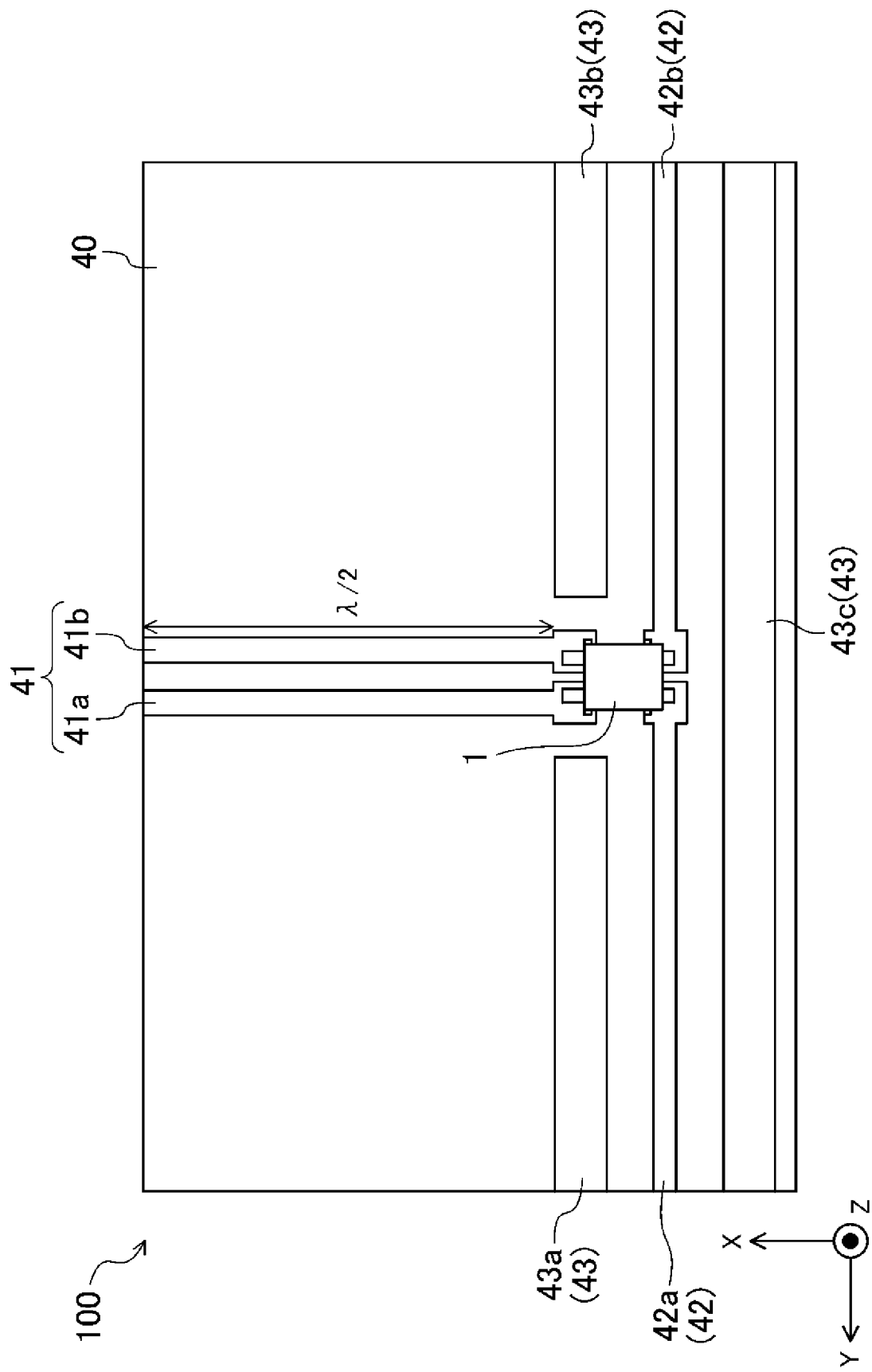
[図6]



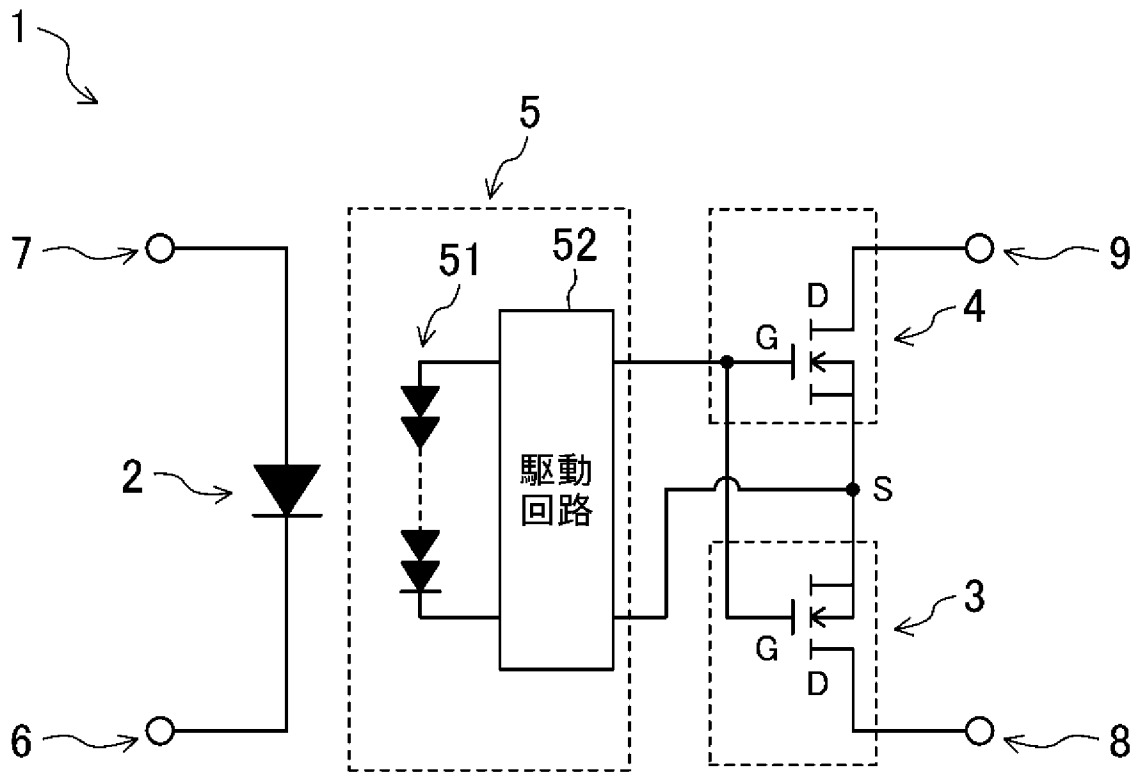
[図7]



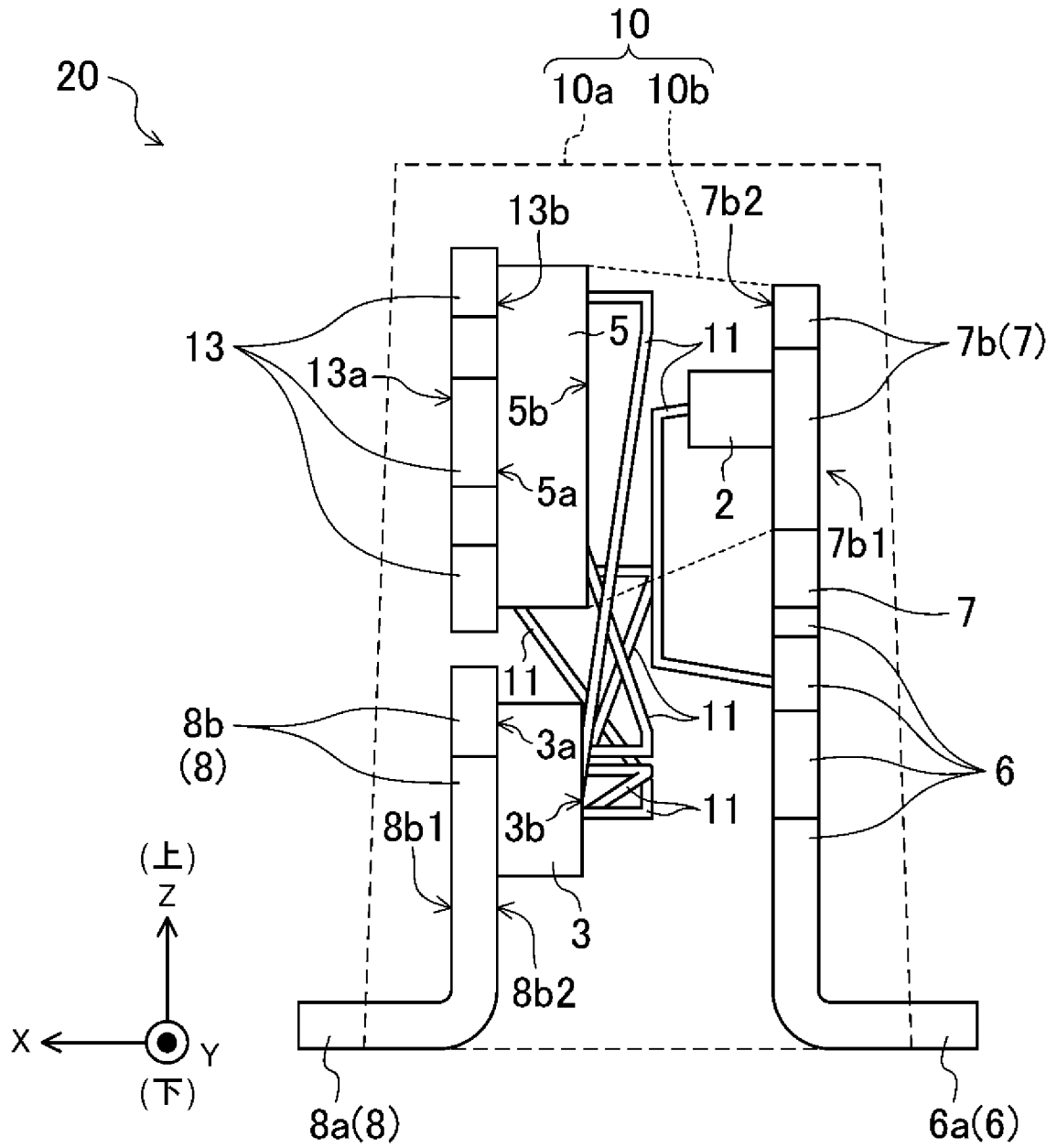
[図8]



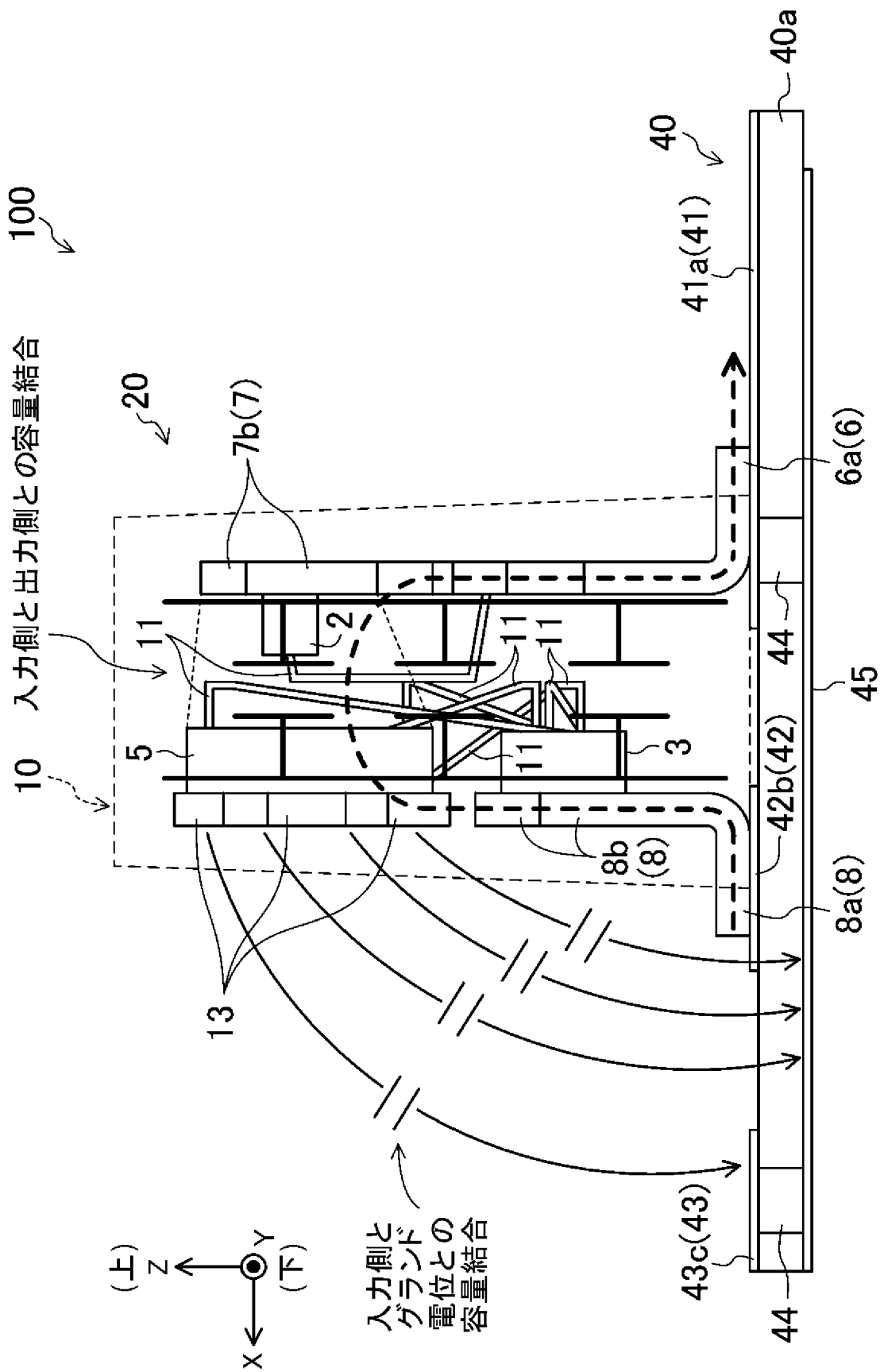
[図9]



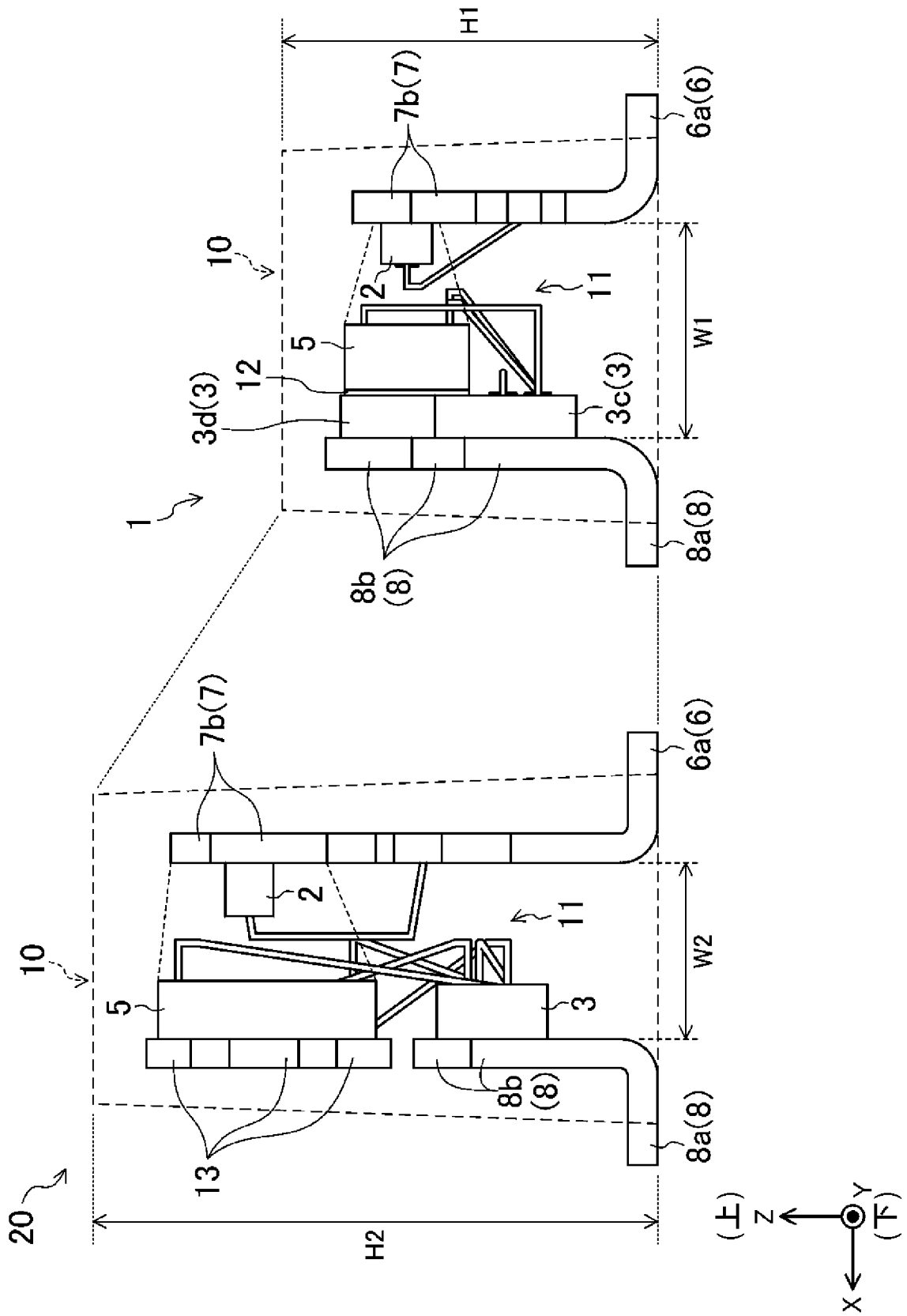
[図10]



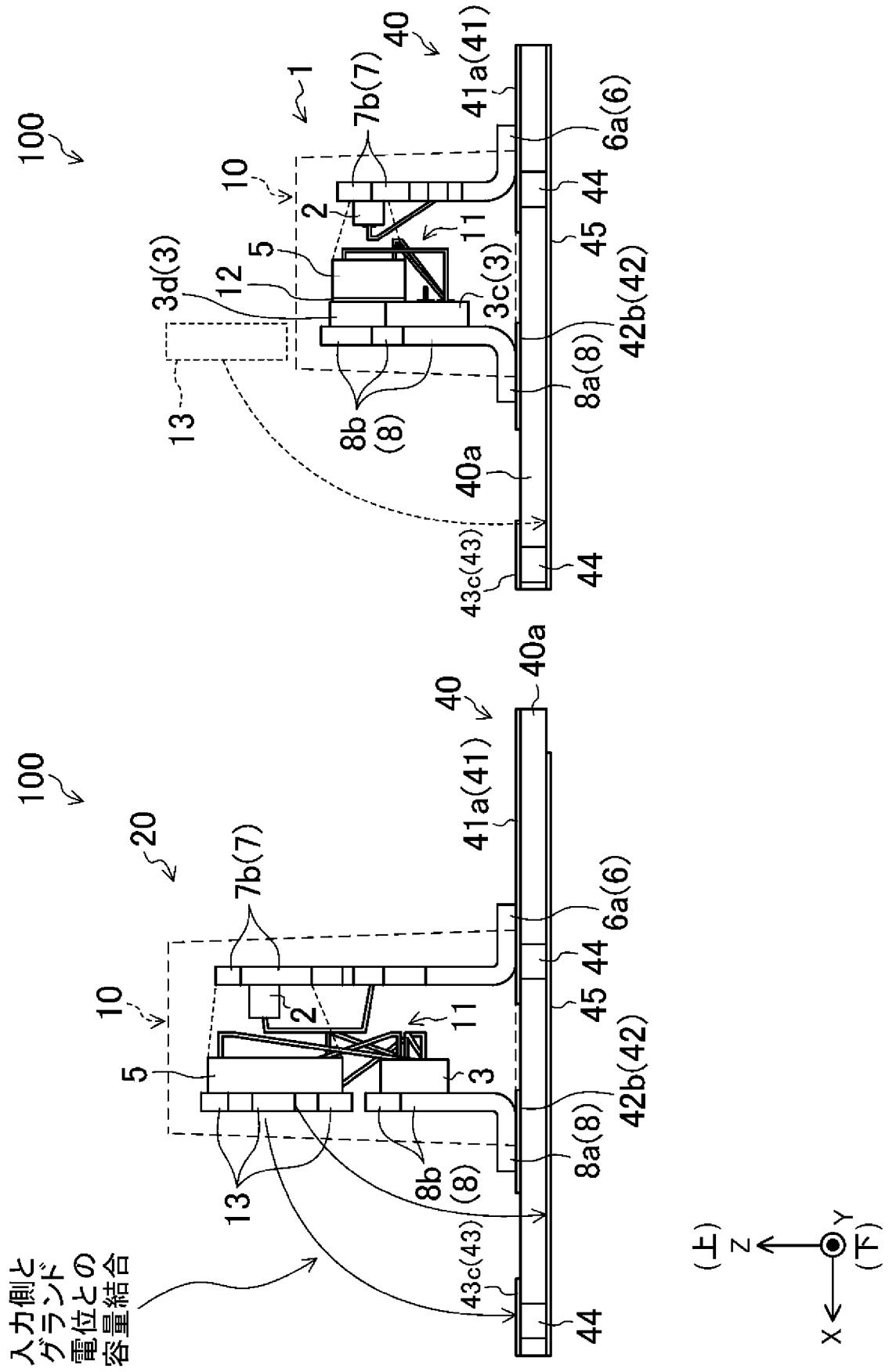
[図11]



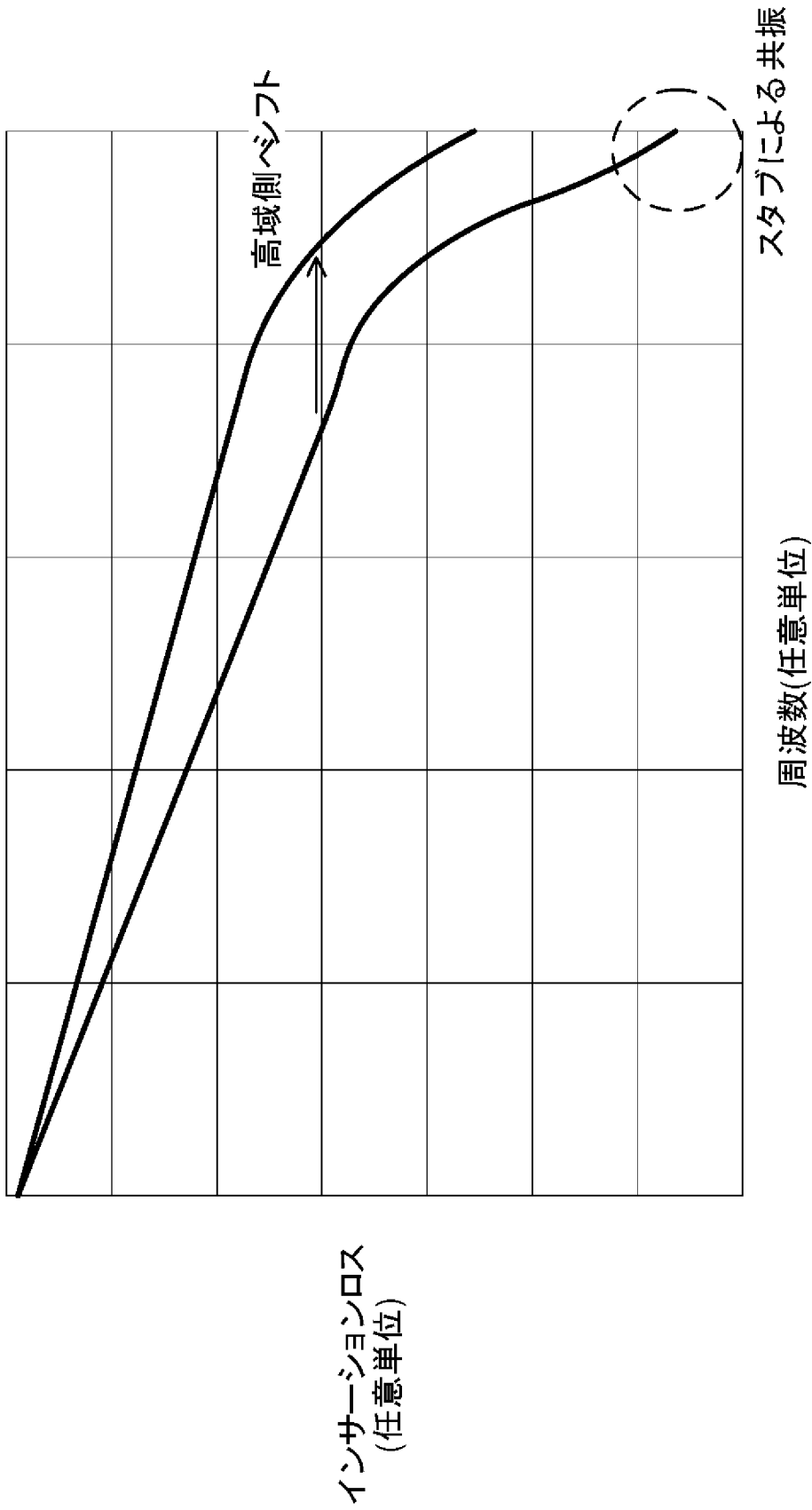
[図12]



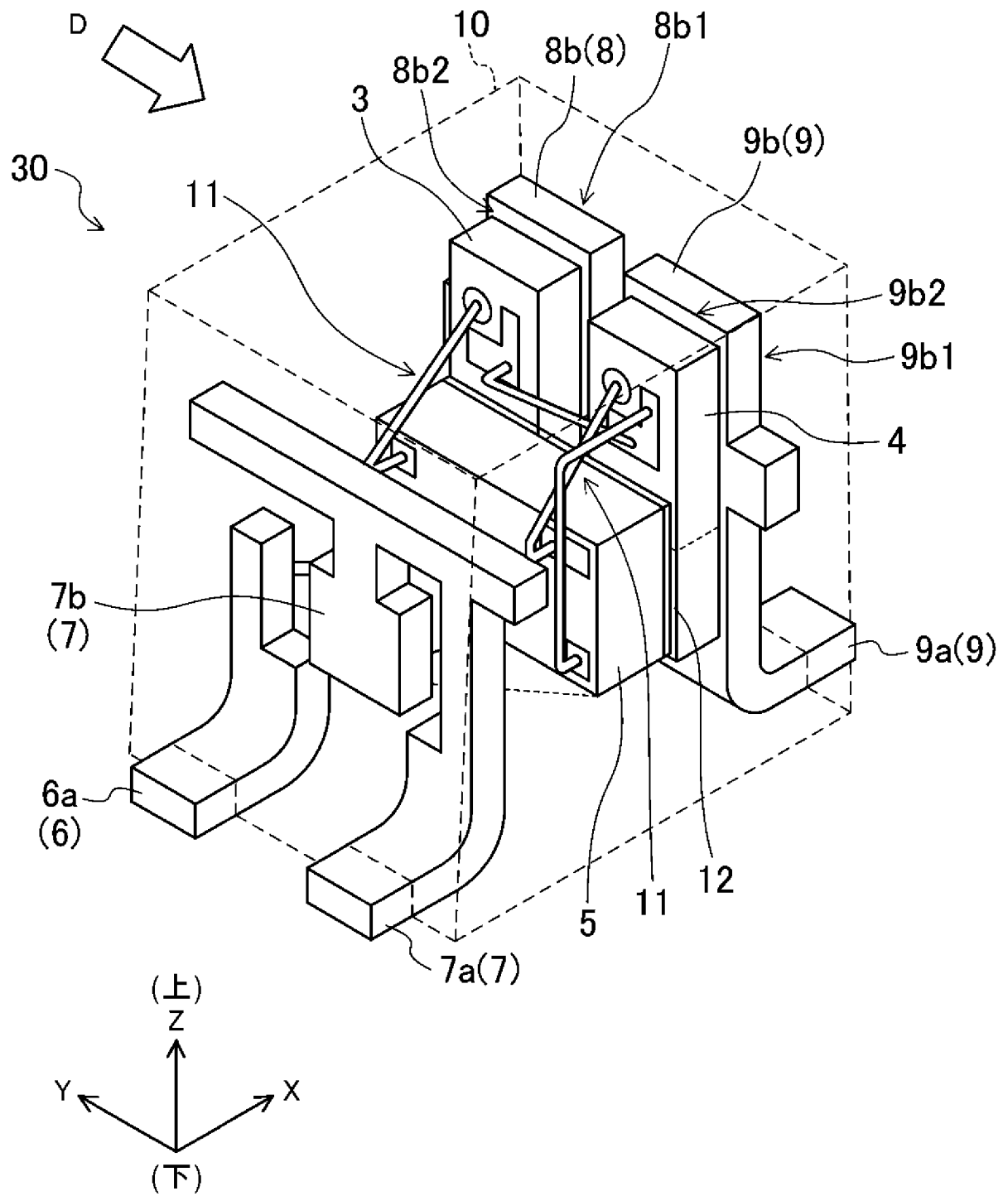
[図13]



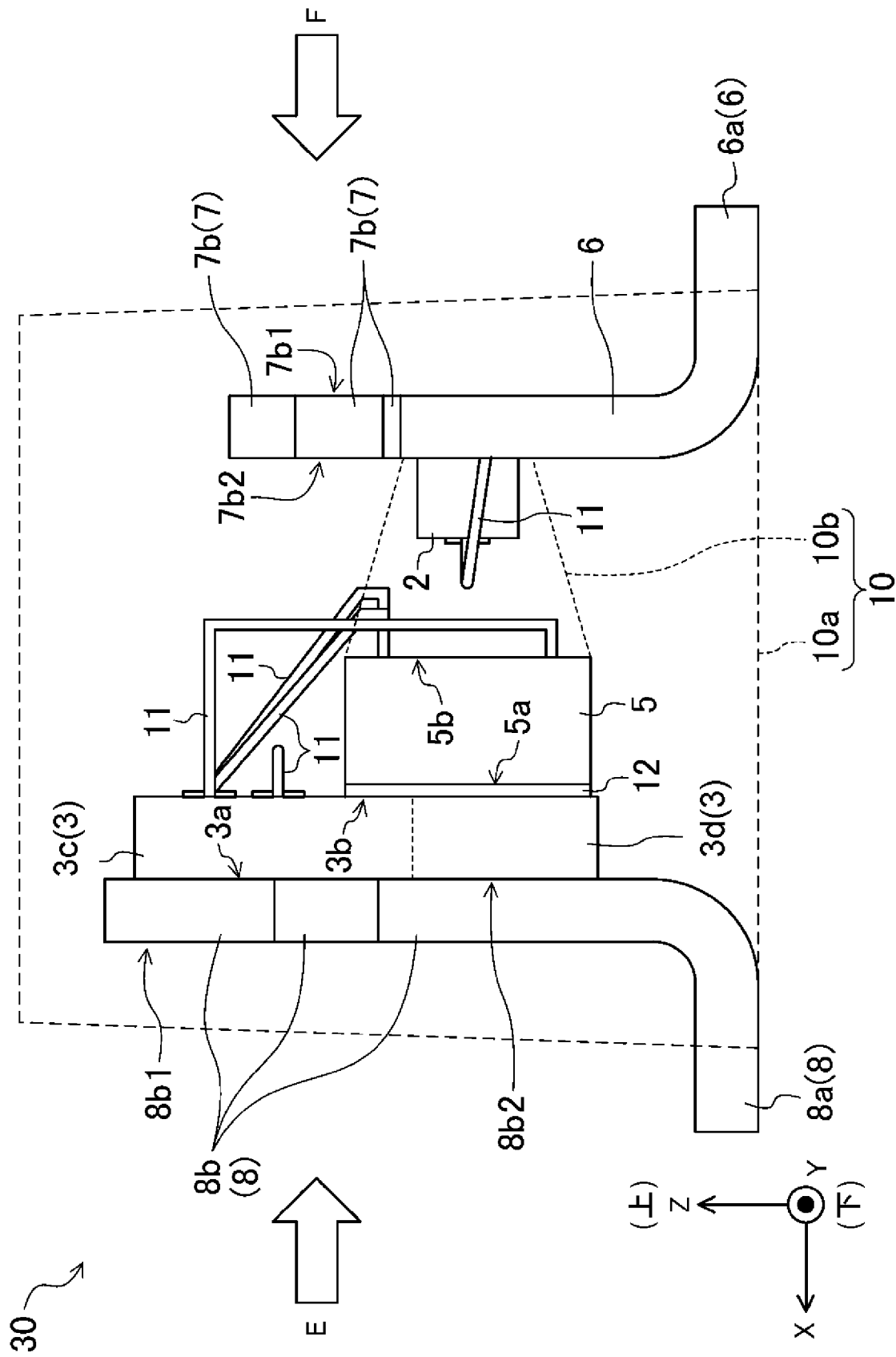
[図15]



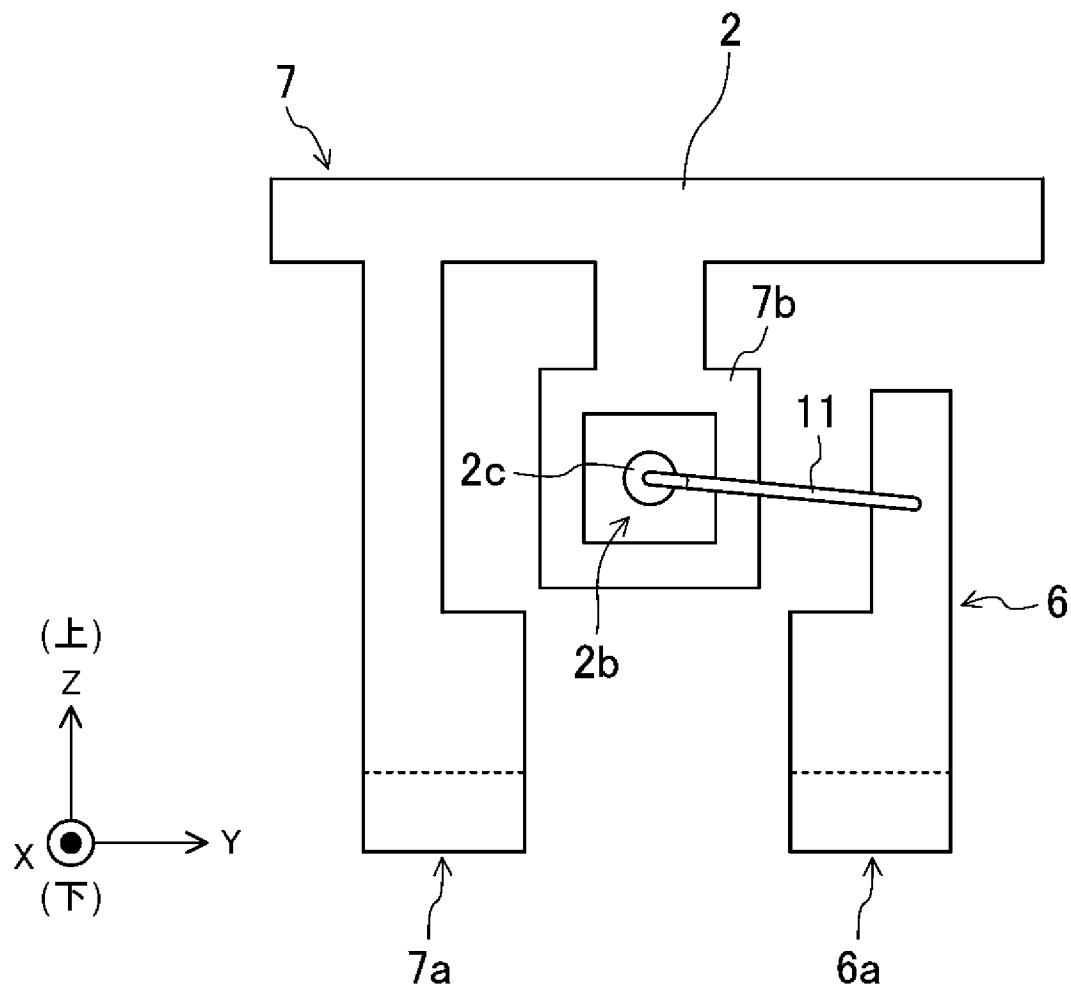
[図17]



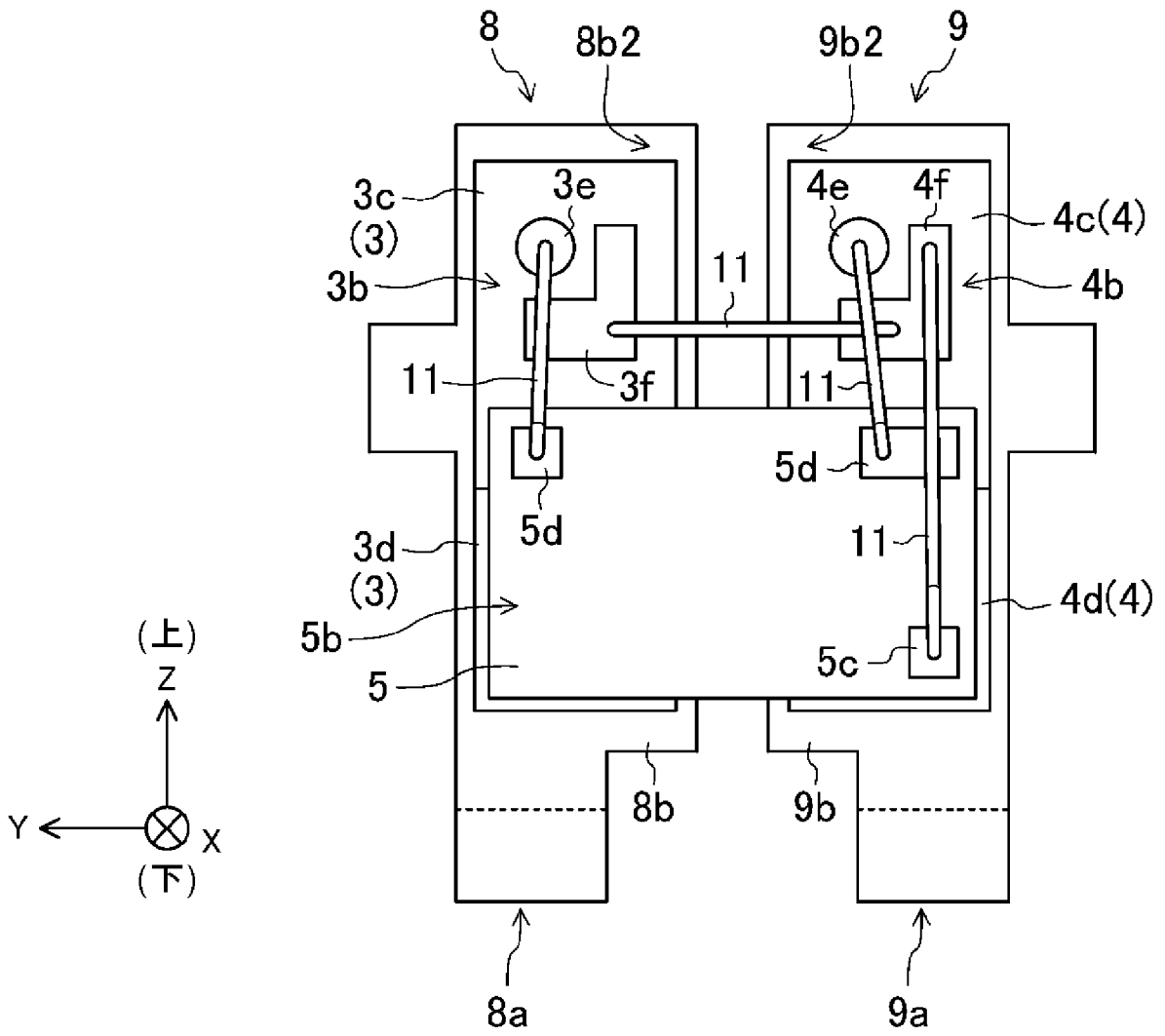
[図18]



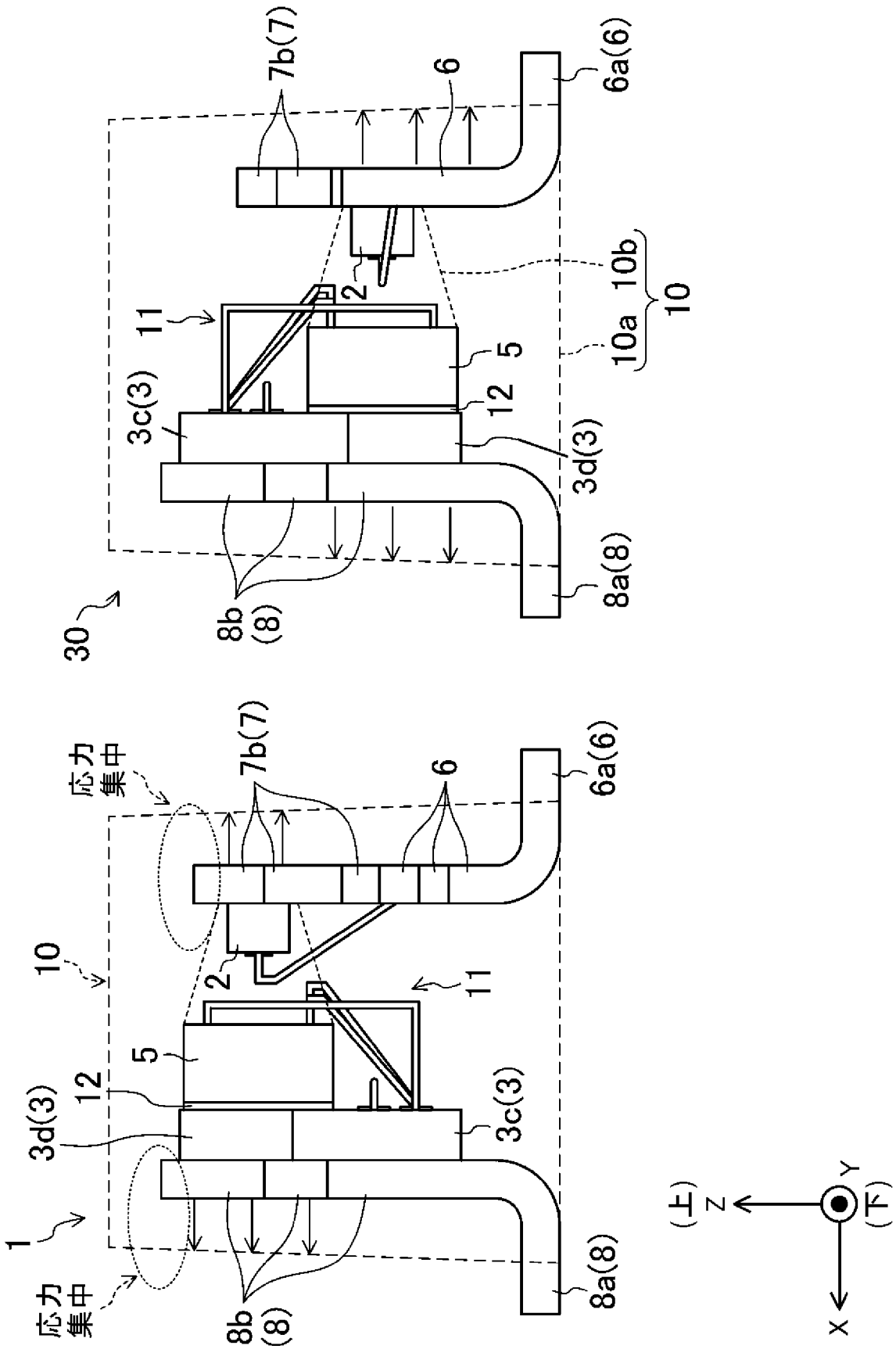
[図19]



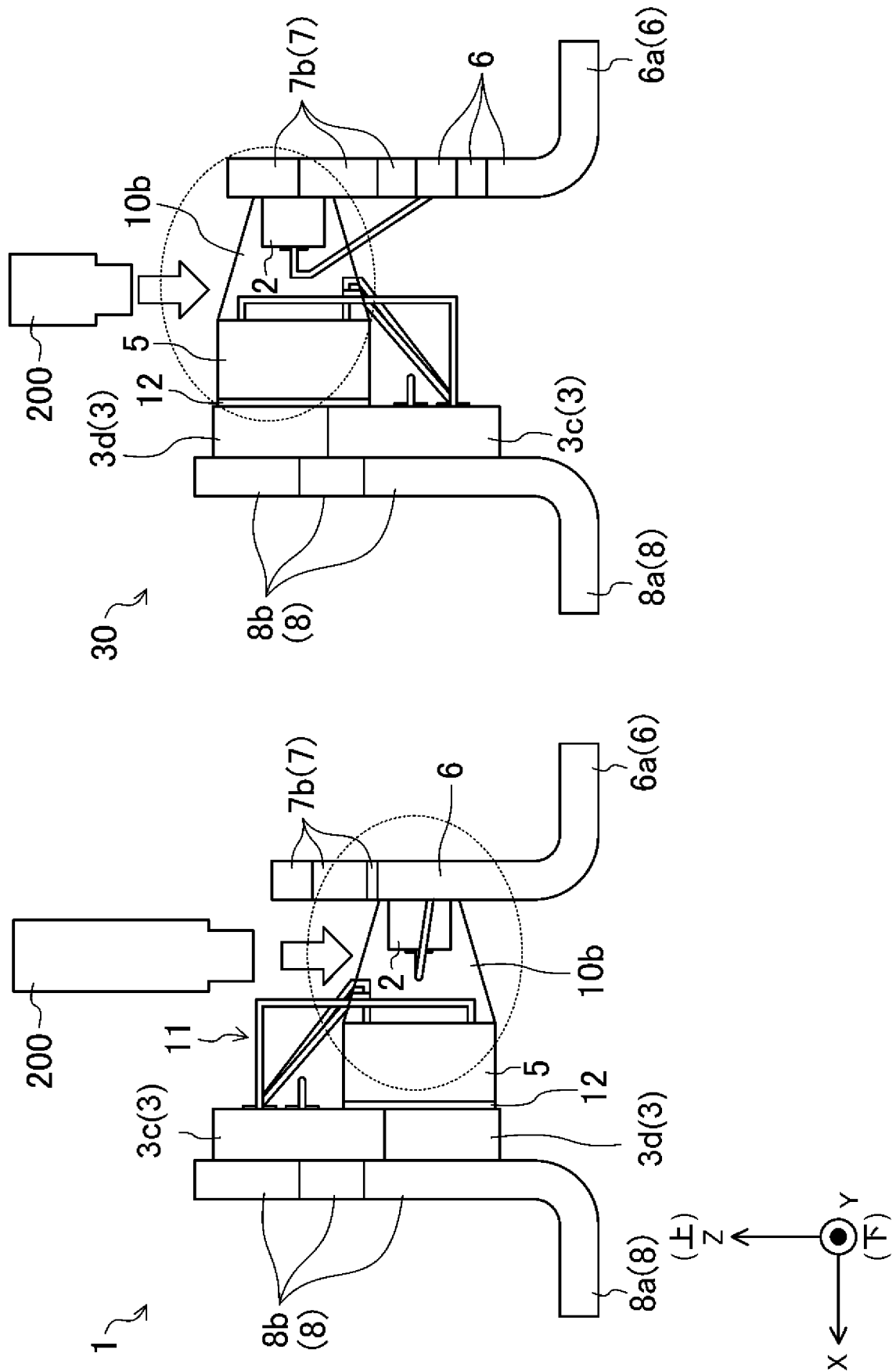
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/034355

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 31/12</i> (2006.01) FI: H01L31/12 C; H01L31/12 F		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L31/12-31/173; H03K17/78-17/795		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-166077 A (PANASONIC ELECTRIC WORKS CO., LTD.) 25 August 2011 (2011-08-25) paragraphs [0004]-[0006], [0010], [0013], [0016]-[0037], fig. 1-3, 11-12	1-3, 7-11
A		4-6
Y	JP 2021-125670 A (TOSHIBA CORP.) 30 August 2021 (2021-08-30) paragraphs [0009], [0022], [0039]-[0043], fig. 6	1-3, 7-11
A		4-6
A	JP 2005-123274 A (TOSHIBA CORP.) 12 May 2005 (2005-05-12)	1-11
A	JP 2021-125620 A (TOSHIBA CORP.) 30 August 2021 (2021-08-30)	1-11
A	JP 2020-96105 A (TOSHIBA CORP.) 18 June 2020 (2020-06-18)	1-11
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 01 December 2022		Date of mailing of the international search report 13 December 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/034355

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2011-166077	A	25 August 2011	US 2012/0199851 A1 paragraphs [0004]-[0006], [0010], [0014], [0017]-[0053], fig. 1-3, 13-14	
				WO 2011/042796 A1	
				KR 10-2012-0081125 A	
				CN 102656803 A	
				JP 2011-82916 A	
JP	2021-125670	A	30 August 2021	US 2021/0247567 A1 paragraphs [0019], [0032], [0054]-[0060], fig. 6A-6C	
				CN 113257946 A	
JP	2005-123274	A	12 May 2005	(Family: none)	
JP	2021-125620	A	30 August 2021	US 2021/0249391 A1	
				CN 113257947 A	
JP	2020-96105	A	18 June 2020	US 2020/0194411 A1	
				CN 111403542 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/12(2006.01)i FI: H01L31/12 C; H01L31/12 F		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L31/12-31/173; H03K17/78-17/795 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-166077 A (パナソニック電気株式会社) 25.08.2011 (2011-08-25) 段落[0004]-[0006], [0010], [0013], [0016]-[0037], 図1-3, 11-12	1-3, 7-11 4-6
Y A	JP 2021-125670 A (株式会社東芝) 30.08.2021 (2021-08-30) 段落[0009], [0022], [0039]-[0043], 図6	1-3, 7-11 4-6
A	JP 2005-123274 A (株式会社東芝) 12.05.2005 (2005-05-12)	1-11
A	JP 2021-125620 A (株式会社東芝) 30.08.2021 (2021-08-30)	1-11
A	JP 2020-96105 A (株式会社東芝) 18.06.2020 (2020-06-18)	1-11
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	01.12.2022	国際調査報告の発送日 13.12.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 原 俊文 2K 4078 電話番号 03-3581-1101 内線 3255	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/034355

引用文献	公表日	パテントファミリー文献	公表日
JP 2011-166077 A	25.08.2011	US 2012/0199851 A1 段落[0004]-[0006], [0010], [0014], [0017]- [0053], 図1-3, 13-14 WO 2011/042796 A1 KR 10-2012-0081125 A CN 102656803 A JP 2011-82916 A	
JP 2021-125670 A	30.08.2021	US 2021/0247567 A1 段落[0019], [0032], [0054]-[0060], 図6A-6C CN 113257946 A	
JP 2005-123274 A	12.05.2005	(ファミリーなし)	
JP 2021-125620 A	30.08.2021	US 2021/0249391 A1 CN 113257947 A	
JP 2020-96105 A	18.06.2020	US 2020/0194411 A1 CN 111403542 A	