



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월09일  
(11) 등록번호 10-1976446  
(24) 등록일자 2019년05월02일

(51) 국제특허분류(Int. Cl.)  
H01L 33/22 (2010.01) H01L 33/12 (2010.01)  
H01L 33/28 (2010.01)  
(21) 출원번호 10-2012-0116006  
(22) 출원일자 2012년10월18일  
심사청구일자 2017년10월17일  
(65) 공개번호 10-2014-0049780  
(43) 공개일자 2014년04월28일  
(56) 선행기술조사문헌  
KR1020110041272 A\*  
US20110129675 A1\*  
US20120141799 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엘지이노텍 주식회사  
서울특별시 중구 후암로 98 (남대문로5가)  
(72) 발명자  
최재훈  
서울 중구 한강대로 416, (남대문로5가, 서울스퀘어)  
송기영  
서울 중구 한강대로 416, (남대문로5가, 서울스퀘어)  
최낙준  
서울 중구 한강대로 416, (남대문로5가, 서울스퀘어)  
(74) 대리인  
허용특

전체 청구항 수 : 총 9 항

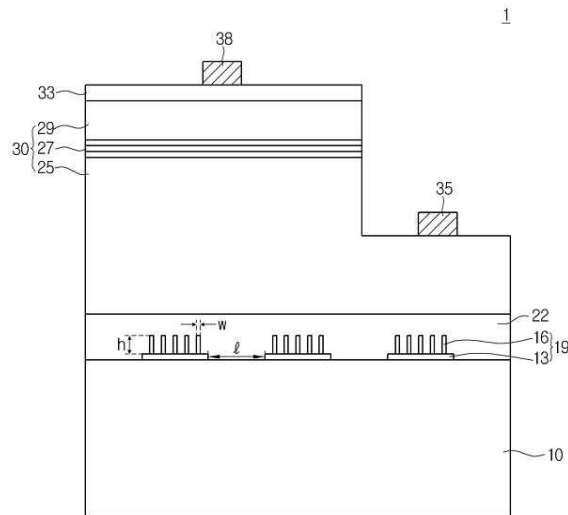
심사관 : 김동우

(54) 발명의 명칭 발광 소자 및 발광 소자 패키지

(57) 요약

발광 소자는 기판 상에 배치된 나노 구조물과, 나노 구조물 상에 배치된 발광 구조물을 포함한다. 나노 구조물은 기판 상에 배치된 다수의 그래핀 패턴과, 그래핀 패턴 상에 배치된 다수의 나노 텍스처를 포함한다.

대표도 - 도1



**명세서**

**청구범위**

**청구항 1**

기관;

상기 기관 상에 배치된 전극층;

상기 전극층 상에 제2도전형 반도체층, 상기 제2도전형 반도체층 상에 활성층, 상기 활성층 상에 제1도전형 반도체층을 구비하는 발광 구조물; 및

상기 제1도전형 반도체층 상에 다수의 나노 구조물을 포함하고,

상기 나노 구조물은,

상기 제1도전형 반도체층 상에 서로 이격되어 배치된 다수의 그래핀 패턴; 및

상기 그래핀 패턴의 하면으로부터 상기 제1도전형 반도체층 내부로 연장되며 상기 다수의 그래핀 패턴 각각에 배치되는 다수의 나노 텍스처; 및

상기 그래핀 패턴 상에 형성되어 상기 다수의 그래핀 패턴 사이를 연결시켜주는 연결부를 포함하고,

상기 나노 구조물은 상기 전극층과 수직으로 중첩되는 발광 소자.

**청구항 2**

제1항에 있어서,

상기 그래핀 패턴과 상기 연결부는 동일한 물질로 형성되는 발광 소자.

**청구항 3**

제2항에 있어서,

상기 나노 텍스처는 상기 그래핀 패턴 및 상기 연결부와 다른 재료로 형성되는 발광 소자.

**청구항 4**

제1항에 있어서,

상기 나노 텍스처는 상기 제1도전형 반도체층과 접촉하는 발광 소자.

**청구항 5**

제4항에 있어서,

상기 발광 구조물과 상기 전극층 사이의 둘레 영역에 형성되는 채널층을 포함하고,

상기 채널층의 상면 일부 영역은 상기 제2도전형 반도체층과 접촉하고 상기 채널층의 내측면 및 하면의 일부 영역은 상기 전극층과 접촉하는 발광 소자.

**청구항 6**

제2항 또는 제5항에 있어서,

상기 제1도전형 반도체층 상면 일부는 외부로 노출되는 발광 소자.

**청구항 7**

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 연결부의 폭은 상기 그래핀 패턴의 폭보다 좁은 발광 소자.

**청구항 8**

제1항 내지 제5항 중 어느 한 항에 있어서,  
상기 나노 텍스처의 높이는 상기 나노 텍스처의 폭보다 큰 발광 소자.

**청구항 9**

제1항 내지 제5항 중 어느 한 항에 있어서,  
상기 발광 구조물의 측면 및 상기 그래핀 패턴의 상면 일부에는 보호층이 배치되는 발광 소자.

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**발명의 설명**

**기술 분야**

[0001] 실시예는 발광 소자에 관한 것이다.

[0002] 실시예는 발광 소자 패키지에 관한 것이다.

**배경 기술**

[0003] 발광 소자를 구비한 발광 소자 패키지에 대한 연구가 활발하게 진행 중이다.

[0004] 발광 소자는 예컨대 반도체 물질로 형성되어 전기 에너지를 빛으로 변환하여 주는 반도체 발광 소자 또는 반도체

체 발광 다이오드이다.

- [0005] 반도체 발광 소자는 형광등, 백열등 등 기존의 광원에 비해 저소비전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경친화성의 장점을 가진다. 이에 기존의 광원을 반도체 발광 소자로 대체하기 위한 많은 연구가 진행되고 있다.
- [0006] 반도체 발광 소자는 실내외에서 사용되는 각종 램프, 액정표시장치, 전광판, 가로등 등의 조명 장치의 광원으로 사용이 증가되고 있는 추세이다.

**발명의 내용**

**해결하려는 과제**

- [0007] 실시예는 전류 스프레딩에 의한 발광 효율을 향상시킬 수 있는 발광 소자를 제공한다.
- [0008] 실시예는 전기적 특성과 광학적 특성을 향상시킬 수 있는 발광 소자를 제공한다.

**과제의 해결 수단**

- [0009] 실시예에 따르면, 발광 소자는, 기판; 상기 기판 상에 배치된 나노 구조물; 및 상기 나노 구조물 상에 배치된 발광 구조물을 포함한다. 상기 나노 구조물은, 상기 기판 상에 배치된 다수의 그래핀 패턴; 및 상기 그래핀 패턴 상에 배치된 다수의 나노 텍스처를 포함한다.
- [0010] 실시예에 따르면, 발광 소자는, 전극층; 상기 전극층 상에 배치된 발광 구조물; 및 상기 발광 구조물 상에 배치된 나노 구조물을 포함한다. 상기 나노 구조물은, 상기 기판 상에 배치된 다수의 그래핀 패턴; 및 상기 그래핀 패턴 상에 배치된 다수의 나노 텍스처를 포함한다.
- [0011] 실시예에 따르면, 발광 소자 패키지는, 몸체; 상기 몸체 상에 배치된 제1 및 제2 리드 전극; 상기 몸체, 상기 제1 및 제2 리드 전극 중 어느 하나의 위에 배치되는 발광 소자; 및 상기 발광 소자를 포위하는 몰딩 부재를 포함한다.

**발명의 효과**

- [0012] 실시예는 발광 구조물과 상기 기판 사이에 발광 구조물보다 작으며 기판보다 큰 격자 상수를 갖는 나노 구조물을 배치함으로써, 발광 구조물을 전위(dislocation) 없이 우수한 결정성으로 성장시킬 수 있다. 이와 같이 성장된 발광 구조물은 전기적 특성과 광학적 특성이 향상되어 발광 효율이 향상될 수 있다.
- [0013] 실시예는 수평형 발광 소자에 나노 구조물을 적용함으로써, 나노 구조물을 전자 차단층으로 활용하여 반도체층의 전자가 기판으로 주입되는 것을 차단하여 발광 효율을 향상시킬 수 있다.
- [0014] 실시예는 수평형 발광 소자에 나노 구조물을 적용함으로써, 나노 구조물을 전류 스프레딩으로 활용하여 나노 구조물과 투명 도전층 사이의 전 영역으로 전류가 흐르도록 하여 활성층의 전 영역으로 광이 생성되어 발광 효율이 향상될 수 있다.
- [0015] 실시예는 수직형 발광 소자에 나노 구조물을 적용함으로써, 나노 구조물을 전류 스프레딩으로 활용하여 나노 구조물과 전극층 사이의 전 영역으로 전류가 흐르도록 하여 활성층의 전 영역으로 광이 생성되어 발광 효율이 향상될 수 있다.

**도면의 간단한 설명**

- [0016] 도 1은 제1 실시예에 따른 발광 소자를 도시한 단면도이다.
- 도 2는 나노 구조물의 일 예시를 도시한 평면도이다.
- 도 3은 나노 구조물의 또 다른 예시를 도시한 평면도이다.
- 도 4는 제2 실시예에 따른 발광 소자를 도시한 평면도이다.
- 도 5는 도 4의 발광 소자를 A-A' 라인을 따라 절단한 단면도이다.
- 도 6은 도 4의 발광 소자를 B-B' 라인을 따라 절단한 단면도이다.

도 7은 도 4의 발광 소자에서 전류의 흐름을 도시한 도면이다.

도 8 내지 도 14는 제2 실시예에 따른 발광 소자를 제조하기 위한 공정도이다.

도 15는 실시예에 따른 발광 소자 패키지를 도시한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 발명에 따른 실시 예의 설명에 있어서, 각 구성 요소의 " 상(위) 또는 하(아래)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)는 두개의 구성 요소들이 서로 직접 접촉되거나 하나 이상의 또 다른 구성 요소가 두 개의 구성 요소들 사이에 배치되어 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)" 으로 표현되는 경우 하나의 구성 요소를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [0018] 도 1은 제1 실시예에 따른 발광 소자를 도시한 단면도이다.
- [0019] 도 1을 참조하면, 제1 실시예에 따른 발광 소자(1)는 기판(10), 다수의 나노 구조물(19), 발광 구조물(30), 투명 도전층(33) 및 제1 및 제2 전극(35, 38)을 포함할 수 있지만, 이에 대해서는 한정하지 않는다.
- [0020] 상기 발광 구조물(30)은 제1 도전형 반도체층(25), 활성층(27) 및 제2 도전형 반도체층(29)을 포함하지만, 이에 대해서는 한정하지 않는다.
- [0021] 상기 나노 구조물(19)은 그래핀(graphene) 패턴(13)과 다수의 나노 텍스처(nanotexture)(16)를 포함할 수 있지만, 이에 대해서는 한정하지 않는다.
- [0022] 실시예에 따른 발광 소자(1)는 상기 기판(10)과 상기 발광 구조물(30) 사이에 배치된 버퍼층(22)을 더 포함할 수 있다.
- [0023] 실시예에 따른 발광 소자(1)는 상기 발광 구조물(30)의 아래 및/또는 위에 배치된 또 다른 반도체층(미도시)을 더 포함할 수 있다.
- [0024] 실시예에 따른 발광 소자(1)는 상기 버퍼층(22)과 상기 발광 구조물(30) 사이에 배치된 언도프트 반도체층(미도시)을 더 포함할 수 있다.
- [0025] 상기 기판(10)은 상기 발광 구조물(30)을 용이하게 성장시켜 주는 역할을 하지만, 이에 대해서는 한정하지 않는다.
- [0026] 상기 발광 구조물(30)을 안정적으로 성장시키기 위해서 상기 기판(10)은 상기 발광 구조물(30)과의 격자 상수가 가급적 작은 차이를 갖는 물질로 형성될 수 있다.
- [0027] 상기 기판(10)은 사파이어( $Al_2O_3$ ), SiC, Si, GaAs, GaN, ZnO, Si, GaP, InP 및 Ge로 이루어지는 그룹으로부터 선택된 적어도 하나로 형성될 수 있다.
- [0028] 상기 기판(10)과 상기 발광 구조물(30) 사이에 상기 버퍼층(22)이 배치될 수 있다. 상기 버퍼층(22)은 상기 기판(10)과 상기 발광 구조물(30) 사이의 격자 상수 차이를 완화하여 주기 위해 형성될 수 있다.
- [0029] 상기 버퍼층(22)과 상기 발광 구조물(30)은 II-VI족 화합물 반도체 재질로 형성될 수 있다.
- [0030] 상기 버퍼층(22)이 상기 발광 구조물(30)을 용이하게 성장시켜 주기 위해 형성되더라도, 상기 발광 구조물(30)과 상기 기판(10) 사이의 격자 상수 차이로 인한 격자 결함, 예컨대 전위(dislocation)가 발생할 수 있다. 이러한 전위는 기판과 발광 구조물 사이의 격자 결함으로 인해 상기 발광 구조물에 수직 방향으로 형성된 경계선을 의미할 수 있다. 이러한 전위는 발광 소자의 전기적 및 광학적 특성을 저하시키며 발광 자체가 되지 않을 수도 있다.
- [0031] 이러한 문제를 해결하기 위해, 제1 실시예에서는 상기 기판(10)과 상기 버퍼층(22) 사이에 다수의 나노 구조물(19)을 배치시킬 수 있다.
- [0032] 도시되지 않았지만, 상기 버퍼층(22)을 사용하지 않는 경우, 상기 나노 구조물(19)은 상기 기판(10)과 상기 발광 구조물(30) 사이에 배치될 수 있다.
- [0033] 상기 나노 구조물(19) 각각은 그래핀 패턴(13)과 상기 그래핀 패턴(13) 상에 형성된 다수의 나노 텍스처(16)를 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

- [0034] 그래핀은 다양한 공정 방식에 의해 형성될 수 있다. 예컨대, 그래핀은 흑연의 산화-환원을 통한 화학적 합성법, CVD 성장법, 에피택시(epitaxy) 합성법 등을 이용하여 형성될 수 있다.
- [0035] 이와 같이 형성된 그래핀은 패터닝 공정을 통해 제1 실시예에 따른 그래핀 패턴(13)이 형성될 수 있다.
- [0036] 상기 그래핀 패턴(13)은 지금까지 알려진 물질 중에서 가장 얇으면서도, 전기나 열을 가장 잘 전도할 수 있을 뿐만 아니라 가장 유연한 물질이며, 또한 탄성이 매우 뛰어나 늘리거나 구부릴 수 있으며, 광이 투과될 수 있는 투광성 기능을 가질 수 있다.
- [0037] 상기 다수의 그래핀 패턴(13)은 상기 기판(10) 상에 형성될 수 있다.
- [0038] 상기 그래핀 패턴(13) 사이의 간격(1)은 0.1 $\mu$ m 내지 100 $\mu$ m일 수 있지만, 이에 대해서는 한정하지 않는다. 상기 그래핀 패턴(13) 사이의 간격(1)은 바람직하게 10 $\mu$ m 내지 50 $\mu$ m일 수 있다.
- [0039] 따라서, 상기 버퍼층(22)은 상기 그래핀 패턴(13) 사이를 통해 상기 기판(10)과 접하도록 형성될 수 있다.
- [0040] 상기 그래핀 패턴(13)은 미리 형성한 후 상기 기판(10) 상에 부착될 수 있다.
- [0041] 또는 상기 그래핀 패턴(13)은 상기 기판(10) 상에 직접 형성될 수 있다. 이러한 경우, 상기 기판(10) 상에 부분적으로 보호막을 형성하고, 화학적 합성법, CVD 성장법, 에피택시 합성법 등을 이용하여 상기 기판(10) 상에 그래핀막을 형성한 다음, 상기 보호막을 제거하면 상기 기판(10) 상에 다수의 그래핀 패턴(13)이 형성될 수 있지만, 이에 대해서는 한정하지 않는다.
- [0042] 상기 그래핀 패턴(13) 각각의 위에 다수의 나노 텍스처(16)를 형성할 수 있지만, 이에 대해서는 한정하지 않는다.
- [0043] 상기 그래핀 패턴(13) 상에 부분적으로 나노 텍스처(16)를 성장시키기 위해 상기 나노 텍스처(16)를 용이하게 형성시키기 위한 시드 패턴이 상기 그래핀 패턴(13) 상에 형성될 수 있지만, 이에 대해서는 한정하지 않는다.
- [0044] 상기 나노 텍스처(16)는 산화 아연(ZnO)로 형성될 수 있지만, 이에 대해서는 한정하지 않는다.
- [0045] 산화 아연의 격자 상수는 대략 3.25이다.
- [0046] 상기 기판(10)으로 사용되는 사파이어의 격자 상수는 대략 4.78이며, 상기 발광 구조물(30)로 사용될 수 있는 GaN의 격자 상수는 대략 3.18이다.
- [0047] 따라서, 산화 아연의 격자 상수는 사파이어의 격자 상수와 GaN의 격자 상수의 사이에 위치하게 되므로, 산화 아연으로 인해 GaN가 사파이어 상에서 전위(dislocation)의 발생 없이 잘 성장될 수 있다.
- [0048] 상기 나노 텍스처(16)는 다수의 나노 로드(nanorod)일 수 있지만, 이에 대해서는 한정하지 않는다. 상기 나노 로드는 서로 간에 일정한 간격으로 이격되거나 서로 간에 불규칙한 간격으로 이격될 수 있다.
- [0049] 상기 나노 로드는 높이가 폭보다 더 큰 구조를 가질 수 있지만, 이에 대해서는 한정하지 않는다.
- [0050] 예컨대, 상기 나노 텍스처(16)의 폭(W)은 5nm 내지 500nm일 수 있지만, 이에 대해서는 한정하지 않는다. 상기 나노 텍스처(16)의 폭(W)은 바람직하게 50nm 내지 200nm일 수 있다.
- [0051] 예컨대, 상기 나노 텍스처(16)의 높이(h)는 10nm 내지 3 $\mu$ m일 수 있지만, 이에 대해서는 한정하지 않는다. 상기 나노 텍스처(16)의 높이(h)는 바람직하게 500nm 내지 1 $\mu$ m일 수 있다.
- [0052] 이와 같이, 상기 나노 텍스처(16)의 높이(h)를 상기 나노 텍스처(16)의 폭(W)보다 크게 함으로써, 상기 나노 구조물(19) 상에 버퍼층(22)이나 발광 구조물(30)을 성장시킬 때, II-VI족 화합물 반도체 재질, 예컨대 GaN가 상기 나노 텍스처(16) 사이에서 주로 수직 방향으로 성장되고 상기 나노 텍스처(16) 상에서 수직 방향과 수평 방향으로 성장되게 되어, 궁극적으로 전위가 발생되지 않아 우수한 결정성(crystallinity)을 얻을 수 있어 발광 소자(1)의 전기적 특성과 광학적 특성이 향상될 수 있다.
- [0053] 예컨대, 상기 버퍼층(22)의 두께는 20nm 내지 50nm일 수 있지만, 이에 대해서는 한정하지 않는다.
- [0054] 이러한 경우, 상기 버퍼층(22)의 두께보다 상기 나노 텍스처(16)의 높이(h)가 더 클 수 있다. 따라서, 상기 버퍼층(22)의 상면보다 상기 나노 텍스처(16)의 상면이 더 높게 위치될 수 있다. 즉, 상기 나노 텍스처(16)가 상기 나노 텍스처(16) 사이에 형성될 수 있다. 따라서, 상기 나노 텍스처(16) 사이의 상기 버퍼층(22) 위 그리고 상기 나노 텍스처(16) 위로 상기 발광 구조물(30)이 형성될 수도 있다.

- [0055] 만일 상기 나노 텍스처(16)의 높이(h)보다 상기 버퍼층(22)의 두께가 더 큰 경우, 상기 나노 텍스처(16) 사이 그리고 상기 나노 텍스처(16) 위로 상기 버퍼층(22)이 형성될 수 있다.
- [0056] 아직 설명되지 않았지만, 상기 발광 구조물(30)의 제1 도전형 반도체층(25)의 두께는 2 $\mu$ m 내지 3 $\mu$ m일 수 있지만, 이에 대해서는 한정하지 않는다.
- [0057] 만일 상기 나노 구조물(19) 상에 버퍼층(22)을 사용하지 않고 직접 상기 발광 구조물(30)이 형성되는 경우, 상기 나노 텍스처(16) 사이 그리고 상기 나노 텍스처(16) 위에 상기 발광 구조물(30)이 형성될 수 있다.
- [0058] 상기 나노 구조물(19)은 도 2 및 도 3에 도시한 바와 같은 형상을 가질 수 있지만, 이에 대해서는 한정하지 않는다.
- [0059] 즉, 도 2에 도시한 바와 같이, 상기 그래핀 패턴(13)은 원형으로 형성될 수도 있고, 도 3에 도시한 바와 같이, 상기 그래핀 패턴(13)은 장방향으로 길게 연장된 바 형상으로 형성될 수도 있다.
- [0060] 상기 그래핀 패턴(13) 사이는 서로 일정한 간격으로 또는 서로 불균일한 간격으로 이격될 수 있다.
- [0061] 상기 나노 구조물(19) 상에 버퍼층(22)이 형성될 수 있다. 상기 버퍼층(22)은 II-VI족 화합물 반도체 재질로 형성될 수 있다. 예컨대, 상기 버퍼층(22)은 GaN, InN, AlGaN 및 InGaN 중 하나 또는 이들의 다층 구조로 형성될 수 있지만, 이에 대해서는 한정하지 않는다.
- [0062] 도 1에 도시한 바와 같이, 상기 버퍼층(22)은 상기 나노 구조물(19)의 그래핀 패턴(13) 사이를 통해 상기 기판(10)에 접하며, 상기 나노 구조물(19)의 다수의 나노 텍스처(16) 사이를 통해 상기 그래핀 패턴(13)에 접하며, 상기 나노 텍스처(16) 위에 형성될 수 있다. 이는 상기 버퍼층(22)의 두께가 상기 나노 텍스처(16)의 높이보다 더 클 경우에 해당한다.
- [0063] 도시되지 않았지만, 상기 버퍼층(22)의 두께가 상기 나노 텍스처(16)의 높이보다 더 작은 경우, 상기 버퍼층(22)은 상기 나노 구조물(19)의 그래핀 패턴(13) 사이를 통해 상기 기판(10)에 접하며, 상기 나노 구조물(19)의 다수의 나노 텍스처(16) 사이에 상기 나노 텍스처(16)의 상면보다 낮은 위치에 형성될 수 있다. 이러한 경우, 상기 나노 텍스처(16) 위로는 상기 버퍼층(22)이 형성되지 않는다. 이는 상기 버퍼층(22)이 상기 나노 텍스처(16)를 시드로 하기보다는 상기 그래핀 패턴(13)이 상기 기판(10)을 시드로 하기 때문이다. 즉, 상기 버퍼층(22)은 상기 기판(10)으로부터 수직 방향으로 성장하고 또한 상기 나노 텍스처(16) 사이의 그래핀 패턴(13)으로부터 수직 방향으로 성장되지만, 상기 나노 텍스처(16) 위로부터는 성장되지 않기 때문에, 상기 버퍼층(22)이 상기 나노 텍스처(16) 위에는 형성되지 않게 된다.
- [0064] 하지만, 도 1에 도시한 바와 같이, 만일 상기 버퍼층(22)의 두께가 상기 나노 텍스처(16)의 높이보다 큰 경우, 상기 버퍼층(22)은 상기 나노 텍스처(16) 사이의 상기 그래핀 패턴(13)으로부터 수직 방향으로 성장될 수 있다. 그리고 상기 나노 텍스처(16) 사이에서 상기 나노 텍스처(16)의 상면 이상부터 수직 방향과 수평 방향 모두로 성장됨에 따라 상기 나노 텍스처(16) 위에서 인접하는 나노 텍스처(16) 사이에서 성장된 버퍼층(22)이 서로 접하게 되어 상기 나노 텍스처(16) 상에서도 버퍼층(22)이 형성될 수 있다.
- [0065] 이러한 버퍼층(22)의 나노 구조물(19) 상에서의 성장 원리는 버퍼층(22)을 사용하는 대신에 나노 구조물(19) 상에 발광 구조물(30)을 성장시킬 때에도 동일하게 적용될 수 있을 것이다.
- [0066] 상기 버퍼층(22) 또는 상기 나노 구조물(19) 상에 발광 구조물(30)이 형성될 수 있다.
- [0067] 상기 발광 구조물(30)은 예컨대, 제1 도전형 반도체층(25), 활성층(27) 및 제2 도전형 반도체층(29)을 포함할 수 있다. 상기 제1 도전형 반도체층(25)은 상기 버퍼층(22) 또는 상기 나노 구조물(19) 상에 형성되고, 상기 활성층(27)은 상기 제1 도전형 반도체층(25) 상에 형성되며, 상기 제2 도전형 반도체층(29)은 상기 활성층(27) 상에 형성될 수 있다.
- [0068] 상기 제1 도전형 반도체층(25)은 예를 들어, n형 도펀트를 포함하는 n형 반도체층일 수 있다. 상기 제n형 반도체층은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재질, 예를 들어 InAlGaN, GaN, AlGaN, InGaN, AlN, InN 및 AlInN로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있으며, Si, Ge, Sn 등의 n형 도펀트가 도핑될 수 있다.
- [0069] 상기 제1 도전형 반도체층(25) 상에는 상기 활성층(27)이 형성될 수 있다.
- [0070] 상기 활성층(27)은 상기 제1 도전형 반도체층(25)을 통해서 주입되는 제1 캐리어, 예컨대 전자와 상기 제2 도전

형 반도체층을 통해서 주입되는 제2 캐리어, 예컨대 정공이 서로 결합되어, 상기 활성층(27)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드갭(Band Gap) 차이에 상응하는 파장을 갖는 빛을 방출하는 층이다.

- [0071] 상기 활성층(27)은 다중 양자 우물 구조(MQW), 양자점 구조 또는 양자선 구조 중 어느 하나를 포함할 수 있다. 상기 활성층(27)은 II-VI족 화합물 반도체들을 우물층과 장벽층의 주기로 반복 형성될 수 있다.
- [0072] 예를 들면 InGaN 우물층/GaN 장벽층의 주기, InGaN 우물층/AlGaN 장벽층의 주기, InGaN우물층/InGaN 장벽층의 주기 등으로 형성될 수 있다. 상기 장벽층의 밴드갭은 상기 우물층의 밴드갭보다 크게 형성될 수 있다.
- [0073] 상기 활성층(27) 상에 상기 제2 도전형 반도체층(29)이 형성될 수 있다. 상기 제2 도전형 반도체층(29)은 예를 들어, p형 도펀트를 포함하는 p형 반도체층일 수 있다. 상기 p형 반도체층은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재질, 예를 들어 InAlGaN, GaN, AlGaN, InGaN, AlN, InN 및 AlInN로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.
- [0074] 상기 제2 도전형 반도체층(29) 상에는 투명 도전층(33)이 형성되고, 상기 투명 도전층(33) 상의 일부 영역에 제2 전극(38)이 형성될 수 있다.
- [0075] 상기 발광 구조물(30)의 제1 도전형 반도체층(25) 상의 일부 영역에 제1 전극(35)이 형성될 수 있다. 이를 위해, mesa 식각에 의해 상기 제2 도전형 반도체층(29)과 상기 활성층(27)이 제거되고 상기 제1 도전형 반도체층(25)의 상면의 일부분이 제거될 수 있다. 이와 같이 제거된 제1 도전형 반도체층(25) 상에 상기 제1 전극(35)이 형성될 수 있다.
- [0076] 상기 제2 전극(38)은 발광 소자(1)의 최상부에 형성되고, 상기 제1 전극(35)은 발광 소자(1)의 측면 상에 형성됨에 따라, 제1 및 제2 전극(35, 38)에 전원이 인가되면 전류가 제1 및 제2 전극(35, 38) 사이의 최단 경로에 해당하는 발광 구조물(30)로 흐르기 때문에 발광 구조물(30)의 활성층(27)의 전 영역에서 발광이 되지 않을 수 있다.
- [0077] 따라서, 상기 제2 도전형 반도체층(29)과 상기 제2 전극(38) 사이에 상기 제2 도전형 반도체층(29)의 전 영역 상에 투명 도전층(33)을 형성하여 줌으로써, 제2 전극(38)을 통해 투명 도전층(33)의 전 영역으로 전류가 스프레딩되어 상기 제1 전극(35)과 상기 투명 전극층(33)의 전 영역 사이로 전류가 흐르게 되어 발광 구조물(30)의 활성층(27)의 전 영역에서 발광이 되어 발광 효율을 향상시킬 수 있다.
- [0078] 상기 제1 및 제2 전극(35, 38)은 동일한 전극 물질 또는 상이한 전극 물질로 형성될 수 있다.
- [0079] 상기 제1 및 제2 전극(35, 38)은 불투명한 금속 재질을 포함하는데, 예컨대 알루미늄(Al), 티타늄(Ti), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 텅스텐(W), 구리(Cu) 및 몰리브덴(Mo)으로 이루어지는 그룹으로부터 선택된 하나 또는 이들의 합금을 포함할 수 있지만, 이에 한정하지 않는다.
- [0080] 상기 투명 도전층(33)은 광을 투과시키는 우수한 투광성과 전기적 전도도를 갖는 도전성 물질로 형성되는데, 예컨대 ITO, IZO(In-ZnO), GZO(Ga-ZnO), AZO(Al-ZnO), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), IrOx, RuOx, RuOx/ITO, Ni/IrOx/Au 및 Ni/IrOx/Au/ITO로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0081] 도 4는 제2 실시예에 따른 발광 소자를 도시한 평면도이고, 도 5는 도 4의 발광 소자를 A-A' 라인을 따라 절단한 단면도이며, 도 6은 도 4의 발광 소자를 B-B' 라인을 따라 절단한 단면도이다.
- [0082] 제1 실시예의 제1 및 제2 전극(35, 38)을 대신하여, 제2 실시예에서는 나노 구조물(19)가 전극 역할을 할 수 있다. 따라서, 나노 구조물(19)과 전극층(50)은 서로 수직으로 중첩되는 구조로 배치될 수 있다. 아울러, 제2 실시예에서, 전극층(50)은 적어도 발광 구조물(30)의 활성층(27)보다 큰 사이즈를 가지고 반사 특성을 가지므로, 상기 활성층(27)에서 생성된 광을 전방으로 반사시켜 주어 발광 효율이 향상될 수 있다.
- [0083] 도 4 내지 도 6을 참조하면, 제2 실시예에 따른 발광 소자(1A)는 지지 기판(41), 접합층(43), 전극층(50), 채널층(47), 발광 구조물(30), 나노 구조물(19) 및 보호층(57)을 포함할 수 있다.
- [0084] 상기 지지 기판(41), 상기 접합층(43) 및 상기 전극층(50)은 전원을 공급하여 주기 위한 전극 부재를 형성할 수 있다.
- [0085] 상기 지지 기판(41)은 그 위에 형성되는 복수의 층들을 지지할 뿐만 아니라 전극으로서의 기능을 가질 수 있다. 상기 지지 기판(41)은 상기 나노 구조물(19)과 함께 상기 발광 구조물(30)에 전원을 공급하여 줄 수 있다.



- [0086] 상기 지지 기판(41)은 금속 물질 또는 반도체 물질로 형성될 수 있지만, 이에 대해서는 한정하지 않는다. 상기 지지 기판(41)은 전기 전도성과 열 전도성이 높은 물질로 형성될 수 있다. 상기 지지 기판(41)은 예를 들어, 티탄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 구리(Cu), 구리합금(Cu Alloy), 몰리브덴(Mo) 및 구리-텅스텐(Cu-W)로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함하는 금속 물질일 수 있다. 상기 지지 기판은 예를 들어, Si, Ge, GaAs, GaN, ZnO, SiGe 및 SiC로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함하는 반도체 물질일 수 있다.
- [0087] 상기 지지 기판(41)은 상기 발광 구조물(30) 아래에 도금 또는/및 증착되거나, 시트(sheet) 형태로 부착될 수 있으며, 이에 대해 한정하지는 않는다.
- [0088] 상기 지지 기판(41) 상에는 상기 접합층(43)이 형성될 수 있다. 상기 접합층(43)은 상기 전극층(50)과 상기 지지 기판(41) 사이에 형성된다. 상기 접합층(43)은 전극층(50)과 상기 지지 기판(41) 사이의 접착력을 강화시켜 주는 매개체 역할을 할 수 있다.
- [0089] 상기 접합층(43)은 배리어 금속 또는 본딩 금속 등을 포함할 수 있다. 상기 접합층(43)은 접합성과 열 전도성이 높은 금속 물질로 형성될 수 있다. 상기 접합층(43)은 예를 들어, Ti, Au, Sn, Ni, Nb, Cr, Ga, In, Bi, Cu, Ag 및 Ta로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0090] 상기 접합층(43) 상에는 도시되지 않은 배리어층이 형성될 수 있다. 상기 배리어층은 그 하부에 형성된 상기 접합층(43)과 상기 지지 기판(41)에 포함된 물질이 그 상부에 형성된 전극층(50)이나 발광 구조물(30)로 확산되어 발광 소자(1A)의 특성이 저하되는 것을 방지할 수 있다.
- [0091] 상기 배리어층은 Ni, Pt, Ti, W, V, Fe 및 Mo로 이루어지는 그룹으로부터 선택된 단일 층 또는 이들의 두 개 이상의 적층을 포함할 수 있다.
- [0092] 상기 배리어층은 상기 전극층(50)의 하면과 접하도록 형성될 수 있다.
- [0093] 상기 접합층(43)의 상면은 중심 영역에 대해 주변 영역이 상부 방향, 즉 상기 발광 구조물(30)로 더 연장되도록 형성된 그루브(groove)를 가질 수 있지만, 이에 대해서는 한정하지 않는다. 상기 접합층(43)의 상면의 중심 영역에 접하거나 상기 그루브에 전극층(50)이 형성될 수 있지만, 이에 대해서는 한정하지 않는다.
- [0094] 도시되지 않았지만, 상기 접합층(43)의 상면은 중심 영역과 주변 영역 모두 동일 라인 상에 위치될 수 있다.
- [0095] 다시 말해, 상기 접합층(43)의 상면의 전 영역은 평평한 면을 가질 수 있다. 이러한 경우, 상기 전극층(50)은 상기 접합층(43)의 상면의 중심 영역 상에 형성되거나 상기 접합층(43)의 상면의 전 영역 상에 형성될 수 있다.
- [0096] 다시 말해, 상기 전극층(50)의 사이즈는 상기 접합층(43)의 사이즈보다 작거나 상기 접합층(43)의 사이즈와 동일할 수 있다.
- [0097] 상기 전극층(50)의 상면과 상기 채널층(47)의 상면이 동일 라인 상에 형성될 수 있다.
- [0098] 상기 전극층(50)의 하면과 상기 채널층(47)의 하면은 상이한 위치로 형성될 수 있다. 즉, 상기 전극층(50)이 상기 접합층(43)의 그루브가 형성된 상기 접합층(43)의 중심 영역 상에 형성되고 상기 채널층(47)이 상기 접합층(43)의 주변 영역 상에 형성되기 때문에, 상기 전극층(50)의 하면이 상기 채널층(47)의 하면보다 더 낮은 위치에 형성될 수 있다.
- [0099] 도 5 및 도 6에 도시한 바와 같이, 상기 전극층(50)의 일부 영역은 상기 채널층(47)의 하면과 수직 방향으로 중첩되도록 형성될 수 있다. 다시 말해, 상기 채널층(47)의 내측 영역은 상기 전극층(50)의 끝단을 지나 내측으로 연장되도록 형성될 수 있다.
- [0100] 상기 전극층(50)은 상기 발광 구조물(30)로부터 입사되는 광을 반사시켜 주어, 광 추출 효율을 개선시켜 줄 수 있다.
- [0101] 상기 전극층(50)은 상기 발광 구조물(30)과 오믹 콘택(ohmic contact)되어, 전류가 발광 구조물(30)로 흐르도록 할 수 있다.
- [0102] 상기 전극층(50)은 도시되지 않았지만, 상기 접합층(43)의 상면에 접촉하여 형성된 반사층과 상기 반사층의 상면과 상기 발광 구조물의 하면 사이에 형성된 오믹 콘택층을 포함할 수 있다.
- [0103] 상기 전극층은 반사 물질과 오믹 콘택 물질이 혼합된 단일 층으로 형성될 수 있다. 이러한 경우, 상기 전극층

(50)은 반사층과 오믹 콘택층을 별개로 형성할 필요가 없다.

- [0104] 상기 반사 물질로는 예를 들어, Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au 및 Hf로 이루어지는 그룹으로부터 선택된 적어도 하나 또는 둘 이상의 합금이 사용되지만, 이에 대해서는 한정하지 않는다. 상기 오믹 콘택 물질로는 투명한 도전 물질이 사용될 수 있는데, 예를 들어 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IrO<sub>x</sub>, RuO<sub>x</sub>, RuO<sub>x</sub>/ITO, Ni, Ag, Ni/IrO<sub>x</sub>/Au, 및 Ni/IrO<sub>x</sub>/Au/ITO로 이루어지는 그룹으로부터 선택된 적어도 하나가 사용될 수 있다.
- [0105] 상기 전극층(50)은 예를 들어, IZO/Ni, AZO/Ag, IZO/Ag/Ni 및 AZO/Ag/Ni 중 어느 하나를 포함하는 다층으로 구성될 수 있다.
- [0106] 상기 전극층(50)은 적어도 상기 발광 구조물(30)과 오믹 콘택될 수 있다. 따라서, 상기 전극층(50)과 오믹 콘택되는 상기 발광 구조물(30)로 원활하게 전류가 공급되어 발광 효율이 향상될 수 있다.
- [0107] 상기 전극층(50)은 발광 구조물(30) 및 상기 채널층(47)의 하면에 중첩되도록 형성될 수 있다. 상기 발광 구조물(30)로부터의 광을 모두 반사시키기 위해 상기 전극층(50)은 적어도 상기 발광 구조물(30), 특히 활성층(27)보다 큰 면적을 가질 수 있다.
- [0108] 상기 전극층(50) 상에 채널층(47)이 형성될 수 있다. 상기 채널층(47)은 제2 도전형 반도체층(29)의 주변 영역을 따라 형성될 수 있다. 상기 전극층(50)의 예지 영역의 둘레를 따라 상기 채널층(47)이 형성될 수 있다. 즉, 상기 채널층(47)은 상기 발광 구조물(30)과 상기 전극층(50) 사이의 둘레 영역에 형성될 수 있다. 구체적으로, 상기 채널층(47)은 상기 전극층(50) 및 상기 발광 구조물(30)에 적어도 일부가 둘러싸이도록 형성될 수 있다. 예를 들어, 상기 채널층(47)의 상면의 일부 영역은 제2 도전형 반도체층(29)과 접촉되고, 상기 채널층(47)의 내측면 및 하면의 일부 영역은 상기 전극층(50)과 접촉될 수 있지만, 이에 대해 한정하지 않는다. 상기 채널층(47)의 하면의 다른 영역은 상기 접합층(43)의 상면의 주변 영역과 접하여 형성될 수 있다.
- [0109] 상기 채널층(47)은 외부의 이물질에 의한 상기 접합층(43)의 측면과 상기 발광 구조물(30)의 측면 사이의 전기적인 쇼트를 방지하여 줄 수 있다. 만일 전극층(50)이 상기 접합층(43)의 전 영역 상에 형성되어 상기 전극층(50)의 외측면이 외부에 노출되는 경우, 상기 채널층(47)은 상기 전극층(50)의 측면과 상기 발광 구조물(30)의 측면 사이의 전기적인 쇼트를 방지하여 줄 수 있다.
- [0110] 아울러 상기 채널층(47)은 상기 발광 구조물(30)과 접촉하는 면적을 가능한 확보하여 복수개의 칩을 개별 칩 단위로 분리하는 레이저 스크라이빙(Laser Scribing) 공정과 기판을 제거하는 레이저 리프트 오프(LLO) 공정시 상기 발광 구조물(30)이 상기 전극층(50)으로부터 박리되는 것을 효과적으로 방지할 수 있다.
- [0111] 칩 분리 공정시 발광 구조물(30)이 과식각(over-etching)되는 경우, 전극층(50)이 노출될 수 있다. 이러한 경우, 측 영역에서 이물질 등에 의해 전극층(50)과 발광 구조물(30)의 활성층(27) 간의 전기적인 쇼트가 발생할 수 있다. 상기 채널층(47)은 칩 분리 공정시 발광 구조물(30)의 과식각(over-etching)에 의해 상기 전극층(50)이 노출되는 것을 방지하여 줄 수 있다.
- [0112] 상기 채널층(47)은 절연 물질 예를 들어, SiO<sub>2</sub>, SiO<sub>x</sub>, SiO<sub>x</sub>N<sub>y</sub>, Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있다. 또한 상기 채널층(47)은 금속 물질로 형성될 수도 있지만, 이에 대해서는 한정하지 않는다.
- [0113] 상기 발광 구조물(30)이 상기 전극층(50) 및 상기 채널층(47) 상에 형성될 수 있다.
- [0114] 상기 발광 구조물(30)의 측면은 복수개의 칩을 개별 칩 단위로 구분하는 식각에 의해 수직하거나 경사지게 형성될 수 있다. 예를 들어, 상기 발광 구조물(30)의 측면은 아이솔레이션 식각 (isolation etching)에 의해 형성될 수 있다.
- [0115] 상기 발광 구조물(30)은 복수의 2족 내지 6족 원소의 화합물 반도체 재료들을 포함할 수 있다.
- [0116] 상기 발광 구조물(30)은 제2 도전형 반도체층(29), 상기 제2 도전형 반도체층(29) 상에 활성층(27) 그리고 상기 활성층(27) 상에 제1 도전형 반도체층(25)을 포함할 수 있다.
- [0117] 이러한 경우, 상기 제2 도전형 반도체층(29)의 하면은 상기 전극층(50)의 상면 그리고 상기 채널층(47)의 상면

과 접하도록 형성될 수 있지만, 이에 대해서는 한정하지 않는다.

- [0118] 아울러, 상기 활성층(27)에서 생성된 광이 모두 반사될 수 있도록 하기 위해 상기 활성층(27)의 사이즈는 상기 전극층(50)의 사이즈보다 더 작게 형성될 수 있다.
- [0119] 상기 채널층(47)은 상기 제2 도전형 반도체층(29)과 수직 방향으로 중첩되는 제1 채널 영역과 상기 제2 도전형 반도체층(29)과 중첩되지 않는 제2 채널 영역을 포함할 수 있다.
- [0120] 상기 제1 채널 영역은 상기 제2 도전형 반도체층(29)의 끝단으로부터 내측으로 연장되어 상기 제1 도전형 반도체층(25)과 수직 방향으로 중첩될 수 있다.
- [0121] 상기 제2 채널 영역은 상기 제1 채널 영역으로부터 상기 접합층(43)의 끝단까지 외측으로 연장될 수 있다.
- [0122] 상기 제2 도전형 반도체층(29)은 상기 전극층(50) 및 상기 채널층(47) 상에 형성될 수 있다. 상기 제2 도전형 반도체층(29)은 p형 도펀트를 포함하는 p형 반도체층일 수 있다. 상기 제2 도전형 반도체층(29)은 2족 내지 6족 원소의 화합물 반도체로 형성될 수 있다. 상기 제2 도전형 반도체층(29)은 예컨대, GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP 및 AlGaInP로 이루어지는 그룹으로부터 선택된 하나를 포함할 수 있다. 상기 p형 도펀트는 Mg, Zn, Ga, Sr, Ba 등일 수 있다. 상기 제1 도전형 반도체층(25)은 단층 또는 다층으로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0123] 상기 제2 도전형 반도체층(29)은 복수의 캐리어들, 예컨대 정공들을 상기 활성층(27)으로 공급하여 주는 역할을 한다.
- [0124] 상기 활성층(27)은 상기 제2 도전형 반도체층(29) 상에 형성되며, 단일 양자 우물 구조, 다중 양자 우물 구조 (MQW), 양자점 구조 또는 양자선 구조 중 어느 하나를 포함할 수 있지만, 이에 대해서는 한정하지 않는다.
- [0125] 상기 활성층(27)은 2족 내지 6족 원소의 화합물 반도체 재료를 이용하여 우물층과 장벽층의 주기로 형성될 수 있다. 상기 활성층(27)으로 사용하기 위한 화합물 반도체 재료로는 GaN, InGaIn, AlGaIn일 수 있다. 따라서, 상기 활성층(27)은 예를 들면 InGaIn 우물층/GaN 장벽층의 주기, InGaIn 우물층/AlGaIn 장벽층의 주기, InGaIn 우물층/InGaIn 장벽층의 주기 등을 포함할 수 있지만, 이에 대해서는 한정하지 않는다.
- [0126] 상기 활성층(27)은 상기 제2 도전형 반도체층(29)으로부터 공급된 정공들과 상기 제1 도전형 반도체층(25)으로부터 공급된 전자들을 재결합(recombination)시켜, 상기 활성층(27)의 반도체 재질에 의해 결정된 밴드 갭 (bandgap)에 상응하는 파장의 빛을 생성할 수 있다.
- [0127] 도시되지 않았지만, 상기 활성층(27)의 위 또는/및 아래에는 도전형 클래드층이 형성될 수도 있으며, 상기 도전형 클래드층은 AlGaIn계 반도체로 형성될 수 있다. 예를 들어, 상기 제2 도전형 반도체층(29)과 상기 활성층(27) 사이에는 p형 도펀트를 포함하는 p형 클래드층이 형성되고, 상기 활성층(27)과 상기 제1 도전형 반도체층(25) 사이에는 n형 도펀트를 포함하는 n형 클래드층이 형성될 수 있다.
- [0128] 상기 도전형 클래드층은 상기 활성층(27)으로 공급된 복수의 홀과 복수의 전자가 제1 도전형 반도체층(25)과 제2 도전형 반도체층(29)으로 이동되지 않도록 하는 가이드의 역할을 한다. 따라서, 상기 도전형 클래드층에 의해 상기 활성층(27)으로 공급된 홀과 전자가 보다 많이 재결합하여, 발광 소자의 발광 효율을 향상시킬 수 있다.
- [0129] 상기 제1 도전형 반도체층(25)은 상기 활성층(27) 상에 형성될 수 있다. 상기 제1 도전형 반도체층(25)은 n형 도펀트를 포함하는 n형 반도체층일 수 있다. 상기 제1 도전형 반도체층(25)은 2족 내지 6족 원소의 화합물 반도체로 형성될 수 있다. 상기 제1 도전형 반도체층(25)은 예를 들어, GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP 및 AlGaInP로 이루어지는 그룹으로부터 선택된 하나를 포함할 수 있다. 상기 n형 도펀트는 Si, Ge, Sn, Se, Te 등일 수 있다. 상기 제1 도전형 반도체층(25)은 단층 또는 다층으로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0130] 발광 구조물(30)의 성장시, 제1 도전형 반도체층(25), 활성층(27) 및 제2 도전형 반도체층(29)의 순서로 성장될 수 있다.
- [0131] 도 5를 참조하면, 상기 발광 구조물(30), 구체적으로 상기 제1 도전형 반도체층(25) 상에 다수의 나노 구조물(19)이 형성될 수 있다.
- [0132] 상기 나노 구조물(19)은 도 4에 도시한 바와 같이, 다수의 그래핀 패턴(13), 상기 각 그래핀 패턴(13) 상에 형성된 다수의 나노 텍스처(16) 및 상기 그래핀 패턴(13) 사이를 연결시켜 주는 연결부(20)를 포함할 수 있다.

- [0133] 상기 그래핀 패턴(13)과 상기 나노 텍스처(16)는 이미 제1 실시예에서 상세히 설명한 바 있으므로 여기에서 자세한 설명은 생략하기로 한다.
- [0134] 상기 연결부(20) 또한 상기 그래핀 패턴(13)과 동일한 물질, 예컨대 흑연으로 형성될 수 있다. 따라서, 상기 그래핀 패턴(13)을 형성할 때 상기 연결부(20) 또한 동시에 형성될 수 있다.
- [0135] 상기 그래핀 패턴(13)은 인접하는 모든 그래핀 패턴(13)과 상기 연결부(20)를 이용하여 연결될 수 있다.
- [0136] 여기서의 연결이라 함은 물리적 연결과 함께 전기적 연결도 포함할 수 있다.
- [0137] 상기 연결 부(20)에 의해 상기 각 그래핀 패턴(13)이 연결됨에 따라, 상기 그래핀 패턴(13) 중 어느 하나의 패턴에 전원이 인가되는 경우, 상기 어느 하나의 그래핀 패턴(13)에서 이에 인접하는 다수의 그래핀 패턴(13)으로 상기 연결부(20)를 통해 전류가 흐를 수 있게 된다. 다시 말해, 상기 어느 하나의 그래핀 패턴으로부터 이에 인접하는 다수의 그래핀 패턴(13)으로 전류 스프레딩이 발생할 수 있다.
- [0138] 따라서, 도 7에 도시한 바와 같이, 전극층(50)의 모든 영역에 대응하도록 다수의 그래핀 패턴(13)과 연결부(20)가 형성됨에 따라, 상기 전극층(50)의 전 영역과 상기 나노 구조물(19)의 전 영역 사이에 면대 면으로 전류가 수직 방향으로 흐르게 되어, 발광 구조물(30) 구체적으로 활성층(27)의 전 영역에서 발광이 되어 발광 효율이 향상될 수 있다.
- [0139] 상기 그래핀 패턴(13)의 하면 상으로 다수의 나노 텍스처(16)가 형성될 수 있다. 즉, 상기 나노 텍스처(16)는 상기 그래핀 패턴(13)의 하면으로부터 상기 제1 도전형 반도체층(25)의 내부로 연장 형성될 수 있다.
- [0140] 상기 나노 텍스처(16)는 산화 아연(ZnO)로 형성될 수 있지만, 이에 대해서는 한정하지 않는다.
- [0141] 제1 실시예에서 설명한 바와 같이, 상기 나노 텍스처(16)는 상기 발광 구조물(30)에 전위(dislocation)가 발생되지 않고 우수한 결정성으로 성장될 수 있도록 하여 줄 수 있다.
- [0142] 상기 나노 구조물(19)에 관한 수치 범위는 제1 실시예에 기재된 것과 동일할 수 있지만, 이에 대해서는 한정하지 않는다.
- [0143] 상기 그래핀 패턴(13) 사이의 간격은 0.1 $\mu$ m 내지 100 $\mu$ m일 수 있지만, 이에 대해서는 한정하지 않는다. 상기 그래핀 패턴(13) 사이의 간격은 10 $\mu$ m 내지 50 $\mu$ m일 수 있다.
- [0144] 따라서, 상기 상기 제1 도전형 반도체층(25)은 상기 그래핀 패턴(13) 사이에 형성될 수 있고 그렇지 않을 수도 있다. 예컨대, 상기 제1 도전형 반도체층(25)은 상기 그래핀 패턴(13) 사이를 통해 상기 그래핀 패턴(13)의 상면과 동일한 위치까지 연장 형성될 수 있다.
- [0145] 상기 나노 텍스처(16)는 다수의 나노 로드(nanorod)일 수 있지만, 이에 대해서는 한정하지 않는다. 상기 나노 로드는 서로 간에 일정한 간격으로 이격되거나 서로 간에 불규칙한 간격으로 이격될 수 있다.
- [0146] 상기 나노 텍스처(16)는 높이가 폭보다 더 큰 구조를 가질 수 있지만, 이에 대해서는 한정하지 않는다.
- [0147] 상기 나노 텍스처(16)의 높이와 폭은 제1 실시예의 나노 텍스처(16)와 실질적으로 동일할 수 있다.
- [0148] 도 5 및 도 6에서는 나노 구조물(19)이 상기 제1 도전형 반도체층(25) 내에 형성되고 있지만, 이에 대해서는 한정하지 않는다.
- [0149] 상기 나노 구조물(19)은 버퍼층(미도시)에 형성될 수도 있다. 이러한 경우, 상기 제1 도전형 반도체층(25) 상에 버퍼층이 형성되고, 상기 버퍼층에 상기 나노 구조물(19)이 형성될 수 있다. 즉, 상기 나노 텍스처(16)는 상기 그래핀 패턴(13)의 하면으로부터 상기 버퍼층의 내부로 형성될 수 있다.
- [0150] 상기 나노 텍스처(16)의 높이가 상기 버퍼층의 두께보다 큰 경우, 상기 나노 텍스처(16)는 상기 버퍼층을 관통하여 상기 제1 도전형 반도체층(25)의 내부로 형성될 수 있지만, 이에 대해서는 한정하지 않는다.
- [0151] 상기 발광 구조물 상에 보호층(57)이 형성될 수 있다. 예를 들어, 상기 발광 구조물(30)의 적어도 측면 상에는 보호층(57)이 형성될 수 있다. 구체적으로는, 상기 보호층(57)은 일단이 상기 제1 도전형 반도체층(25)의 상면의 둘레 영역에 형성되고, 상기 제1 도전형 반도체층(25)의 측면, 상기 활성층(27)의 측면 및 제2 도전형 반도체층(29)의 측면을 경유하거나 가로질러 타단이 상기 채널층(47)의 상면의 일부 영역에 형성될 수 있으나, 이에 대해 한정하지는 않는다.
- [0152] 상기 보호층(57)은 상기 발광 구조물(30)과 지지 기판(41) 사이의 전기적 쇼트를 방지하는 한편 상기 발광 소자

(1A)를 외부의 충격으로부터 보호하는 역할을 할 수 있다. 상기 보호층(57)은 투명성과 절연성이 우수한 재질로 형성될 수 있다. 상기 보호층(57)은 예를 들어, SiO<sub>2</sub>, SiO<sub>x</sub>, SiO<sub>x</sub>N<sub>y</sub>, Si<sub>3</sub>N<sub>4</sub>, TiO<sub>2</sub> 및 Al<sub>2</sub>O<sub>3</sub>로 이루어지는 그룹으로부터 선택된 하나를 포함할 수 있지만, 이에 대해 한정하지는 않는다.

- [0153] 상기 보호층(57)은 상기 채널층(47)과 동일한 물질을 포함할 수 있지만, 이에 대해 한정하지 않는다.
- [0154] 제2 실시예의 발광 소자(1A)에서는 전극이 구비된 것이 도시되고 있지만, 나노 구조물(19)의 그래핀 패턴(13)이 전극으로서의 기능을 가지므로, 별도의 전극을 형성하지 않아도 상기 나노 구조물(19)과 상기 전극층(50)으로 전원을 인가하여 발광 소자(1A)를 발광시킬 수 있다.
- [0155] 아울러, 나노 구조물(19)이 그래핀 패턴(13)이나 산화 아연은 투명한 재질이므로, 발광 구조물(30)에서 생성된 광은 상기 나노 구조물(19)을 통해 상부 방향으로 출사될 수 있다. 다시 말해, 상기 나노 구조물(19)의 광 투과율은 매우 우수하므로, 상기 발광 구조물(30)에서 생성된 광은 손실 없이 나노 구조물(19)을 투과할 수 있다.
- [0156] 실시예의 나노 구조물(19)은 제1 실시예의 수평형 발광 소자와 제2 실시예의 수직형 발광 소자뿐만 아니라 플립형 발광 소자에도 동일하게 적용될 수 있다. 플립형 발광 소자인 경우, 상기 나노 구조물(19)은 도 1(제1 실시예)에 도시된 투명 도전층(33) 대신에 반사율이 우수한 금속 물질로 이루어지는 반사층이 형성될 수 있다. 이러한 경우, 발광 구조물(30)에서 생성된 광이 반사층에 의해 반사되어 기판(10)을 통해 외부로 출사될 수 있다.
- [0157] 도 8 내지 도 14는 제2 실시예에 따른 발광 소자를 제조하기 위한 공정도이다.
- [0158] 도 8을 참조하면, 성장 기판(100) 상에 나노 구조물(19)이 형성될 수 있다.
- [0159] 상기 성장 기판(100)은 상기 발광 구조물을 성장시키기 위한 기판으로서, 반도체 물질 성장에 적합한 물질, 즉 캐리어 웨이퍼로 형성될 수 있다. 또한, 상기 성장 기판(100)은 상기 발광 구조물과 격자 상수가 유사하고 열적 안정성을 갖는 재질로 형성될 수 있으며, 전도성 기판 또는 절연성 기판일 수 있다.
- [0160] 상기 성장 기판(100)은 사파이어(Al<sub>2</sub>O<sub>3</sub>), SiC, Si, GaAs, GaN, ZnO, Si, GaP, InP 및 Ge로 이루어지는 그룹으로부터 선택된 적어도 하나로 형성될 수 있다.
- [0161] 상기 나노 구조물(19)은 다수의 그래핀 패턴(13), 연결부(20) 및 다수의 나노 텍스처(16)를 포함할 수 있다.
- [0162] 상기 그래핀 패턴(13)과 상기 연결부(20)는 동시에 형성될 수 있다.
- [0163] 상기 그래핀 패턴(13)과 상기 연결부(20)는 미리 형성되어 상기 성장 기판(100) 상에 부착될 수 있다.
- [0164] 또는 상기 성장 기판(100) 상에 예컨대, 화학적 합성법, CVD 성장법, 에피택시 합성법 등을 이용하여 그래핀 막이 형성되고, 상기 그래핀 막을 패터닝하여 다수의 그래핀 패턴(13)과 이들 그래핀 패턴(13)을 연결하여 주는 다수의 연결부(20)가 형성될 수 있다.
- [0165] 이어서, 상기 성장 기판(100) 상에 산화 아연을 이용하여 증착 공정이나 성장 공정을 이용하여 상기 그래핀 패턴(13) 상에 다수의 나노 텍스처(16)가 형성될 수 있다.
- [0166] 상기 나노 텍스처(16)는 예컨대 CVD 성장법이나 스퍼터링 방식을 이용하여 형성될 수 있지만, 이에 대해서는 한정하지 않는다.
- [0167] 상기 나노 텍스처(16)는 산화 아연(ZnO)로 형성될 수 있지만, 이에 대해서는 한정하지 않는다.
- [0168] 따라서, 상기 다수의 그래핀 패턴(13), 다수의 연결부(20) 및 다수의 나노 텍스처(16)에 의해 나노 구조물(19)이 형성될 수 있다.
- [0169] 도 9를 참조하면, 상기 나노 구조물(19) 상에 제1 도전형 반도체층(25), 활성층(27) 및 제2 도전형 반도체층(29)이 순차적으로 성장되어 발광 구조물(30)이 형성될 수 있다.
- [0170] 상기 발광 구조물(30)은 예를 들어, 유기금속 화학 증착법(MOCVD; Metal Organic Chemical Vapor Deposition), 화학 증착법(CVD; Chemical Vapor Deposition), 플라즈마 화학 증착법(PECVD; Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(MBE; Molecular Beam Epitaxy), 수소화물 기상 성장법(HVPE; Hydride Vapor Phase Epitaxy) 등의 방법을 이용하여 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0171] 상기 발광 구조물(30) 및 상기 성장 기판(100) 사이에는 둘 사이의 격자 상수 차이를 완화하기 위해 버퍼층(미도시)이 형성될 수도 있다. 즉, 상기 버퍼층이 상기 나노 구조물(19) 상에 성장되고, 상기 버퍼층 상에 상기 발

광 구조물(19)이 성장될 수 있다.

- [0172] 상기 제1 도전형 반도체층(25)은 상기 성장 기관(100)과 상기 나노 구조물(19) 상에 형성될 수 있다. 상기 제1 도전형 반도체층(25)은 n형 도펀트를 포함하는 n형 반도체층일 수 있다.
- [0173] 구체적으로, 상기 제1 도전형 반도체층(25)은 상기 나노 구조물(19)의 그래핀 패턴(13) 사이의 상기 성장 기관(100) 상에 형성되고, 상기 나노 구조물(19)의 나노 텍스처(16) 사이의 그래핀 패턴(13) 상에 형성될 수 있다.
- [0174] 산화 아연의 격자 상수는 대략 3.25이고, 상기 성장 기관(100)으로 사용되는 사파이어의 격자 상수는 대략 4.78이며, 상기 제1 도전형 반도체층(25)으로 사용될 수 있는 GaN의 격자 상수는 대략 3.18이다.
- [0175] 따라서, 상기 제1 도전형 반도체층(25)과 상기 성장 기관(100) 사이의 격자 상수의 차이보다 상기 제1 도전형 반도체층(25)과 상기 나노 구조물(19), 구체적으로 나노 텍스처(16) 사이의 격자 상수의 차이보다 작으므로, 상기 제1 도전형 반도체층(25)이 상기 나노 구조물(19) 상에 전위(dislocation)의 발생 없이 잘 성장될 수 있다.
- [0176] 상기 활성층(27)은 상기 제1 도전형 반도체층(25) 상에 형성되며, 다중 양자 우물 구조(MQW), 양자점 구조 또는 양자선 구조 중 어느 하나를 포함할 수 있지만, 이에 대해서는 한정하지 않는다.
- [0177] 상기 활성층(27)은 상기 제1 도전형 반도체층(25)으로부터 공급된 전자들과 상기 제2 도전형 반도체층(29)으로부터 공급된 정공들을 재결합(recombination)시켜, 상기 활성층(27)의 반도체 재질에 의해 결정된 밴드 갭에 상응하는 파장의 빛을 생성할 수 있다.
- [0178] 상기 제2 도전형 반도체층(29)은 상기 활성층(27) 상에 형성될 수 있다. 상기 제2 도전형 반도체층(29)은 p형 도펀트를 포함하는 p형 반도체층일 수 있다.
- [0179] 도 10을 참조하면, 상기 제2 도전형 반도체층(29) 상에 채널층(47)이 형성될 수 있다.
- [0180] 상기 채널층(47)은 상기 제2 도전형 반도체층(29) 상에 형성될 수 있다. 예를 들어, 상기 채널층(47)은 상기 제2 도전형 반도체층(29)의 둘레 영역 상에 형성될 수 있으나 이에 한정하지 않는다.
- [0181] 상기 채널층(47)은 절연 물질은 앞서 설명한 바 있으므로, 생략한다.
- [0182] 도 11을 참조하면, 상기 채널층(47) 및 상기 제2 도전형 반도체층(29) 상에 전극층(50), 접합층(43) 및 지지 기관(41)이 형성될 수 있다.
- [0183] 상기 전극층(50)은 상기 제2 도전형 반도체층(29) 상에 순차적으로 적층된 오믹 콘택층 및 반사층을 포함할 수 있다.
- [0184] 상기 전극층(50)은 상기 제2 도전형 반도체층(29) 상에 오믹 콘택 물질과 반사 물질이 혼합된 단일층을 포함할 수 있다.
- [0185] 상기 반사 물질로는, Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au 및 Hf로 이루어지는 그룹으로부터 선택된 적어도 하나 또는 둘 이상의 합금이 사용되지만, 이에 대해서는 한정하지 않는다. 상기 오믹 콘택 물질로는 전도성 물질과 금속 물질을 선택적으로 사용할 수 있다. 즉, 상기 오믹 콘택 물질로는 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IrOx, RuOx, RuOx/ITO, Ni, Ag, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO로 이루어지는 그룹으로부터 선택된 적어도 하나가 사용될 수 있다.
- [0186] 상기 접합층(43)은 상기 지지 기관(41)과 상기 전극층(50) 사이의 접착력을 강화하기 위해 형성될 수 있다.
- [0187] 상기 접합층(43)은 예를 들어, Ti, Au, Sn, Ni, Nb, Cr, Ga, In, Bi, Cu, Ag 및 Ta로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0188] 상기 지지 기관(41)은 그 위에 형성되는 복수의 층들을 지지할 뿐만 아니라 전극으로서의 기능을 가질 수 있다. 상기 지지 기관(41)은 상기 전극과 함께 상기 발광 구조물(30)에 전원을 공급할 수 있다.
- [0189] 상기 지지 기관(41)은 예를 들어, 티탄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 구리(Cu), 몰리브덴(Mo) 및 구리-텅스텐(Cu-W) 중 적어도 하나를 포함할 수 있다.
- [0190] 상기 지지 기관(41)은 상기 발광 구조물(30) 상에 도금 또는/및 증착되거나, 시트(sheet) 형태로 부착될 수 있으며, 이에 대해 한정하지는 않는다.

- [0191] 도 12를 참조하면, 상기 성장 기관(100)을 180° 뒤집은 다음, 상기 성장 기관(100)이 제거될 수 있다.
- [0192] 상기 성장 기관(100)은 레이저 리프트 오프(LLO, Laser Lift Off), 화학적 식각(CLO, Chemical Lift Off), 또는 물리적인 연마 방법 등에 의해 제거될 수 있으며, 이에 대해서는 한정하지 않는다.
- [0193] 상기 레이저 리프트 오프(LLO) 방법을 통하여 상기 성장 기관(100)을 제거할 경우, 상기 성장 기관(100)과 상기 제1 도전형 반도체층(25) 사이의 계면에 레이저를 집중적으로 조사하여 상기 성장 기관(100)이 상기 나노 구조물(19)로부터 분리되도록 할 수 있다.
- [0194] 상기 화학적 식각 방법을 통하여 상기 성장 기관(100)을 제거할 경우, 습식 식각을 이용하여 상기 제1 도전형 반도체층(25)이 노출되도록 상기 성장 기관(100)을 제거할 수 있다.
- [0195] 상기 물리적인 연마 방법 이용하여 상기 성장 기관(100)을 제거할 경우, 물리적으로 상기 성장 기관(100)을 직접 연마하여 상기 제1 도전형 반도체층(25)이 노출되도록 상기 성장 기관(100)의 상면부터 순차적으로 제거할 수 있다.
- [0196] 제2 실시예에서는 발광 구조물(30)과 성장 기관(100) 사이에 나노 구조물(19)이 형성되는데, 상기 나노 구조물(19)은 상기 성장 기관(100)과의 접합력이 비교적 약하므로, 레이저의 조사에 의해 성장 기관(100)이 상기 나노 구조물(19)로부터 용이하게 분리될 수 있다. 다시 말해, 상기 나노 구조물(19)은 성장 기관(100)을 용이하게 분리하여 주는 역할을 할 수 있다. 따라서, 성장 기관(100)이 용이하게 분리되지 않는 경우, 레이저가 오랜 시간 동안 조사되게 되어 레이저 파워에 의한 충격으로 발광 구조물(30)에 크랙과 같은 결함이 발생하는 것을 차단하여 할 수 있다.
- [0197] 도 13을 참조하면, 상기 발광 구조물(30)의 측면 및 상기 채널층(47)의 측면이 경사지게 노출되도록 메사 식각이 수행될 수 있다. 이러한 메사 식각에 의해 상기 채널층(47) 상에 발광 구조물(30)이 존재하지 않는 그루브(groove)가 형성될 수 있다. 다시 말해, 상기 메사 식각에 의해 상기 채널층(47) 상에 형성된 상기 제2 도전형 반도체층(29), 상기 활성층(27) 및 상기 제1 도전형 반도체층(25)이 제거되어 그루브가 형성될 수 있다.
- [0198] 상기 채널층(47)은 스톱퍼(stopper)로서의 역할을 하므로, 메사 식각에 의해 상기 그루브의 외곽 영역에 있는 상기 제1 도전형 반도체층(25), 상기 활성층(27) 및 상기 제2 도전형 반도체층(29)의 일부 영역이 제거되지만, 상기 채널층(47)의 아래에 있는 전극층(50), 접합층(43) 및 지지 기관(41)은 제거되지 않게 된다.
- [0199] 도 14를 참조하면, 상기 발광 구조물(30) 상에 보호층(57)이 형성될 수 있다.
- [0200] 즉, 상기 보호층(57)은 상기 발광 구조물(30), 구체적으로 상기 제1 도전형 반도체층(25)의 상면의 둘레 영역으로부터, 상기 제1 도전형 반도체층(25)의 측면, 상기 활성층(27)의 측면, 상기 제2 도전형 반도체층(29)의 측면을 경유하여 상기 보호층(57)의 상면의 일부 영역까지 형성될 수 있다.
- [0201] 상기 보호층(57)은 상기 발광 구조물(30)과 지지 기관(41) 사이의 전기적 쇼트를 방지하는 역할을 할 수 있다. 상기 보호층(57)은 투명성과 절연성이 우수한 재료로 형성될 수 있다. 상기 보호층(57)은 예를 들어, SiO<sub>2</sub>, SiO<sub>x</sub>, SiO<sub>x</sub>N<sub>y</sub>, Si<sub>3</sub>N<sub>4</sub>, TiO<sub>2</sub> 및 Al<sub>2</sub>O<sub>3</sub>로 이루어지는 그룹으로부터 선택된 하나를 포함할 수 있지만, 이에 대해 한정하지는 않는다.
- [0202] 상기 보호층(57)은 상기 채널층(47)과 동일한 물질을 포함할 수 있다.
- [0203] 도 15는 실시예에 따른 발광 소자 패키지를 도시한 단면도이다.
- [0204] 도 15를 참조하면, 실시예에 따른 발광 소자 패키지는 몸체(101)와, 상기 몸체(101)에 설치된 제1 리드 전극(103) 및 제2 리드 전극(105)과, 상기 몸체(101)에 설치되어 상기 제1 리드 전극(103) 및 제2 리드 전극(105)으로부터 전원을 공급받는 제1 실시예 및 제2 실시예들에 따른 발광 소자(1)와, 상기 발광 소자(1)를 포위하는 몰딩부재(113)를 포함한다.
- [0205] 상기 몸체(101)는 실리콘 재료, 합성수지 재료, 또는 금속 재료를 포함하여 형성될 수 있으며, 상기 발광 소자(1)의 주위에 경사면이 형성될 수 있다.
- [0206] 상기 제1 리드 전극(103) 및 제2 리드 전극(105)은 서로 전기적으로 분리되며, 상기 발광 소자(1)에 전원을 제공한다.
- [0207] 또한, 상기 제1 및 제2 리드 전극(103, 105)은 상기 발광 소자(1)에서 발생된 빛을 반사시켜 광 효율을 증가시

킬 수 있으며, 상기 발광 소자(1)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.

- [0208] 상기 발광 소자(1)는 상기 제1 리드 전극(103), 제2 리드 전극(105) 및 상기 몸체(101) 중 어느 하나 위에 설치될 수 있으며, 와이어 방식, 다이 본딩 방식 등에 의해 상기 제1 및 제2 리드 전극(103, 105)에 전기적으로 연결될 수 있으나, 이에 대해 한정하지는 않는다.
- [0209] 실시예에서는 한 개의 와이어(109)를 통해 발광 소자(1)를 상기 제1 및 제2 리드 전극(103, 105) 중 하나의 리드 전극에 전기적으로 연결시키는 것이 예시되어 있으나, 이에 한정하지 않고 2개의 와이어를 이용하여 발광 소자(1)를 상기 제1 및 제2 리드 전극(103, 105)에 전기적으로 연결시킬 수도 있으며, 와이어를 사용하지 않고 발광 소자(1)를 상기 제1 및 제2 리드 전극(103, 105)에 전기적으로 연결시킬 수도 있다.
- [0210] 상기 몰딩부재(113)는 상기 발광 소자(1)를 포위하여 상기 발광 소자(1)를 보호할 수 있다. 또한, 상기 몰딩부재(113)에는 형광체가 포함되어 상기 발광 소자(1)에서 방출된 광의 파장을 변화시킬 수 있다.
- [0211] 실시예에 따른 발광 소자 패키지(200)는 COB(Chip On Board) 타입을 포함하며, 상기 몸체(101)의 상면은 평평하고, 상기 몸체(101)에는 복수의 발광 소자가 설치될 수도 있다.
- [0212] 실시예에 따른 발광 소자나 발광 소자 패키지는 라이트 유닛에 적용될 수 있다. 상기 라이트 유닛은 표시 장치와 조명 장치, 예컨대 조명등, 신호등, 차량 전조등, 전광판, 지시등과 같은 유닛에 적용될 수 있다.

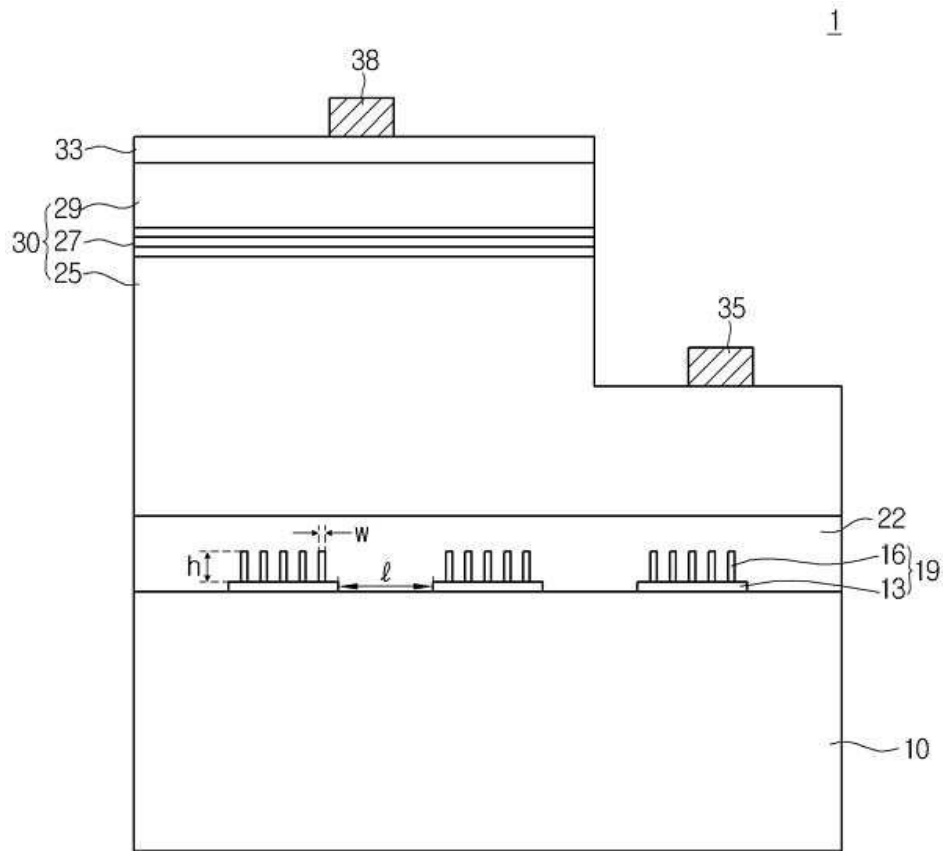
**부호의 설명**

- [0213] 10, 100: 기판
- 13: 그래핀 패턴
- 16: 나노 텍스처
- 19: 나노 구조물
- 20: 연결부
- 22: 버퍼층
- 25: 제1 도전형 반도체층
- 27: 활성층
- 29: 제2 도전형 반도체층
- 30: 발광 구조물
- 33: 투명 도전층
- 35: 제1 전극
- 38: 제2 전극
- 41: 지지 기판
- 43: 집합층
- 47: 채널층
- 50: 전극층
- 57: 보호층

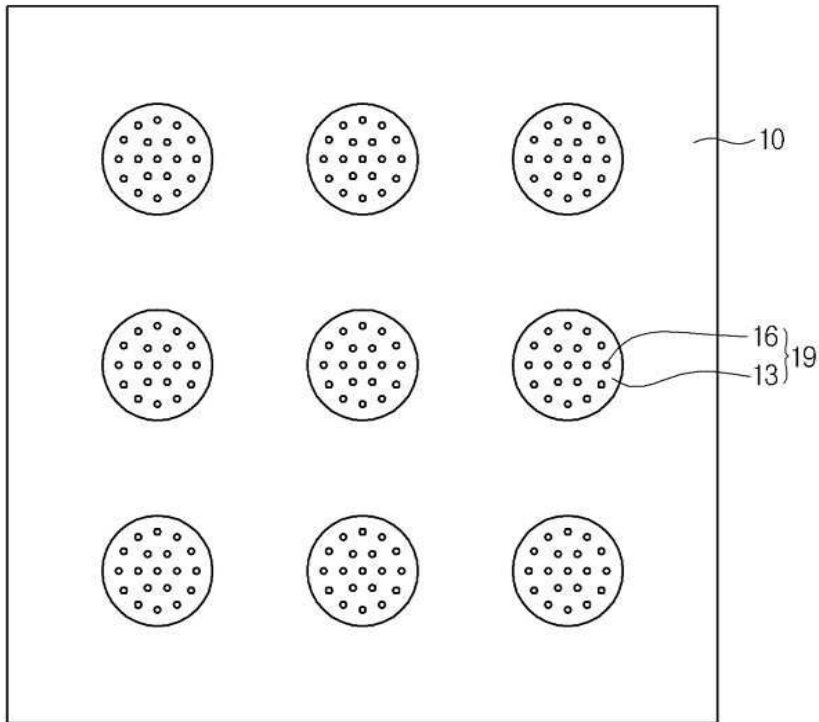


도면

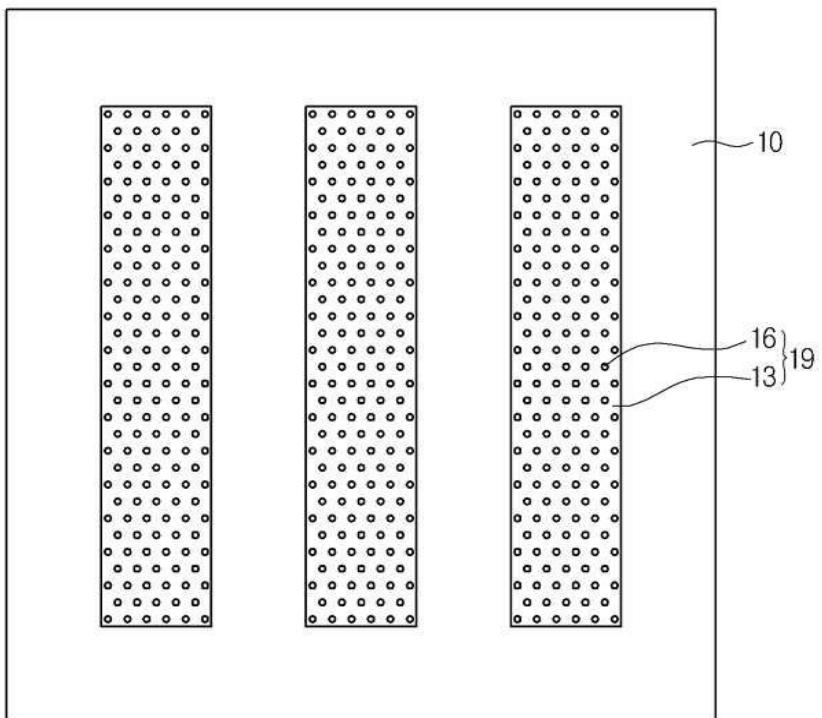
도면1



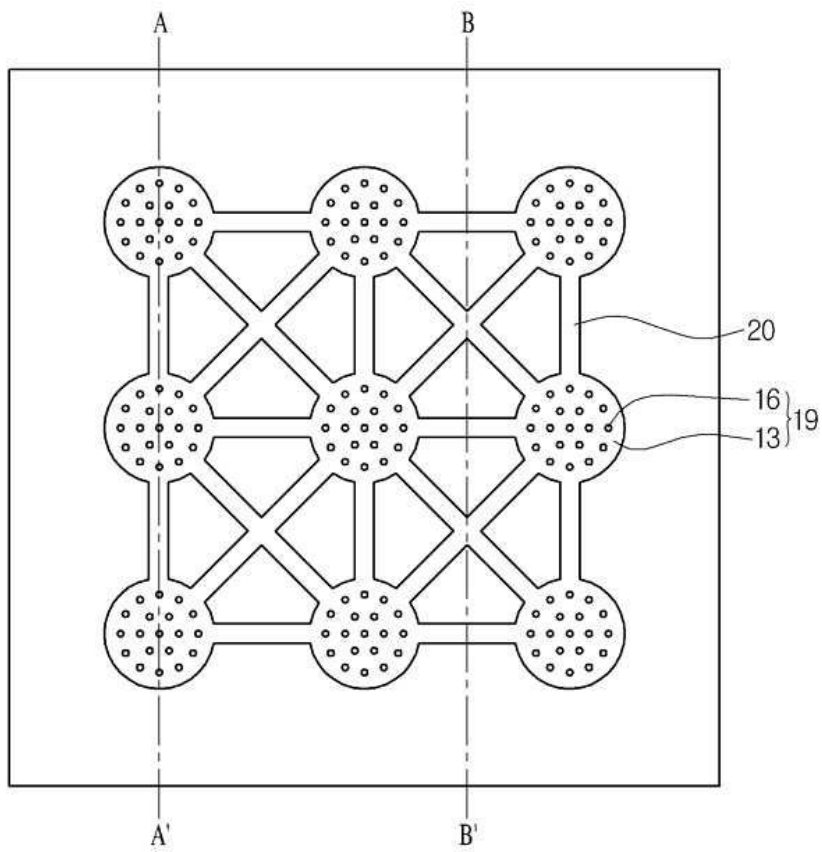
도면2



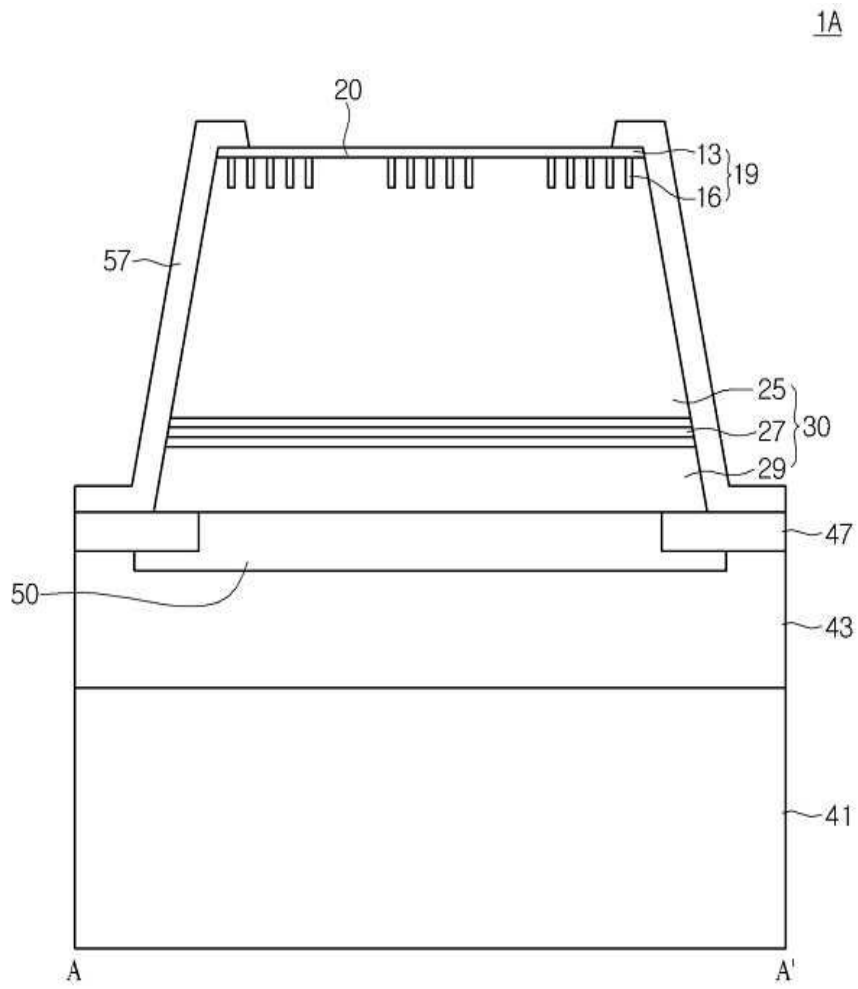
도면3



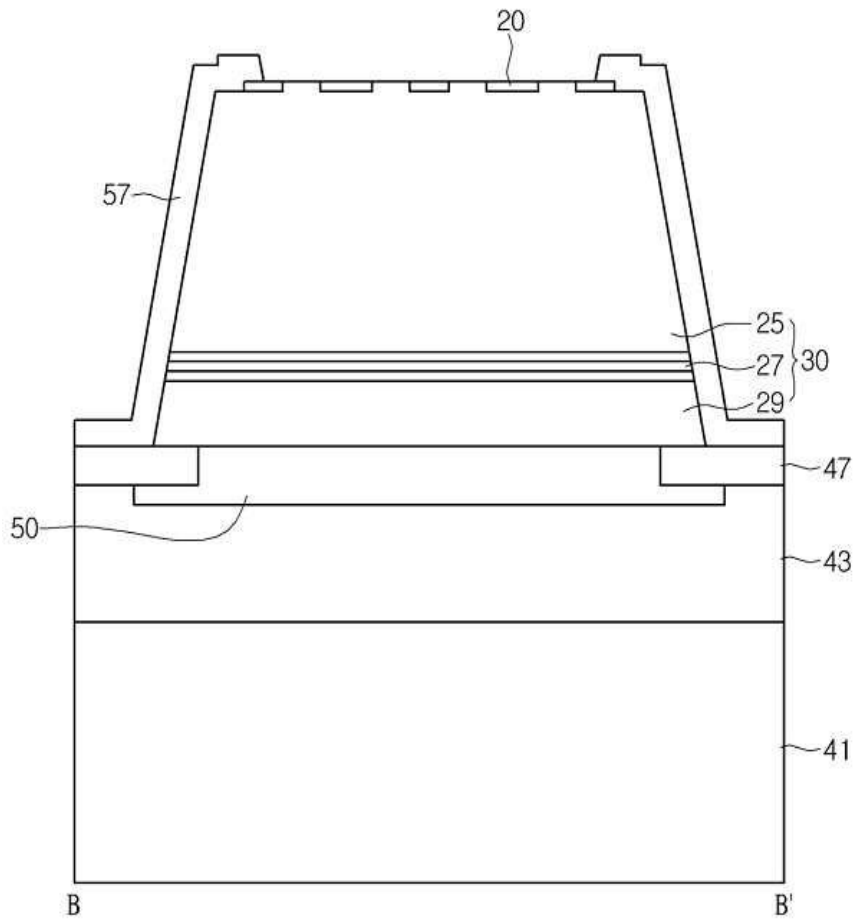
도면4



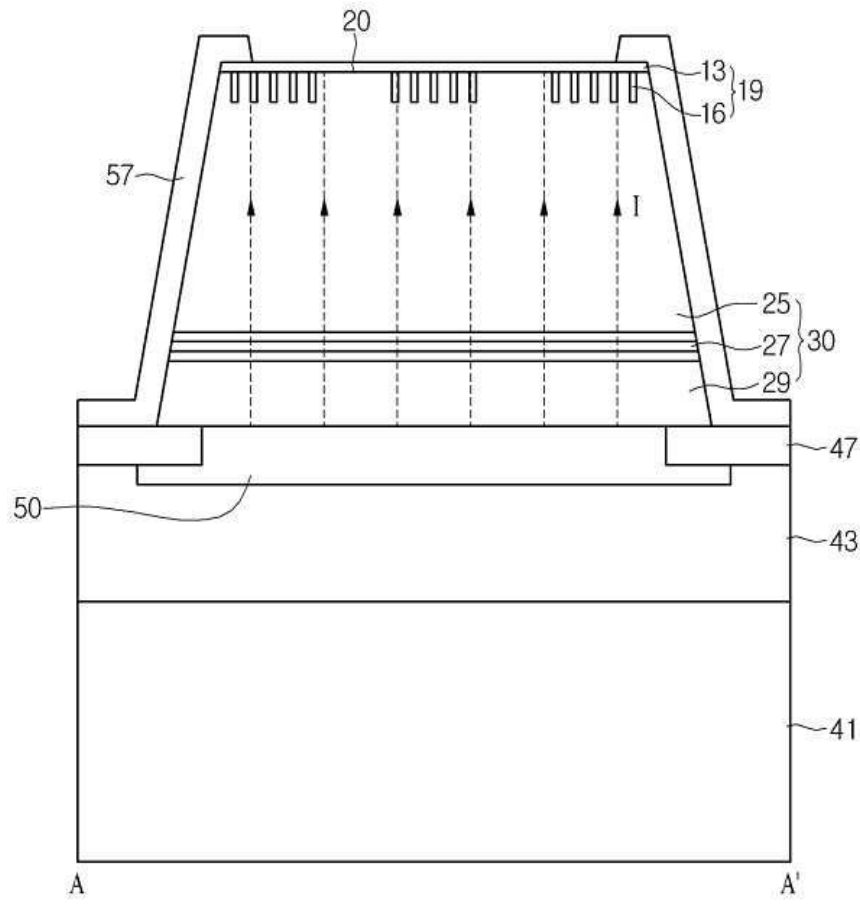
도면5



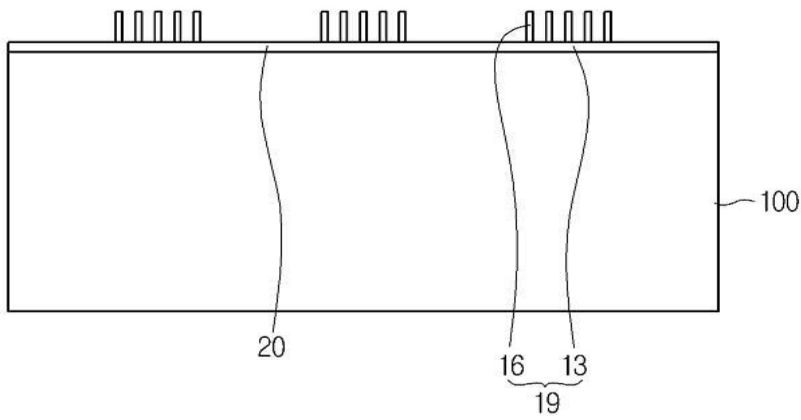
도면6



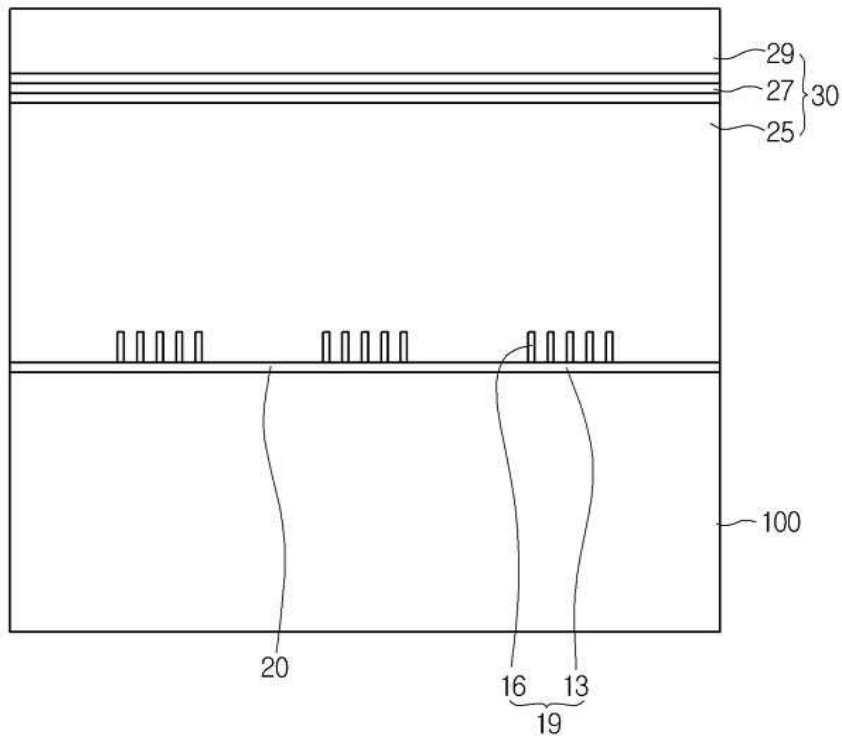
도면7



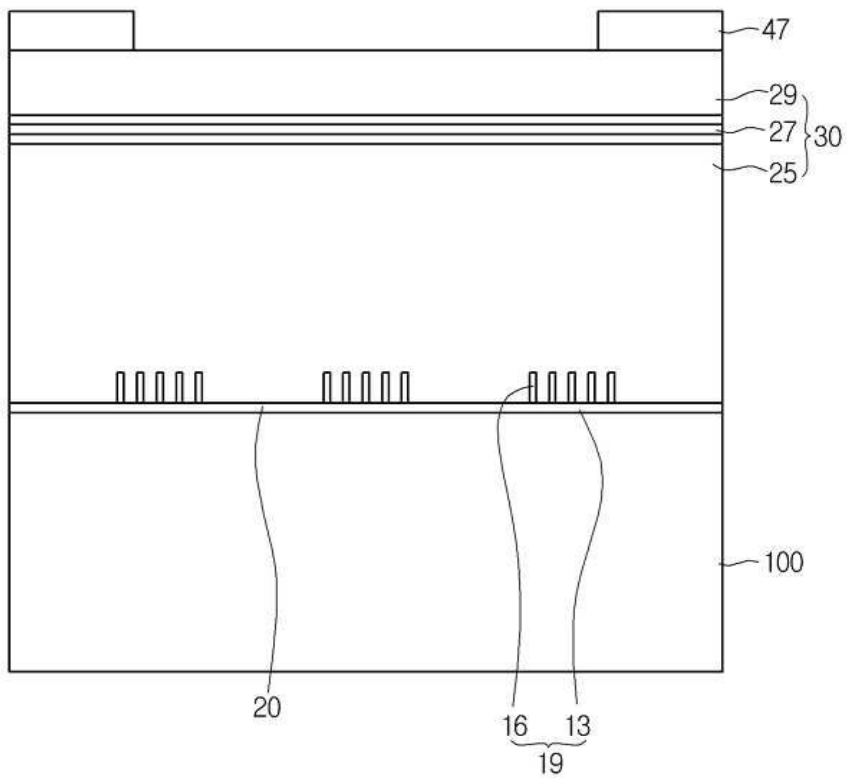
도면8



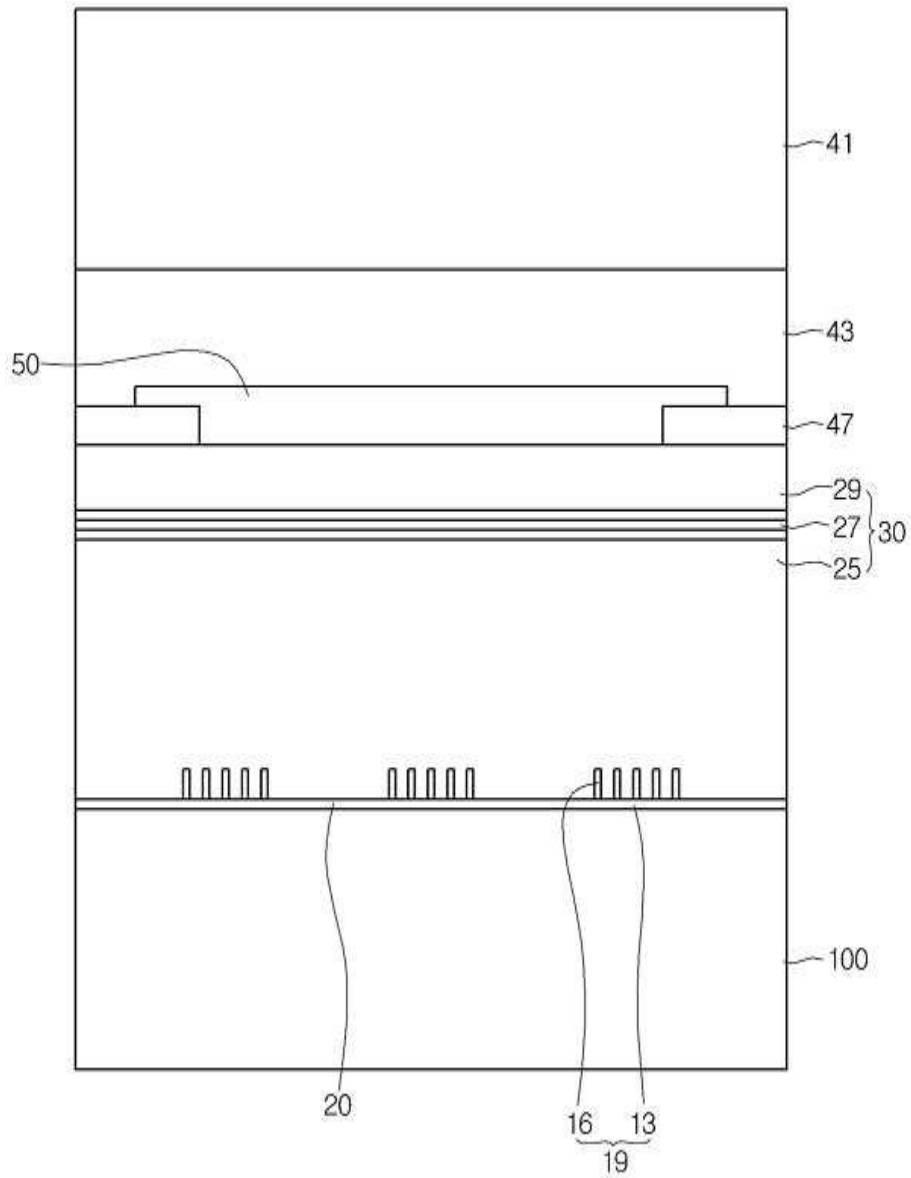
도면9



도면10

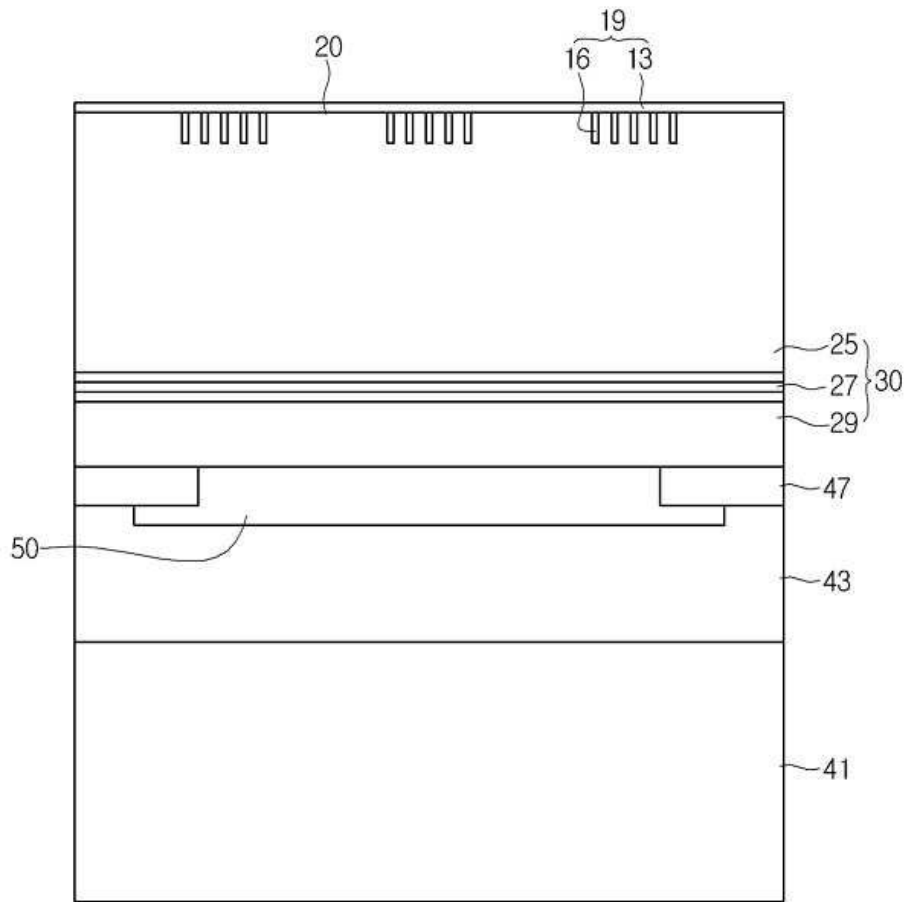


도면11

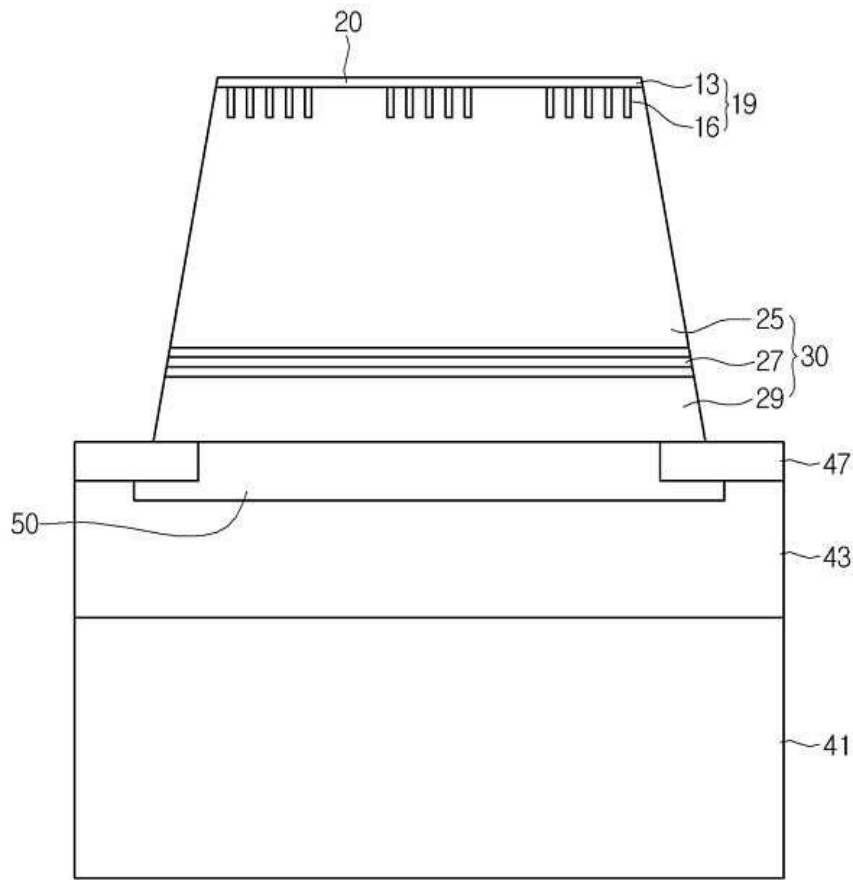




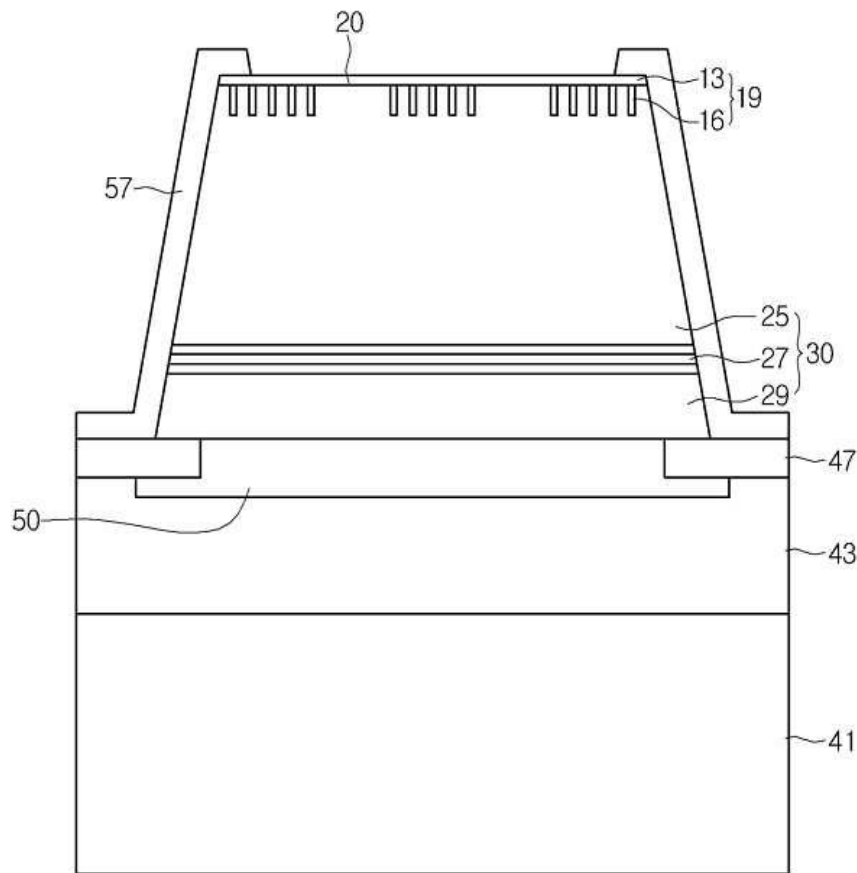
도면12



도면13



도면14



도면15

