

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年5月14日(2009.5.14)

【公表番号】特表2008-538259(P2008-538259A)

【公表日】平成20年10月16日(2008.10.16)

【年通号数】公開・登録公報2008-041

【出願番号】特願2008-504450(P2008-504450)

【国際特許分類】

H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/088	(2006.01)

【F I】

H 01 L	27/04	H
H 01 L	27/06	3 1 1 C
H 01 L	27/08	1 0 2 F
H 01 L	27/06	3 1 1 B
H 01 L	27/06	1 0 1 P

【手続補正書】

【提出日】平成21年3月27日(2009.3.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

静電放電(E S D)保護回路であって、  
複数のSCRフィンガを有するシリコン制御整流器を備え、各SCRフィンガは、  
低ドープされた第1の領域内に形成された少なくとも1つの分散された高ドープされた  
第1の領域と、低ドープされた第2の領域内に形成された少なくとも1つの分散された高  
ドープされた第2の領域と、  
前記高ドープされた第2の領域で接続された少なくとも1つのブースト回路と、前記SCR  
フィンガにトリガ電流を供給するために前記低ドープされた第2の領域に結合された  
少なくとも1つの第1のトリガ・タップと、

各SCRフィンガの前記少なくとも1つの第1のトリガ・タップ間にそれぞれ結合され  
る少なくとも1つの第1の低オーミック接続部とを備える回路。

【請求項2】

前記ブースト回路は、ダイオード、MOS、抵抗器、コンデンサ、およびインダクタの  
少なくとも1つを備える請求項1に記載の回路。

【請求項3】

各SCRフィンガの前記少なくとも1つの高ドープされた第1の領域および保護された  
回路に結合された第1の電位と、各SCRフィンガの前記少なくとも1つの高ドープされ  
た第2の領域に結合された第2の電位とをさらに備える請求項1に記載の回路。

【請求項4】

各SCRフィンガの前記低ドープされた第1の領域に結合された少なくとも1つの第2  
のトリガ・タップと、

各SCRフィンガの前記少なくとも1つの第2のトリガ・タップ間にそれぞれ結合された少なくとも1つの第2の低オーミック接続部とをさらに備える請求項1に記載の回路。

【請求項5】

前記高ドープされた第2の領域で接続された少なくとも第2のブースト回路をさらに備える請求項1に記載の回路。

【請求項6】

静電放電(ESD)保護回路であって、

複数のSCRフィンガを有するシリコン制御整流器を備え、各SCRフィンガは、各SCRフィンガにトリガ電流を供給するために各SCRフィンガに接続された少なくとも1つのトリガ・タップと、各SCRフィンガに接続された少なくとも1つのブースト回路とを含み、かつ

各SCRフィンガの前記少なくとも1つのトリガ・タップを共通のトリガリング電位に電気的に結合する少なくとも1つの低オーミック接続部を備える回路。

【請求項7】

前記ブースト回路は、前記トリガ電流が前記ブースト回路を通って流れるととき、前記トリガ・タップで追加の電圧降下を与える請求項6に記載の回路。

【請求項8】

前記ブースト回路は、ダイオード、MOS、抵抗器、コンデンサ、およびインダクタの少なくとも1つを備える請求項6に記載の回路。

【請求項9】

半導体集積回路(IC)における静電放電(ESD)保護回路であって、前記ESD保護回路は、

第1の電位に結合される少なくとも1つの第1のアノードと、第2の電位に結合される少なくとも1つの第1のカソードとを有する少なくとも第1のシリコン制御整流器と、

第3の電位に結合される少なくとも1つの第2のアノードと、第4の電位に結合される少なくとも1つの第2のカソードとを有する少なくとも第2のシリコン制御整流器とを備え、前記第1および第2のカソードは、少なくとも1つの高ドープされた第1の領域を有し、前記第1および第2のアノードは、少なくとも1つの高ドープされた第2の領域を有し、前記ESD保護回路は、さらに、

前記第1のカソードの前記少なくとも1つの高ドープされた第1の領域に近接して配置される少なくとも1つの第1のトリガ・タップと、前記第2のカソードの前記少なくとも1つの高ドープされた第1の領域に近接して配置される少なくとも1つの第2のトリガ・タップと、

前記第1のトリガ・タップと前記第2のトリガ・タップとの間に結合される少なくとも1つの第1の低オーミック接続部とを備える回路。

【請求項10】

前記第1の電位および前記第3の電位は、実質的に等しい値を有する請求項9に記載の回路。

【請求項11】

前記第2の電位および前記第4の電位は、実質的に等しい値を有する請求項9に記載の回路。

【請求項12】

前記第1の電位および前記第3の電位は、実質的に等しい値を有し、かつ前記第2の電位および前記第4の電位は、実質的に等しい値を有する請求項9に記載の回路。

【請求項13】

前記第1のアノードの前記少なくとも1つの高ドープされた第2の領域に近接して配置される少なくとも1つの第3のトリガ・タップと、

前記第2のアノードの前記少なくとも1つの高ドープされた第2の領域に近接して配置される少なくとも1つの第4のトリガ・タップと、

前記第3のトリガ・タップと前記第4のトリガ・タップとの間に結合された少なくとも

1つの第2の低オーミック接続部とをさらに備える請求項9に記載の回路。

【請求項14】

前記少なくとも第1および第2のトリガ・タップに結合される第1の外部オンチップ・トリガリング・デバイスをさらに備える請求項9に記載の回路。

【請求項15】

前記少なくとも第3および第4のトリガ・タップに結合される第2の外部オンチップ・トリガリング・デバイスをさらに備える請求項9に記載の回路。

【請求項16】

半導体集積回路( I C )における静電放電( E S D )保護回路であって、前記E S D保護回路は、

少なくとも第1のシリコン制御整流器( S C R )を備え、前記第1のシリコン制御整流器は、第1の導電型とは反対の第2の導電型を有する第2の領域内に形成された前記第1の導電型を有する少なくとも1つの第1の領域と、第1の導電型を有する第4の領域に形成された第2の導電型を有する少なくとも1つの第3の領域とを含み、前記第1の領域は、第1の電位に結合され、前記第3の領域は、第2の電位に結合され、前記E S D保護回路は、さらに、

少なくとも第2のシリコン制御整流器( S C R )を備え、前記第2のシリコン制御整流器は、第2の導電型を有する第6の領域に形成された第1の導電型を有する少なくとも1つの第5の領域と、第1の導電型を有する第8の領域に形成された第2の導電型を有する少なくとも1つの第7の領域とを含み、前記第5の領域は、第3の電位に結合され、前記第7の領域は、第4の電位に結合されることからなり、

前記第1のS C Rは、前記第2のS C Rに結合される回路。

【請求項17】

静電放電( E S D )保護回路であって、複数のS C R フィンガを有するシリコン制御整流器であって、各S C R フィンガは、前記各S C R フィンガにトリガ電流を供給するために前記各S C R フィンガに接続された少なくとも1つのトリガ・タップを含む、シリコン制御整流器と、

前記各S C R フィンガの前記少なくとも1つのトリガ・タップを共通のトリガリング電位に電気的に結合され、それによって前記複数のS C R フィンガを結合する少なくとも1つの低オーミック接続部とを備える回路。

【請求項18】

静電放電( E S D )保護回路であって、第1のパワーと接地ラインとの間に結合される第1のクランプと、第2のパワーと前記接地ラインとの間に結合される第2のクランプとを備え、前記第1および第2のクランプが、前記第1および第2のクランプの一方が、前記第1および第2のクランプの他方をトリガすることを可能にするためにともに結合される回路。

【請求項19】

前記第1のS C Rの前記第2の領域は、前記第2のS C Rの前記第6の領域を有する1つの領域を形成する請求項16に記載の回路。

【請求項20】

前記第1のS C Rの前記第1の領域は、前記第2のS C Rの前記第5の領域を有する1つの領域を形成する請求項19に記載の回路。

【請求項21】

前記第1のS C Rの前記第4の領域は、前記第2のS C Rの前記第8の領域を有する1つの領域を形成する請求項16に記載の回路。

【請求項22】

前記第1のS C Rの前記第3の領域は、前記第2のS C Rの前記第7の領域を有する1つの領域を形成する請求項21に記載の回路。

【請求項23】

前記第1のS C Rの前記第2の領域および前記第2のS C Rの前記第6の領域の少なく

とも1つに配置される少なくとも1つの第1のトリガ・タップをさらに備える請求項16に記載の回路。

【請求項24】

前記第1のSCRの前記第4の領域および前記第2のSCRの前記第8の領域の少なくとも1つに配置される少なくとも1つの第1のトリガ・タップをさらに備える請求項16に記載の回路。

【請求項25】

前記第1の電位に結合される少なくとも1つの第1のアノードと、前記第2の電位に結合される少なくとも1つの第1のカソードとを有する少なくとも第1のシリコン制御整流器、及び

前記第3の電位に結合される少なくとも1つの第2のアノードと、前記第4の電位に結合される少なくとも1つの第2のカソードとを有する少なくとも第2のシリコン制御整流器とからなり、

前記第1、3、5及び7の領域が、高ドープされた領域にあり、前記第2、4、6及び8の領域が、低ドープされた領域にある請求項16に記載の回路。

【請求項26】

前記第3の領域で接続される少なくとも1つの第1のブースト回路、および前記第7の領域で接続される少なくとも1つの第2のブースト回路とをさらに含む請求項25に記載の回路。

【請求項27】

前記第1および第2のブースト回路は、ダイオード、MOS、抵抗器、コンデンサ、およびインダクタの少なくとも1つを備える請求項26に記載の回路。

【請求項28】

前記第1の領域で接続される少なくとも1つの第1のブースト回路、および前記第2のアノードの前記第5の領域で接続される少なくとも1つの第2のブースト回路をさらに備える請求項25に記載の回路。

【請求項29】

前記第1および第2のブースト回路は、ダイオード、MOS、抵抗器、コンデンサ、およびインダクタの少なくとも1つを備える請求項28に記載の回路。

【請求項30】

前記少なくとも第3の領域に近接して配置される少なくとも1つの第1のトリガ・タップと、

前記少なくとも第7の領域に近接して配置される少なくとも1つの第2のトリガ・タップ、及び

前記第1のトリガ・タップと前記第2のトリガ・タップとの間に結合される少なくとも1つの低オーミック接続部とをさらに備える請求項25に記載の回路。

【請求項31】

前記少なくとも第1および第2のトリガ・タップに結合される第1の外部オンチップ・トリガリング・デバイスをさらに備える請求項30に記載の回路。

【請求項32】

前記第1のトリガ・タップと前記第2のトリガ・タップとの間に結合される少なくとも1つのブースト回路とをさらに備える請求項30に記載の回路。

【請求項33】

前記ブースト回路は、ダイオード、MOS、抵抗器、コンデンサ、およびインダクタの少なくとも1つを備える請求項32に記載の回路。

【請求項34】

前記第1の領域に近接して配置される少なくとも1つの第1のトリガ・タップと、  
前記第5の領域に近接して配置される少なくとも1つの第2のトリガ・タップ、及び  
前記第1のトリガ・タップと前記第2のトリガ・タップとの間に結合される少なくとも1つの低オーミック接続部とをさらに備える請求項16に記載の回路。

**【請求項 3 5】**

前記少なくとも第 1 および第 2 のトリガ・タップに結合される第 1 の外部オンチップ・トリガリング・デバイスをさらに備える請求項 3 4 に記載の回路。

**【請求項 3 6】**

前記第 1 のトリガ・タップと前記第 2 のトリガ・タップとの間に結合される少なくとも 1 つのブースト回路をさらに備える請求項 3 4 に記載の回路。

**【請求項 3 7】**

前記ブースト回路は、ダイオード、MOS、抵抗器、コンデンサ、およびインダクタの少なくとも 1 つを備える請求項 3 6 に記載の回路。