

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-238371

(P2012-238371A)

(43) 公開日 平成24年12月6日(2012.12.6)

| (51) Int.Cl. | F I | テーマコード (参考) |
|----------------------------------|---------------|-------------------|
| G 1 1 C 16/04 (2006.01) | G 1 1 C 17/00 | 6 2 1 Z 5 B 1 2 5 |
| G 1 1 C 16/02 (2006.01) | G 1 1 C 17/00 | 6 0 1 B 5 F 0 8 3 |
| G 1 1 C 16/06 (2006.01) | G 1 1 C 17/00 | 6 3 3 E 5 F 1 0 1 |
| H O 1 L 21/8247 (2006.01) | G 1 1 C 17/00 | 6 3 3 Z |
| H O 1 L 27/115 (2006.01) | G 1 1 C 17/00 | 6 2 2 E |

審査請求 未請求 請求項の数 22 O L 外国語出願 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2012-88767 (P2012-88767)
 (22) 出願日 平成24年4月9日(2012.4.9)
 (31) 優先権主張番号 13/099,298
 (32) 優先日 平成23年5月2日(2011.5.2)
 (33) 優先権主張国 米国 (US)

(71) 出願人 501361415
 マクロニックス インターナショナル カ
 ンパニー リミテッド
 台湾, シンチュ, サイエンスーベイス
 ツ インダストリアル パーク, リーシ
 ン ロード 16番
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 熱アシスト誘電体電荷トラップメモリ

(57) 【要約】

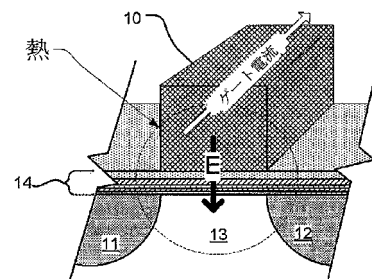
【課題】

誘電体電荷トラップメモリの動作速度及び/又は耐久性を向上させる技術を提供する。

【解決手段】

メモリデバイスは、ワードライン及びビットラインを含む誘電体電荷トラップ構造メモリセルのアレイを含む。該アレイに、読み出し、プログラム及び消去の動作を制御するように構成された制御回路が結合される。コントローラは、該アレイのメモリセル内の誘電体電荷トラップ構造を熱アニールする支援回路を備えるように構成される。熱アニールのための熱を誘起するために、ワードラインドライバ及び前記ワードライン終端回路を用いて、ワードラインに電流を誘起することができる。熱アニールは、サイクルダメージからの回復のために、通常動作とインターリーブされて適用されることが可能である。また、熱アニールは、消去のようなミッション機能中に適用されることもでき、それにより該機能の性能を向上させ得る。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ワードライン及びビットラインを含むメモリセルアレイであり、当該アレイのメモリセルが誘電体電荷トラップ構造を有するアレイと、

前記アレイに結合され、読み出し、プログラム及び消去の動作を制御するように構成された制御回路と、

前記アレイに結合され、前記アレイの前記メモリセル内の前記誘電体電荷トラップ構造を熱アニールする手段と、

を有するメモリ。

【請求項 2】

前記手段は、前記アレイ内の選択されたワードラインに電流を生成する回路を含み、それにより、前記アニールのための熱が前記メモリセル内に生成される、請求項 1 に記載のメモリ。

【請求項 3】

前記手段は、ワードラインドライバと、デコーダ回路に応答して対応するワードライン上に電流を駆動するワードライン終端回路とを含む、請求項 1 に記載のメモリ。

【請求項 4】

前記制御回路は、ブロック消去中に前記手段が熱アニールすることを可能にするロジックを含む、請求項 1 に記載のメモリ。

【請求項 5】

前記制御回路は、プログラム動作、読み出し動作及び消去動作の間にインターリーブして、あるいはこれらの動作中に、の何れかで前記手段が熱アニールすることを可能にするロジックを含む、請求項 1 に記載のメモリ。

【請求項 6】

前記制御回路は、プログラム及び消去サイクル数のカウントを管理し、該カウントが閾値に達したときに前記手段が熱アニールすることを可能にするロジックを含む、請求項 1 に記載のメモリ。

【請求項 7】

前記制御回路は、選択されたワードラインに負電圧が印加される消去動作中に前記手段が熱アニールすることを可能にするロジックを含む、請求項 1 に記載のメモリ。

【請求項 8】

前記アレイは N A N D アーキテクチャで構成される、請求項 1 に記載のメモリ。

【請求項 9】

前記アレイのメモリセルは絶縁基板上に半導体ボディを有する、請求項 1 に記載のメモリ。

【請求項 10】

前記誘電体電荷トラップ構造は、トンネル層、電荷トラップ層及び遮断層を含み、前記トンネル層は、2 nm 未満の厚さの酸化シリコン又は酸窒化シリコンの第 1 の層と、3 nm 未満の厚さの窒化シリコンの第 2 の層と、4 nm 未満の厚さの酸化シリコン又は酸窒化シリコンの第 3 の層とを含む、請求項 1 に記載のメモリ。

【請求項 11】

前記手段は、

前記アレイに結合されたアドレスデコーダと、

前記アレイのワードラインに結合された複数のワードラインドライバ及びワードライン終端回路であり、前記制御回路及び前記デコーダに応答して、選択されたワードラインに電流を印加する複数のワードラインドライバ及びワードライン終端回路と、

を有する、請求項 1 に記載のメモリ。

【請求項 12】

前記制御回路は、ブロック消去中に、選択されたワードラインに電流を誘起するように前記ワードラインドライバ及び前記ワードライン終端回路を制御するロジックを含む、請

10

20

30

40

50

求項 1 1 に記載のメモリ。

【請求項 1 3】

前記制御回路は、前記読み出し、プログラム及び消去の動作の間にインターリーブして、あるいはこれらの動作中に、の何れかで、選択されたワードラインに電流を誘起するように前記ワードラインドライバ及び前記ワードライン終端回路を制御するロジックを含む、請求項 1 1 に記載のメモリ。

【請求項 1 4】

前記制御回路は、選択されたワードラインに負電圧が印加される消去動作中に、該選択されたワードラインに電流を誘起するように前記ワードラインドライバ及び前記ワードライン終端回路を制御するロジックを含む、請求項 1 1 に記載のメモリ。

10

【請求項 1 5】

前記制御回路は、プログラム及び消去サイクル数のカウントを管理し、該カウントが閾値に達したときに、選択されたワードラインに電流を誘起するように前記ワードラインドライバ及び前記ワードライン終端回路を制御するロジックを含む、請求項 1 1 に記載のメモリ。

【請求項 1 6】

ワードライン及びビットラインを含むメモリセルアレイを動作させる方法であって、前記アレイのメモリセルが誘電体電荷トラップ構造を有し、当該方法は、

読み出し、プログラム及び消去の動作を実行するステップと、

前記読み出し、プログラム及び消去の動作の間にインターリーブして、あるいはこれらの動作中に、の何れかで、前記アレイの前記メモリセル内の前記誘電体電荷トラップ構造を熱アニールするステップと、

20

を有する、方法。

【請求項 1 7】

前記アレイのワードラインに電流を印加することによって前記アニールのための熱を誘起することを含む、請求項 1 6 に記載の方法。

【請求項 1 8】

ブロック消去中に、選択されたワードラインに電流を印加して、前記アニールのための熱を誘起することを含む、請求項 1 6 に記載の方法。

【請求項 1 9】

プログラム動作、読み出し動作及び消去動作のうちの少なくとも 1 つ中に前記熱アニールするステップを実行することを含む、請求項 1 6 に記載の方法。

30

【請求項 2 0】

プログラム及び消去サイクル数のカウントを管理し、該カウントが閾値に達したときに前記熱アニールするステップを実行することを含む、請求項 1 6 に記載の方法。

【請求項 2 1】

選択されたワードラインに負電圧が印加される消去動作中に前記熱アニールするステップを実行することを含む、請求項 1 6 に記載の方法。

【請求項 2 2】

前記誘電体電荷トラップ構造は、トンネル層、電荷トラップ層及び遮断層を含み、前記トンネル層は、2 nm 未満の厚さの酸化シリコン又は酸窒化シリコンの第 1 の層と、3 nm 未満の厚さの窒化シリコンの第 2 の層と、4 nm 未満の厚さの酸化シリコン又は酸窒化シリコンの第 3 の層とを含む、請求項 1 6 に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明はフラッシュメモリ技術に関する。

【背景技術】

【0 0 0 2】

フラッシュメモリは一種の不揮発性集積回路メモリテクノロジーである。典型的なフラッ

50

シュメモリセルは、チャンネルによって離隔されたソース及びドレインと電荷格納構造によってチャンネルから離隔されたゲートと有する電界効果トランジスタFET構造で構成され、電荷格納構造は、トンネル誘電体層と、電荷格納層（フローティングゲート又は誘電体）と、ブロッキング（遮断）誘電体層とを含んでいる。SONOSデバイスと呼ばれる従来の初期の電荷トラップメモリ設計によれば、ソース、ドレイン及びチャンネルはシリコン基板（S）内に形成され、トンネル誘電体層は酸化シリコン（O）で形成され、電荷格納層は窒化シリコン（N）で形成され、ブロッキング誘電体層は酸化シリコン（O）で形成され、そして、ゲートはポリシリコン（S）を有する。誘電体電荷トラップセルにバンドギャップ工学的トンネル誘電体を用いて、より先端的なフラッシュメモリテクノロジーが開発されている。1つのバンドギャップ工学的セルテクノロジーは、非特許文献1及び2に記載されるように、BE-SONOSとして知られている。

10

【0003】

これらの先端的な電荷トラップメモリテクノロジーは、その他のメモリタイプと比較して、限られた耐久性及び動作速度を有し得る。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許第7315474号明細書

【非特許文献】

【0005】

20

【非特許文献1】Hang-Ting Lue等、「Scaling Evaluation of BE-SONOS NAND Flash Beyond 20nm」、2008 Symposium on VLSI technology Digest of Papers、2008年6月

【非特許文献2】H.T. Lue等、IEDM Tech. Dig. 2005、pp.547-550

【非特許文献3】Shin等、「A Highly Reliable SONOS-type NAND Flash Memory Cell with Al₂O₃ or Top Oxide」、IEDM 2003 (MANOS)

【非特許文献4】Shin等、「A Novel NAND-type MONOS Memory using 63 nm Process Technology for a Multi-Gigabit Flash EEPROMs」、IEEE 2005

【発明の概要】

【発明が解決しようとする課題】

30

【0006】

フラッシュメモリの動作速度及び耐久性を向上させる技術を提供することが望まれる。

【課題を解決するための手段】

【0007】

デバイス上のメモリセルの誘電体電荷トラップ構造を熱アニールするためのリソースを含むメモリデバイスが提供される。誘電体電荷トラップメモリセルのアレイを動作させる方法を適用することができ、該方法は、読み出し、プログラム及び消去の動作を実行し、読み出し、プログラム及び消去の動作の間にインターリーブして、あるいはこれらの動作中に、の何れかで、アレイのメモリセル内の誘電体電荷トラップ構造を熱アニールすることを含む。後述の実験結果が示すように、好適なアニール処理は、プログラム・消去サイクル中に蓄積されたダメージを修復することによって耐久性を向上させることができる。例えば、アレイ内のメモリセルを周期的にアニールすることにより、デバイスの実効的な耐久性を大幅に向上させることができる。これには、100万サイクル以上の耐サイクル性能の達成が含まれる。また、例えば消去動作中などの動作中にアニールを適用することにより、影響を受ける動作の性能を向上させることができる。例えば消去動作において、熱アニールは、電子の脱トラップを支援し、それにより消去速度を高め得る。

40

【0008】

集積回路メモリは、ワードラインドライバと、デコーダ回路及び場合によりその他の回路に应答して対応するワードライン上に電流を駆動するワードライン終端回路とを有するように実装され得る。該電流は、選択されたワードラインの抵抗加熱を引き起こすことが

50

でき、その熱が、熱アニールのために、誘電体電荷トラップ構造に伝達される。この技術及びその他の技術は、アニール処理を柔軟性をもって送り届けることを可能にするように適用され得る。

【0009】

ここに記載される技術は、BE-SONOSメモリテクノロジー及びその他の先端的な誘電体電荷トラップテクノロジーとともに使用するのに適したものである。

【0010】

以下の詳細な説明及びそれに続く特許請求の範囲、並びに図面を精査することにより、本発明のその他の態様及び利点が理解されることになる。

【図面の簡単な説明】

10

【0011】

【図1】熱アニール処理に合わせて構成された誘電体電荷トラップメモリセルを簡略化して示す斜視図である。

【図2】熱アニール処理に合わせて構成された誘電体電荷トラップメモリセルの簡略化したレイアウト図である。

【図3】熱アニール処理に合わせて構成された共通ソースNAND型メモリアレイを示す模式図である。

【図4】熱アニール処理に合わせて構成された集積回路メモリを示すブロック図である。

【図5】コラム間の絶縁体充填トレンチとイオン注入によるラテラルポケットとを含んだメモリセルのNANDアレイのレイアウト図である。

20

【図6】nチャネルデバイスを用いた図5のようなNANDアレイの、ワードラインに沿って取られた断面図である。

【図7】セルチャネルを通してワードラインに直交して取られた、最上段及び最下段の選択トランジスタを含むNANDストリングの簡略化した断面図である。

【図8】熱アニールに合わせて構成されたメモリセルの代替構造を示す図であり、熱分離用の薄膜半導体ボディ上に配置された誘電体電荷トラップメモリセルを含んでいる。

【図9】熱アニールサイクルを適用するための1つの制御シーケンスの簡略化したフロー図である。

【図10】熱アニールサイクルを適用するための他の1つの制御シーケンスの簡略化したフロー図である。

30

【図11】熱アニールサイクルを適用するための更なる他の1つの制御シーケンスの簡略化したフロー図である。

【図12】熱アニールを適用した実験結果を示すドレイン電流 v s制御ゲート電圧のプロットである。

【図13】熱アニールを適用した実験結果を示す閾値電圧 v sプログラム/消去サイクル数のプロットである。

【図14】1回目の循環シーケンス後の、プログラムされたセル及び消去されたセルの閾値電圧分布のプロットである。

【図15】熱アニールに続く2回目の循環サイクルシーケンス後の、プログラムされたセル及び消去されたセルの閾値電圧分布のプロットである。

40

【図16】10回の循環及びアニールのシーケンス後の、プログラムされたセル及び消去されたセルの閾値電圧分布のプロットである。

【図17】1回目の循環シーケンス後の、プログラム条件及び消去条件を示すプロットである。

【図18】熱アニールに続く2回目の循環サイクルシーケンス後の、プログラム条件及び消去条件を示すプロットである。

【図19】10回の循環・アニールシーケンス後の、プログラム条件及び消去条件を示すプロットである。

【図20】電荷トラップメモリセルの室温及び昇温での消去性能を示す図である。

【図21】消去処理を受ける電荷トラップメモリセルのおよそのアニール時間を示すグラ

50

フである。

【発明を実施するための形態】

【0012】

図1-21を参照して、開示技術の実施形態を詳細に説明する。

【0013】

図1は、半導体ボディ13内にソース11及びドレイン12を有するメモリセルの簡略化した斜視図であり、ボディ13はソースとドレインとの間にチャンネルを有する。ワードライン10が、ボディ13のチャンネル領域の上方のゲートをもたらししている。多層誘電体スタック14が、ゲートとボディ13のチャンネル領域との間に置かれており、誘電体の電荷トラップ構造として機能する。

10

【0014】

多層誘電体スタック14を実現するための1つの技術は、バンドギャップ工学的(band gap engineered)SONOS(BE-SONOS)電荷トラップテクノロジーとして知られている。例えば、Lueによる特許文献1を参照することができ、その内容全体をここに援用する。

【0015】

BE-SONOS多層誘電体スタックの一例は、チャンネル上の多層トンネル層を含む。多層トンネル層は、チャンネルの中央領域で2nm未満の厚さの酸化シリコン又は酸窒化シリコンの層と、上記中央領域で3nm未満の厚さの窒化シリコンの第2層と、上記中央領域で4nm未満の厚さの酸化シリコン又は酸窒化シリコンの第3層とを用いて実現され得る。トンネル層上に、上記中央領域で5nmより大きい厚さを有する窒化シリコンの電荷トラップ層が形成される。電荷トラップ層とゲートとの間に、上記中央領域で5nmより大きい実効酸化膜厚を有する絶縁材料の遮断(ブロッキング)層が形成される。他の実施形態において、誘電体電荷トラップ構造は、ゲートに隣接してトンネル層を有し且つチャンネルに隣接して遮断層を有するように構成されてもよい。

20

【0016】

代替的なメモリセルは、異なる電荷トラップ構造を用いていてもよく、例えば、より伝統的な窒化物構造や、非特許文献3、4、及び2007年8月27日に出願された本願と同一出願人による米国特許出願第11/845,276号に記載される電荷トラップ構造を用い得る。なお、これらの文献内容をここに援用する。

30

【0017】

BE-SONOSテクノロジー及びその他の誘電体電荷トラップテクノロジーは、有意な温度感度を有し得る。温度感度は、プログラム・消去サイクル中に発生する構造へのダメージから熱アニールによって回復する能力を含み得る。故に、熱アニールを適用することによって、誘電体電荷トラップ構造の電荷格納特性を修復あるいは改善することができる。また、温度感度は、向上された性能を含み得る。例えば、負のゲートバイアス下で、ファウラーノルドハイム(Fowler-Nordheim; FN)トンネリング中に熱を印加することができる場合、熱的に支援(熱アシスト)された電子の脱トラップが促進され、正孔トンネリングと組み合わせあって、消去速度を高めるための有意な要因となる。

【0018】

40

メモリセルに熱を印加する1つの技術は、図1に示すようなワードライン中の電流を用いて熱を生成する抵抗加熱を含む。ワードラインは典型的に、ワードラインドライバが有意な電流を生成することなくワードラインを目標電圧まで充電するように、終端されない配線であるか、非常に高いインピーダンスで終端されるかの何れかである。ワードライン内に電流を誘起するためには、ワードライン電圧を受けるワードラインを、電流を可能にするように終端する必要がある。また、負のゲート電圧でのFNトンネリング動作においては、誘電体電荷トラップ層を横切る電界が誘起される。故に、組み合わせられた消去/アニール処理は、消去動作をサポートするように電界を誘起しながら電流を誘起することによって実行されることができる。電流はまた、所望であれば、読み出し動作及びプログラム動作中にも誘起されることができる。電流はまた、読み出し、プログラム及び消去のミ

50

ッション機能とインターリーブされた動作において、メモリが休止中にも誘起されることが可能である。故に、読み出し動作、プログラム動作及び消去動作とインターリーブされた、あるいはこれら動作中の、アニール処理を達成するように回路が構成される。

【0019】

ワードラインに好ましく電流を誘起することにより、特定のセルのゲートの局所温度を400より高くまで上昇させることができる。ゲートは誘電体電荷トラップ構造と接触しているので、熱が伝達されてアニールを成し遂げる。

【0020】

図2は、簡略化した単一デバイスのレイアウト図である。このデバイスは、半導体ボディのイオン注入によって実現されるソース22及びドレイン23を含んでいる。このデバイスはゲート29を含んでいる。ゲート29は、電流を局所的に集中させるために局所的に狭い領域を有し、両端の一層広い領域20及び21をセルのメモリ素子から離隔させることができる。メモリセルはゲート29とソース/ドレイン注入との間の交点24に形成される。

【0021】

図示のように、アニールは、ゲートの一方の端部20に結合されるワードラインドライバ25を用いて引き起こされ得る。ワードライン終端回路(ワードラインドライバと同様とし得る)がゲートの反対側の端部21に結合される。ワードライン終端回路は、アドレス復号回路又はその他制御回路に応答してワードラインを終端回路27に選択的に結合させるスイッチ26を含んでおり、適切に電流を許可あるいは阻止するバイアス回路を含み得る。終端回路は、ワードラインを横切る電位差を印加することによって、ゲートに電流が流れることを可能にする。一例において、終端回路は、約1Vの電圧をワードラインの一方側に印加し、且つ約0Vの電圧を他方側に印加するように構成され得る。これにより、有意な電界を生み出すことなく、電流が引き起こされ、メモリセルに熱が誘起される。他の一例において、終端回路は、約20Vを一方側に印加し且つ約19Vを他方側に印加し、それにより、ファウラーノルドハイムプログラミングを含むプログラミングを支援するように電界をメモリセルに誘起しながら、電流を生じさせて熱を誘起するように構成され得る。

他の一例において、終端回路は、約-16Vを一方側に印加し且つ約-15Vを他方側に印加し、それにより、負電界ファウラーノルドハイム消去を含む消去を支援するように電界をメモリセルに誘起しながら、電流を生じさせて熱を誘起するように構成され得る。

【0022】

図1及び2を参照して説明するメモリセルを熱アニールする手段は、メモリセルの誘電体電荷トラップ構造の近傍に抵抗加熱を誘起するように選択的に制御されるドライバ及び終端回路を備えた、ワードライン又はその他のゲート構造を含んでいる。他の実施形態において、ビットライン中の電流を用いて、メモリセルの誘電体電荷トラップ構造に熱が印加されてもよい。また、メモリセルは、誘電体電荷トラップ層の上方又は下方の何れかに付加的な抵抗配線の組を備えたアレイにて実現されてもよい。例えば、付加的な熱アニール配線が、メタル層内の標準ワードラインに隣接して、あるいはその上に実装されて、セルを加熱するために用いられてもよい。また、メモリセルは、誘電体電荷トラップ構造の下方に熱アニール配線の組を含む基板の上に実装されてもよい。例えば、シリコン・オン・インシュレータ基板の場合、例えば絶縁体の下又は内部に埋め込まれたドーパントポリシリコン配線を用いて実現された抵抗を、メモリセルの下方に埋め込むことができる。ワードライン加熱は、電荷トラップ構造に対するワードラインの近接性により、非常に効率的になり得る。しかしながら、その他の構造も、概説したような熱アニール手段を提供するために使用され得る。

【0023】

フラッシュメモリデバイスは、例えば仮想グラウンドアーキテクチャやANDアーキテクチャを含むその他のアーキテクチャも知られているが、一般的にNANDアーキテクチャ又はNORアーキテクチャを用いて実現される。NANDアーキテクチャは、データ記憶

10

20

30

40

50

用途に適用されるときの高密度性及び高速性によって好まれている。NORアーキテクチャは、ランダムなバイトアクセスが重要な例えばコード記憶などのその他の用途に一層適している。ここで説明する熱アシストメモリセルは、NAND、NOR、仮想グラウンド及びANDのアーキテクチャ、並びにその他の構成にも展開されることが可能である。

【0024】

図3は、NANDストリング(列)31、32を含むNANDアーキテクチャのレイアウトを示す回路図であり、NANDストリング31、32は、ストリング選択トランジスタ(例えば、36)によって、それぞれのビットラインBL-1、BL-2に結合され、且つグラウンド選択トランジスタ(例えば、37)によって、共通ソース(common source; CS)ライン35に結合される。例示目的で説明するに、NANDストリング31内のワードラインWL(i)上のターゲットメモリセル30の読み出しにおいて、選択されたワードラインWL(i)に読み出しバイアスレベルが印加される。選択されないワードラインは、最も高い閾値状態にあるメモリセルをターンオンさせるのに十分なパス(pass)電圧で駆動される。選択されたビットライン上に、読み出しバイアスが印加される。選択されないビットラインのビットライン電圧は、グラウンドに設定され、あるいはCSラインの電圧レベルに近いレベルに設定される。

【0025】

ワードラインを用いて熱アニール用の熱を印加するために、アレイは、復号(decoded)ワードラインドライバ38と、ワードライン群の反対側の端部の復号(decoded)終端スイッチ39とを有するように構成される。ドライバ38と復号終端スイッチ39との間のワードラインの長さは、アレイを適切にセグメント化(区分け)することによって、所望のように設定されることができる。例えば、ワードラインドライバ/終端スイッチ対は、具体的な実装形態に適合するように、100本のビットラインのセグメント、1000本のビットラインのセグメント、又はその他の長さのセグメントに対して実装され得る。バイアス回路に対するワードラインの結合及び切り離しを選択的に行う復号終端回路39を用いることは、ワードラインを、デバイスの動作中には低電流モードで使用し、熱アニールの場合には高電流モードを使用することを可能にする。また、例えば読み出し動作、プログラム動作及び消去動作などのデバイスの一部の動作モードにおいて、動作中の熱アニールを実行するために、ワードラインを終端回路に選択的に結合させてワードラインを高電流モードで動作させてもよい。

【0026】

図4は、ここで説明するフラッシュメモリ用の熱アニールを使用する集積回路の簡略化したブロック図である。集積回路410は、半導体基板上の電荷トラップメモリセルを用いて実装されたメモリアレイ412を含んでいる。ワードライン(又はロー)、グラウンド選択・ストリング選択デコーダ414(適当なドライバを含む)が、メモリアレイ412のロー(行)に沿って配設されたワードライン416並びにストリング選択ラインおよびグラウンド選択ラインに結合され、それらと電気的に通信する。メモリアレイ412内のメモリセルからデータを読み出し、またそれらにデータを書き込むため、ビットライン(コラム)デコーダ・ドライバ418が、メモリアレイ412のコラム(列)に沿って配設された複数のビットライン420に結合され、それらと電気的に通信する。バス上422で、ワードラインデコーダ・ストリング選択デコーダ414及びビットラインデコーダ418に、アドレスが供給される。必要に応じて、共通ソースラインデコーダ417が含まれ、一部のメモリ動作のために使用される。

【0027】

誘電体電荷トラップ構造を熱アニールするための熱を誘起するためにワードラインの電流を使用する実施形態において、アレイのワードライン416にワードライン終端デコーダ450が結合される。ワードライン終端デコーダ450は、デバイスの或る動作モードを指し示す、あるいはデバイスの或る動作モード中に生成されるアドレス及び制御信号に応答して、上述のように、ワードラインを終端回路に選択的に接続し、あるいは選択されたワードラインに結合された終端回路を有効化することができる。

【 0 0 2 8 】

ブロック 4 2 4 内のセンス増幅器及びデータイン (data-in) 構造は、読み出しモード、プログラムモード及び消去モードのための電流源を含んでおり、データバス 4 2 6 を介してビットラインデコード 4 1 8 に結合されている。データは、集積回路 4 1 0 の入力 / 出力ポートから、あるいは集積回路 4 1 0 の内部又は外部のその他のソースから、ブロック 4 2 4 内のデータイン構造へ、データインライン 4 2 8 を介して供給される。データは、ブロック 4 2 4 のセンス増幅器から、集積回路 4 1 0 の入力 / 出力ポートへ、あるいは集積回路 4 1 0 の内部又は外部のその他のデータ宛先へ、データアウトライン 4 3 2 を介して供給される。

【 0 0 2 9 】

この例ではバイアス構成状態機械を用いて実装されているコントローラ 4 3 4 が、アクセス制御プロセスを用いて、例えば読み出し、プログラム、消去、ベリファイ、プログラムベリファイの電圧又は電流などのバイアス構成供給電圧・電流源 4 3 6 のワードライン及びビットラインへの印加を制御するとともに、ワードライン / ソースライン動作を制御する。コントローラ 4 3 4 は、アドレス復号に協調して、あるいはここで説明する処理のうちの 1 つ以上に従って、ワードライン終端デコード 4 5 0 を制御することを含む、熱アニールの有効化のために使用されるロジックを含む。

【 0 0 3 0 】

コントローラ 4 3 4 は、技術的に知られた専用論理回路を用いて実装され得る。代替的な実施形態において、コントローラ 4 3 4 は、同一の集積回路上に実装され得る汎用プロセッサを有し、それがコンピュータプログラムを実行してデバイスの動作を制御する。更なる他の実施形態においては、コントローラ 4 3 4 の実装のために、専用論理回路と汎用プロセッサとの組み合わせが用いられてもよい。

【 0 0 3 1 】

図示した実施形態において、集積回路 4 1 0 には、例えば、汎用プロセッサ若しくは専用アプリケーション回路、又はメモリセルアレイによってサポートされるシステム・オン・チップ機能を提供する複数のモジュールの組み合わせなどの、その他回路 4 3 0 が含まれている。

【 0 0 3 2 】

NAND アレイの実装のための一般的な技術は、半導体基板の複数のストリップ (細片) 間にシャロー・トレンチ・アイソレーション STI 構造を使用することを含む。各ストリップに一連のメモリセルが実装される。メモリセルは、n 型ドーピング (p チャネルデバイスの場合) 又は p 型ドーピング (n チャネルデバイスの場合) の一方を有するチャネル領域と、ストリップに沿った複数のチャネル領域間の反対導電型を有するソース / ドレイン領域とを含む。チャネル領域上に電荷トラップ構造が形成され、NAND セルへのアクセスを構築するようにワードライン及びビットラインがパターンニングされる。

【 0 0 3 3 】

図 5 は、ここで説明する熱アニールのための手段とともに使用するのに好適な、コラム間にシャロー・トレンチ・アイソレーションを含んだ NAND アレイレイアウトを示している。このレイアウトにおいて、複数の絶縁体充填トレンチ 5 1 - 1 乃至 5 1 - 5 が半導体基板内に形成されている。半導体ストリップ 5 2 - 1 乃至 5 2 - 4 が、例えばシャロー・トレンチ・アイソレーション STI 構造などの絶縁体充填トレンチ 5 1 - 1 乃至 5 1 - 5 の対の間に位置している。電荷トラップ構造 (図示せず) が半導体ストリップ上に位置する。複数のワードライン 5 3 - 1 乃至 5 3 - 4 が、電荷トラップ構造上に形成され、半導体ストリップ 5 2 - 1 乃至 5 2 - 4 に対して直交して延在している。半導体ストリップは、第 1 の導電型を有する複数のソース / ドレイン領域 (S / D) と、第 2 の導電型を有する複数のチャネル領域 (ワードラインの下方) とを含んでいる。

【 0 0 3 4 】

図 6 は、ワードライン 5 3 - 2 に沿って取られた図 5 のアレイの断面図を示している。BE-SONOS の特徴である ONONO 誘電体電荷トラップ構造が、ワードライン 5 3

10

20

30

40

50

- 2 と半導体ボディ内の P ウェルとの間に位置している。絶縁体充填トレンチ 5 1 - 1 乃至 5 1 - 5 が、紙面に垂直に走る複数の N A N D ストリングを分離している。ワードラインは、図示のようなポリシリコンとシリサイドとの多層構造、又はその他の材料の組み合わせの多層構造を含んでいてもよい。それらの材料は、電流が流れる間に抵抗加熱を提供し、且つ熱アニールのために誘電体電荷トラップ構造へと抵抗加熱を伝達するように構成され得る。

【 0 0 3 5 】

図 7 は、N A N D ストリングを形成するように直列に配置された複数の誘電体電荷トラップフラッシュメモリセルを断面図にて示している。図 7 の断面は、ストリップ 5 2 - 1 内の N A N D ストリングに沿った、図 5 の直線 7 - 7 に沿って取った断面に対応する。しかしながら、図 7 は、グランド選択スイッチ及びストリング選択スイッチとともに 6 個のメモリセルを有するストリングを示しており、故に、図 5 のレイアウトに見られるものより多くの構造を示している。

【 0 0 3 6 】

図 7 を参照するに、メモリセルは半導体ボディ 7 0 に形成されている。n チャネルメモリセルの場合、半導体ボディ 7 0 は、半導体チップ内の、より深い n ウェル内の、アイソレートされた p ウェルとし得る。他の例では、半導体ボディ 7 0 は、絶縁層によって、あるいはその他の方法でアイソレートされてもよい。一部の実施形態は、半導体ボディのドーピングが n 型となる p チャネルメモリセルを用いてもよい。

【 0 0 3 7 】

複数のメモリセルが、ワードラインと直交するビットライン方向に延在するストリング内に配列される。ワードライン 8 2 - 8 7 は、多数の平行な N A N D ストリングを横切って延在している。端子 7 2 - 7 8 が、半導体ボディ 7 0 内の n 型領域 (n チャネルデバイスの場合) によって形成され、メモリセルのソース / ドレイン領域として機能する。グランド選択ライン G S L 8 1 内にゲートを有する M O S トランジスタによって形成される第 1 のスイッチが、最初のワードライン 8 2 に対応するメモリセルと半導体ボディ 7 0 内の n 型領域によって形成されるコンタクト 7 1 との間に接続されている。コンタクト 7 1 は共通ソース C S ライン 8 0 に接続されている。ストリング選択ライン S S L 8 8 内にゲートを有する M O S トランジスタによって形成される第 2 のスイッチが、最後のワードライン 8 7 に対応するメモリセルと半導体ボディ 7 0 内の n 型領域によって形成されるコンタクト 7 9 との間に接続されている。コンタクト 7 9 はビットライン B L 9 0 に接続されている。図示した実施形態における第 1 及び第 2 のスイッチは、例えば二酸化シリコンで形成された誘電体 9 7 及び 9 8 を有する M O S トランジスタである。

【 0 0 3 8 】

この図においては、単純化のために、ストリング内に 6 個のメモリセルが存在している。典型的な実装例において、各 N A N D ストリングは、直列配置された 1 6 個、3 2 個又はそれより多くのメモリセルを有し得る。ワードライン 8 2 - 8 7 に対応するメモリセルは、ワードラインと半導体ボディ 7 0 内のチャネル領域との間に誘電体電荷トラップ構造 9 9 を有する。また、端子 7 3 - 7 7、並びに場合によって端子 7 2 及び 7 8 が構造から省略され得る無接合 (ジャンクションフリー) の N A N D フラッシュ構造の実施形態も開発されている。

【 0 0 3 9 】

図示した実施形態における電荷トラップ構造は、上述のように O N O N O 多層スタックを有している。上述のように、ワードラインは、電荷トラップ構造 (例えば、9 9) に熱を誘起し、熱アニールにサイクルダメージからの回復を行わせるために使用される。アニールはまた、消去速度を高めるために - F N 消去中に適用されてもよい。

【 0 0 4 0 】

図 7 には、負ゲート電圧での F N (- F N) 消去動作の場合の N A N D ストリングのバイアス条件が示されている。- F N トンネリングを用いてブロック消去を引き起こすために、ワードラインは負の消去電圧 - V E でバイアスされ、ビットライン及び共通ソースラ

10

20

30

40

50

インは正の消去電圧 + V E 又はグランドでバイアスされ、また、ストリング選択スイッチは、+ V E 電圧を半導体ボディ 70 に結合させる電圧でバイアスされる。これにより、チャネルから誘電体電荷トラップ構造内の電荷トラップ層への正孔トンネリングを誘起する電界が発生され、ブロック内のメモリセル群が消去される。消去性能を向上させるために、ゲート構造上の矢印によって指し示されるように電流がブロック消去中に流れるようにワードラインを終端することが可能である。この電流により、消去動作中に誘電体電荷トラップ構造に伝達される熱が誘起される。

【0041】

代替的な実施形態は、複数の n チャンネルデバイスのための 1 つの連続した p 型チャネル構造を有するように、第 1 の n 型ソース/ドレイン端子と第 2 の n 型ソース/ドレイン端子との間に例えば 8 本又は 16 本などの複数のワードラインを含み、p チャンネルデバイスの場合も然りである。故に、ここで説明する NAND アレイの実施形態は、チャネルの導電型と逆の導電型でドーパされたソース/ドレイン端子間に 2 つ以上のゲートを含んでいてもよい。この代替例においては、個々のセルは、チャネル構造を反転するように隣接し合うワードラインをバイアスし、個々のゲートに対して反転ソース/ドレイン領域を作り出すことによってアクセスされる。なお、2006 年 3 月 31 日に出願された本願と同一出願人による米国特許出願第 11/394,649 号を参照することができ、その内容全体をここに援用する。

【0042】

NAND ストリングは、finFET 技術、シャロー・トレンチ・アイソレーション技術、縦型 NAND 技術及びその他を含む多様な構成で実装されることができる。例えば、「Non-volatile memory device, method of operating same and method of fabricating the same」なる発明名称の Kim 等による欧州特許出願第 2048709 号を参照することができる。

【0043】

図 8 は、絶縁基板上に実装された薄膜トランジスタメモリセルを含むメモリ構造の簡略化した斜視図である。これは、より効率的な熱生成と、より低い電力とを実現するために、デバイス設計において熱分離を考慮した代表的な構造である。この構造においては、“シリコン・オン・インシュレータ SOI” 設計手法が用いられている。絶縁体 102 が集積回路用基板の上に形成され、熱的及び電氣的双方の絶縁を提供する。絶縁体 102 上に薄膜半導体ボディ 101 が形成される。半導体ボディ 101 内に、ソース/ドレイン領域 110 及びチャネル領域 109、111 が設けられる。薄膜半導体ボディ 101 上に誘電体電荷トラップ構造 104 が形成される。ポリシリコン層 105、106 とシリサイド層 107、108 とを含む多層構造を用いてワードラインが設けられる。ポリシリコン/シリサイド層の厚さは、ワードラインの抵抗を増大させ、それにより熱生成を増大させるように薄くされ得る。また、SOI 型構造にて実現される薄膜半導体ボディ 101 は、メモリセルによる熱吸収を抑制し、より低い電力で、より高い温度を発生させることを可能にする。また、更なる熱絶縁技術が用いられてもよい。例えば、領域 103 内のワードライン間に、空気スペーサ及びその他の熱絶縁構造を設けることができる。

【0044】

図 9 - 11 は、誘電体電荷トラップメモリデバイスに熱アニールサイクルが配備される選択的な動作方法を示している。これらの方法は、例えば、図 4 を参照して説明したコントローラ 434 を用いて実行されることができる。

【0045】

図 9 は、熱アニールサイクルがメモリデバイスのミッション機能動作（読み出し、プログラム、消去）間にインターリーブされる代表的な処理を示している。デバイスの動作中、ブロック 200 によって表されるように、プログラム/消去（P/E）の循環的な動作が実行される。図 9 の方法用のコントローラは、（例えば、プログラム動作をカウントすることにより、消去動作をカウントすることにより、あるいはプログラム動作と消去動作のとの対をカウントすることにより）プログラム/消去サイクルをカウントし（ブロック

201)、カウントを監視する(ブロック202)。カウントが閾値に達していない場合、アルゴリズムはループしてサイクルをカウントし続ける。カウントが閾値に達した場合、コントローラは熱アニールサイクルを適用する(ブロック203)。プログラム/消去サイクルの計数及び熱アニールサイクルは、具体的な実装形態に適合するように、例えば、ローごとに基づいて、コラムごとに基づいて、ブロックごとに基づいて、あるいはアレイ全体上で、適用され得る。アニールは、所与の実装形態の電力消費要件及びその他の要件に適合するように、一度に1つのロー又はコラムのセル群に、あるいはより大きい組のセル群に適用され得る。

【0046】

図10は、熱アニールサイクルがミッション機能動作間にインターリーブされる他の一処理を示している。図10の処理においては、ブロック301によって表されるように、プログラム/消去の循環的な動作は通常動作中に実行される。コントローラは、ブロック消去機能の実行を監視し、ブロック消去動作が完了したかを決定する(ブロック302)。何れのブロック消去動作も完了していない場合、この処理は監視及び通常動作を継続する。或るブロック消去動作が成功裏に完了した場合、コントローラは熱アニールサイクルを適用する(ブロック303)。

【0047】

図11は、この例ではブロック消去であるメモリデバイスのミッション機能中に熱アニールが適用される代表的な処理を示している。図11の処理においては、ブロック400によって表されるように、メモリデバイスの通常のプログラム/消去サイクルが行われる。この処理は、ブロック消去が要求されているかを決定する(ブロック401)。要求されていない場合、この処理は通常動作及び監視を継続する。ブロック消去動作が要求されている場合、コントローラは、消去されているメモリセルに熱生成回路が適用されるように、ブロック消去動作中にワードラインを終端し、あるいはその他の方法で熱アニールを適用する(ブロック402)。上述のように、こうすることは、消去性能を向上させるとともに、誘電体電荷トラップ構造がプログラム/消去サイクルダメージから回復することを可能にする。ブロック消去機能が完了したとき(ブロック403)、この処理は通常動作へと戻る。

【0048】

図12及び13は、75nm製造ノードを用いて製造されたNANDアーキテクチャBE-SONOSメモリセルを有する試験デバイスで取得された測定結果を示しており、ここでは、電流を誘起するようにセルの半導体ボディとソース/ドレイン端子との間の接合を順バイアスする順方向ソース/ドレインアニールによって、熱アニールを引き起こす電流を生成した。これは、上述のその他の加熱構造の挙動を模擬するものである。図12には、ゲート電圧に対するドレイン電流のプロットが示されている。トレース1201は、1万プログラム/消去サイクル後のメモリセルの性能を示しており、サイクルダメージの結果として生じたと推察される僅かな性能劣化が示されている。トレース1202及び1203は、それぞれ、1回目のアニール及び2回目のアニールの後の性能を示している。アニールステップの後、デバイスのサブスレッショルド勾配(S.S.)が有意に改善されており、熱アニールを用いることで界面状態のダメージ(Dit)が抑圧されることを指し示している。

【0049】

図13は、試験したメモリセルのプログラム/消去サイクルのサイクル数に対する閾値電圧を、アニール前の1万サイクルとアニール後の1万サイクルとについて示している。この図は、アニール前の1万サイクルとアニール後の次の1万サイクルとの双方で、デバイスが等しく良好に機能することを示している。

【0050】

図14-16は、それぞれ、試験したNANDアーキテクチャBE-SONOSメモリセルに対する、10万プログラム/消去サイクルの1回目のセット、熱アニール後の10万プログラム/消去サイクルの2回目のセット、及び熱アニール後の10万プログラム/

10

20

30

40

50

消去サイクルの10回目のセットについての閾値分布を示している。図14において、容易に区別されない7個のプロットが示されている。これらのプロットは、10サイクル時の性能、100サイクル時の性能、1000サイクル時の性能、1万サイクル時の性能、5万サイクル時の性能、及び10万サイクル時の性能に対応する。図14は、サイクル数が約100まで増加すると、消去状態のウィンドウの上端が約2.3Vに達することを示している。プログラム状態のウィンドウは比較的一定のままであり、約3.5Vの下端を有している。

【0051】

図15は、熱アニール後の10万プログラム/消去サイクルの2回目のセットでは、消去状態のウィンドウの上端が約2.6Vより低くにとどまり、プログラム状態のウィンドウの下端が約3.5Vより高くにとどまることを示している。図16は、熱アニール後の10万プログラム/消去サイクルの10回目のセットでは、消去状態のウィンドウの上端が約2.9Vより低くにとどまり、プログラム状態のウィンドウの下端が約3.4Vより高くにとどまることを示している。

10

【0052】

図14-16に示した結果は、10万サイクルごとに熱アニール処理を用いると100万サイクルにわたってデバイス性能が維持され得るということを示している。

【0053】

図17-19は、10万プログラム/消去サイクルにわたっての、ページプログラムショット数（すなわち、プログラム、ベリファイ、リトライサイクルアルゴリズムにおいて首尾良いプログラミングに必要なプログラムパルス数）及び総消去時間のバラつきを示している。これらの図は、最悪の場合のページプログラムショット数のトレースと、平均のページプログラムショット数のトレースと、総消去時間のトレースとを示している。図17は、10万サイクルの1回目のセットでの性能を示している。図18は、熱アニール後の10万サイクルの2回目のセットでの性能を示している。図19は、熱アニール後を用いた10万サイクルの10回目のセットでの性能を示している。これらの図は、熱アニールに続く10万P/Eサイクルの10回のセットの後にプログラム/消去サイクル条件がほぼ完全に回復されていること、ひいては、100万サイクルにわたる耐久性を示している。

20

【0054】

図20は、1.3nmの酸化シリコン、2nmの窒化シリコン及び3.5nmの酸化シリコンを有する多層トンネル層と、7nmの窒化シリコンを有する電荷トラップ層と、8.5nmの酸化シリコンを有するブロッキング層とを有するBE-SONOSメモリセルについて、熱アニールを用いるときと用いないときとの消去性能を示している。デバイスのゲートとボディとの間に-17Vの-FN消去バイアスを印加している。これらの条件下で閾値を約5Vから約0Vへ低下させるための25℃での消去時間は1秒に近い。250℃の昇温された温度では、これらの条件下での消去時間は約11ミリ秒に低減される。故に、図20は、消去動作中に熱アニールを適用することによって消去性能を向上させることができることを示している。

30

【0055】

図21は、 $q/(kT)$ に対する秒単位のアニール時間のアレニウスプロットであり、BE-SONOSデバイスにおける熱アシスト消去動作のおよそのアニール時間を示している。3つのトレースが示されており、一番上のトレースは1.2eVの活性化エネルギーを仮定し、中央のトレースは1.5eVの活性化エネルギーを仮定し、下のトレースは1.8eVの活性化エネルギーを仮定している。また、計算においては、実験に基づいて、回復に要するアニール時間は250℃で約2時間であると仮定している。プロットに示す計算に基づく、約600℃の温度では、必要なアニール時間はたった数ミリ秒であり、故に、現行のフラッシュメモリ仕様の消去速度要求の範囲内での使用に好ましいものである。600℃程度の温度は、ここで説明した抵抗加熱を用いて達成可能である。

40

【0056】

50

熱アシスト電荷トラップメモリについて説明してきた。この技術は、NANDアーキテクチャを有するフラッシュデバイスだけでなく、その他のアーキテクチャを用いるデバイスとの使用にも好適である。集積回路デバイスに容易に実装されるよう、例えば、ワードライン内の電流によって引き起こされる抵抗加熱を用いて、熱アニールのための熱を生成することができる。熱アニール処理を適用することによって、向上された耐久性及び消去性能を達成することが可能である。

【0057】

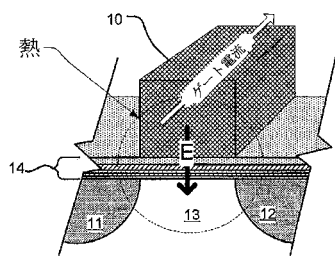
好適な実施形態及び例を参照することによって本発明を開示したが、理解されるように、これらの例は限定的なものではなく例示的なものである。当業者は容易に、本発明の精神の範囲内且つ以下の請求項の範囲内にある変更及び組み合わせに想到するであろう。

10

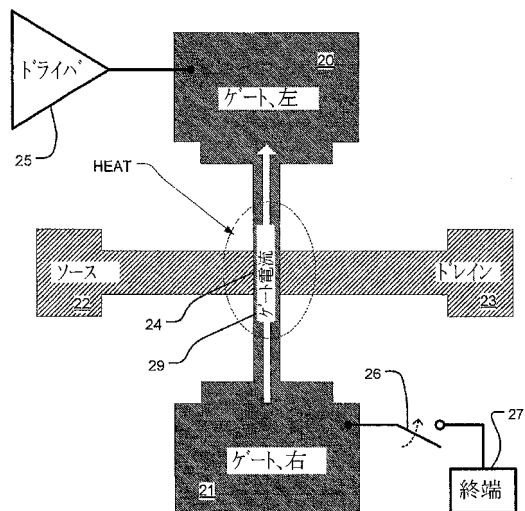
【0058】

本出願は、2011年5月2日に出願された米国特許出願第13/099,298号の利益を主張するものであり、その内容をここに援用する。

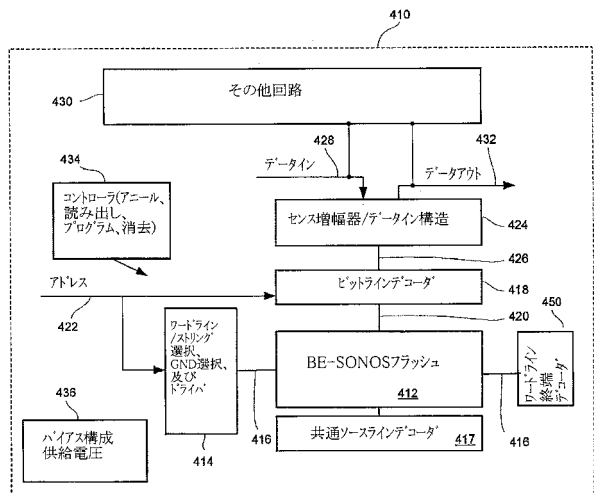
【図1】



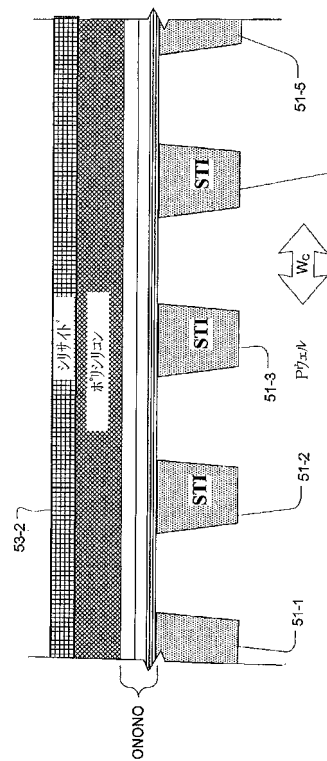
【図2】



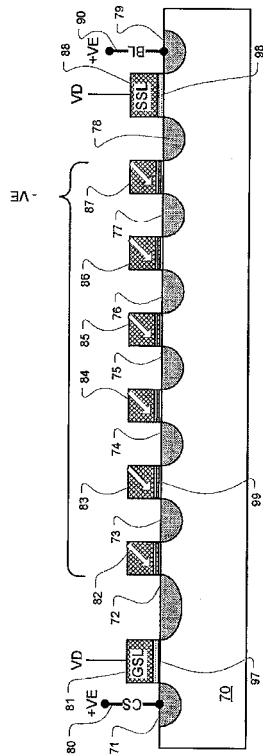
【 図 4 】



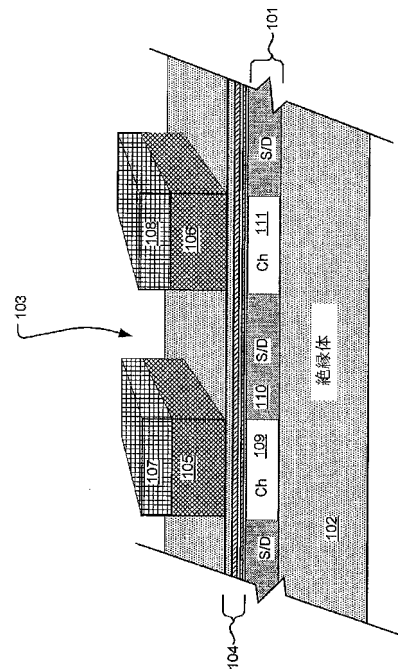
【 図 6 】



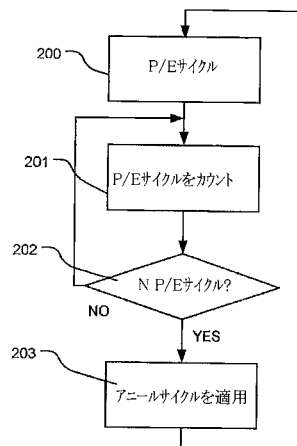
【図 7】



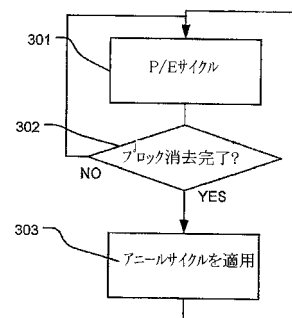
【図 8】



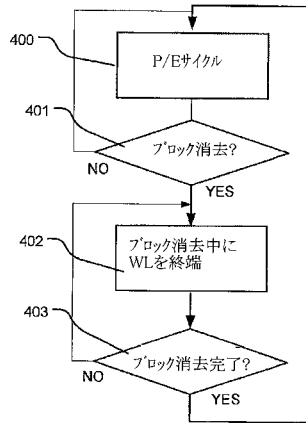
【図 9】



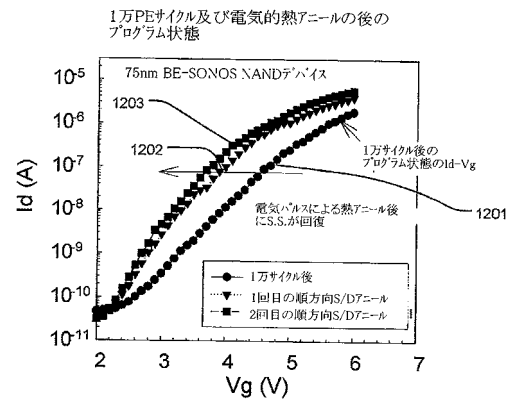
【図 10】



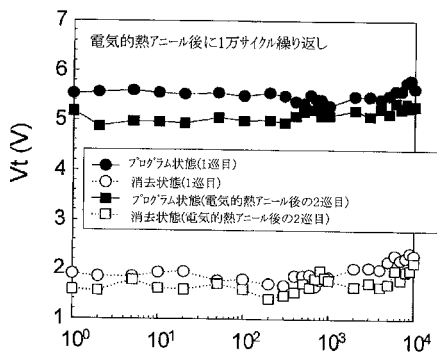
【図 1 1】



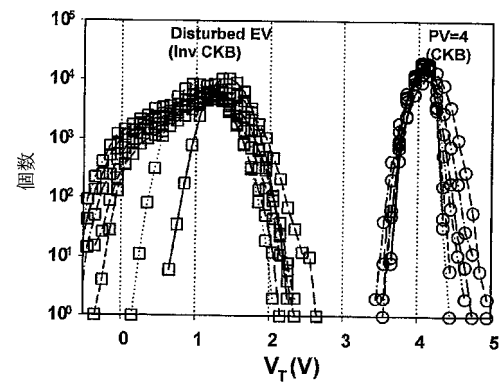
【図 1 2】



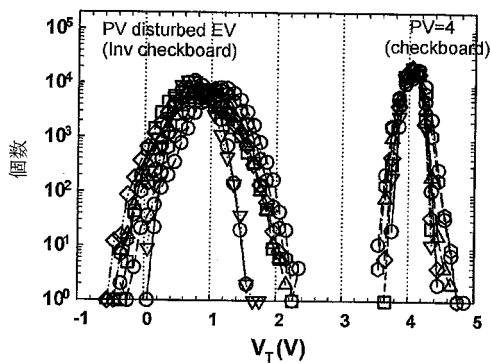
【図 1 3】



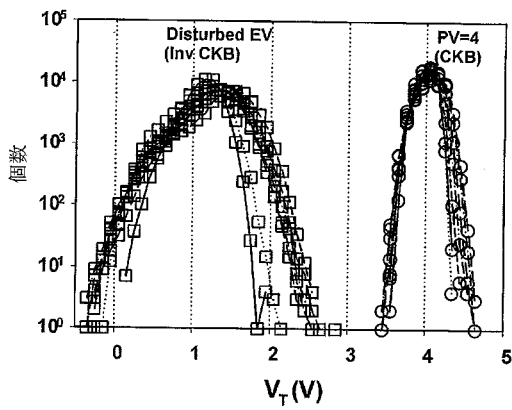
【図 1 5】



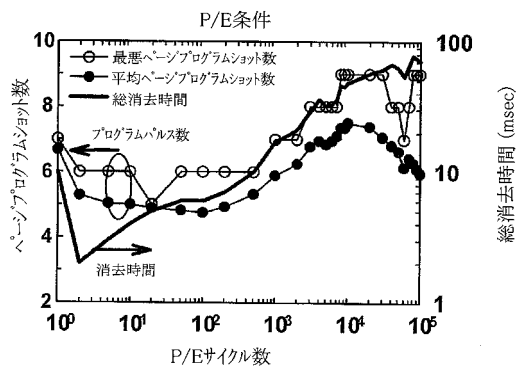
【図 1 4】



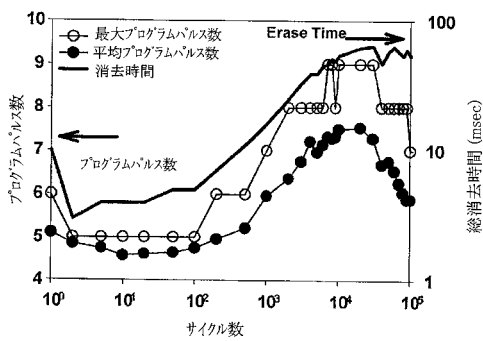
【図 16】



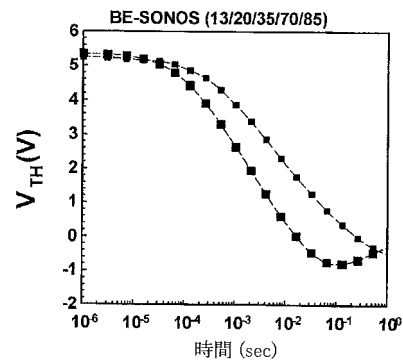
【図 17】



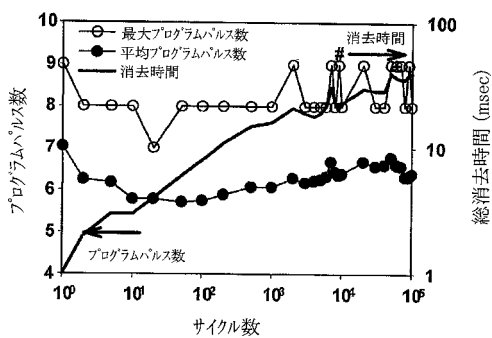
【図 18】



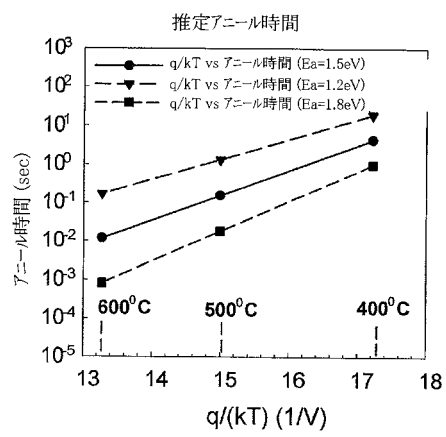
【図 20】



【図 19】



【図 2 1】



フロントページの続き

| (51)Int.Cl. | F I | テーマコード(参考) |
|--------------------------|---------------------|------------|
| H 0 1 L 21/336 (2006.01) | H 0 1 L 27/10 4 3 4 | |
| H 0 1 L 29/788 (2006.01) | H 0 1 L 29/78 3 7 1 | |
| H 0 1 L 29/792 (2006.01) | H 0 1 L 27/10 4 8 1 | |
| H 0 1 L 27/10 (2006.01) | | |

(72)発明者 ハン・ティン リュ
台湾 シンチュ ナショナル・ツインファ・ユニヴァーシティー イースト・ユアン・19

(72)発明者 チー・ピン チェン
台湾 タイナン・シティ・710 ヨンカン・ディストリクト シェンリ・ストリート レーン・
2 アレー・92 ナンバー・41

(72)発明者 チー・チャン シエ
台湾 ニュー・タイペイ・シティ・241 サンチョン・ディストリクト シンシン・ロード ナ
ンバー・30 6エフ

(72)発明者 イ・シュアン シャオ
台湾 シンチュ・シティ・300 イースト・ディストリクト ドンシャン・ストリート レーン
・60 アレー・1 ナンバー・6 2エフ

Fターム(参考) 5B125 BA02 BA08 CA01 CA27 CA28 DA09 DB01 DB12 DC03 DC12
DD08 EA05 EA10 EC03 EC06 EG10 EG14 FA01 FA02 FA05
FA06

5F083 EP18 EP22 EP33 EP34 EP48 EP49 EP76 EP77 EP79 ER03
ER11 ER30 GA01 GA21 HA02 JA04 JA05 JA19 JA35 JA53
LA02 LA03 LA04 LA05 LA10 MA06 MA19 MA20 NA01 PR33
ZA13 ZA20

5F101 BA45 BA53 BB02 BB08 BC02 BD10 BD22 BD30 BD33 BD34
BD35 BE02 BE05 BE07 BF03 BH04 BH16 BH26

【外国語明細書】
2012238371000001.pdf