



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월31일  
(11) 등록번호 10-1270168  
(24) 등록일자 2013년05월27일

(51) 국제특허분류(Int. Cl.)  
H05B 33/00 (2006.01) H05B 33/02 (2006.01)  
H05B 33/10 (2006.01)  
(21) 출원번호 10-2006-0090467  
(22) 출원일자 2006년09월19일  
심사청구일자 2011년02월18일  
(65) 공개번호 10-2008-0025830  
(43) 공개일자 2008년03월24일  
(56) 선행기술조사문헌  
KR1020050012708 A\*  
JP2003031498 A  
KR1020060055016 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
정지심  
인천광역시 남구 소성로 271-9, 101호 (문학동, 대청빌라)  
김종만  
서울 광진구 군자동 98번지 세종대학교 전자공학과  
(뒷면에 계속)  
(74) 대리인  
리엔목특허법인

전체 청구항 수 : 총 5 항

심사관 : 추장희

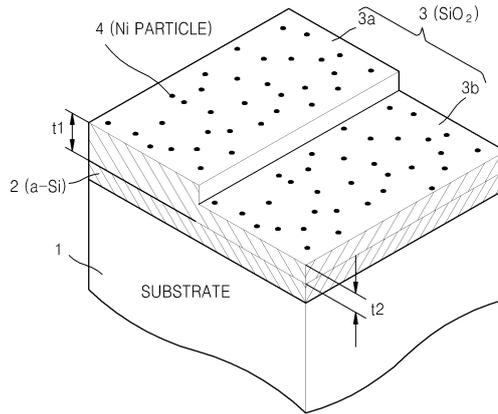
(54) 발명의 명칭 유기 전자발광디스플레이 및 그 제조방법

(57) 요약

유기 전자발광 디스플레이 및 이의 제조방법에 관해 개시된다.

디스플레이는 OLED를 구동하는 드라이빙 트랜지스터와 상기 드라이빙 트랜지스터의 동작을 제어하는 스위칭 트랜지스터를 구비하고, 상기 드라이빙 트랜지스터 및 스위칭 트랜지스터는 서로 다른 결정립 크기를 가지도록 실리콘사이드에 의한 차등적 결정화 과정을 거쳐 얻어진다. 유기 전자발광 디스플레이를 설계함에 있어서 스위칭 트랜지스터와 드라이빙 트랜지스터의 요구 조건에 부응할 수 있으므로 저이동도의 스위칭 트랜지스터와 고이동도 드라이빙 트랜지스터를 효율적으로 제조할 수 있다.

대표도 - 도2a



(72) 발명자

**권장연**

경기 성남시 분당구 정자동 미켈란쉐르빌 D동 340  
3호

**박경배**

서울특별시 중랑구 용마산로 252, 현대아파트 102  
동 1701호 (면목동)

---

**특허청구의 범위****청구항 1**

유기발광다이오드(OLED)와;

상기 OLED를 구동하는 구동 트랜지스터와;

상기 구동 트랜지스터의 동작을 제어하는 스위칭 트랜지스터를 구비하고,

상기 스위칭 트랜지스터와 구동 트랜지스터의 각 활성층은 비정질 실리콘으로 형성되며, 농도를 달리하는 실리콘 사이드에 의해 결정화되어 상기 구동 트랜지스터의 활성층은 상기 스위칭 트랜지스터의 활성층에 비해 큰 입경을 가지는 것을 특징으로 하는 유기 전자발광 디스플레이.

**청구항 2**

발광다이오드(OLED)를 구동하는 구동 트랜지스터와, 상기 구동 트랜지스터를 구동하는 스위칭 트랜지스터를 구비하는 유기 전자발광 디스플레이의 제조하는 방법에 있어서,

기판에 비정질 실리콘 막을 형성하는 단계;

상기 스위칭 트랜지스터에 대응하는 영역에 비해 구동 트랜지스터에 대응하는 영역에서 상대적으로 낮은 농도를 가지는 실리콘사이드를 상기 비정질 실리콘에 형성하는 단계;

상기 실리콘사이드를 이용해 상기 비정질 실리콘을 결정화하여 상기 스위칭 트랜지스터에 대응하는 영역에 비해 상기 구동 트랜지스터에 대응하는 영역에서 상대적으로 작은 결정 크기를 가지는 다결정 실리콘을 형성하는 단계;

상기 다결정 실리콘을 패터닝하여 상기 스위칭 트랜지스터와 구동 트랜지스터의 활성층에 대응하는 실리콘 아일랜드를 형성하는 단계; 그리고

상기 실리콘 아일랜드를 이용하여 스위칭 트랜지스터와 구동 트랜지스터를 제조하는 단계;를 포함하는 것을 특징으로 하는 유기 전자발광 디스플레이의 제조방법.

**청구항 3**

제 2 항에 있어서,

상기 실리콘사이드를 형성하는 단계는:

상기 비정질 실리콘 막 위에 적어도 상기 구동 트랜지스터에 대응하는 영역을 덮는 캡핑 레이어를 형성하는 단계;

상기 캡핑 레이어가 형성된 기판 전체 위에 금속 파티클을 부착하는 단계;

열처리에 의해 상기 금속을 상기 기판의 비정질 실리콘 막으로 확산시켜 실리콘사이드를 형성하는 단계; 그리고

상기 실리콘사이드를 이용해 상기 비정질 실리콘을 결정화하는 단계;를 포함하는 것을 특징으로 하는 유기 전자발광 디스플레이의 제조방법.

**청구항 4**

제 3 항에 있어서,

상기 실리콘사이드를 형성하는 단계에서,

상기 캡핑 레이어는 상기 스위칭 트랜지스터에 대응하는 영역과 구동 트랜지스터에 대응하는 영역 모두를 덮으며, 상기 스위칭 트랜지스터에 대응하는 영역에서 비해 구동 트랜지스터에 대응하는 영역에서 상대적으로 두꺼운 두께를 가지는 것을 특징으로 하는 유기 전자발광 디스플레이의 제조방법.

**청구항 5**

제 2 항 내지 제 4 항 중의 어느 한 항에 있어서,

상기 실리사이드는 니켈에 의해 형성되는 것을 특징으로 하는 유기 전자발광디스플레이의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- [0006] 본 발명은 액티브 매트릭스 TFT 유기발광 디스플레이 및 그 제조방법{Active Matrix TFT organic light emitting display and Fabrication method thereof}에 관한 것이다.
- [0007] 유기 발광 다이오드(OLED)를 이용하는 능동형 컬러 화상 표시 장치는 각 화소가 아날로그 화상 신호를 샘플링하는 스위칭(샘플링) 트랜지스터, 화상 신호를 유지하는 메모리 커패시터(memory capacitor) 및, 메모리 커패시터에 축적된 화상 신호 전압에 따라 OLED에 공급되는 전류를 제어하는 구동(드라이빙) 트랜지스터를 구성하는 2개의 트랜지스터와 1개의 커패시터(capacitive element)로 이루어진 회로가 가장 일반적으로 이용되고 있다. 이것은 소위 2T(two transistors)-1C(one capacitor)의 구조로서 그러한 회로 구성의 예가 일본 특허 공개 공보 제2002-156923호에 개시되어 있다.
- [0008] 일반적으로 스위칭 트랜지스터와 드라이빙 트랜지스터의 채널은 비정질 실리콘 또는 다결정 실리콘으로 형성된다. 스위칭 트랜지스터는 데이터 전압을 구동 트랜지스터에 공급하는 스위칭 소자이므로 낮은 누설 전압 및 빠른 응답성이 요구된다. 그리고 구동 트랜지스터는 전자발광다이오드에 전류를 공급하기 때문에 장시간 대전류에 대해 높은 신뢰성이 요구된다.
- [0009] 비정질 실리콘은 전자 이동도(mobility)가 낮고 고속 구동이 어려운 결점을 가지며, 특히 대전류에 의해 급격한 품질저하(degradation)가 나타난다. 따라서 비정질 실리콘은 구동 트랜지스터의 재료로 부적합하다.
- [0010] 다결정 실리콘은 이동도가 높고 그리고 대전류에 의한 품질 저하는 비정질 실리콘에 비해 현저히 낮기 때문에 선호된다. 그러나 다결정 실리콘의 단점을 결정경계(grain boundary)를 통한 전류 누설로 큰 오프 커런트(off-current)가 발생한다는 점이다.
- [0011] 또한, 다결정 실리콘의 또 하나의 결점은 균일도(uniformity)가 떨어지기 때문에 화소별 균일한 동작 특성을 얻기 어렵다. 이러한 균일도의 약점을 보상하기 위해 전압 프로그램 방식(Voltage program, Sarnoff, SID 98 참조), 전류 프로그램 방식(current program type, Sony, SID 01 참조) 등이 있다. 이외에도 다양한 형태의 보상 수단이 제안되고 있는데 이러한 보상 소자에 의해 회로가 복잡하고 따라서 제작 설계가 까다로울 뿐 아니라 오히려 이러한 보상소자에 의한 새로운 문제가 발생한다.
- [0012] 현재 OLED의 연구 과정은 전류누설이 적고 응답이 빠르면서도 구조가 단순한 고신뢰성 OLED의 구동 회로의 개발이다.

##### 발명이 이루고자 하는 기술적 과제

- [0013] 본 발명은 낮은 누설전류의 스위칭 트랜지스터와 높은 이동도의 드라이빙 트랜지스터를 갖는 양질의 유기 전자 발광 디스플레이 및 그 제조방법을 제공한다.

#### 발명의 구성 및 작용

- [0014] 본 발명에 따르면,
- [0015] 유기발광다이오드(OLED)와;
- [0016] 상기 OLED를 구동하는 드라이빙 트랜지스터와;
- [0017] 상기 드라이빙 트랜지스터의 동작을 제어하는 스위칭 트랜지스터를 구비하고,
- [0018] 상기 스위칭 트랜지스터와 드라이빙 트랜지스터의 각 활성층은 농도를 달리하는 실리사이드에 의해 결정화되어 상기 드라이빙 트랜지스터의 활성층은 상기 스위칭 트랜지스터의 활성층에 비해 큰 입경을 가지는 것을 특징으로 하는 유기 전자발광 디스플레이가 제공된다.

- [0019] 또한 본 발명에 따르면, 발광다이오드(OLED)를 구동하는 드라이빙 트랜지스터와, 상기 드라이빙 트랜지스터를 구동하는 스위칭 트랜지스터를 구비하는 유기 전자발광 디스플레이의 제조하는 방법에 있어서,
- [0020] 기판에 비정질 실리콘 막을 형성하는 단계;
- [0021] 비정질 실리콘 막에서, 상기 드라이빙 트랜지스터에 대응하는 영역에 비해 스위칭 트랜지스터에 대응하는 영역에서 상대적으로 높은 농도를 가지는 실리사이드를 형성하는 단계;
- [0022] 상기 실리사이드를 이용해 상기 비정질 실리콘을 결정화하여 상기 드라이빙 트랜지스터에 대응하는 영역에 비해 상기 스위칭 트랜지스터에 대응하는 영역에서 상대적으로 큰 결정 크기를 가지는 다결정 실리콘을 형성하는 단계;
- [0023] 상기 다결정 실리콘을 패터닝하여 상기 스위칭 트랜지스터와 드라이빙 트랜지스터의 활성층에 대응하는 실리콘 아일랜드를 형성하는 단계;
- [0024] 상기 실리콘 아일랜드를 이용하여 스위칭 트랜지스터와 드라이빙 트랜지스터를 제조하는 단계;를 포함하는 것을 특징으로 하는 유기 전자발광 디스플레이의 제조방법이 제공된다.
- [0025] 상기 실리사이드를 형성하는 단계는:
- [0026] 상기 비정질 실리콘 막 위에 적어도 상기 드라이빙 트랜지스터에 대응하는 영역을 덮는 캡핑 레이어를 형성하는 단계;
- [0027] 상기 캡핑 레이어가 형성된 기판 전체 위에 금속 파티클을 부착하는 단계;
- [0028] 열처리에 의해 상기 금속을 상기 기판의 비정질 실리콘 막으로 확산시켜 실리사이드를 형성하는 단계; 그리고
- [0029] 상기 실리사이드를 이용해 상기 비정질 실리콘을 결정화하는 단계;를 포함한다.
- [0030] 상기 실리사이드를 형성하는 단계에서는 상기 캡핑 레이어는 상기 스위칭 트랜지스터에 대응하는 영역과 드라이빙 트랜지스터에 대응하는 영역 모두를 덮으며, 상기 스위칭 트랜지스터에 대응하는 영역에 비해 드라이빙 트랜지스터에 대응하는 영역에서 상대적으로 두꺼운 두께를 가진다.
- [0031] 이하 첨부된 도면을 참조하면서 유기 전자발광디스플레이 및 그 제조방법의 실시예를 각각 설명한다.
- [0032] 도 1a 내지 도 1c는 MIC(Metal Induced Crystallization)에 의해 실리콘 아일랜드의 차등 결정화 방법을 보이는 도면이며, 도 2a 및 도 2b는 차등결정화에 따른 다결정 실리콘을 보이는 SEM 이미지이다.
- [0033] 먼저, 도 1a에 도시된 바와 같이, 기판(1)위에 비정질 실리콘(2)과 캡핑 레이어(3)를 순차적으로 형성한다.
- [0034] 도 1b에 도시된 바와 같이 상기 캡핑 레이어(3) 위에 니켈 파티클(4)을 스퍼터링에 의해 증착 또는 유기 용매에 분산된 니켈 파티클을 부착시킨다.
- [0035] 도 1c에 도시된 바와 같이 열처리에 의해 상기 결정화된 다결정 실리콘(2', POLY-Si)을 결정화하며, 이 위의 캡핑 레이어(3)는 제거한다.
- [0036] 위에 설명된 바와 같이 본 발명은 MIC에 의해 비정질 실리콘을 결정화한다. SiO<sub>2</sub> 등으로 형성된 캡핑 레이어(3) 위에 니켈 등의 촉매 금속을 증착 또는 촉매 금속 입자를 분산시킨 후 이를 열처리하면, 절연막 위의 촉매 금속은 절연막을 통하여 비정질 실리콘으로 확산되고 그리고 확산된 촉매 금속은 실리사이드를 형성한다. 비정질 실리콘 막 위에 형성되는 니켈 실리사이드는 실리콘과 똑같은 결정구조와 격자상수를 갖기 때문에 비정질 실리콘의 결정화 핵으로 작용한다. 실리사이드에 의해 결정화된 실리콘결정의 입경(grain size)은 실리사이드의 양에 의해 제어되며 따라서 스위칭 트랜지스터의 활성층과 드라이빙 트랜지스터의 활성층에 대응하여 차별적인 실리사이드의 양 조절에 의해 해당 활성층의 결정화의 정도를 제어할 수 있다. 국부적인 실리사이드의 양 조절은 비정질 실리콘 위에 형성된 캡핑 레이어의 두께를 조절하여 비정질 실리콘으로 확산되는 금속 촉매의 농도를 조절함으로써 이를 수 있다.
- [0037] 여기에서 본 발명은 상기 캡핑 레이어의 두께 조절을 통해 국부적으로 다른 크기의 결정을 가지는 다결정 실리콘을 형성한다.
- [0038] 도 2a를 참조하면, 비정질 실리콘(2) 위에, 두께가 다른 두 부분(3a, 3b)을 가지는 캡핑 레이어(3)가 형성되어 있다. 캡핑 레이어(3)의 두꺼운 부분(3a)의 아래는 드라이빙 트랜지스터가 형성될 부분이며 얇은 부분(3b)은 스

위칭 트랜지스터가 형성될 영역이다. 본 발명의 다른 실시예에 따르면 즉 도 2B에 도시된 바와 같이 캡핑 레이어(3)의 얇은 부분(3b)이 제거될 수도 있다. 즉, 드라이빙 트랜지스터가 형성될 영역에만 캡핑 레이어(3)가 형성될 수도 있다. 본 발명에 따르면, 캡핑 레이어(3)의 두꺼운 부분(3a)의 두께  $t_1$ 과 얇은 부분(3b)의 두께  $t_2$ 는  $t_2 > t_1 \geq 0$ 로 표현되는 부등식을 만족한다.

- [0039] 도 3a 내지 도 3e는 본 발명에 따라, 결정립 크기를 달리하는 부분을 가지는 다결정 실리콘의 제조방법을 설명하는 도면이다.
- [0040] 도 3a에 도시된 바와 같이, 유리 등의 기판(1) 위에 먼저 SiO<sub>2</sub> 등을 증착하여 버퍼층(1a)을 형성하고 이 위해 공지의 방법에 의해 비정질 실리콘(2)과 SiO<sub>2</sub> 캡핑 레이어(3)를 형성한다.
- [0041] 도 3b에 도시된 바와 같이 상기 캡핑 레이어(3) 위에 캡핑 레이어(3)의 얇은 부분(23b)을 가공하기 위한 윈도우(5a)를 가지는 마스크 패턴(5)을 형성한 후 윈도우(5a)를 통해 노출된 캡핑 레이어(3)를 부분적으로 에칭한다.
- [0042] 도 3c에 도시된 바와 같이 상기 마스크 패턴(5)을 제거한 후 캡핑 레이어(3) 위에 니켈을 스퍼터링한다. 이때에 니켈은 입자의 형태로 캡핑 레이어(3) 위에 증착된다.
- [0043] 도 3d에 도시된 바와 같이 열처리(Annealing) 과정을 통해 상기 비정질 실리콘을 다결정 실리콘으로 변환한다. 열처리 과정에서 캡핑 레이어(3) 위에 증착된 Ni 성분은 캡핑 레이어(3)를 통해 비정질 실리콘(2)으로 확산되어 전술한 바와 같은 실리콘사이드 물질을 형성하고 이는 비정질 실리콘(2)의 결정화에 기여한다.
- [0044] 도 3e에 도시된 바와 같이 다결정 실리콘(2') 위의 캡핑 레이어(3)를 제거하고 이를 유기 전자발광 디스플레이의 제조에 이용한다. 상기 다결정 실리콘(2')은 드라이빙 트랜지스터의 활성층으로 이용될 부분(2a)과 드라이빙 트랜지스터의 활성층으로 이용될 부분(2b)을 가진다. 결과적으로 본 발명의 제조방법에 따라, 드라이빙 트랜지스터에 대응하는 부분은 스위칭 트랜지스터에 대응하는 부분에 비해 큰 결정크기를 가진다.
- [0045] 이상에서와 같이 열처리 전에 두께가 다른 부분을 가지는 캡핑 레이어에 니켈을 스퍼터링한 후 열처리함으로써 캡핑 레이어의 두께 차에 따른 니켈의 확산을 차등화하고 따라서 차등화된 니켈의 확산에 의한 실리콘사이드에 의해 비정질 실리콘을 결정질화하여 국부적으로 결정의 크기를 서로 달리하는 다결정 실리콘을 얻는다. 이때에 니켈의 확산의 정도를 차등화하기 위하여 적용되는 캡핑 레이어의 얇은 부분이 완전히 제거( $t_2=0$ )함으로써, 도 3F에 도시된 바와 같이 상대적으로 작은 입경을 가지는 다결정 실리콘이 요구되는 비정질 실리콘의 일부 영역에 니켈이 직접 증착되게 할 수 있다. 한편 상기 니켈의 스퍼터링은 유기 용제에 분산된 니켈 파티클의 분산으로 대체될 수 있다.
- [0046] 도 4a와 도 4b는 상기와 같이 차등화된 니켈 확산에 의해 얻어진, 입경이 다른 다결정 실리콘의 SEM이미지이다. 도 4a는 200 마이크론의 입경을 가지는 다결정 실리콘을 보이며, 도 4b는 10 마이크론의 입경을 가지는 다결정 실리콘을 보인다.
- [0047] 이하에서는 상기와 같이 방법에 의한 상이한 입경의 다결정 실리콘 스위칭 트랜지스터 및 드라이빙 트랜지스터를 갖는 유기 전자발광 디스플레이의 제조방법의 한 실시예를 설명한다.
- [0048] 도 5a에 도시된 바와 같이, 석영, 유리 또는 플라스틱으로 된 기판(11) 위에 SiO<sub>2</sub> 버퍼층(12)을 형성한다.
- [0049] 도 5b에 도시된 바와 같이, 상기 버퍼층(11) 위에 비정질 실리콘층(a-Si, 12)을 약 500 Å 정도의 두께로 형성한다. 이때의 증착은 CVD 또는 PVD가 이용되며, 바람직하게는 PVD(Physical Vapor Deposition)를 이용한다. PVD는 스퍼터링 타겟으로 Si를 이용한다. 이때의 가스는 50 sccm의 Ar, 기압은 5 mTorr 정도로 설정된다.
- [0050] 도 5c에 도시된 바와 같이, 전술한 차등화된 니켈 확산을 이용해 형성된 실리콘사이드에 의해 비정질 실리콘층(13)을 결정화하여 작은 입경의 다결정 실리콘 부분(13a)과 큰 입경의 다결정 실리콘 부분(13b)을 형성한다. 이 과정은 예를 들어 도 3a 내지 도 3e의 방법을 적용할 수 있다.
- [0051] 도 5d에 도시된 바와 같이, 건식 식각법 등의 공지된 방법에 의해 패터닝하여 스위칭 트랜지스터와 드라이빙 트랜지스터에 이용될 실리콘 아일랜드(13a', 13b')를 얻는다. 이때의 두 실리콘 아일랜드(13a', 13b')의 좁은 폭은 4 마이크론으로 하며 길이는 4 마이크론 이상으로 결정한다.
- [0052] 도 5e에 도시된 바와 같이 실리콘 아일랜드(13a', 13b')를 덮는 게이트 절연층(14)을 형성한다.
- [0053] 도 5f에 도시된 바와 같이, 상기 게이트 절연층(13) 위에 몰리브덴 또는 텅스텐 등의 금속층(M or W)을 증착법 또는 스퍼터링 법 등으로 형성한 다음 이를 포토레지스트를 이용한 습식식각법에 의해 패터닝하여 X 라인(Xs),

연결되는 게이트(Q1g, Q2g) 및 메모리 커패시터의 하부 전극(Cma)을 형성한다.

- [0054] 도 5g에 도시된 바와 같이, 이온 주입법 등에 의해 상기 게이트(Q1g, Q2g)에 덮이지 않은 실리콘 아일랜드(13a', 13b')의 양측부분에 P(인) 이온을 주입하여 스위칭 트랜지스터(Q1)의 소스(Q1s)와 드레인(Q1d), 드라이빙 트랜지스터의 소스(Q2d)와 드레인(Q2s)를 얻는다.
- [0055] 이때에 선행된 공정에서 드라이빙 트랜지스터가 N 형으로 도핑 되어 있는 경우 충분한 B+ 이온의 도핑에 의해 P 형으로 반전된다. 위와 같은 P+ 및 B+ 이온의 도핑이 완료된 후 어닐링에 의해 스위칭 트랜지스터(Q1)와 드라이빙 트랜지스터(Q2)의 다결정 실리콘을 활성화한다.
- [0056] 도 5h에 도시된 바와 같이, 상기 기판에 형성되는 적층물의 최상 면에 CVD 법 등으로 SiO<sub>2</sub>를 증착하여 ILD(14)층을 형성한 후 여기에 스위칭 트랜지스터(Q1), 드라이빙 트랜지스터(Q2) 등의 콘택트를 위한 콘택트 홀(14a)을 형성한다.
- [0057] 도 5i에 도시된 바와 같이, 상기 ILD(14) 위에 금속층을 형성한 후 이를 패터닝하여, Y 라인(Ys), Z 라인(Zd), 스위칭 트랜지스터(Q1)의 드레인 전극(Q1de) 및 소스 전극(Q1se), 드라이빙 트랜지스터(Q2)의 드레인 전극(Q2de) 및 소스 전극(Q2se), 메모리 커패시터(Cm)의 상부 전극(Cmb) 등을 형성한다.
- [0058] 도 5j에 도시된 바와 같이, 상기 적층 위에 SiO<sub>2</sub> 제2절연막(17)을 형성한 후, 여기에 드라이빙 트랜지스터(Q2)의 드레인 전극(Q2de)을 노출하는 콘택트 홀(17a)을 형성한다.
- [0059] 도 5k에 도시된 바와 같이 상기 제2절연막(17) 위에 ITO 등의 도전성 물질층을 형성한 후 이를 패터닝하여 OLED의 애노드(An)를 형성한다.
- [0060] 도 5l에 도시된 바와 같이 상기 적층 위에 제3절연층(18)을 형성한 후 OLED 영역에서 상기 ITO 애노드(An)가 노출되는 윈도우(18a)를 형성한다.
- [0061] 도 5m에 도시된 바와 같이, 상기 제3절연층(18)과 상기 ITO 애노드(An) 위의 전체에 정공수송층(HTL)을 형성한다.
- [0062] 도 5n에 도시된 바와 같이, 상기 정공수송층(HTL) 위에 발광층(EM), 전자수송층(ETL)을 순차적으로 형성한다.
- [0063] 도 5o에 도시된 바와 같이 상기 전자수송층(ETL)을 포함하는 적층의 최상 면에 OLED의 캐소드인 공통전극(K)과 그 위의 제4절연층(19)을 형성하여 목적하는 유기발광디스플레이를 얻는다.
- [0064] 위의 설명에서는 화소를 구동하는 트랜지스터 및 커패시터의 제조과정에 대해서 설명되었는데, 본 발명에 따르면 기판에 입경이 다른 스위칭 트랜지스터 및 드라이빙 트랜지스터를 형성하게 된다.
- [0065] 위에서 설명된 본 발명의 유기 전자발광 디스플레이는 탑게이트 박막트랜지스터를 적용하는 것이나 본 발명의 다른 실시예에 따르면 활성층의 하부에 게이트가 위치하는 바텀 게이트 박막트랜지스터를 적용하며, 이의 구조 및 제조방법은 용이하게 구현될 수 있으며 청구항에 기재된 발명들의 기술적 범위를 제한하지 않는다.

**발명의 효과**

- [0066] 상기와 같은 본 발명에 따르면, 유기 전자발광 디스플레이를 설계함에 있어서 스위칭 트랜지스터와 드라이빙 트랜지스터의 요구 조건에 부응할 수 있다. 즉, 본 발명에 의해 입경이 다른 다결정 실리콘 아일랜드를 얻음으로써 저이동도 활성층 및 이에 따른 저누설전류의 스위칭 트랜지스터 그리고 고이동도 활성층 및 이에 따른 빠른 응답성 구동전류를 가지는 드라이빙 트랜지스터를 제조할 수 있다.
- [0067] 이러한 본 발명의 제조방법은 유기 전자발광 디스플레이로서 다결정 실리콘 박막트랜지스터 유기 전자발광 디스플레이 및 그 제조방법에 적합하다.
- [0068] 이러한 본원 발명의 이해를 돕기 위하여 몇몇의 모범적인 실시예가 설명되고 첨부된 도면에 도시되었으나, 이러한 실시예들은 단지 넓은 발명을 예시하고 이를 제한하지 않는다는 점이 이해되어야 할 것이며, 그리고 본 발명은 도시되고 설명된 구조와 배열에 국한되지 않는다는 점이 이해되어야 할 것이며, 이는 다양한 다른 수정이 당 분야에서 통상의 지식을 가진 자에게 일어날 수 있기 때문이다.

**도면의 간단한 설명**

- [0001] 도 1a 내지 도 1c는 본 발명에 따른 유기 전자발광 디스플레이 제조방법에 있어서 비정질 실리콘의 다결정화 방

법을 보인다.

[0002] 도 2a 및 도 2b는 본 발명에 따른 비정질 실리콘의 결정화 방법에서 차등적 금속 확산에 의한 실리사이드 형성 방법을 보인다.

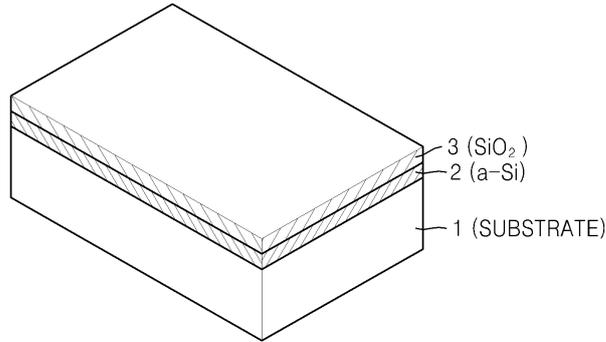
[0003] 도 3a 내지 도 3f는 본 발명에 따른 비정질 실리콘의 결정화 방법을 보이는 공정도이다.

[0004] 도 4a 및 도 4b는 본 발명에 의해 차등적 결정화된 다결정 실리콘막의 SEM 이미지이다.

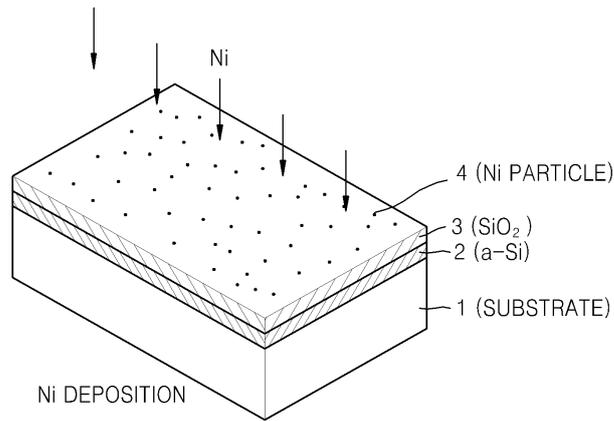
[0005] 도 5a 내지 도 5o는 본 발명에 따른 유기 전자발광 디스플레이의 제조공정 흐름을 보인다.

**도면**

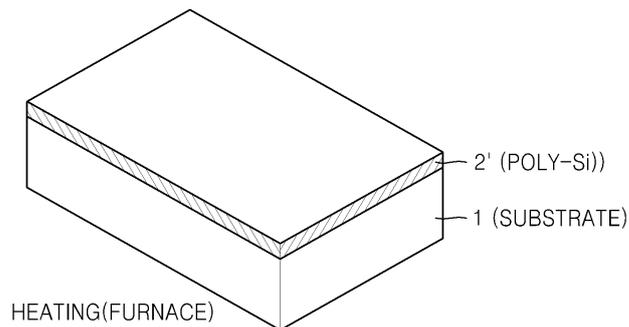
**도면1a**



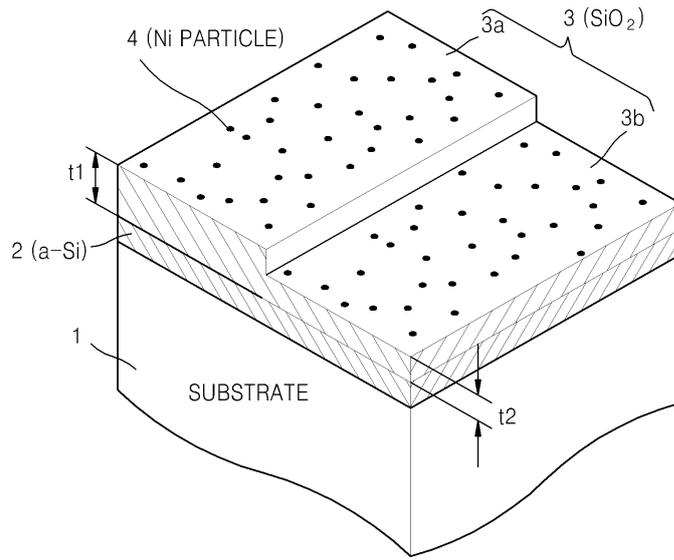
**도면1b**



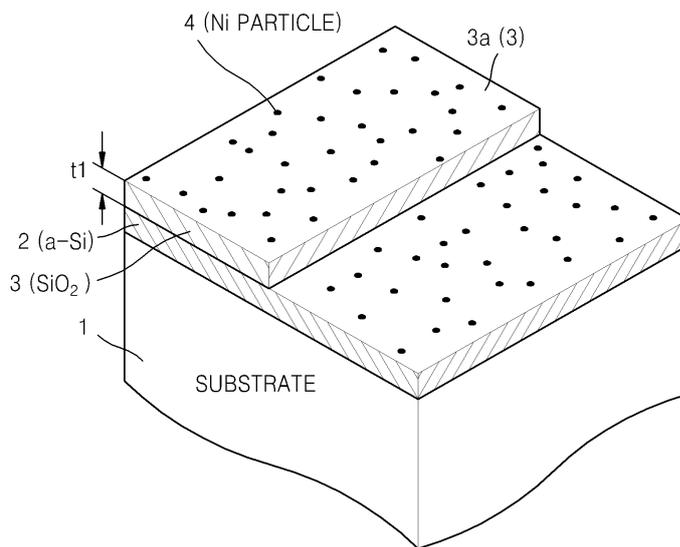
**도면1c**



도면2a



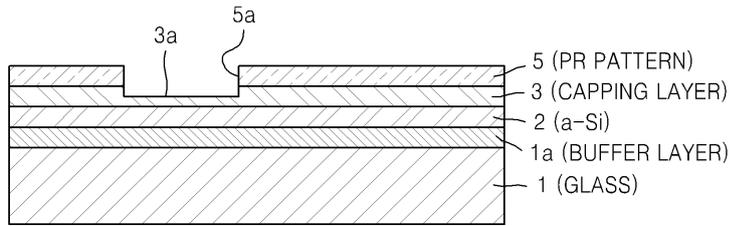
도면2b



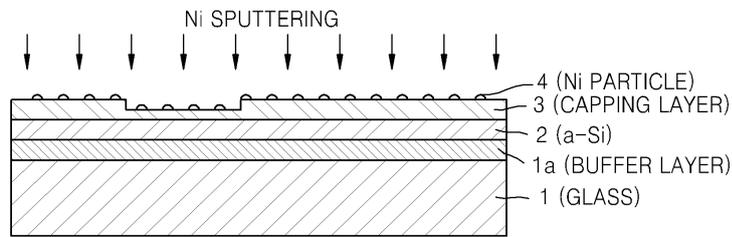
도면3a



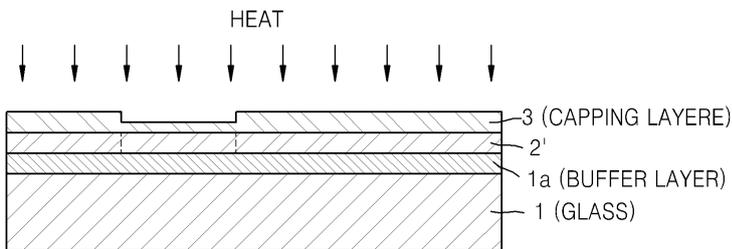
도면3b



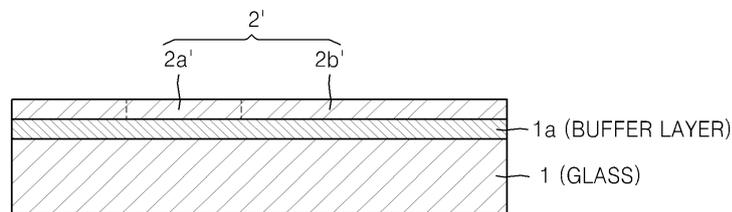
도면3c



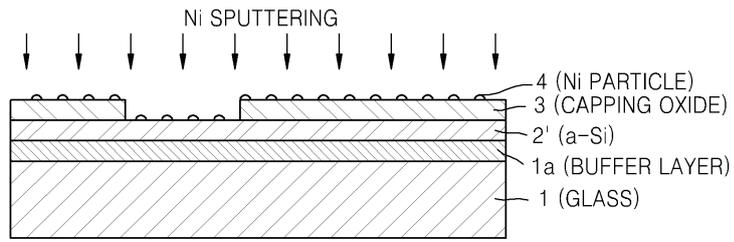
도면3d



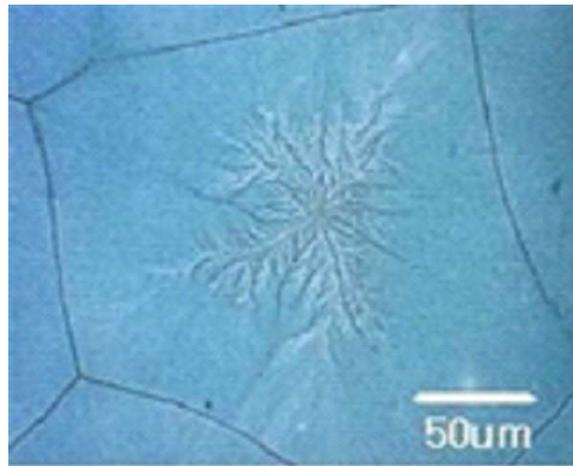
도면3e



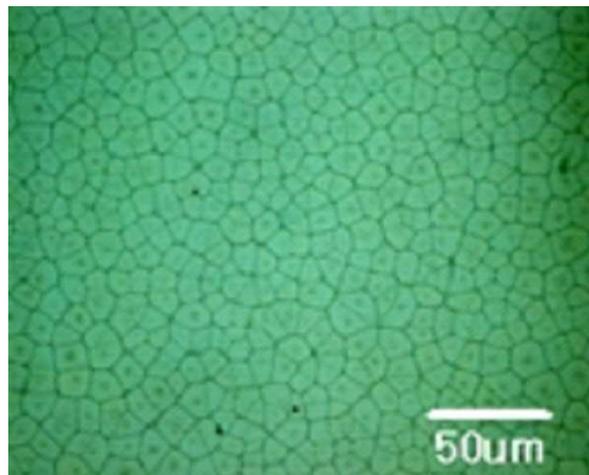
도면3f



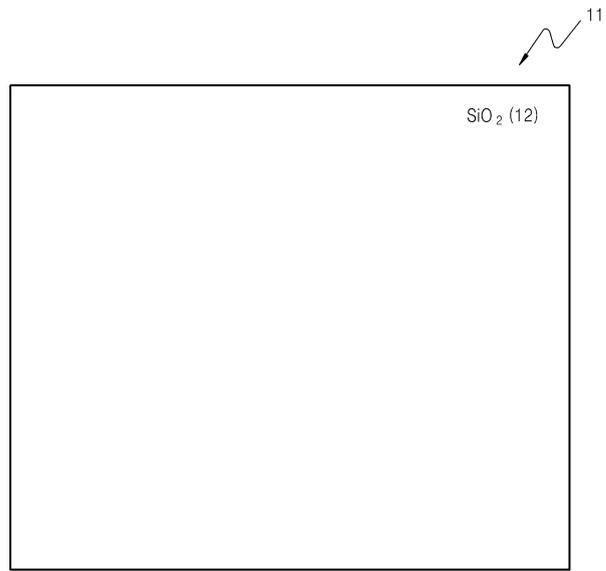
도면4a



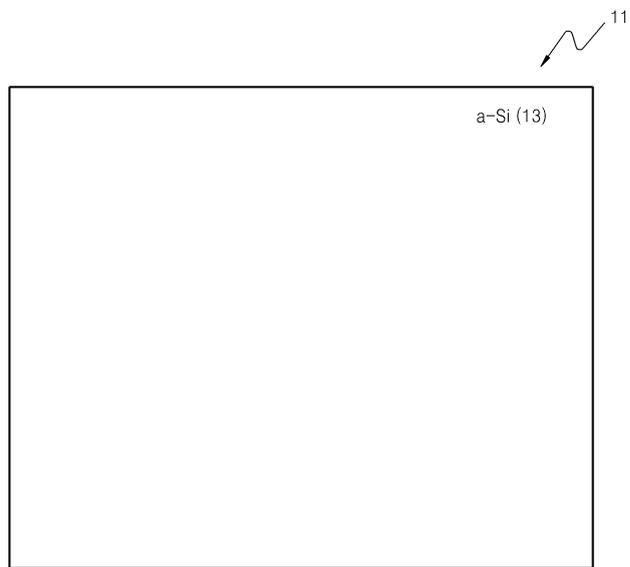
도면4b



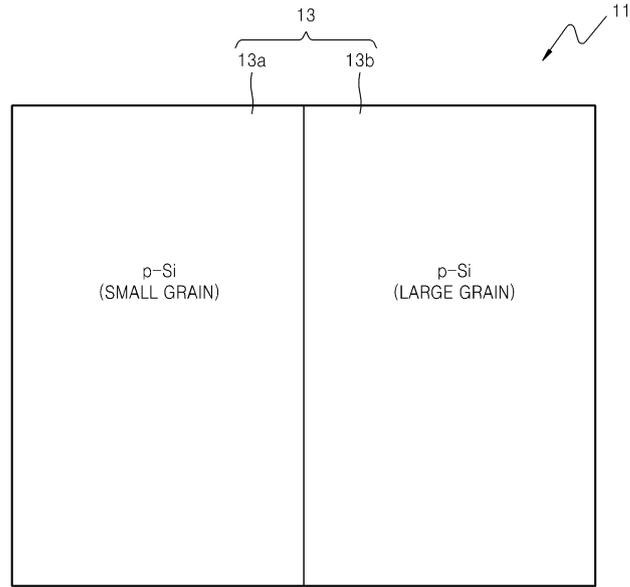
도면5a



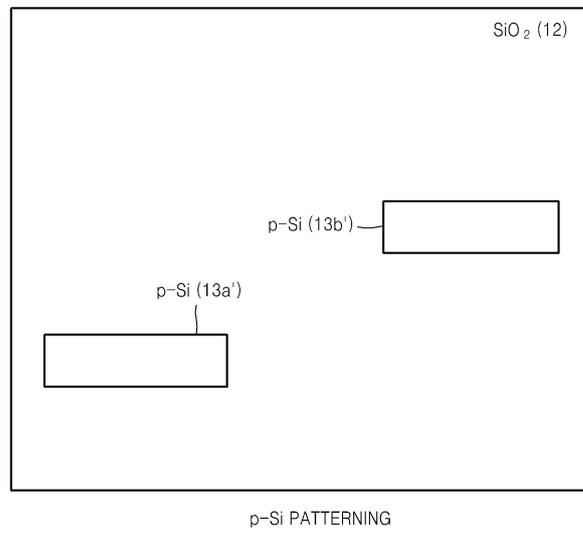
도면5b



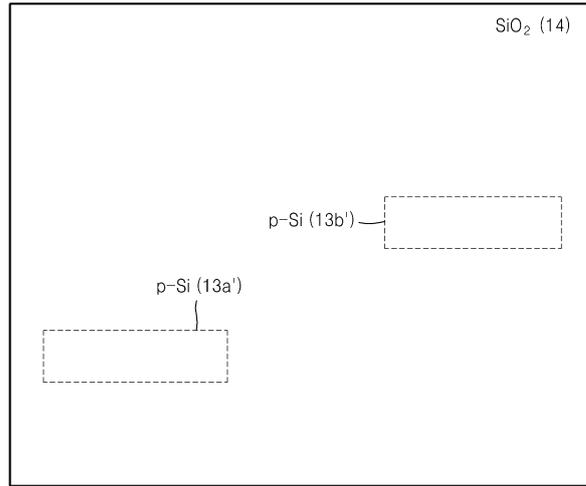
도면5c



도면5d

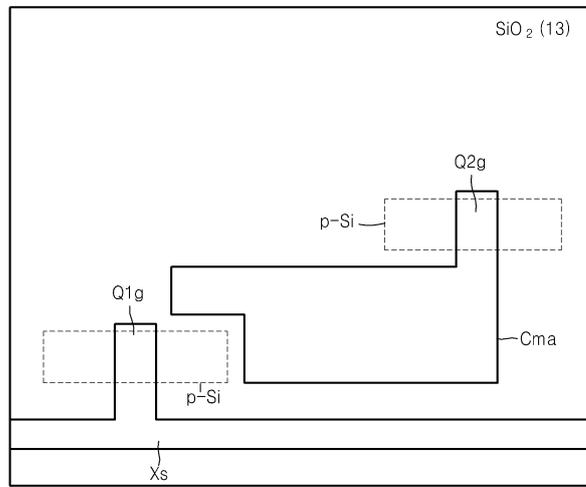


도면5e



$\text{SiO}_2$  증착 (GATE INSULATOR)

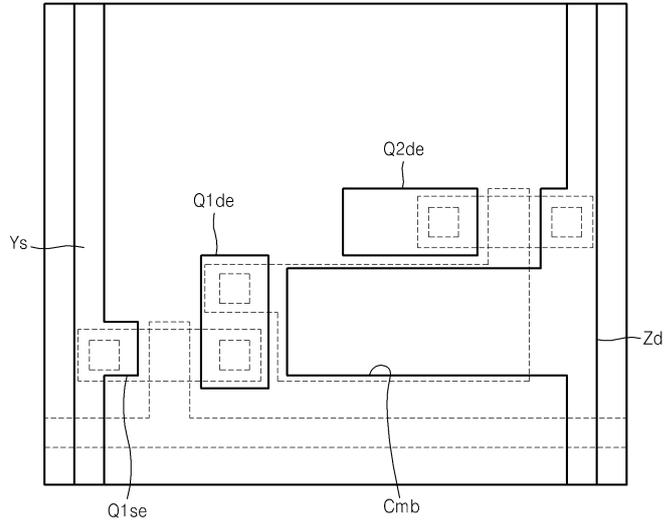
도면5f



Mo or W DEPOSITION & PATTERNING (GATE)

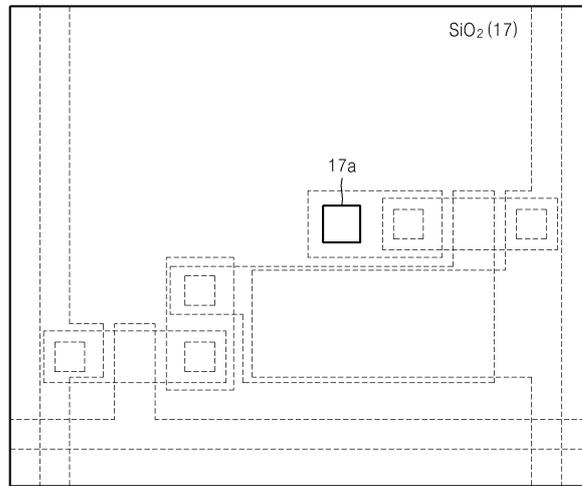


도면5i



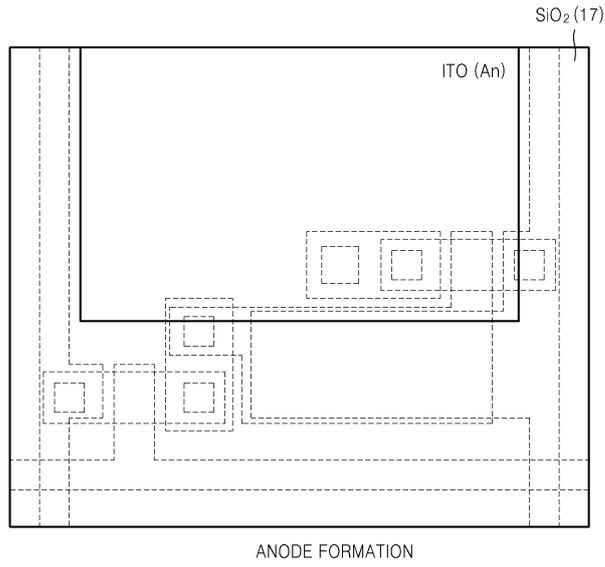
METAL DEPOSITION & PATTERNING

도면5j

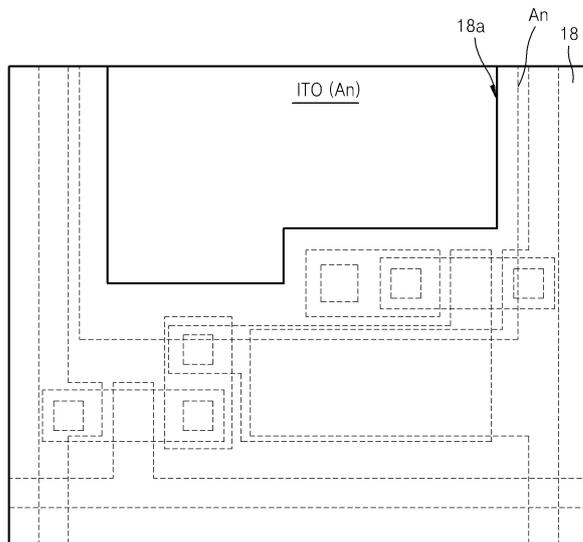


SiO<sub>2</sub> DEPOSITION AND PATTERNING

도면5k



도면5l





도면50

