

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年7月27日(27.07.2023)



(10) 国際公開番号

WO 2023/139792 A1

(51) 国際特許分類:
G09G 3/20 (2006.01) G09G 3/3233 (2016.01)

(21) 国際出願番号: PCT/JP2022/002447

(22) 国際出願日: 2022年1月24日(24.01.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: シャープディスプレイテクノロジー株式会社(SHARP DISPLAY TECHNOLOGY CORPORATION) [JP/JP]; 〒5190198 三重県亀山市白木町幸川4 6 4 番 Mic (JP).

(72) 発明者: 宮田 英利(MIYATA, Hidekazu).

(74) 代理人: 弁理士法人 H A R A K E N Z O W O R L D P A T E N T & T R A D E M A R K (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).

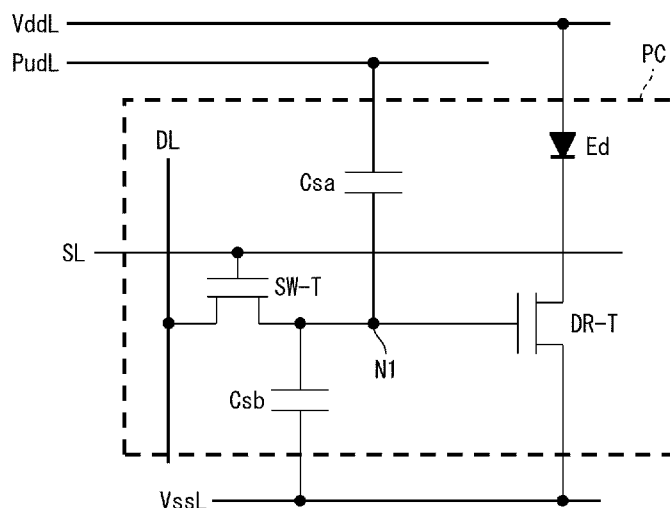
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

図 2



(57) Abstract: The present invention comprises: a first capacitance (Csb), in which a first electrode is connected to the gate terminal of a drive transistor (DR-T) and to a write control transistor (SW-T) and a second electrode is connected to common reference potential wiring (VssL), and to which data signals are sequentially written; and a second capacitance (Csa), in which a first electrode is connected to the gate terminal of the drive transistor (DR-T) and to the first electrode of the first capacitance (Csb) and a second electrode is connected to a control line (PudL). A pulse signal is supplied to the control line (PudL).

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：第 1 の電極が駆動トランジスタ（D R - T）のゲート端子と書き込み制御トランジスタ（S W - T）とに接続し、第 2 の電極が共通基準電位配線（V s s L）に接続し、データ信号が順次書き込まれる第 1 容量（C s b）と、第 1 の電極が駆動トランジスタ（D R - T）のゲート端子と第 1 容量（C s b）の第 1 の電極とに接続し、第 2 の電極が制御線（P u d L）に接続する第 2 容量（C s a）を備え、制御線（P u d L）には、パルス信号が供給される。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 特許文献 1 は、各画素回路が発光素子を備える表示装置を開示している。

先行技術文献

特許文献

[0003] 特許文献1：US2012/0001896A1

発明の概要

発明が解決しようとする課題

[0004] しかしながら、従来技術では、非発光フレーム期間の直後の発光フレーム期間における発光素子の輝度が、減少する。

課題を解決するための手段

[0005] 本開示の一態様に係る表示装置は、複数の走査線、複数の制御線、および、複数の画素回路を含む表示部と、前記走査線および前記制御線を駆動する駆動回路とを備え、前記画素回路は、発光素子と、前記発光素子と直列に設けられ、前記発光素子に流れる電流の量を制御する駆動トランジスタと、ゲート端子が前記複数の走査線の対応する 1 本に接続する書き込み制御トランジスタと、第 1 の電極が前記駆動トランジスタのゲート端子と前記書き込み制御トランジスタとに接続し、第 2 の電極が定電位配線に接続し、データ信号が順次書き込まれる第 1 容量と、第 1 の電極が前記駆動トランジスタのゲート端子と前記第 1 容量の第 1 の電極とに接続し、第 2 の電極が前記複数の制御線の対応する 1 本に接続する第 2 容量を備え、前記制御線には、パルス信号が供給される構成である。

発明の効果

[0006] 本開示の一態様によれば、非発光フレーム期間に続く発光フレーム期間における発光素子の輝度を向上することができる。

図面の簡単な説明

[0007] [図1]本開示の一実施形態に係る表示装置の概略構成の一例を示す模式図である。

[図2]図1に示した画素回路の一例の等価回路を示す概略回路図である。

[図3]図2に示した画素回路の挙動の一例を示す概略図である。

[図4]有機LEDの概略構成の一例を示す模式図である。

[図5]図1に示した走査線に供給される信号電位の一例を示す概略図である。

[図6]図2に示した画素回路の挙動の一例を示す概略図である。

[図7]比較例の画素回路の等価回路を示す概略回路図である。

[図8]図7に示した比較例の画素回路の挙動の一例を示す概略図である。

[図9]酸化物半導体によるn型チャネルを備えるTFTの特性を示す図である

[図10]比較例の画素回路の等価回路に、駆動トランジストロのゲートソース間の等価回路を加えた回路構成を示す概略回路図である。

[図11]図10に示した比較例の画素回路の挙動の一例を示す概略図である。

[図12]図1に示した画素回路の一例の等価回路を示す概略回路図である。

[図13]酸化物半導体によるp型チャネルを備えるTFTの特性を示す図である。

[図14]図12に示した画素回路の挙動の一例を示す概略図である。

[図15]比較例の画素回路の等価回路を示す概略図である。

[図16]図1に示した画素回路の一例の等価回路を示す概略回路図である。

[図17]本開示の一実施形態に係る表示装置の概略構成の一例を示す模式図である。

[図18]図17に示した画素回路の一例の等価回路を示す概略回路図である。

[図19]図18に示した画素回路の挙動の一例を示す概略図である。

[図20]図18に示した画素回路の挙動の一例を示す概略図である。

[図21]図18に示した画素回路の挙動の一例を示す概略図である。

[図22] 0階調のフレーム期間における画素回路の挙動の一例を示す概略図である。

[図23] 最大輝度の階調のフレーム期間における画素回路の挙動の一例を示す概略図である。

[図24] 時間とAPLとの関係を示す図である。

発明を実施するための形態

[0008] 〔実施形態1〕

 (表示装置の構成)

図1は、本開示の一実施形態に係る表示装置2の概略構成の一例を示す模式図である。

[0009] 図1に示すように、本実施形態に係る表示装置2は、 n 本の走査線 SL と n 本の制御線 $Pu d L$ と m 本のデータ信号線 DL と $m * n$ 個の画素回路 PC とを含む表示部 DA と、走査線 SL を駆動するスキンドライバ SD （駆動回路）と、制御線 $Pu d L$ を駆動するポンプアップダウンドライバ $Pu d D$ （駆動回路）と、データ信号線 DL を駆動するデータドライバ DD と、画素電流供給源の電源電位 $V d d$ を供給する電源電位配線 $V d d L$ と、画素電流供給源の共通基準電位 $V s s$ を供給する共通基準電位配線 $V s s L$ と、を備える。

[0010] ここで、 n は2以上の整数であり、 m は2以上の整数である。また、「 $*$ 」は積算の演算子として用いられている。

[0011] 走査線 SL は、水平方向に延伸し、画素回路 PC への書き込みを制御する走査信号が供給される。第 i 段の走査線 SL は、スキンドライバ SD の出力端子 $S i$ に接続される。ここで、 i は n 以下の整数である。

[0012] 制御線 $Pu d L$ は、走査線 SL と同方向の水平方向に延伸し、パルス信号が供給される。第 i 段の制御線 $Pu d L$ を、ポンプアップダウンドライバ $Pu d D$ の出力端子 $P i$ に接続される。

[0013] データ信号線 DL は、垂直方向に延伸し、画素回路 PC に書き込みデータ信号が供給される。データ信号線 DL は、走査線 SL および制御線 $Pu d L$

と平面視で垂直に交わり、走査線 S_L および制御線 $P_{ud}L$ と別層に設けられている。このため、データ信号線 D_L は、走査線 S_L および制御線 $P_{ud}L$ と接続されない。第 j 行のデータ信号線 D_L は、データドライバ D_D の出力端子 D_j に接続される。ここで、 j は m 以下の整数である。

[0014] 電源電位配線 $V_{dd}L$ および共通基準電位配線 $V_{ss}L$ は、発光素子 E_d に電流を供給するための電力線であり、定電位配線である。共通基準電位 V_{ss} は、 GND 電位またはアース電位であってよい。以降、共通基準電位 V_{ss} を $0V$ とする。

[0015] 画素回路 PC は、走査線 S_L とデータ信号線 D_L との交点に対応するように、マトリックス状に設けられており、対応する走査線 S_L と対応するデータ信号線 D_L と対応する制御線 $P_{ud}L$ とに接続されている。第 i 段第 j 行に設けられている画素回路 PC は、第 i 段の走査線 S_L を介してスキャンドライバ S_D の出力端子 S_i に接続され、第 i 段の制御線 $P_{ud}L$ を介してポンプアップダウンドライバ $P_{ud}D$ の出力端子 P_i に接続され、第 j 行のデータ信号線 D_L を介して、データドライバ D_D の出力端子 D_j に接続される。

[0016] (画素回路の構成および挙動)

図2は、図1に示した画素回路 PC の一例の等価回路を示す概略回路図である。

[0017] 図3は、図2に示した画素回路 PC の挙動の一例を示す概略図である。

[0018] 図2に示すように、本実施形態に係る画素回路 PC は、発光素子 E_d と、駆動トランジスタ DRT と、書き込み制御トランジスタ $SW-T$ と、第1容量 C_{sb} と、第2容量 C_{sa} とを備える。

[0019] 発光素子 E_d は、有機発光層を含む有機発光ダイオード ($OLED$) であっても、量子ドット発光層を含む量子ドットダイオード ($QLED$) であってもよい。発光素子 E_d は、電源電位配線 $V_{dd}L$ と共通基準電位配線 $V_{ss}L$ との間に接続される。

[0020] 駆動トランジスタ DRT は、電源電位配線 $V_{dd}L$ と共通基準電位配線

V_{ssL} との間に発光素子 E_d と直列に接続され、発光素子 E_d に流れる電流の量を制御する。駆動トランジスタ $DR-T$ は、 n 型チャネルを有する薄膜トランジスタ（TFET）である。

[0021] 書き込み制御トランジスタ $SW-T$ は、ゲート端子が対応する走査線 SL に接続され、対応するデータ信号線 DL と駆動トランジスタ $DR-T$ のゲート端子との間に接続される。

[0022] 第1容量 C_{sb} は、第1の電極が駆動トランジスタ $DR-T$ のゲート端子と書き込み制御トランジスタ $SW-T$ とに接続し、第2の電極が定電位配線に接続される。駆動トランジスタ $DR-T$ が n 型の場合、第2の電極は、電源電位配線 V_{ddL} に接続される。第1容量 C_{sb} は、対応するデータ信号線 DL から書き込み制御トランジスタ $SW-T$ を経て、データ信号が順次書き込まれる。

[0023] 第2容量 C_{sa} は、第1の電極が駆動トランジスタ $DR-T$ のゲート端子と書き込み制御トランジスタ $SW-T$ と第1容量 C_{sb} の第1の電極とに接続し、第2の電極が対応する制御線 P_{udL} に接続する。第2容量 C_{sa} は、対応するデータ信号線 DL から書き込み制御トランジスタ $SW-T$ を経て、データ信号が順次書き込まれる。

[0024] なお、図2に示した回路構成は、画素回路 PC の基本的動作のための必要最小限の回路構成を示したものに過ぎない。実際の表示装置では、例えば、回路素子のバラつきを補償するために、電流を制御する追加のトランジスタが設けられる。

[0025] 図3に示すように、走査線 SL および制御線 P_{udL} にはパルス信号が供給され、データ信号線 DL にはステップ状のデータ電圧が供給される。そして、画素回路 PC の駆動トランジスタ $DR-T$ のゲート端子に接続するノード $N1$ の電位は、図3に示すように変動する。この結果、画素回路 PC の発光素子 E_d の輝度は、図3に示すように変動する。

[0026] 発光素子 E_d の発光輝度は、駆動トランジスタ $DR-T$ のソースドレイン間を流れる電流により制御される。駆動トランジスタ $DR-T$ のソースドレ

イン間を流れる電流は、駆動トランジスタD R - Tのゲートソース間の電位差により制御される。駆動トランジスタD R - Tのゲートソース間の電位差は、第1容量C s bおよび第2容量C s aに蓄積せられた電荷と、制御線P u d Lの電位とにより制御される。

[0027] フレーム期間F Pの間に少なくとも1回、走査線S Lに供給される信号電位が書き込み制御トランジスタS W - Tを通電状態にする電位V s l h（いわゆる「ON電位」）となる。その時のデータ信号線D Lの電位0 VまたはV m a xに応じた電荷が第1容量C s bおよび第2容量C s aに蓄えられ、当該フレーム期間の間の発光素子E dの輝度が制御される。

[0028] （マイクロLEDディスプレイ）

表示装置2がマイクロLEDディスプレイであってよい。この場合、支持基板の上に図2に示した画素回路P Cの発光素子E dを除く部分と、マイクロLEDを接続するための電極パッドと、走査線S Lと制御線P u d Lとデータ信号線D Lと電源電位配線V d d Lと共通基準電位配線V s s Lと、が設けられる。支持基板はガラス基板などである。発光素子E dは、マイクロLEDとして支持基板上に外付けされる。

[0029] ここで、「LED」は、発光ダイオード（light emitting diode）を意味する。

[0030] （有機LEDディスプレイ）

表示装置2が有機LEDディスプレイであってもよい。この場合、支持基板の上に図2に示した画素回路P Cの発光素子E dを除く部分と、走査線S Lと制御線P u d Lとデータ信号線D Lと電源電位配線V d d Lと、が設けられる。そして、対向基板の上に共通基準電位配線V s s Lとして機能する透明電極が設けられ、支持基板と対向基板との間に有機LEDが生成される。

[0031] 図4は、有機LEDの概略構成の一例を示す模式図である。

[0032] 図4に示すように、有機LEDは、支持基板10上に形成されたカソード12と電子注入層14と電子輸送層16と発光層18と正孔輸送層20と正

孔注入層 2 2 とアノード 2 4 との積層体から成る。

[0033] カソード 1 2 とアノード 2 4 との少なくとも一方は、透明電極である。透明電極は、インジウム錫酸化物（いわゆる「ITO」）などの透明な導電体から形成されても、銀合金などの不透明な導電体の薄膜から形成されてもよい。

[0034] （ミニLEDバックライト）

表示装置 2 がミニLEDバックライトを含む液晶ディスプレイであってもよい。

[0035] 現在、液晶ディスプレイのバックライトとして、その大きさが 1 辺 1 mm 以下と小さいサイズのミニLEDをバックライトの光源として多数使用し、各光源を複数のエリアに分割して駆動するローカルディミング駆動のバックライトが普及してきている。その分割されたエリアの数は、徐々に増加し、最近では 1 0 0 0 エリアを超え、今後、更に分割数が増えることが予想される。

[0036] 現在、上記のようなローカルディミングLEDバックライトは、エリア毎にLEDドライバの出力をミニLEDのカソード側に接続する回路構成が主であり、エリアの数だけの配線およびアノードの配線が必要となる。このような回路構成では、エリア数が増加していくに従い、配線数が増え、また、同数のLEDドライバの出力数が必要になるためLEDドライバの数が増えるという問題がある。そこで、その問題を解決する方法として、現在の液晶パネルで用いられているガラス基板上に、TFTを含む画素回路を形成するアクティブマトリクス駆動で、ローカルディミング駆動を行う方法が考えられ、今後、エリア数が 1 0 0 0 0 エリアを超えるような場合になれば、アクティブマトリクス駆動が有力となる。

[0037] アクティブマトリクス駆動によるLEDのローカルディミングバックライトの場合、支持基板上に、図 2 に示した画素回路 PC の発光素子 Ed を除く部分と、ミニLEDを接続するための電極パッドと、走査線 SL と制御線 Pu d L とデータ信号線 DL と電源電位配線 V d d L と共通基準電位配線 Vs

s L と、が設けられる。支持基板はガラス基板などである。発光素子 E d は、ミニ L E D として基板上に外付けされる。発光素子 E d は、2 個以上の L E D が連なったものであって良い。2 個以上の L E D は並列接続でも、直列接続でも、並列直列混合の接続でもよい。

[0038] (アクティブマトリックス駆動)

図 5 は、図 1 に示した走査線 S L に供給される信号電位の一例を示す概略図である。

[0039] 図 6 は、図 2 に示した画素回路 P C の挙動の一例を示す概略図である。

[0040] なお、図 6 における発光素子 E d の輝度を示す波形は、説明の簡単化のために、ステップ状に簡略化した波形に過ぎないことを理解されたい。さらに、説明の簡単化のために、各トランジスタの端子間のリーク電流による電圧効果など、アクティブマトリックス駆動の基本動作に関係のない現象を省略することを理解されたい。

[0041] 表示装置 2 は、アクティブマトリックス駆動する表示装置である。

[0042] 図 5 に示すように、各画素回路 P C の発光素子 E d を所望の画像に応じて発光させるために、ある一定期間（いわゆる「フレーム期間」または「垂直走査期間」）を n 分割したタイミングで、走査線 S L に順に書き込み制御トランジスタ S W - T を通電状態にする電位（いわゆる「O N 電位」）を供給する。各走査線 S L には、O N 電位が供給される期間（いわゆる「O N 期間」）が終了後、書き込み制御トランジスタ S W - T を非通電状態にする電位（いわゆる「O F F 電位」）が供給される。

[0043] 図 6 に示すように、走査線 S L が O N 期間の間、各データ信号線 D L は対応する書き込み制御トランジスタ S W - T を介して、対応するノード N 1 に接続され、対応する第 1 容量 C s b および対応する第 2 容量 C s a に電圧を印加する。第 1 容量 C s b および第 2 容量 C s a に、印加された電圧に応じた電荷が蓄積される。次に、走査線 S L が O F F 電位を供給される期間（いわゆる「O F F 期間」）の間、第 1 容量 C s b および第 2 容量 C s a は、蓄積された電荷に応じた電圧（いわゆる「データ電圧」）を保持する。そして

、保持されたデータ電圧に従って、駆動トランジスタDR-Tのソースドレイン間に流れる電流が制御され、発光素子Edの発光輝度が制御される。

[0044] (比較例の構成およびの挙動)

図7は、比較例1の画素回路100の等価回路を示す概略回路図である。

[0045] 図8は、図7に示した比較例1の画素回路100の挙動の一例を示す概略図である。

[0046] 図9は、酸化物半導体によるn型チャネルを備えるTF-Tの特性を示す図である。図9の縦軸は、TF-Tのソースドレイン間を流れる電流Idを示し、横軸はTF-Tのゲートソース間の電圧Vgsを示す。

[0047] 図10は、比較例1の画素回路100の等価回路に、駆動トランジスタDR-Tのゲートソース間の等価回路を加えた回路構成を示す概略回路図である。

[0048] 図11は、図10に示した比較例1の画素回路100の挙動の一例を示す概略図である。

[0049] なお、図11に示す波形は、説明の簡単化のために、書き込み制御トランジスタSW-Tのゲート端子による電圧引き込みならびに回路素子および配線の寄生容量などを無視して、簡略化した波形に過ぎないことを理解されたい。

[0050] 図7に示すように、比較例1の画素回路100は、制御線PudLに接続されておらず、第1容量Cabおよび第2容量Csaの代わりに、記憶容量Csを備える点を除いて、実施形態1に係る画素回路PCと同様である。なお、記憶容量Csの容量は、第1容量Cabおよび第2容量Csaの容量の和に等しい。

[0051] 図8に示すように、発光素子Edが発光しない暗表示が数フレーム期間続き、その後に暗表示から発光素子Edが発光する明表示に切替るように、走査線SLおよびデータ信号線DLにステップ状の信号電位を供給し、発光素子Edの輝度変化を測定した。暗表示から明表示に切替った直後のフレーム期間において、発光素子Edの輝度が時間に伴って減少した。一方、暗表示

から明表示に切替った後の2つ目および3つ目のフレーム期間において、発光素子E dの輝度が時間に伴って減少しなかった。

[0052] 輝度減少の原因として、駆動トランジスタD R-Tのゲートソース間のリーク電流を検討した。しかしながら、リーク電流が原因である場合は、切り替わった後の2つ目以降のフレーム期間においても、同様の輝度が減少したはずである。したがって、リーク電流が原因ではないと推察される。

[0053] 輝度減少の原因として、駆動トランジスタD R-Tのゲート電極への充電不足も検討した。しかしながら、記憶容量C sが次のフレーム期間までデータ電圧を保持できるように、ON期間の長さを十分に設定した。したがって、充電不足が原因ではないと推察される。

[0054] 駆動トランジスタD R-Tの特性について検討した。

[0055] 図9に示すように、駆動トランジスタD R-Tが例えば、酸化インジウムガリウムスズのような酸化物半導体によるn型チャネルを備えるTFETである場合、駆動トランジスタD R-Tのゲートソース間に電圧V g sが生じると、ゲート電極と絶縁体を挟んで対向するp型の半導体内に電荷が蓄積される。そして、ゲートソース間の電位差が閾値電圧V t h以上になると、ソースドレイン間を流れる電流I dが急激に増加する。

[0056] ゲートソース間の電圧V g sがフラットバンド電圧よりも小さい場合、対向するp型半導体内に蓄えられる電荷が正孔に閉じ込められ、空乏層が形成される。空乏層を電荷が移動できないため、静電容量が駆動トランジスタD R-Tのゲートソース間に形成される。ここで半導体の空乏層は、絶縁体と異なり、電荷を保有する。そして、ゲートソース間の電圧V g sがフラットバンド電圧以上のとき、半導体の空乏層が変化し、中性領域および蓄積領域が形成される。

[0057] したがって、n型チャネルのTFETにおいて、ゲートソース間の静電容量として、ゲートソース間の電圧V g sが0Vからフラットバンド電圧より小さい電圧までの間、ゲートソース間の絶縁体による静電容量C gと、半導体の空乏層の状態に起因する静電容量C tとが存在する。2つの静電容量C g

、 C_t は直列接続している。ゲートソース間の電圧 V_{gs} がフラットバンド電圧以上の電圧になると、半導体内の空乏層の状態が徐々に変わり、空乏層に起因する静電容量 C_t は徐々に消滅する。

[0058] 空乏層の状態変化に要する時間は、記憶容量 C_s にデータ電圧を書き込むON期間と比較して、長い。駆動トランジスDRTのゲートソース間の電圧 V_{gs} は、暗表示においてフラットバンド電圧よりも小さく、明表示においてフラットバンド電圧以上である。これらのため、明表示から暗表示に切替った直後は、空乏層による静電容量 C_t を考慮する必要がある。空乏層による静電容量 C_t は、半導体内の空乏層の状態による電荷分布によって変化する。電圧 V_{gs} がフラットバンド未満から以上の電圧に変化した場合、空乏層の状態が時間とともに変化する。空乏層の状態変化により、静電容量 C_t の容量は減少する。空乏層の状態変化の速度は、材料や組成により、電圧 V_{gs} の変化から状態変化の完了までサブmsから数ms程度と見積もられる。

[0059] ゲートソース間の電圧 V_{gs} がフラットバンド電圧以下のときの、空乏層による静電容量 C_t は、単純な平板コンデンサモデルにおけるポアソン方程式を解くことによって得られる。ゲートソース間に電圧 V_{gs} が印加されているときの半導体に印加される電圧を V_b とすると、静電容量 C_t は下記式に従う。電圧 V_b の平方根の逆数に比例するように変化する。ただし、 $V_b = 0$ を除く。

[0060] ゲートソース間の電圧 V_{gs} がフラットバンド電圧以上のとき、フラットバンド電圧以上が印加された直後には、空乏層による静電容量 C_t が存在する共に、電圧 V_b の平方根の逆数に比例する。そして、空乏層内において電子と正孔とは熱的に生成消滅を繰り返す。フラットバンド電圧以上のとき、電子は、正孔と結合して空乏層を形成する場合よりも、絶縁体との界面に蓄積する場合のエネルギーが低い。このため、空乏層内の電子が徐々に絶縁体との界面に移動し、空乏層の厚みが徐々に減少する。この現象は、熱的平衡状態への移行であるため、サブmsから数ms程度の時間が掛かる。移行後は、静電容量 C_t を考慮する必要が無い。

- [0061] 図10に示すように、比較例1の画素回路100に駆動トランジスDRTのゲートソース間の等価回路を加える。静電容量 C_g が、ゲートソース間の絶縁体による静電容量であり、静電容量 C_t が半導体の状態に依存する静電容量であり、 R_t が半導体の状態遷移による非線形な誘電緩和を単純な電荷の流れとして表す抵抗である。なお、静電容量 C_t および抵抗 R_t が、定数でなく、ゲートソース間の電圧 V_{gs} に応じて変化することに留意されたい。
- [0062] 駆動トランジスDRTのゲートソース間の静電容量 C_{gf} は、直接接続された2つの静電容量 C_g 、 C_t の合成静電容量である。
- [0063] 図11に示すように、暗表示が数フレーム期間続いた後に暗表示から明表示に切替るように、走査線SLおよびデータ信号線DLにステップ状の信号電位を供給する。説明の簡単化のために、書き込み制御トランジスタSWRTのゲート端子による電圧引き込みならびに回路素子および配線の寄生容量を無視すると、駆動トランジスDRTのゲートソース間の静電容量 C_{gf} 、ノードN1の電位、発光素子Edの輝度は、図11に示すように変化する。
- [0064] 図11に示すように、走査線SLは1フレーム期間毎にON電位が印加され、そのON期間のときに、データ信号線DLの電位が記憶容量Csに保持され、ノードN1の電位がデータ信号線DLの電位に等しい。データ信号線DLの電位は、図11に示すフレーム期間のうちの最初のフレーム期間のON期間において0Vであり、2つ目以降のフレーム期間のON期間において V_{max} である。
- [0065] 駆動トランジスDRTのゲートソース間の静電容量 C_{gf} は、暗表示が続いているフレーム期間および明表示が続いているフレーム期間において、絶縁体による静電容量 C_g と同等であり、暗表示から明表示に切替った直後のフレーム期間において、 C_{go} まで変化し、徐々に C_g に戻る。
- [0066] ノードN1の電位 V_{cs} は、暗表示から明表示に切替った直後のフレーム期間において、静電容量 C_{gf} が C_{go} から C_g に戻るに伴って、 V_{max}

から V_{cs1} に変化する。

[0067] 発光素子 E_d の発光輝度は、駆動トランジスタ $DR-T$ のソースドレイン間の電流 I_d に比例し、駆動トランジスタ $DR-T$ は、上述したようにゲートソース間の電圧 V_{gs} の変化に応じて電流 I_d を大きく変化する範囲を有する。したがって、そのような範囲では、ゲートソース間の電圧 V_{gs} が数%変化した場合でも、輝度の変化が大きい。

[0068] ここで、 $C_s = 10 * C_g$ 、 $C_s = 5 * C_{go}$ の場合、 V_{sc1} は V_{max} の約 92.7% である。仮に V_{mx} を 5.0V とすると、 V_{cx1} は約 4.67V である。したがって、記憶容量 C_s が絶縁体による静電容量 C_g の 10 倍の値であっても、ノード $N1$ の電位すなわち駆動トランジスタ $DR-T$ のゲートソース間の電圧 V_{gs} に 7% 程度の電圧降下が起きると見積もられる。

[0069] また、暗表示から明表示に切替った 2 つ目以降のフレーム期間において、ノード $N1$ の電位 V_{cs} が V_{max} を維持し、発光素子 E_d の発光輝度が一定である。したがって、輝度減少の原因は、駆動トランジスタ $DR-T$ のゲートソース間の静電容量 C_{gf} の変化であると推察される。

[0070] ところで、このような容量変化が原因であれば、その影響が出ない程に記憶容量 C_s が十分に大きく、記憶容量 C_s に十分充電することによっても、輝度減少を解消できる。しかしながら、実施際には画面の高精細化が進み、画素面積が小さく限られており、ON 時間が短く限られている。このため、記憶容量 C_s を十分に大型化することができない。

[0071] 上記したようにアクティブマトリックス駆動によって電流制御するディスプレイもしくは照明装置は、暗表示から明表示に切替った直後のフレーム期間において、輝度の減少が起こり、所望の輝度への到達が遅れる。それにより、暗表示から明表示への応答が遅くなってしまう。

[0072] (本実施形態と比較例との比較)

図 2 を参照して示したように、本実施形態に係る画素回路 PC は、第 2 容量 C_{sa} を備え、第 2 容量 C_{sa} の第 2 の電極が対応する制御線 $PudL$ に

接続する。このため、図3に示すように、ON期間の後に制御線P u d Lの電位が低電位V u d l（第1レベルの電位）から高電位V u d h（第2レベルの電位）に引き上げられるとき、ノードN 1の電位V c sが第2容量C s aを介して引き上げられる。ノードN 1の電位V c sが引き上げられる電圧の幅を ΔV_{cs} とし、ノードN 1に接続されている全ての静電容量の総和を ΣC とし、制御線P u d Lの電位振幅をV a m p（ $=V_{udh}-V_{udl}$ ）とする。 $\Delta V_{cs}=C_{sa}/\Sigma C * V_{amp}$ である。静電容量の総和 ΣC は、第1容量C s bおよび第2容量C s aと、駆動トランジスタD R-Tのゲートソース間の静電容量C g fとに加えて、駆動トランジスタD R-Tのゲートソース間以外に寄生する静電容量を含む。

[0073] ゲートソース間の静電容量C g fは、比較例1において前述したように変動し、暗表示から明表示に切替る書き込みの直後に $C_{gf}=C_{go}$ であり、明表示が続く書き込みの直後の $C_{gg}=C_g$ である。なお、 $C_g > C_{go}$ である。

[0074] したがって、暗表示から明表示に切替る書き込みの直後の引き上げ電圧幅 ΔV_{cs} は、明表示が続く書き込みの直後の引き上げ電圧幅 ΔV_{cs} よりも大きい。そして、駆動トランジスタD R-Tのゲートソース間の静電容量C g fの変化によるノードN 1の電位の変化を補償または相殺することができる。このため、比較例1の画素回路100と比較して、明表示から暗表示に切替った直後のフレーム期間における発光素子E dの輝度の減少を低減できる。

[0075] 制御線P u d Lのパルス信号の電位が低電位V u d l（第1レベル）から高電位V u d h（第2レベル）へ上昇するタイミングは、対応する画素回路P Cへのデータ信号を書き込み終了から次のデータ信号の書き込み開始までの間である。ゲートソース間の静電容量C g fは、暗表示から明表示に切替る書き込みの直後に C_{go} であり、徐々に C_g に戻る。このため、制御線P u d Lの電位を、暗表示から明表示に切替る書き込みの直後に、引き上げることが望ましい。例えば、制御線P u d Lのパルス信号が低電位V u d l（

第1レベル)から高電位 V_{udh} (第2レベル)へ上昇するタイミングは、対応する画素回路PCへのデータ信号を書き込み終了から、対応する画素回路PCの次段の画素回路PCへのデータ信号を書き込み終了までの期間にあることが好ましい。

[0076] 対応する画素回路PCのON期間終了から制御線 P_{udL} の電位を V_{udl} から V_{udh} に昇圧するタイミングまでの時間を T_p とすると、時間 T_p はなるべく短いことが望ましい。つまり、 $T_p > 0$ かつ $T_p \div 0$ が望ましい。

[0077] 一方、制御線 P_{udL} のパルス信号の電位が高電位 V_{udh} (第2レベル)から低電位 V_{udl} (第1レベル)に下降するタイミングは、対応する画素回路PCへのデータ信号の書き込みが行われているON期間にあることが望ましい。

[0078] (引き上げ電圧幅)

引き上げ電圧幅 ΔV_{cs} が駆動トランジスタDR-Tの閾値電圧 V_{th} よりも大きい場合、暗表示のフレーム期間において、発光素子Edが発光し得る。なぜならば、暗表示のフレーム期間のON期間において、第1容量 C_{sb} および第2容量 C_{sa} に0Vが書き込まれ、書き込みの直後に制御線 P_{udL} の電位の引き上げによって、ノードN1の電位 V_{cs} が閾値電圧 V_{th} よりも大きく引き上げられるからである。したがって、引き上げ電圧幅 ΔV_{cs} が閾値電圧 V_{th} 以下であるように、制御線 P_{udL} の電位振幅 V_{amp} および引き上げタイミングを設定する。効率性の観点から、引き上げ電圧幅 ΔV_{cs} は、閾値電圧 V_{th} になるべく近い電圧になるように、設定することが望ましい。

[0079] さらに、暗表示から明表示に切替った直後のフレーム期間における発光素子Edの平均輝度が、明表示が続いているフレーム期間における発光素子Edの平均輝度と同等であるように、制御線 P_{udL} の電位振幅 V_{amp} および引き上げタイミングを設定することが望ましい。ここで、暗表示から明表示に切替った直後のフレーム期間のON期間においてデータ信号線DLから

供給された電位は、明表示が続いているフレーム期間のON期間においてデータ信号線DLから供給された電位と同等である。

[0080] 例えば、 $T_p \div 0$ とし、 $C_{sb} = C_{sa} = 5 * C_g$ かつ $C_g = C_{go}$ とし、静電容量の総和 ΣC を第1容量 C_{sb} および第2容量 C_{sa} と駆動トランジスタDR-Tのゲートソース間の静電容量 C_{gf} との合計のみと等しいと近似した場合、 $\Delta V_{cs} = V_{th}$ のとき、 $V_{amp} = 55 / 25 * V_{th}$ である。さらに、暗表示から明表示に切替った直後のフレーム期間におけるノードN1の電位 V_{cs} の降下曲線を直線に近似した場合、暗表示から明表示に切替った直後のフレーム期間における発光素子Edの平均輝度が、明表示が続いているフレーム期間における発光素子Edの平均輝度と同等であり、かつ、両フレーム期間のON期間においてデータ信号線DLから供給されたデータ電圧が V_{max} であるとき、 $110 / 51 V_{th} = V_{max}$ である。

[0081] したがって、上記条件下では、駆動トランジスタDR-Tのソースドレイン間を流れる電流 I_d を最大にするデータ電圧 V_{max} が、閾値電圧 V_{th} の2.16倍にであるように、駆動トランジスタDR-Tを設定すれば良い。このとき、暗表示から明表示に切替った直後のフレーム期間における輝度低下が低減する。

[0082] [実施形態2]

本発明の他の実施形態について、以下に説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を繰り返さない。

[0083] 図12は、図1に示した画素回路PCの一例の等価回路を示す概略回路図である。

[0084] 図13は、酸化物半導体によるp型チャネルを備えるTFTの特性を示す図である。図13の縦軸は、TFTのソースドレイン間を流れる電流 I_d を示し、横軸はTFTのゲートソース間の電圧 V_{gs} を示す。

[0085] 図14は、図12に示した画素回路PCの挙動の一例を示す概略図である。

- [0086] 図15は、比較例2の画素回路200の等価回路を示す概略図である。
- [0087] 図12に示すように、本実施形態に係る画素回路PCは、駆動トランジスタDR-Tがp型チャネルを有するTFTであり、それに応じて、第2容量Cs aの第2の電極が共通基準電位配線Vss Lに接続されている点を除いて、前述の実施形態1に係る画素回路PCと同様である。
- [0088] 図13に示すように、駆動トランジスタDR-Tがp型チャネルを備えるTFTである場合、駆動トランジスタDR-Tのゲートソース間に電圧Vgsが閾値電圧Vth以下のときに、電流Idが流れ、閾値電圧Vth以上のときに電流が流れない。
- [0089] 図14に示すように、本実施形態に係るデータ信号線DLに供給されるデータ電圧は、暗表示のときに電源電位配線Vdd Lが供給する電源電位Vddである。また、駆動トランジスタDR-Tのソースドレイン間を流れる電流Idを最大にするデータ電圧は、Vminである。
- [0090] 図15に示すように、比較例2の画素回路200は、制御線Pud Lに接続されておらず、第1容量Cabおよび第2容量Cs aの代わりに、記憶容量Csを備える点を除いて、実施形態2に係る画素回路PCと同様である。なお、記憶容量Csの容量は、第1容量Cabおよび第2容量Cs aの容量の和に等しい。
- [0091] 比較例2の画素回路200においても、前述の比較例1の画素回路100と同様に、暗表示から明表示に切替った直後のフレーム期間において、発光素子Edの輝度が時間に伴って減少した。
- [0092] これに対して、本実施形態に係る画素回路PCによれば、比較例2の画素回路200と比較して、明表示から暗表示に切替った直後のフレーム期間における発光素子Edの輝度の減少を低減できる。
- [0093] 本実施形態において、対応する画素回路PCのON期間終了から制御線Pud Lの電位を高電位Vud h（第1レベルの電位）から低電位Vud l（第2レベルの電位）に降圧するタイミングまでの期間をTpとすると、時間Tpはなるべく短いことが望ましい。つまり、 $Tp > 0$ かつ $Tp \rightarrow 0$ が望ま

しい。一方、制御線 P_{udL} の電位を V_{udl} から V_{udh} に昇圧するタイミングは、対応する画素回路 PC の ON 期間が望ましい。

[0094] また、制御線 P_{udL} の電位を V_{udh} から V_{udl} に降圧するときに、ノード $N1$ の電位 V_{cs} が引き下げられる電圧の幅を ΔV_{cs} として、引下げ電圧幅 ΔV_{cs} の絶対値が閾値電圧 V_{th} の絶対値以下であるように、制御線 P_{udL} の電位振幅 V_{amp} および引下げ引き上げタイミングを設定する。効率性の観点から、引き下げ電圧幅 ΔV_{cs} は、閾値電圧 V_{th} になるべく近い電圧になるように、設定することが望ましい。

[0095] 以上のように、駆動トランジスタ $DR-T$ に関わる電圧の大小関係が反転している点を考慮して、パラメータを前述の実施形態 1 と同様の方法にて設定する。

[0096] 〔実施形態 3〕

本発明の他の実施形態について、以下に説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を繰り返さない。

[0097] 図 16 は、図 1 に示した画素回路 PC の一例の等価回路を示す概略回路図である。

[0098] 図 12 に示すように、本実施形態に係る画素回路 PC は、駆動トランジスタ $DR-T$ が金属酸化膜半導体電界効果トランジスタ ($MOSFET$) である点を除いて、前述の実施形態 1 に係る画素回路 PC と同様である。

[0099] $MOSFET$ は、支持基板上とは別に形成される。このため、支持基板上には、駆動トランジスタ $DR-T$ の代わりに、駆動トランジスタ $DR-T$ を接続するための電極パッドが設けられる。駆動トランジスタ $DR-T$ は、支持基板上に外付けされる。

[0100] 駆動トランジスタ $DR-T$ として $MOSFET$ を使用した場合も、 TFT を使用した場合と同様に、前述の比較例 1, 2 の画素回路 100, 200 では暗表示から明表示に切替った直後のフレーム期間において輝度の減少が起こる。

[0101] T F TとM O S F E Tとで、上記したフラットバンド電圧以下の半導体内の空乏層の発生のメカニズムは、異なる。しかしながら、上記輝度減少の原因となるフラットバンド電圧以下からフラットバンド電圧以上へのゲート電圧の遷移に対する半導体内の空乏層の状態の変化に関しては、T F Tと同様にM O S F E Tでも起こる。

[0102] このため、電流の絶対量などのパラメータの変化があるが、本実施形態に係る画素回路P Cは、前述の実施形態1に係る画素回路P Cと同様の挙動を示す。

[0103] [実施形態4]

本発明の他の実施形態について、以下に説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を繰り返さない。

[0104] (表示装置の構成)

図17は、本開示の一実施形態に係る表示装置2の概略構成の一例を示す模式図である。

[0105] 図17に示すように、本実施形態に係る表示装置2は、前述の実施形態1～3の何れかに係る表示装置2と同様の構成に加えて、データタイミング制御部D T Cを備える。

[0106] データタイミング制御部D T CはデータドライバD Dへ、各フレーム期間の画像を示すD a t a信号と、データ転送タイミングを示すD t i m信号とを送る。データタイミング制御部D T CはスキャンドライバS Dへ、スキャン開始を示すS S T信号と、ON期間を示すS O N信号と、出力のタイミングシフトを示すS S h i f t信号とを送る。データタイミング制御部D T CはポンプアップダウンドライバP u d Dへ、引き上げ出力開始タイミングを示すP U S T信号と、引下げ出力開始タイミングを示すP D S T信号と、出力のタイミングシフトを示すP S h i f t信号とを送る。

[0107] データドライバD Dへは、幾つかの基準電圧も入力される。基準電圧を参照して、データドライバD Dは、D a t a信号に応じたデータ電圧を各出力

端子D 1 ~ D mから各データ信号線D Lに、D t i m信号に応じたタイミングで出力する。

[0108] スキャンドライバS Dへは、ON電圧S o nと、OFF電圧S o f fも入力される。スキャンドライバS Dは、第1段の出力端子S 1から走査線S Lに、S S T信号に応じたタイミングでS O N信号に応じた期間にON電圧S o nを出力し、その後にOFF電圧S o f fを出力する。スキャンドライバS Dは、第2段の出力端子S 2から走査線S Lに、S S T信号に応じたタイミングからS S h i f t信号に応じてシフトしたタイミングでS O N信号に応じた期間にON電圧S o nを出力し、その後にOFF電圧S o f fを出力する。スキャンドライバS Dは、各段の出力端子S 1 ~ S nから各走査線S Lに、順次シフトしたタイミングでON電圧S o nを同様に出力する。

[0109] ポンプアップダウンドライバP u d Dへは、高電位V u d hと低電位V u d lとが個別に入力されている。ポンプアップダウンドライバP u d Dは、第1段の出力端子P 1から制御線P u d Lに、P U S T信号が示すタイミングからP D S T信号が示すタイミングまで高電位V u d hを出力し、P D S T信号が示すタイミングからP U S T信号が示すタイミングまで低電位V u d lを出力する。ポンプアップダウンドライバP u d Dは、P s h i f t信号に応じて順次タイミングシフトするように、各段の出力端子P 1 ~ P nから対応する制御線P u d Lに、高電位V u d hもしくは低電位V u d lを出力する。

[0110] (画素回路の構成)

図18は、図17に示した画素回路P Cの一例の等価回路を示す概略回路図である。図18は、第x段第y行の画素回路P Cを示す。

[0111] 以降、駆動トランジスタD R - Tがp型チャネルを有するT F Tである構成について説明するが、駆動トランジスタD R - Tがn型チャネルを有するT F TまたはM O S F E Tである構成も本実施形態の範囲に含まれる。

[0112] 本実施形態に係る画素回路P Cは、前述の実施形態1 ~ 3に係る画素回路P Cに、駆動トランジスタD R - Tの閾値電圧V t hのバラつきを補償する

内部補償回路を組み込んだ点を除いて、同様である。

[0113] 図18に示すように、本実施形態に係る画素回路PCは、前述の実施形態1～3に係る画素回路PCに、1組の切り離しトランジスタR1-T, R2-Tと、1組の電圧初期化トランジスタR3-T, R4-Tと、補償トランジスタRE-Tと、を含む内部補償回路が組み込まれている。

[0114] 切り離しトランジスタR1-T, R2-Tは、電源電位配線VddLと共通基準電位配線VssLとの間に接続された発光素子Edを通る電流経路から、駆動トランジスタDR-Tを切り離し得るように配置される。第i段の画素回路PCの切り離しトランジスタR1-T, R2-Tのゲート端子は、発光制御線RLを介して第i段の出力端子Riに接続されている。

[0115] 電圧初期化トランジスタR3-T, R4-Tは、第1容量Csbの第1の電極と第2容量Csaの第1の電極とを、定電圧を供給するリセット電圧線VresLに接続し得るように配置される。第i段の画素回路PCの電圧初期化トランジスタR3-T, R4-Tのゲート端子は、第(i-1)段の走査線SLと同様に、出力端子S(i-1)に接続されている。

[0116] 補償トランジスタRE-Tは、駆動トランジスタDR-Tのソース端子とゲート端子との間に配置され、その間を接続する。あるいは、補償トランジスタRE-Tは、駆動トランジスタDR-Tのドレイン端子とゲート端子との間に配置され、その間を接続してもよい。第i段の画素回路PCの補償トランジスタRE-Tのゲート端子は、第i段の走査線SLを介して出力端子Siに接続されている。

[0117] データ信号線DLのデータ信号が、駆動トランジスタDR-Tおよび補償トランジスタRE-Tを介して第1容量Csbおよび第2容量Csaに書き込まれることによって、駆動トランジスタDR-Tの閾値電圧Vthのバラつきが補償される。なお、データ信号の書き込み中に、駆動トランジスタDR-Tが切り離しトランジスタR1-T, R2-Tによって発光素子Edを通る電流経路から切り離されているので、発光素子Edは発光しない。

[0118] (画素回路の挙動)

図19～図21は各々、図18に示した第 x 段第 y 行の画素回路PCの挙動の一例を示す概略図である。図19～図21の各々において、1番目のフレーム期間およびそれ以前の数フレーム期間において、第 x 段第 y 行の画素回路PCは暗表示である。2番目のフレーム期間およびそれ以降の数フレーム期間において、第 x 段第 y 行の画素回路PCは最大輝度の階調での明表示である。

[0119] 図19は、制御線PudLに定電位を供給する場合の挙動を示す。

[0120] 図19に示すように、第 $(x-1)$ 段の走査線SL用の出力端子 S_{x-1} がON電圧 S_{on} を供給している期間に、第 x 段の画素回路PCのノードN1の電位 V_{cs} がリセット電圧線VresLの電圧 V_{res} にリセットされる。この期間を「リセット期間」または「 x 段のリセット期間」と称する。

[0121] また、第 x 段の走査線SL用の出力端子 S_x がON電圧 S_{on} を供給している期間に、第 x 段第 y 行の画素回路PCの第1容量 C_{sb} および第2容量 C_{sa} に、データ電圧に応じた電圧が書き込まれる。この期間を「書き込み期間」または「 x 段の書き込み期間」と称する。

[0122] x 段のリセット期間と x 段の書き込み期間との間に、第 x 段の発光制御線RL L用の出力端子 R_x がOFF電圧を供給し、第 x 段の画素回路PCの発光素子Edが非点灯になる。この期間を「非点灯期間」または「 x 段の非点灯期間」と称する。

[0123] 暗表示のフレーム期間において出力端子Dyが画素回路PCに出力するデータ電圧は、 $V_{dd}-V_0$ である。駆動トランジスタDR-Tを介して第1容量 C_{sb} および第2容量 C_{sa} にデータ電圧が書き込まれるため、書き込まれる電圧は、データ電圧よりも駆動トランジスタDR-Tの閾値電圧 V_{th} だけ低下する。したがって、このときの駆動トランジスタDR-Tのゲートソース間電位差の絶対値 $|V_{gs}|=V_0+V_{th}$ である。そして、 $V_0 \div 0V$ なので、発光素子Edがほぼ無発光である。

[0124] 最大輝度の階調での明表示のフレーム期間において出力端子Dyが画素回路PCに出力するデータ電圧は、 $V_{dd}-V_{max}$ である。そして、書き込

まれる電圧はデータ電圧よりも駆動トランジスタDR-Tの閾値電圧 V_{th} だけ低下し、駆動トランジスタDR-Tのゲートソース間電位差の絶対値 $|V_{gs}| = V_{max} + V_{th}$ である。

[0125] 2番目のフレーム期間は、ほぼ無発光から高階調の輝度へ遷移するフレーム期間である。つまり、2番目のフレーム期間において、駆動トランジスタDR-Tの半導体の状態が移行するため、書き込み期間の後にゲートソース間電位差の絶対値 $|V_{gs}|$ が減少し、ノードN1の電位 V_{cs} が上昇し、発光素子Edの輝度が減少する。

[0126] 3番目および4番目のフレーム期間は、高階調の輝度が継続しているフレーム期間である。つまり、3番目および4番目のフレーム期間において、駆動トランジスタDR-Tの半導体の状態が平衡状態であり、書き込み期間の後にゲートソース間電位差の絶対値 $|V_{gs}|$ が減少することが無く、発光素子Edの輝度が略一定である。

[0127] このように、制御線PudLに定電位を供給した場合、低階調輝度から高階調輝度への遷移で最初のフレーム期間だけで、発光素子Edの輝度が減少するため、表示の応答が遅延する。

[0128] 図20は、制御線PudLにパルス信号を供給する場合の挙動を示す。

[0129] 図20に示すように、x段の制御線PudLに出力端子Pxが出力する信号電位が、書き込み期間中に間に、低電位 V_{udl} から高電位 V_{udh} にシフトし、書き込み期間の終了後に、高電位 V_{udh} から低電位 V_{udl} にシフトする。制御線PudLの電位のこの遷移は、前述の実施形態2における制御線PudLの電位の遷移と同様である。

[0130] 輝度変化後の最初のフレーム期間（つまり、図20の2番目のフレーム期間）において、制御線PudLの電位の引き下げによって、ノードN1の電位 V_{cs} の降下が大きくなるため、半導体の状態の移行によってノードN1の電位 V_{cs} が上昇しても、発光素子Edの平均輝度が高くなる。このため、実施形態2と同様に、各フレーム期間における平均輝度が同じになるように電圧を調整することができ、低階調輝度から高階調輝度へ遷移するときの

表示応答が改善する。

[0131] 一方で、本実施形態に係る画素回路PCには閾値電圧 V_{th} を補償する回路が組み込まれているため、本実施形態に係る画素回路PCを、前述の実施形態2に係る画素回路PCと同様に駆動する場合、駆動トランジスタDRTのゲートソース間の電位差の絶対値 $|V_{gs}|$ を閾値電圧 V_{th} の絶対値以下にすることが困難である。つまり、0階調のときに輝度を0にすることが難しい。

[0132] 図20の1番目のフレーム期間におけるノードN1の電位 V_{cs} の遷移に注目する。1番目のフレーム期間の書き込み期間において、書き込みにより電位 V_{cs} は $V_{dd} - V_0 - V_{th}$ になる。そのあと、制御線PudLの電位が V_{udh} から V_{udl} に降下するタイミングで、ノードN1の電位 V_{cs} が $V_{dd} - V_0 - V_{th} - \Delta V_p$ となる。このため、 $V_0 \doteq -\Delta V_p$ に設定することが望ましい。

[0133] 0階調に対応するデータ電圧は $V_{dd} - V_0$ である。 $V_0 \doteq -\Delta V_p$ の場合、 $V_{dd} - V_0 = V_{dd} + \Delta V_p$ である。このため、データドライバDDが0階調に対応するデータ電圧として、画素電流供給源の電源電位 V_{dd} を越える電圧を出力しなければならない。データドライバDDの耐電圧によっては、このような設定が不可能であり得る。

[0134] 0階調のときに輝度が0でないことによって、黒い画素が白浮きして見える。

[0135] 図20は、制御線PudLに別のパルス信号を供給する場合の挙動を示す。

[0136] 図21に示すように、x段の制御線PudLに出力端子Pxが出力するパルス信号の電位が、x段のデータ信号の書き込み期間中に高電位 V_{udh} （第1レベル）を維持し、x段の書き込み期間の終了から時間 T_p 経た後に高電位 V_{udh} （第1レベル）から低電位 V_{udl} （第2レベル）にシフトする。出力端子Pxからのパルス信号の電位は、高電位 V_{udh} （第1レベル）から低電位 V_{udl} （第2レベル）にシフトした後から、x段の次のデ

ータ信号の書き込み期間が開始されるまでの間に、低電位 V_{udl} （第2レベル）から高電位 V_{udh} （第1レベル）へシフトする。

[0137] ここで、低電位 V_{udl} （第2レベル）にシフトしたパルス信号が高電位 V_{udh} （第1レベル）に戻るまでの時間を時間 T_q とする。時間 T_q は、駆動トランジスタ $DR-T$ の半導体の状態が平衡状態に移行するのに要する時間以上であることが望ましい。平衡状態に移行するのに要する時間は、半導体の材料、不純物濃度、および温度に依存するが、概ね数ミリ秒程度と見積もられる。

[0138] 制御線 P_{udL} に出力するパルス信号をこのようにすることによって、黒い画素の白浮きが改善される。

[0139] 0階調の場合、書き込み期間にノード $N1$ の電位 V_{cs} に、 $V_{dd} - V_0 - V_{th}$ が書き込まれる。制御線 P_{udL} の電位が高電位 V_{udh} から低電位 V_{udl} に降圧するとき、第2容量 C_{sa} の容量結合によって、ノード $N1$ の電位 V_{cs} は、 $V_{dd} - V_0 - V_{th} - \Delta V_p$ に引き下げられる。この時の駆動トランジスタ $DR-T$ のゲートソース間の電圧 V_{gs} の絶対値について、 $|V_{gs}| = |V_0 + V_{th} + \Delta V_p|$ である。そして、時間 T_q の後に制御線 P_{udL} の電位が低電位 V_{udl} から高電位 V_{udh} に昇圧するとき、第2容量 C_{sa} の容量結合によって、ノード $N1$ の電位 V_{cs} は、 $V_{dd} - V_0 - V_{th}$ に引き上げられる。この時の駆動トランジスタ $DR-T$ のゲートソース間の電圧 V_{gs} の絶対値について、 $|V_{gs}| = |V_0 + V_{th}|$ である。 $V_0 \div 0$ のときに、 $|V_{gs}| \div |V_{th}|$ となる。

[0140] すなわち、0階調のフレーム期間において、時間 T_q 以降の輝度が0である。したがって、黒い画素の白浮きが改善する。

[0141] また、輝度変化後の最初のフレーム期間（つまり、図20の2番目のフレーム期間）において、時間 T_p 後にノード $N1$ の電位 V_{cs} が引き下げられる幅は、時間 T_q 後にノード $N1$ の電位 V_{cs} が引き上げられる幅よりも、 ΔV_q だけ大きい。このため、実施形態1～3と同様に、低階調輝度から高階調輝度へ遷移するときの表示応答が改善する。

[0142] なお、書き込み期間と次の書き込み期間との間に、実施形態 1～3 ではノード N 1 の電位 V_{cs} の引き下げのみ（または引き上げのみ）が行われるが、一方、本実施形態ではノード N 1 の電位 V_{cs} の引き下げと引き上げの両方が行われる。このことを考慮して、制御線 P_{udL} の電位振幅 V_{amp} ($=V_{udh}-V_{udl}$) を設定する。

[0143] (期間)

図 2 2 は、0 階調のフレーム期間における画素回路 PC の挙動の一例を示す概略図である。

[0144] 図 2 3 は、最大輝度の階調のフレーム期間における画素回路 PC の挙動の一例を示す概略図である。

[0145] 図 2 4 は、時間 T_p と APL (Average Picture Level) との関係を示す図である。

[0146] APL は、或る画像を表示するときの全画素の階調数の合計の、全画素が最大階調のときの全画素の階調数の合計に対する比率を示す。階調数は、データドライバ DD が出力端子 $D_1 \sim D_m$ からデータ信号線 DL を通じて画素回路 PC へ入力するデータ電圧である。つまり、 APL は下記式で算出される。

[0147] [数1]

$$APL = \left(\sum_{i=1}^n \sum_{j=1}^m D_{i,j} \right) / (D_{max} * m * n) * 100\%$$

ここで、 $D_{i,j}$ は、或る画像を表示するときの第 i 段第 j 行の画素回路 PC に入力されるデータ電圧である。 D_{max} は、画素回路 PC が発光素子 Ed を最大輝度の階調で発光させるときに画素回路 PC に入力されるデータ電圧である。 Σ は総和記号として用いられている。

[0148] 前述したように、 n は走査線 SL の本数であり、2 以上の整数である。 m はデータ信号線 DL の本数であり、2 以上の整数である。「 $*$ 」は積算の演算子として用いられている。

[0149] 上述では時間 T_p の長さが固定の場合について説明したが、時間 T_p の長

さに対応するパルス幅は、表示する画像に応じて設定してもよい。つまり、制御線 P u d L のパルス信号のパルス幅は、入力される画像データやデータ信号に応じて設定されてよい。

[0150] 本実施形態では、駆動トランジスタ D R - T が p 型チャネルを有する場合に制御線 P u d L の電位を、書き込み期間の時間 T p 後に高電位 V u d h から低電位 V u d l へ降圧し、さらに時間 T q 後に低電位 V u d l から高電位 V u d h へ昇圧する。

[0151] 図 2 2 に示すように、0 階調のフレーム期間において上述の電位の変遷によって、制御線 P u d L の電位が低電位 V u d l である時間 T q の間、発光素子 E d が少しではあるが発光する。これによって黒い画素が白浮きして見える。

[0152] 図 2 3 に示すように、高輝度の階調のフレーム期間において上述の電位の変遷によって、制御線 P u d L の電位が低電位 V u d l である時間 T q の間、ノード N 1 の電位 V c s が引き下げられた分だけ、発光素子 E d の輝度が増加している。その後、制御線 P u d L の電位が高電位 V u d h に戻ると、ノード N 1 の電位 V c s が引き上げられた分だけ、発光素子 E d の輝度が減少する。このため、実施形態 2 に係る画素回路 P C と比較すると、同一階調のフレーム期間における発光素子 E d の平均輝度が低い。また、時間 T q が長いほど、発光素子 E d の平均輝度が高い。

[0153] つまり、暗表示では時間 T q が短い方が、高輝度表示では時間 T q が長い方が、表示改善に繋がる。例えば、第 1 画像を表示する際の時間 T q に対応するパルス幅が、第 1 画像よりも暗い第 2 画像を表示する際の時間 T q に対応するパルス幅よりも長いことが望ましい。

[0154] 以上を鑑みて、本実施形態では、入力画像に応じて時間 T q の長さを変化し、これによって、黒い画素の白浮きを改善する共に、最大輝度を高くすることができる。

[0155] 図 2 4 に示すように、例えば、時間 T q の長さを A P L に応じて制御してもよい。

- [0156] 低階調輝度から高階調輝度へ遷移するときの表示応答の改善に有益な T_q の長さを T_{q0} とする。通常、表示において $T_q = T_{q0}$ である。
- [0157] 全面黒表示 ($APL = 0\%$) の場合は、 $T_q = 0\text{ms}$ とする。 APL が $10\% \sim 30\%$ の場合は、ピーク輝度を高くするために、 $T_q = T_{FP} - T_{WP}$ とする。ここで、 T_{FP} は 1 フレーム期間の長さであり、 T_{WP} は書き込み期間の長さである。 $T_{FP} - T_{WP} = T_{qm}$ と置く。
- [0158] 上記以外の場合は $T_q = T_{q0}$ となるように制御するが、 T_q が急激に変化すると表示が不具合になるため、 T_q は図 24 に示すように滑らかに変化させる。このように変化させることによって、黒表示をより黒くし、ピーク輝度を高く表現し、表示装置 2 の表示品位を向上できる。
- [0159] また例えば、時間 T_q の長さを ALL (Average Luminance Level) に応じて制御してもよい。 ALL によって表示する画像のジャンルを特定し、ジャンルに応じて時間 T_q の長さを制御してもよい。
- [0160] ALL は、或る画像を表示するときの全画素の表示輝度値の合計の、全画素が最大階調のときの全画素の表示輝度値の合計に対する比率を示す。表示輝度値は、データドライバ DD が画素回路 PC へ入力するデータ電圧に対応して画素回路 PC が発光素子 Ed を発光させた輝度値である。つまり、 ALL は下記式で算出される。
- [0161] [数2]

$$ALL = \left(\sum_{i=1}^n \sum_{j=1}^m L_{i,j} \right) / (L_{max} * m * n) * 100\%$$

ここで、 $L_{i,j}$ は、或る画像を表示するときの第 i 段第 j 行の画素回路 PC に接続された発光素子 Ed の輝度値である。 L_{max} は、画素回路 PC が発光素子 Ed を最大輝度の階調で発光させるときの発光素子 Ed の輝度値である。 Σ は総和記号として用いられている。

- [0162] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲

に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

符号の説明

- [0163] C s a 第2容量
 C s b 第1容量
 D A 表示部
 D L データ信号線
 D R - T 駆動トランジスタ
 E d 発光素子
 S L 走査線
 P C 画素回路
 P u d L 制御線
 P u d D ポンプアップダウンドライバ（駆動回路）
 R E - T 補償トランジスタ
 S D スキャンドライバ（駆動回路）
 S W - T 書き込み制御トランジスタ
 T p 時間（第2レベルにシフトしたパルス信号が第1レベルに戻るまでの時間）
 V d d L 電源電位配線（定電位配線）
 V s s L 共通基準電位配線（定電位配線）
 V t h 閾値電圧
 V u d h 高電位（第2レベルの電位，第1レベルの電位）
 V u d l 低電位（第1レベルの電位，第2レベルの電位）

請求の範囲

- [請求項1] 複数の走査線、複数の制御線、および、複数の画素回路を含む表示部と、
前記走査線および前記制御線を駆動する駆動回路とを備え、
前記画素回路は、
発光素子と、
前記発光素子と直列に設けられ、前記発光素子に流れる電流の量を制御する駆動トランジスタと、
ゲート端子が前記複数の走査線の対応する 1 本に接続する書き込み制御トランジスタと、
第 1 の電極が前記駆動トランジスタのゲート端子と前記書き込み制御トランジスタとに接続し、第 2 の電極が定電位配線に接続し、データ信号が順次書き込まれる第 1 容量と、
第 1 の電極が前記駆動トランジスタのゲート端子と前記第 1 容量の第 1 の電極とに接続し、第 2 の電極が前記複数の制御線の対応する 1 本に接続する第 2 容量を備え、
前記制御線には、パルス信号が供給される表示装置。
- [請求項2] データ信号の書き込み完了から次のデータ信号の書き込み開始までの間に、前記パルス信号が第 1 レベルから第 2 レベルへシフトする、請求項 1 に記載の表示装置。
- [請求項3] 画素回路への書き込み終了から次段の画素回路への書き込み終了までの期間に、前記パルス信号が第 1 レベルから第 2 レベルへシフトする、請求項 2 に記載の表示装置。
- [請求項4] 前記データ信号の書き込みが開始した後に、前記パルス信号が第 2 レベルから第 1 レベルへシフトする、請求項 2 または 3 に記載の表示装置。
- [請求項5] 前記データ信号の書き込み中は、前記パルス信号が第 1 レベルを維持し、

前記データ信号の書き込みが完了した後に、前記パルス信号が第1レベルから第2レベルへシフトし、

前記パルス信号が第1レベルから第2レベルへシフトした後から、次のデータ信号の書き込みが開始されるまでの間に、前記パルス信号が第2レベルから第1レベルへシフトする、請求項1～3の何れか1項に記載の表示装置。

[請求項6] 各画素回路は、駆動トランジスタの閾値電圧を補償する内部補償回路を含む、請求項5に記載の表示装置。

[請求項7] 第2レベルにシフトしたパルス信号が第1レベルに戻るまでの時間に対応するパルス幅が、表示する画像に応じて設定される、請求項6に記載の表示装置。

[請求項8] 入力される画像データに応じて前記パルス幅が設定される、請求項7に記載の表示装置。

[請求項9] 第1画像を表示する際の前記パルス幅が、前記第1画像よりも暗い第2画像を表示する際の前記パルス幅よりも長く設定される、請求項7または8に記載の表示装置。

[請求項10] 前記内部補償回路は補償トランジスタを含み、
前記駆動トランジスタのドレイン端子およびゲート端子が、あるいは、前記駆動トランジスタのソース端子およびゲート端子が、前記補償トランジスタを介して接続される請求項6～9の何れか1項に記載の表示装置。

[請求項11] 前記発光素子は、前記データ信号の書き込み中に発光しない、請求項1～10のいずれか1項に記載の表示装置。

[請求項12] 前記複数の制御線と、前記複数の走査線とが同方向に延伸する、請求項1～11の何れか1項に記載の表示装置。

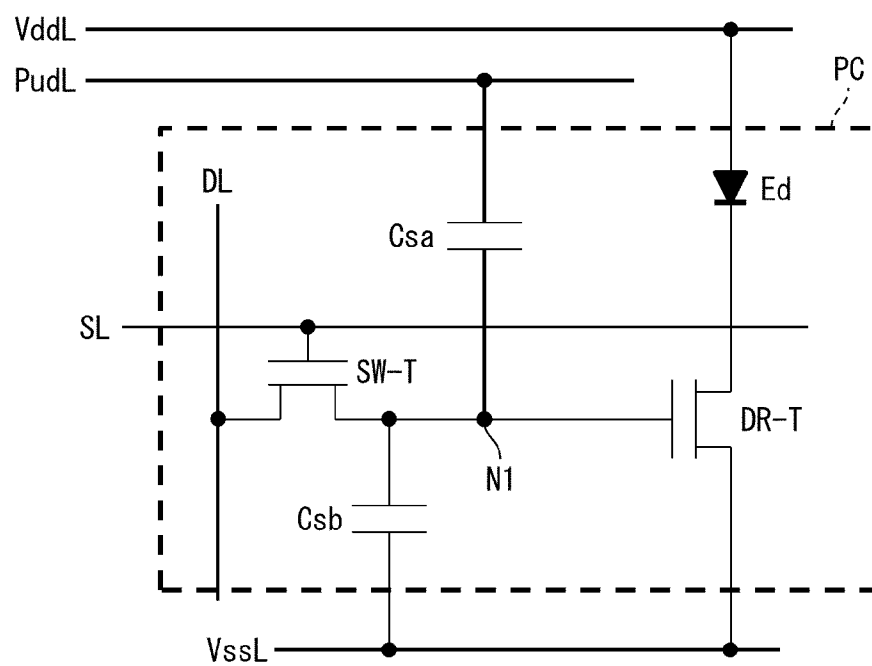
[請求項13] 前記第1レベルの電位と前記第2レベルの電位との差が、前記駆動トランジスタの閾値電圧以下である、請求項2～4の何れか1項に記載の表示装置。

- [請求項14] データ信号が供給される複数のデータ信号線を備え、
前記書き込み制御トランジスタは、前記複数のデータ信号線の対応する1本と前記駆動トランジスタとの間に接続される、請求項1～13の何れか1項に記載の表示装置。
- [請求項15] 前記駆動トランジスタがn型チャネルであり、前記第2レベルの電位が前記第1レベルの電位よりも高い、請求項2～4の何れか1項に記載の表示装置。
- [請求項16] 前記駆動トランジスタがp型チャネルであり、前記第2レベルの電位が前記第1レベルの電位よりも低い、請求項2～4の何れか1項に記載の表示装置。
- [請求項17] 前記発光素子は、有機発光層または量子ドット発光層を含む、請求項1～16のいずれか1項に記載の表示装置。

图 1

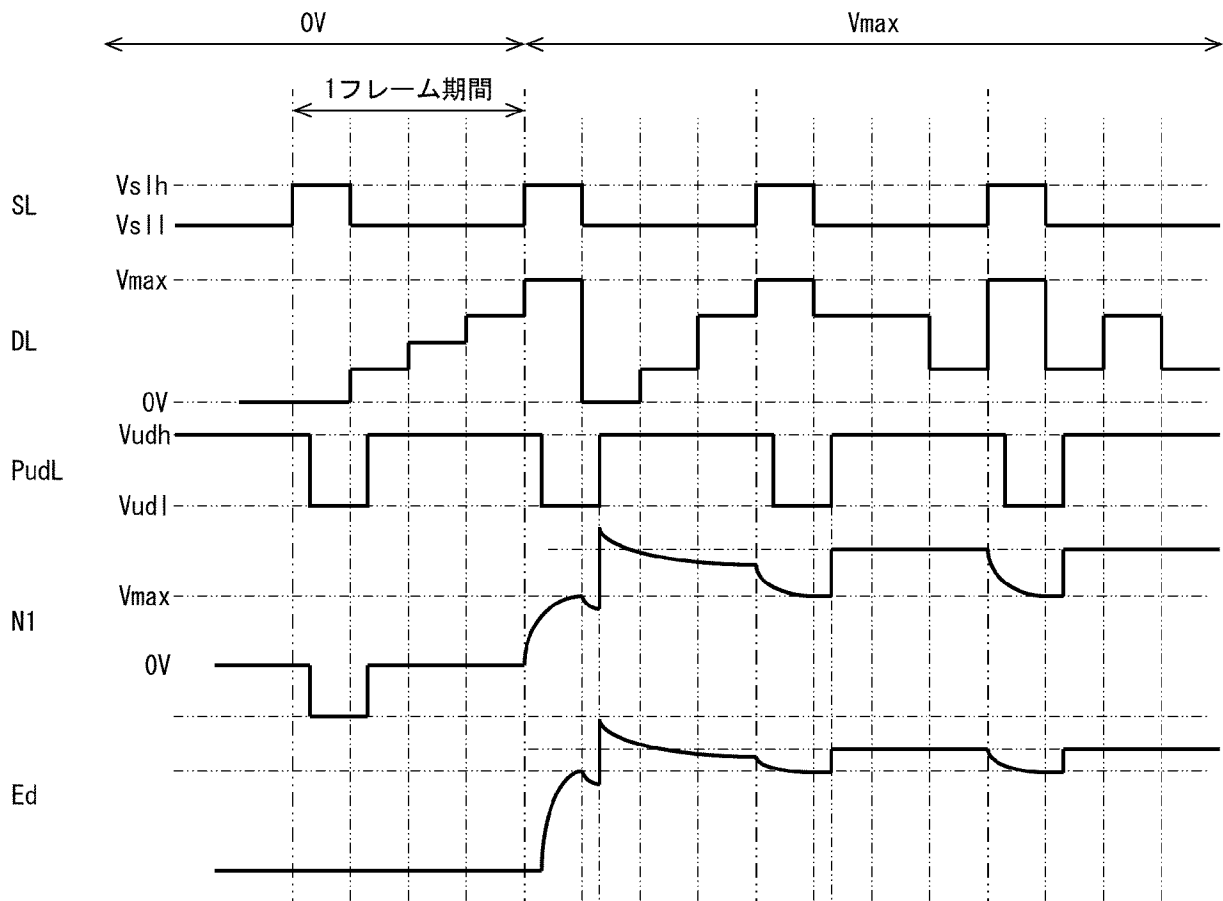


图 2



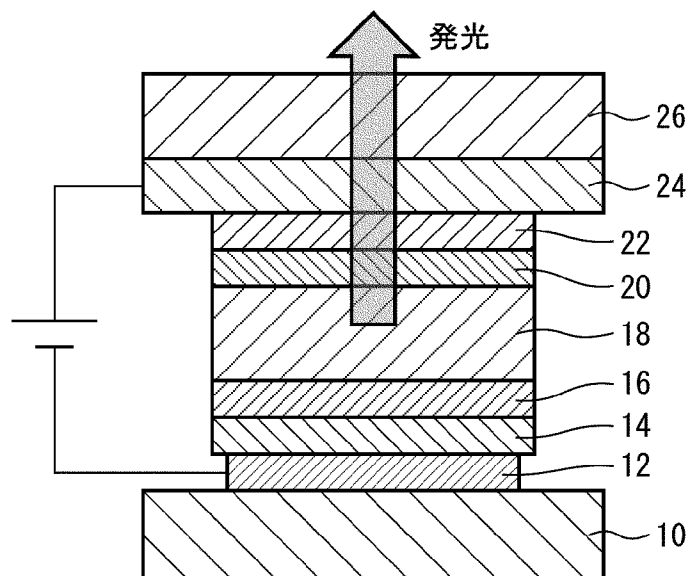
[図3]

図 3



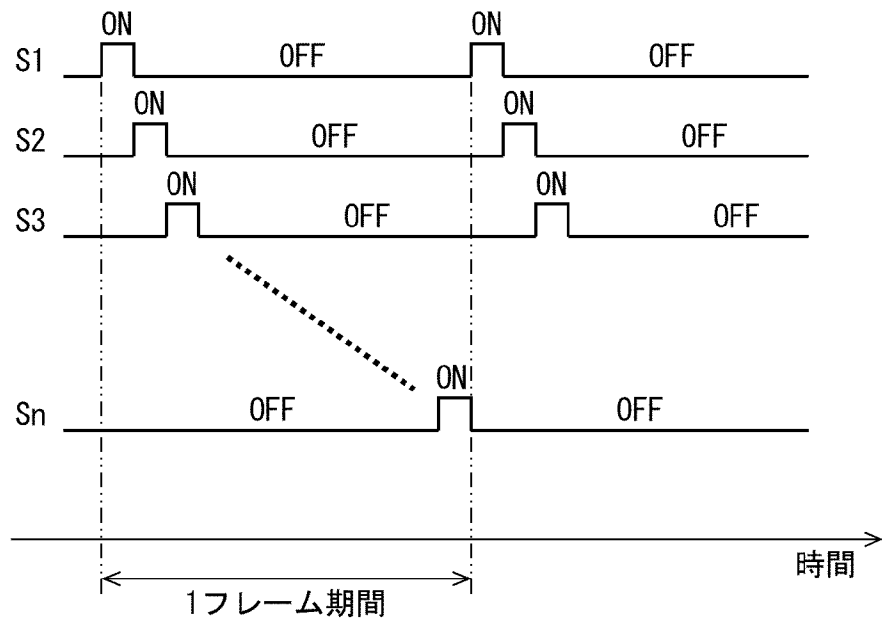
[図4]

図 4



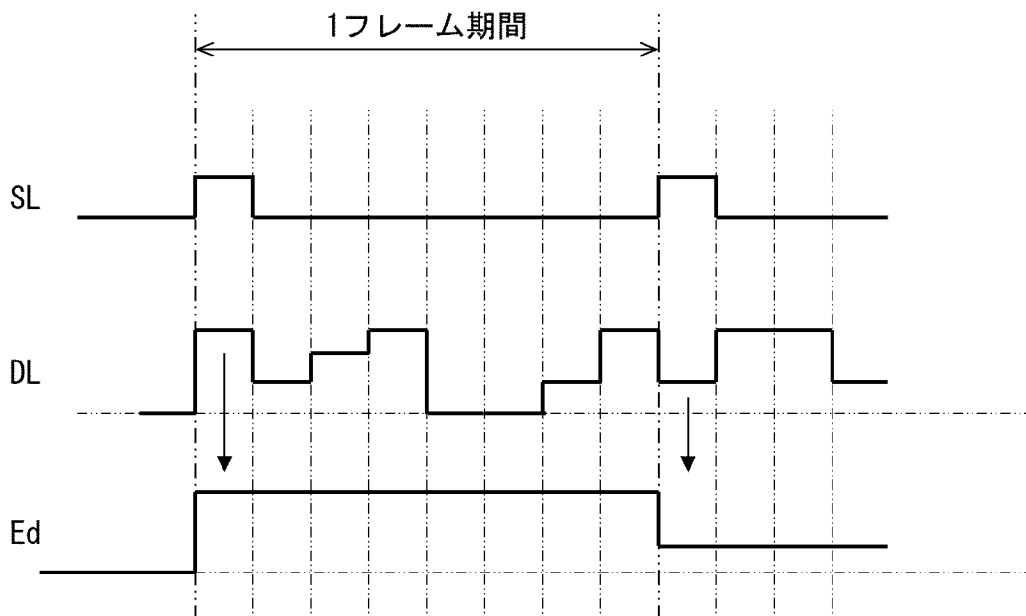
[図5]

図 5



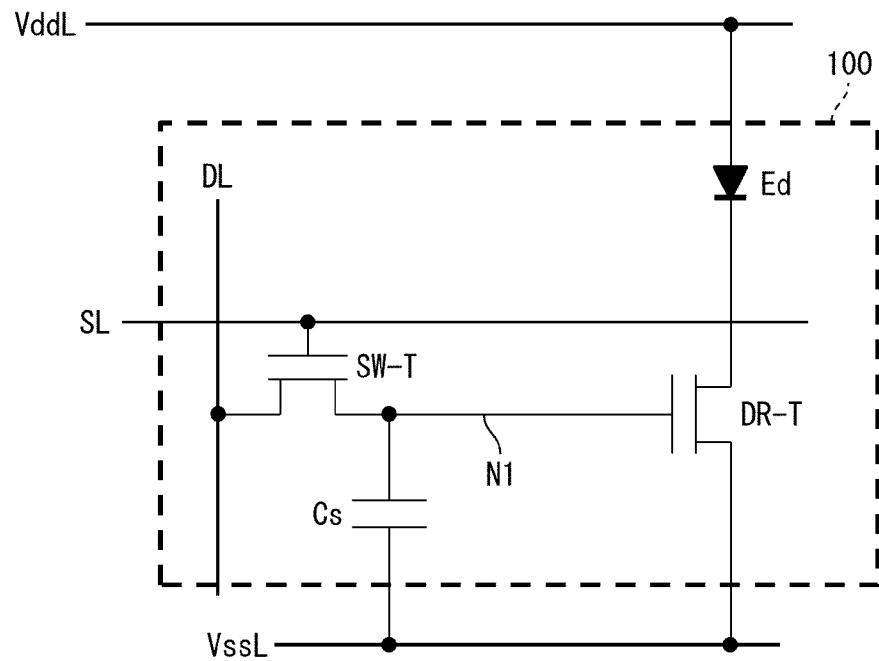
[図6]

図 6



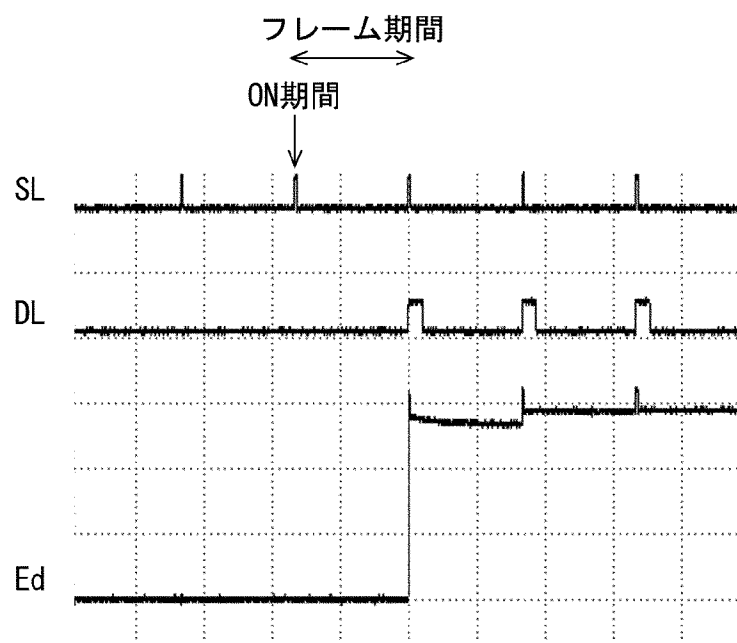
[図7]

図 7



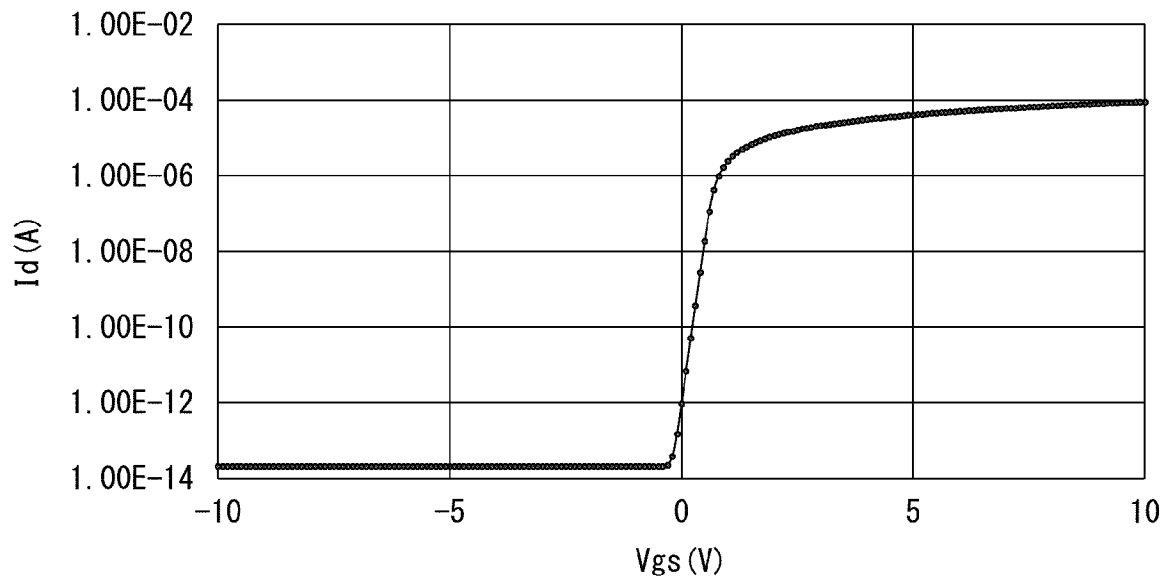
[図8]

図 8



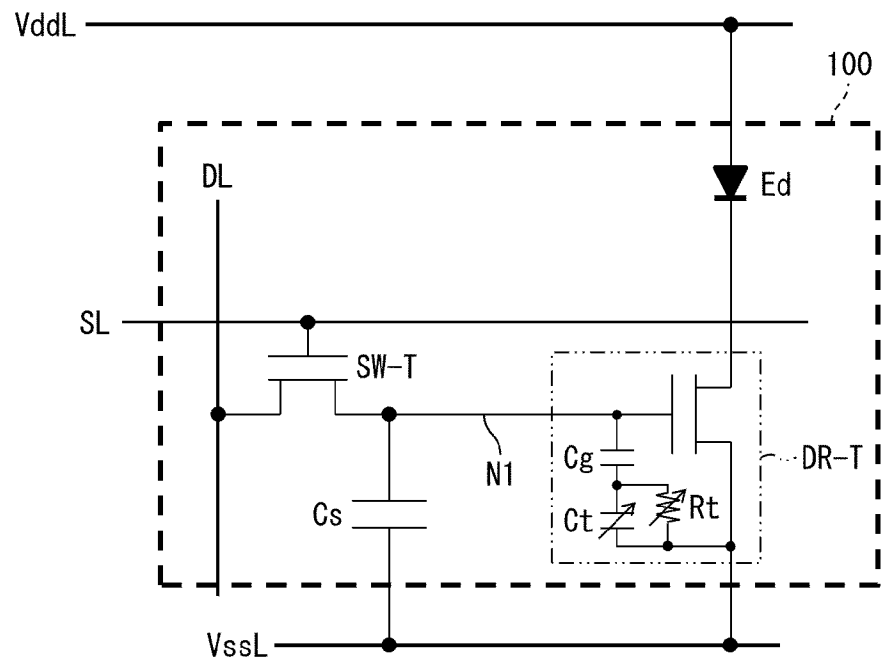
[図9]

図 9



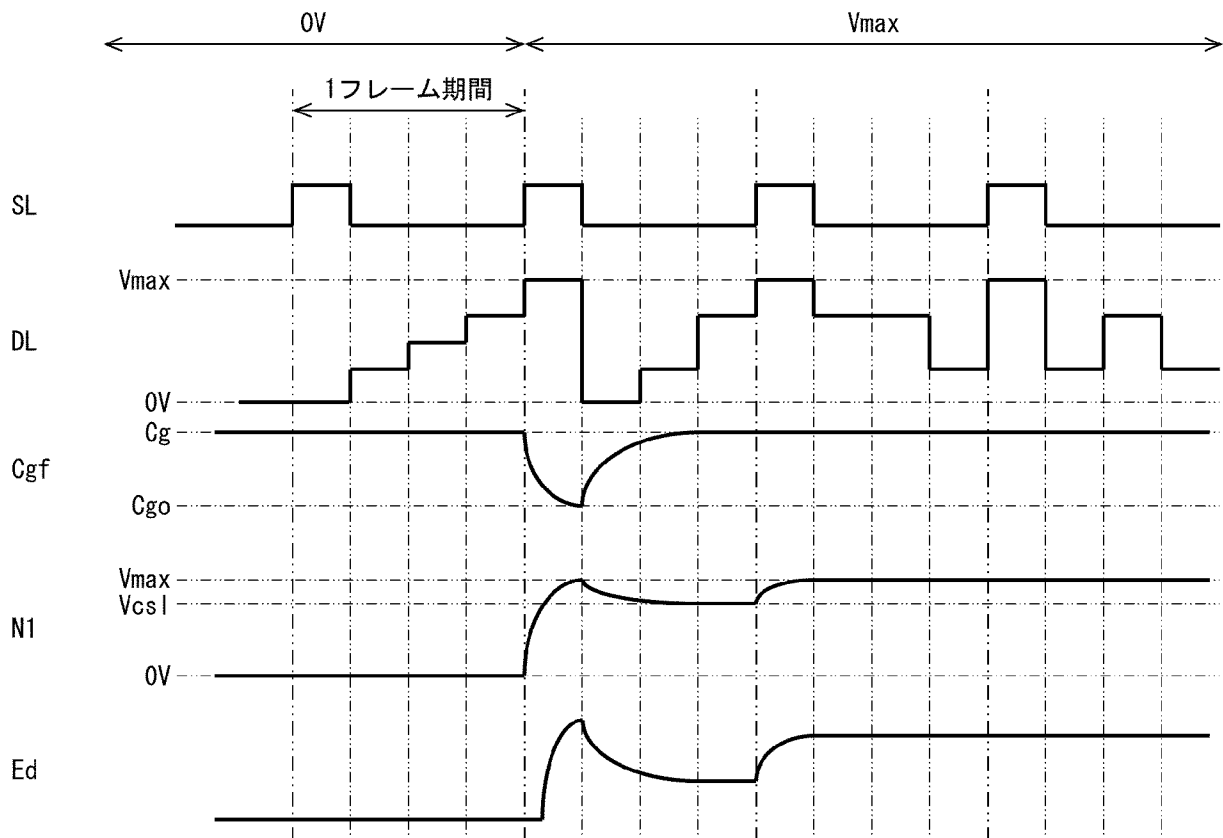
[図10]

図 10



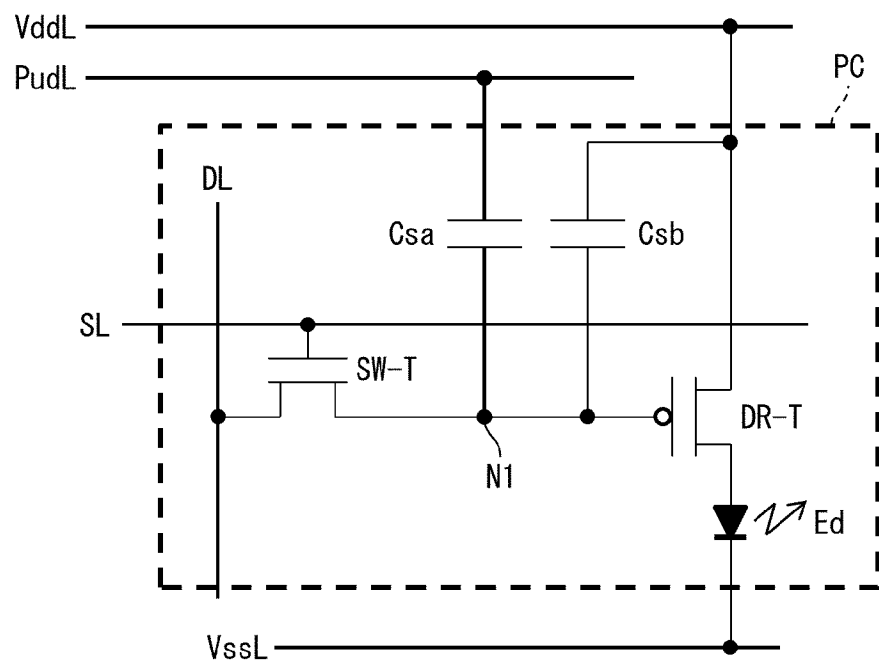
[図11]

図 11



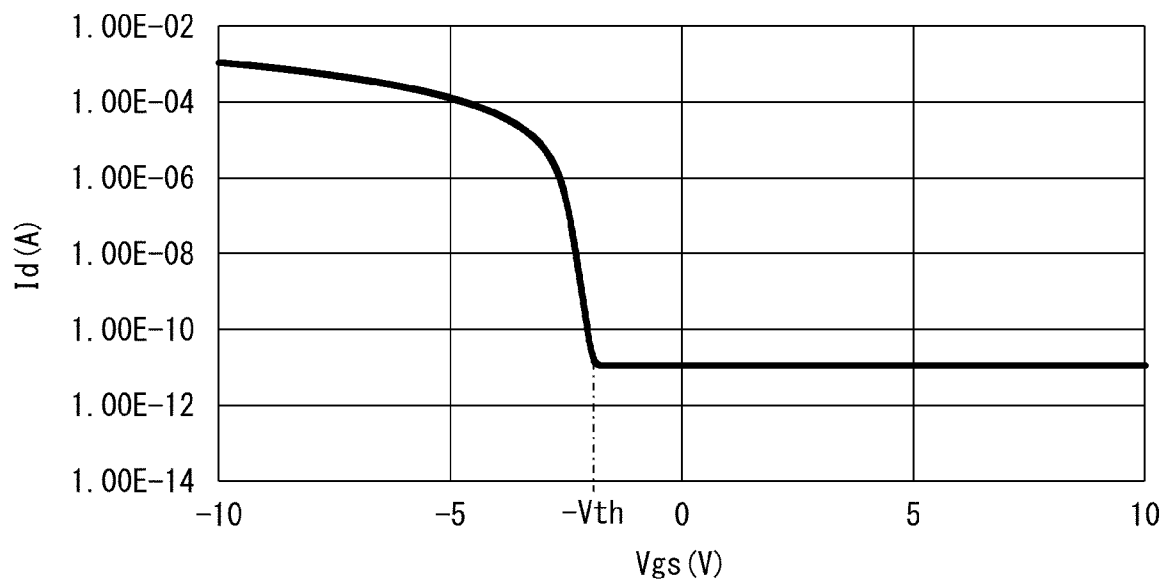
[図12]

図 12



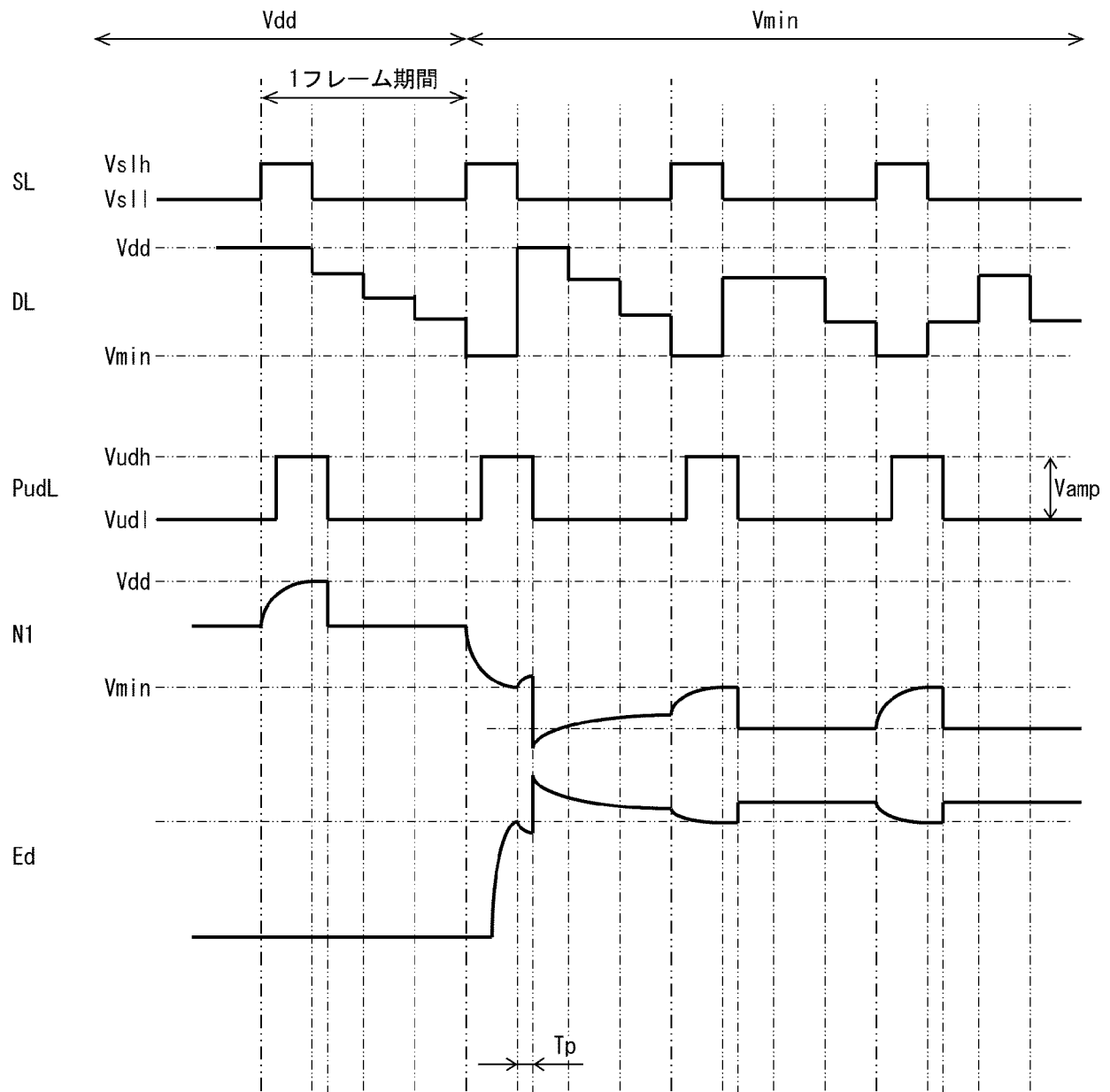
[図13]

図 13



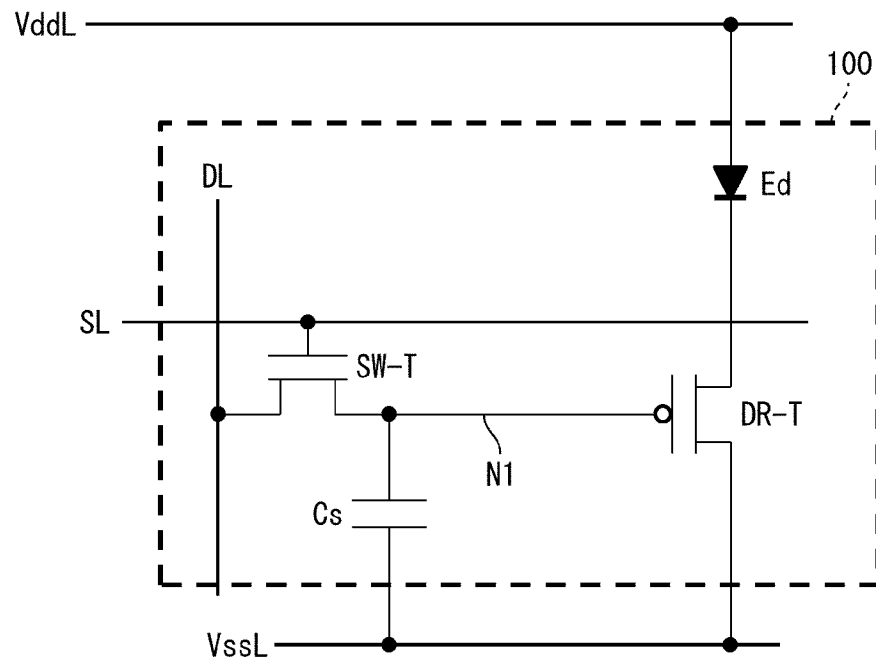
[図14]

図 14



[図15]

図 15



[図16]

図 16

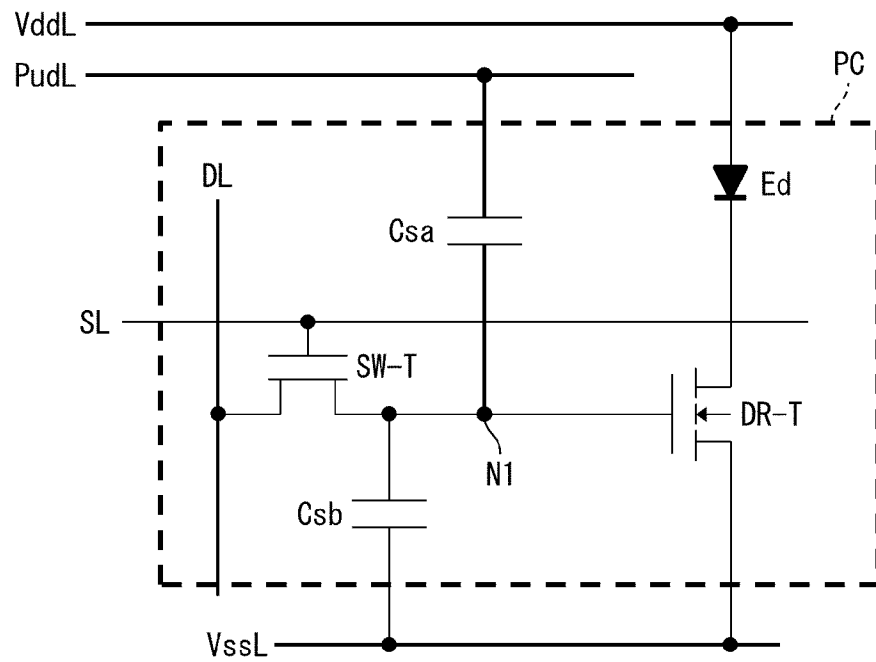
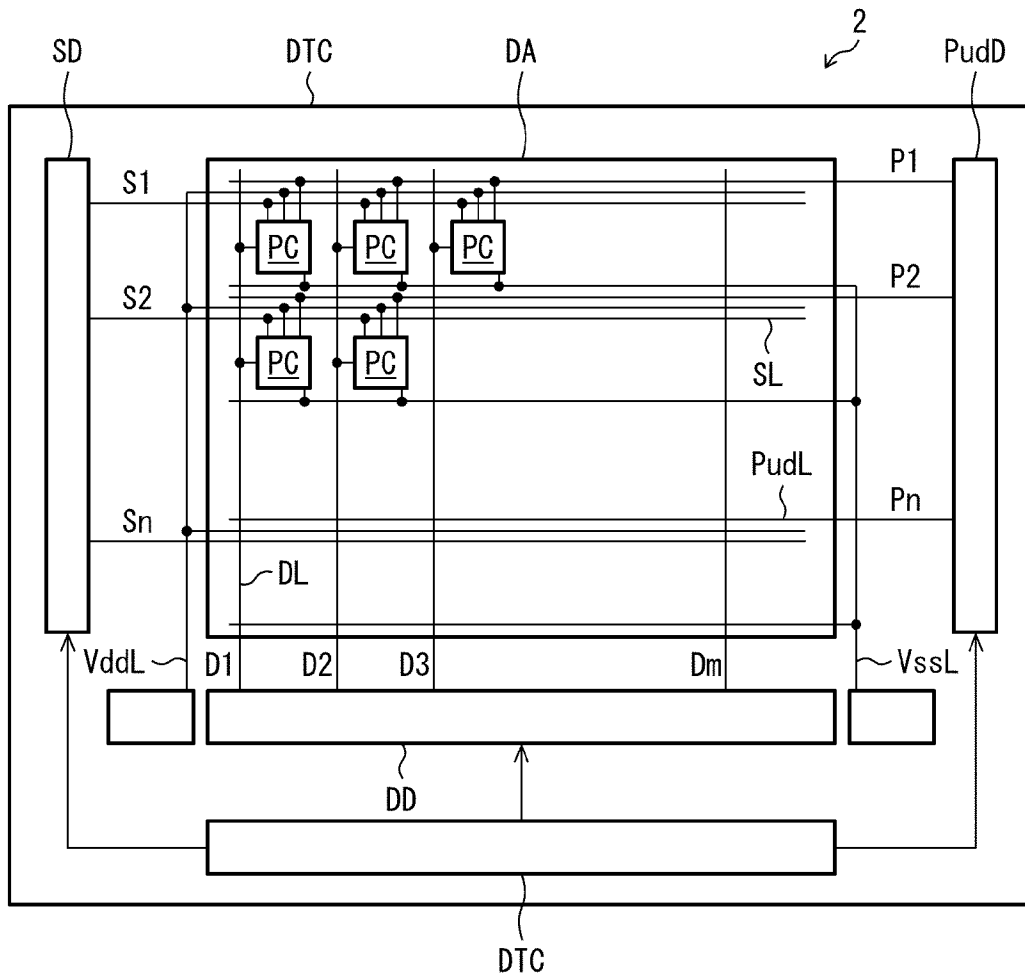
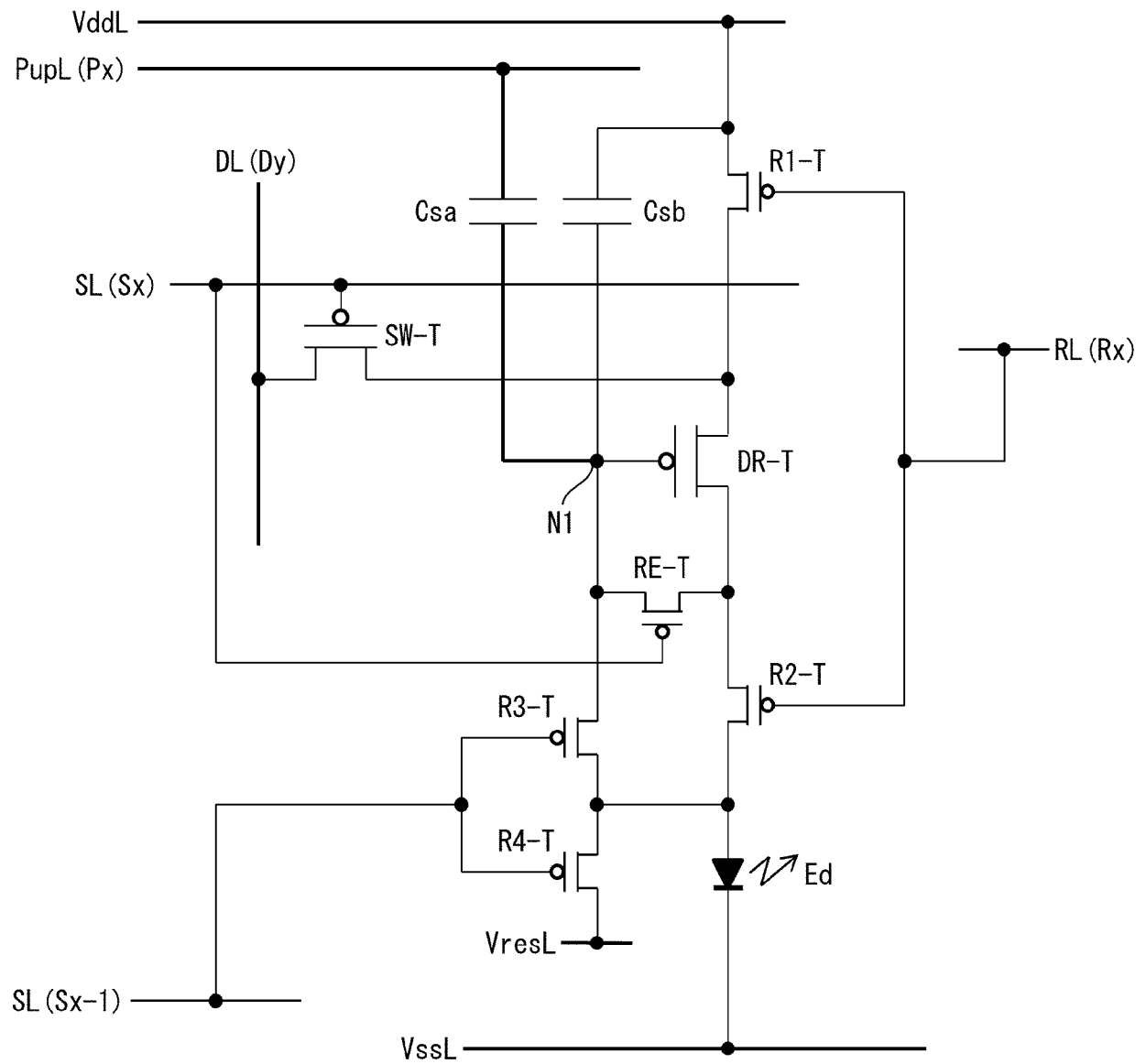


图 17



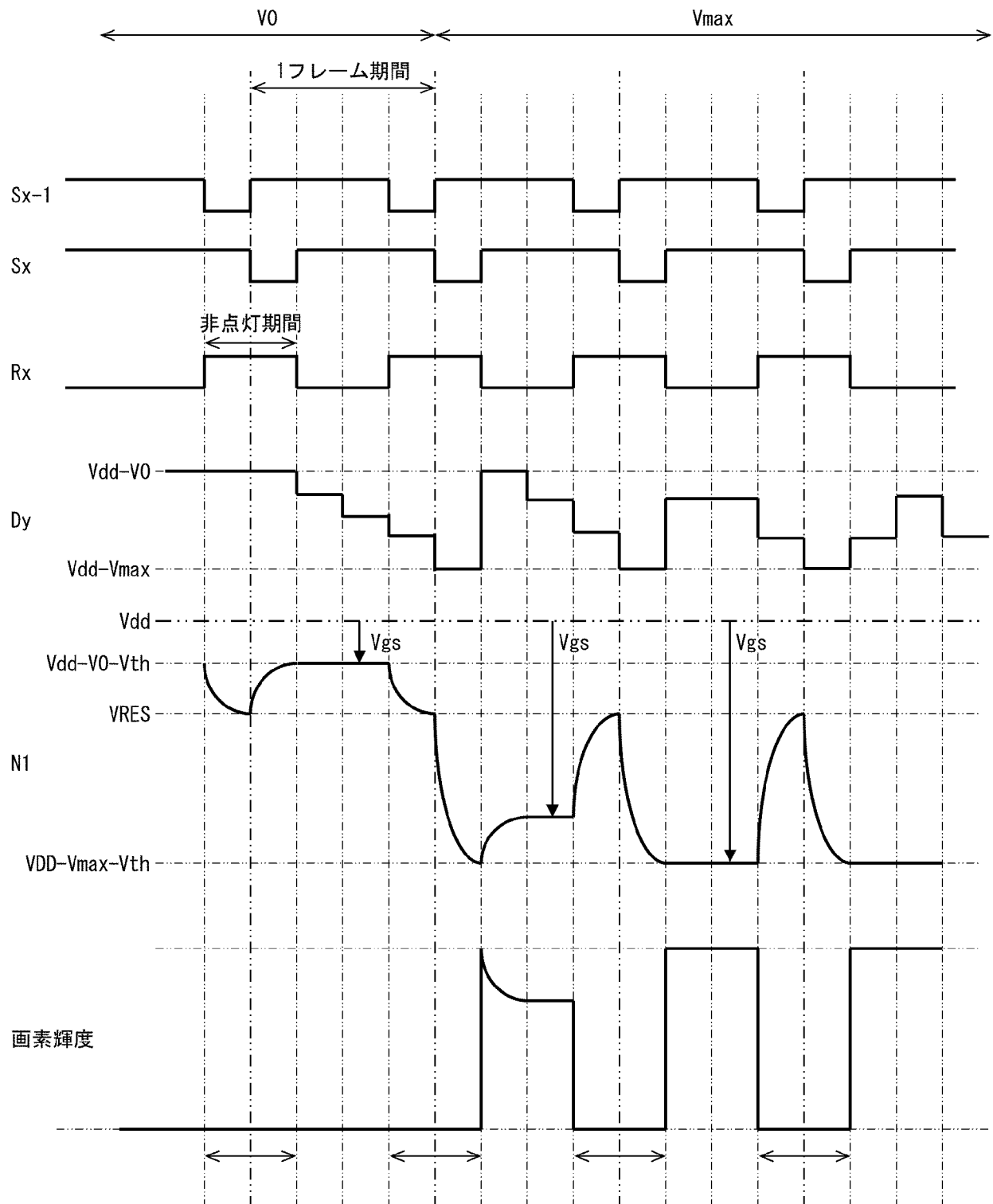
[図18]

図 18



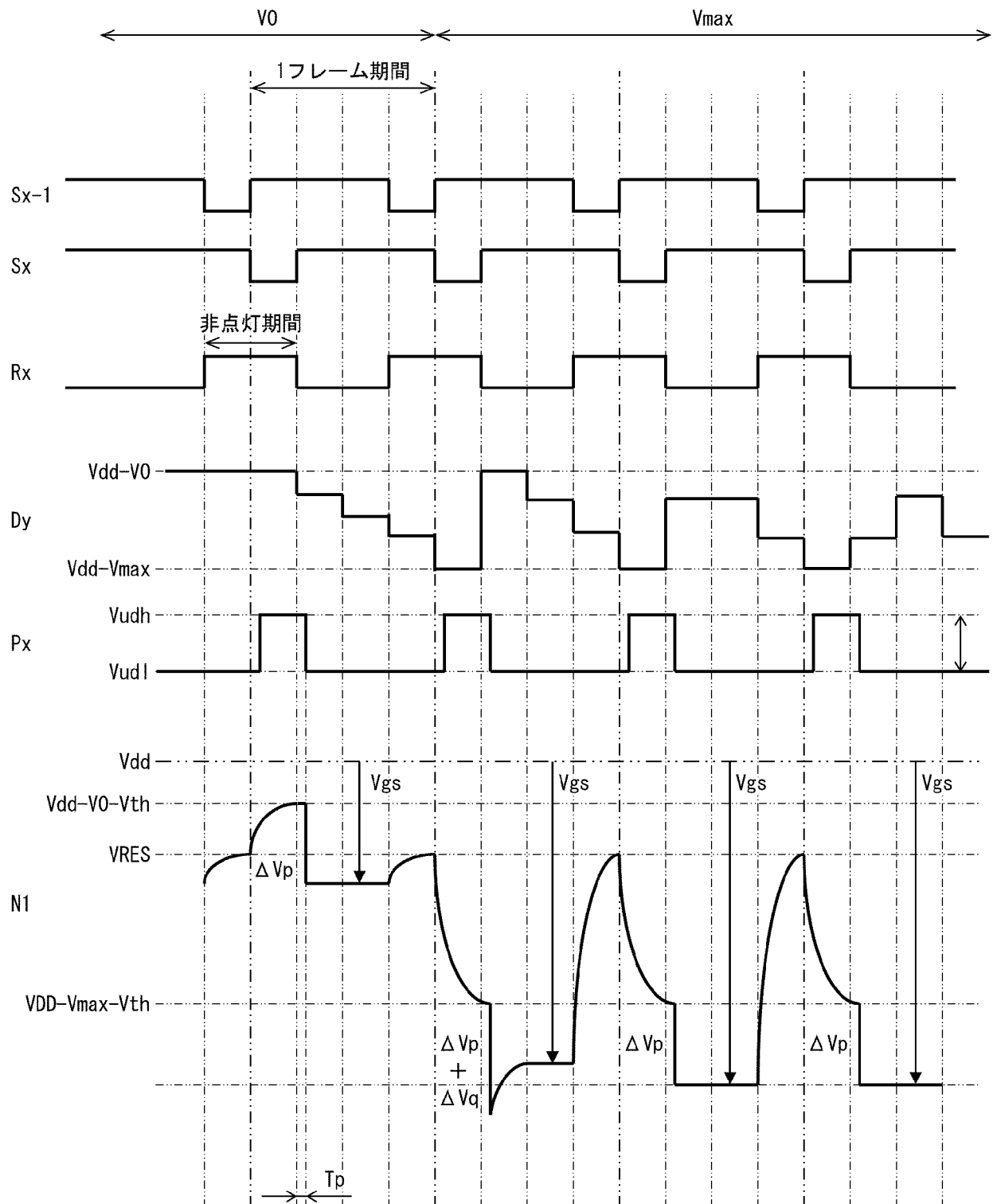
[図19]

図 19



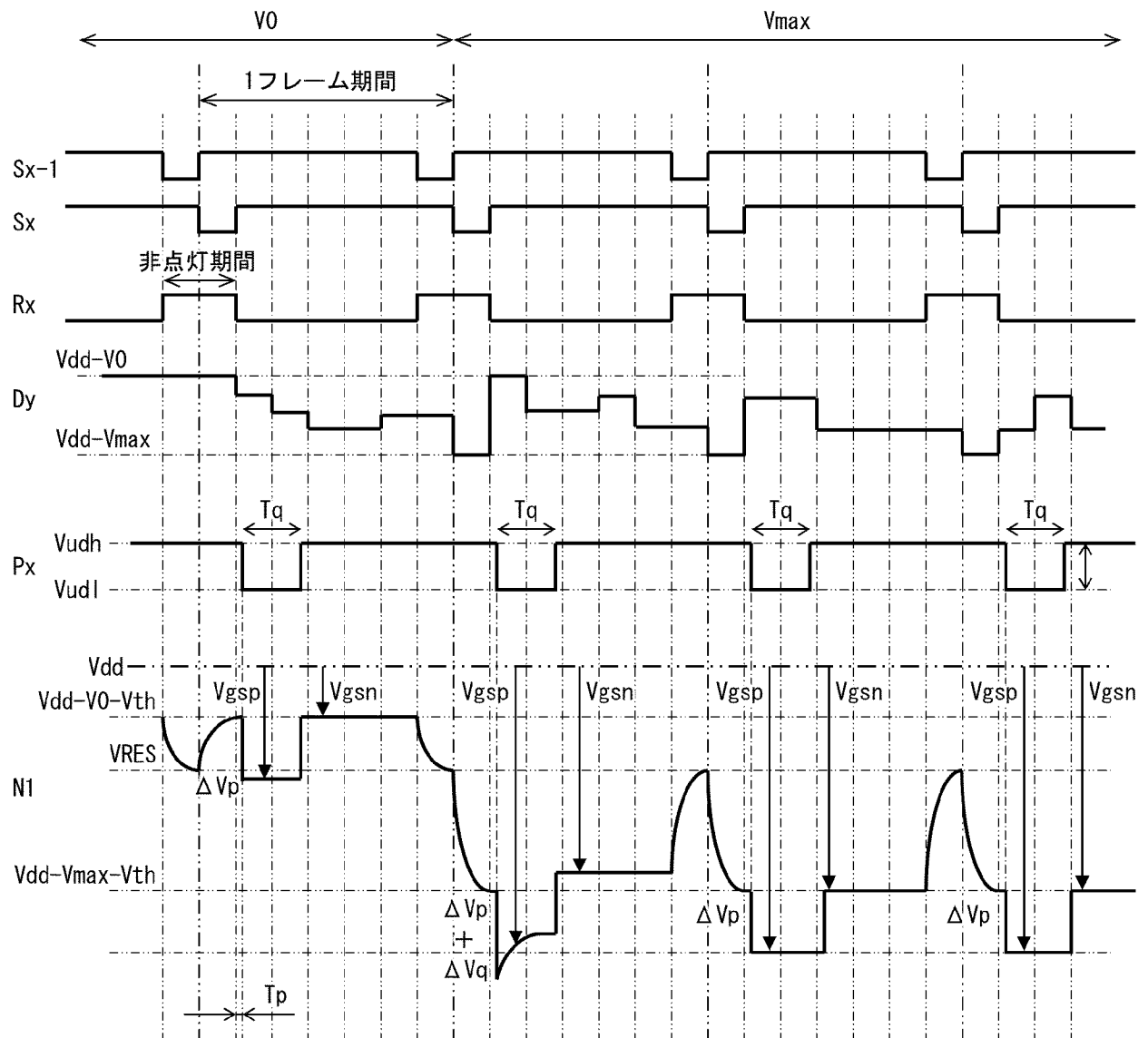
[図20]

図 20



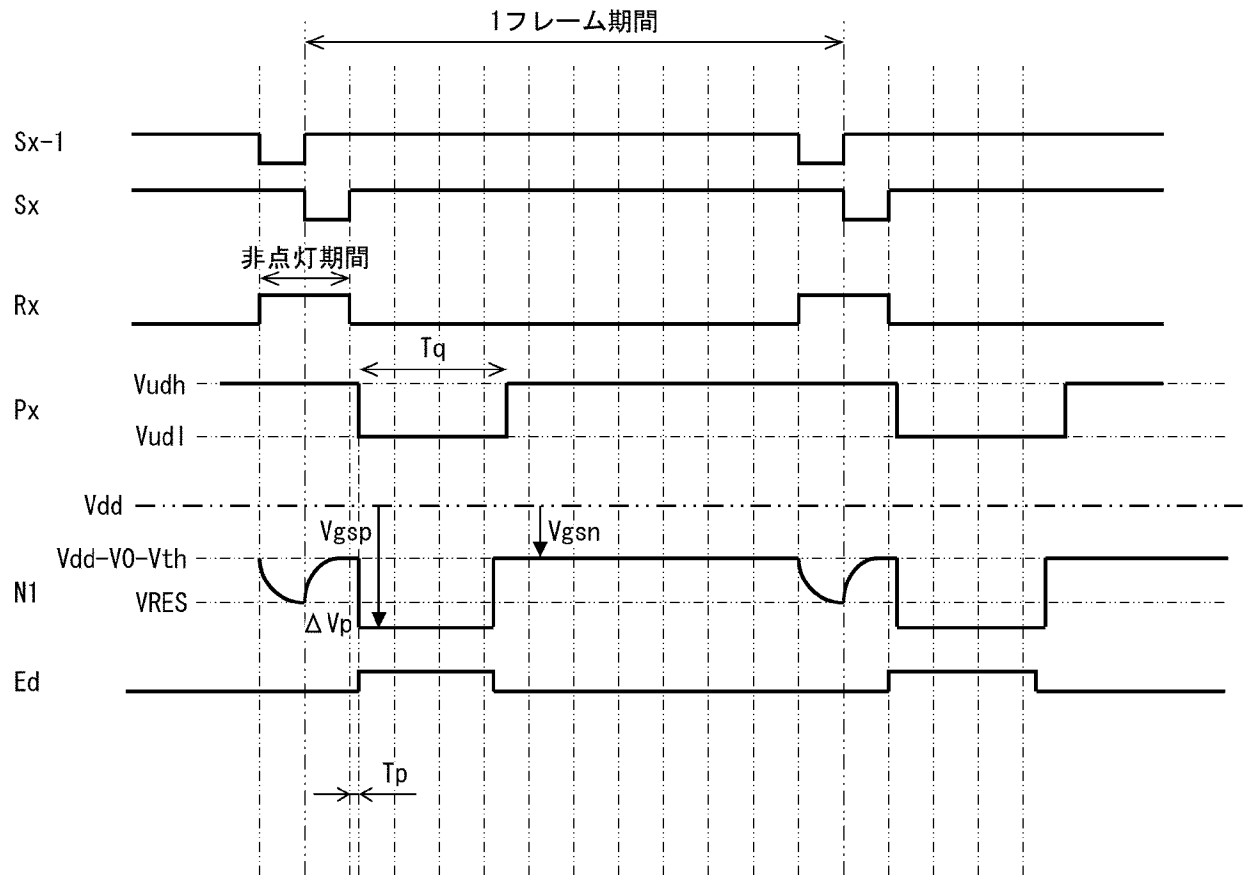
[図21]

図 21



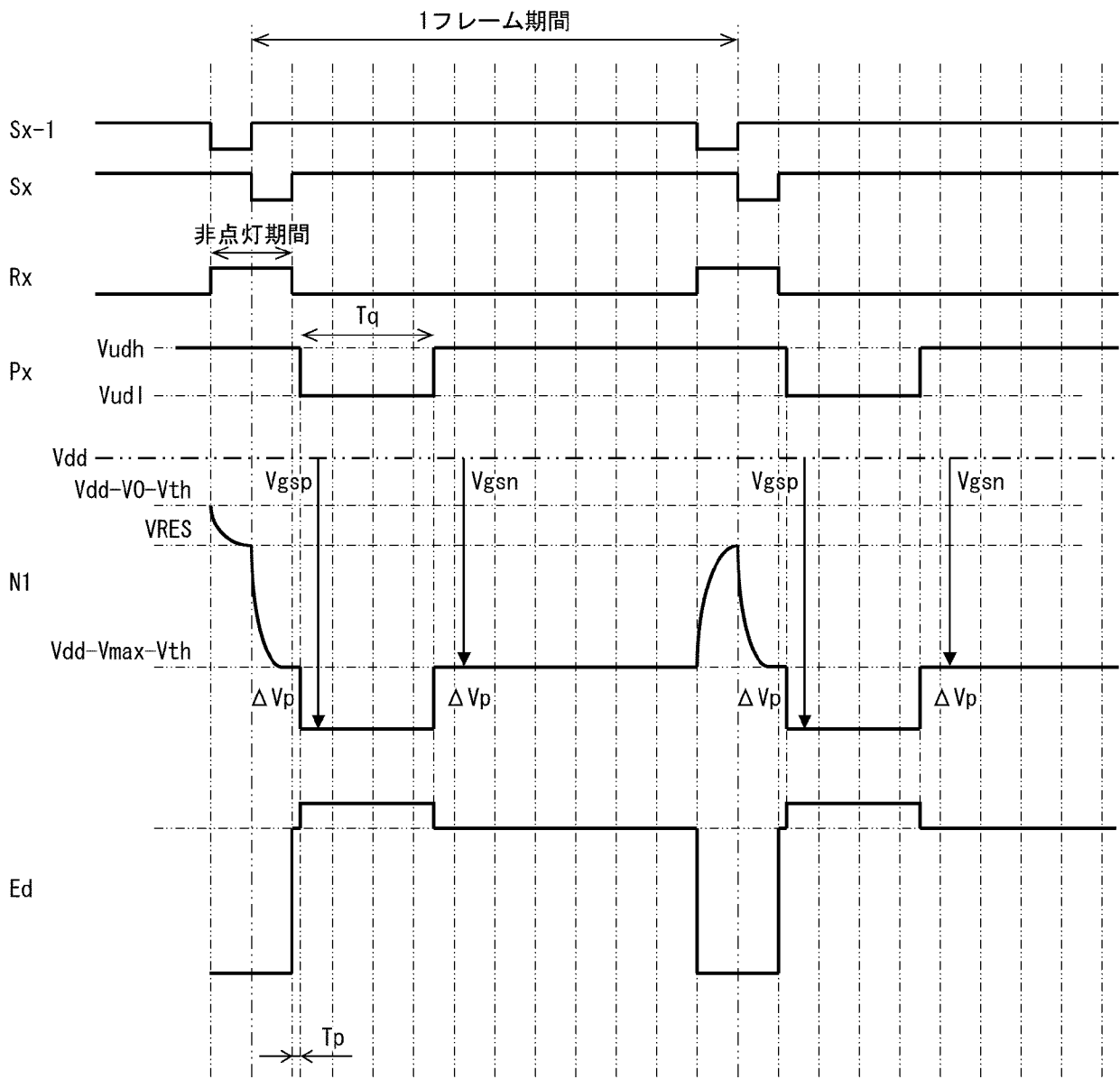
[図22]

図 22



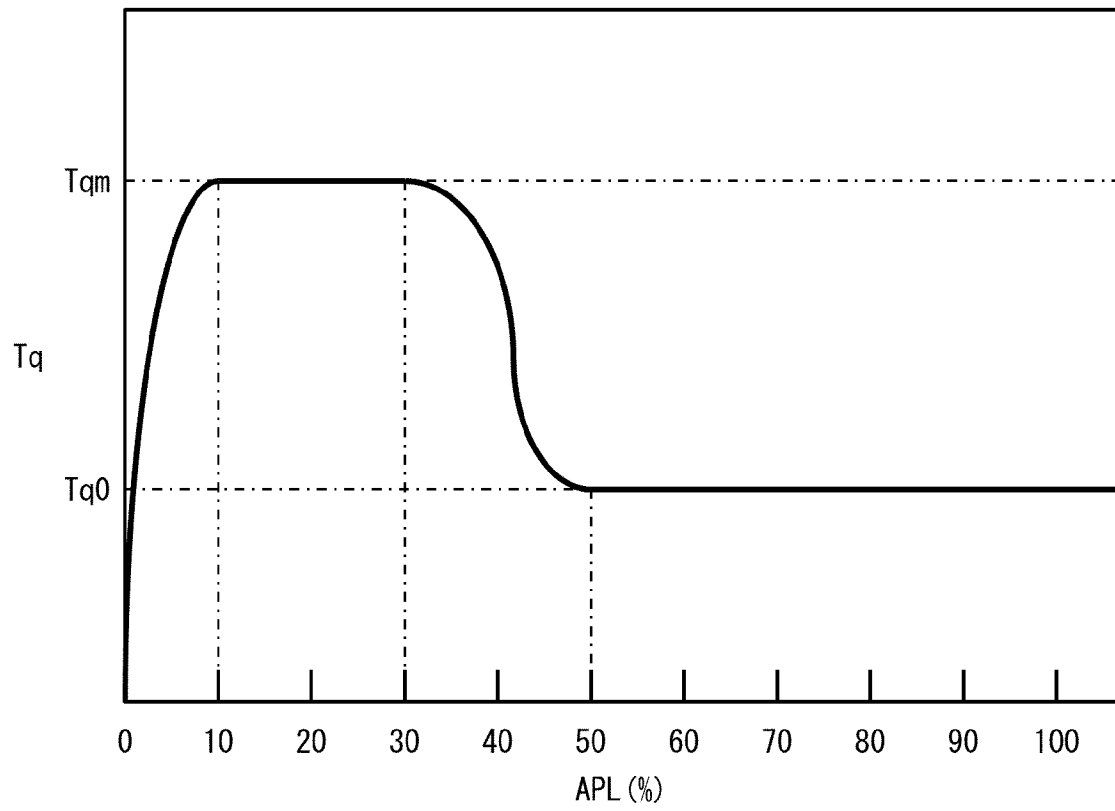
[図23]

図 23



[図24]

図 24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/002447

A. CLASSIFICATION OF SUBJECT MATTER**G09G 3/20**(2006.01)i; **G09G 3/3233**(2016.01)i

FI: G09G3/3233; G09G3/20 624B; G09G3/20 642A; G09G3/20 624C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20; G09G3/3233

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-65218 A (EASTMAN KODAK CO.) 15 March 2007 (2007-03-15)	1-5, 11-12, 14-17
A	paragraphs [0028]-[0047], fig. 1-7D	6-10, 13
X	JP 2013-83825 A (SEIKO EPSON CORP.) 09 May 2013 (2013-05-09)	1-6, 10-12, 14-17
A	paragraphs [0013]-[0053], fig. 1-10	7-9, 13
X	JP 2004-29791 A (SAMSUNG SDI CO., LTD.) 29 January 2004 (2004-01-29)	1-6, 10-12, 14-17
A	paragraphs [0064]-[0070], fig. 13-16	7-9, 13
A	JP 2009-251590 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 29 October 2009 (2009-10-29)	1-17
	paragraphs [0023]-[0056], fig. 1-3	
A	JP 2009-294508 A (SONY CORP.) 17 December 2009 (2009-12-17)	1-17
	entire text, all drawings	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 February 2022

Date of mailing of the international search report

12 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/002447

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-175103 A (SONY CORP.) 08 September 2011 (2011-09-08) entire text, all drawings	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/002447

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2007-65218	A	15 March 2007	US 2009/0015522 A1 paragraphs [0053]-[0071], fig. 1-7D WO 2007/027534 A1	
JP	2013-83825	A	09 May 2013	(Family: none)	
JP	2004-29791	A	29 January 2004	US 2003/0227262 A1 paragraphs [0062]-[0068], fig. 13-16 KR 2003-0095215 A CN 1490779 A	
JP	2009-251590	A	29 October 2009	US 2009/0251392 A1 paragraphs [0020]-[0054], fig. 1-3 KR 10-0916903 B1	
JP	2009-294508	A	17 December 2009	(Family: none)	
JP	2011-175103	A	08 September 2011	US 2011/0205205 A1 entire text, all drawings CN 102163403 A KR 10-2011-0097638 A TW 201142791 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/20(2006.01)i; G09G 3/3233(2016.01)i FI: G09G3/3233; G09G3/20 624B; G09G3/20 642A; G09G3/20 624C		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G09G3/20; G09G3/3233		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2007-65218 A（イーストマン コダック カンパニー）15.03.2007（2007-03-15） [0028]-[0047], [図1]-[図7D]	1-5, 11-12, 14-17 6-10, 13
X A	JP 2013-83825 A（セイコーエプソン株式会社）09.05.2013（2013-05-09） [0013]-[0053], [図1]-[図10]	1-6, 10-12, 14-17 7-9, 13
X A	JP 2004-29791 A（三星エスディアイ株式会社）29.01.2004（2004-01-29） [0064]-[0070], [図13]-[図16]	1-6, 10-12, 14-17 7-9, 13
A	JP 2009-251590 A（三星モバイルディスプレイ株式会社）29.10.2009（2009-10-29） [0023]-[0056], [図1]-[図3]	1-17
A	JP 2009-294508 A（ソニー株式会社）17.12.2009（2009-12-17） 全文, 全図	1-17
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 10.02.2022		国際調査報告の発送日 12.04.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 西島 篤宏 21 9308 電話番号 03-3581-1101 内線 3273

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-175103 A (ソニー株式会社) 08.09.2011 (2011 - 09 - 08) 全文, 全図	1-17

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/002447

引用文献			公表日	パテントファミリー文献	公表日
JP	2007-65218	A	15.03.2007	US 2009/0015522 A1 [0053]-[0071], 図1-図7D WO 2007/027534 A1	
JP	2013-83825	A	09.05.2013	(ファミリーなし)	
JP	2004-29791	A	29.01.2004	US 2003/0227262 A1 [0062]-[0068], 図13-図16 KR 2003-0095215 A CN 1490779 A	
JP	2009-251590	A	29.10.2009	US 2009/0251392 A1 [0020]-[0054], 図1-図3 KR 10-0916903 B1	
JP	2009-294508	A	17.12.2009	(ファミリーなし)	
JP	2011-175103	A	08.09.2011	US 2011/0205205 A1 全文, 全図 CN 102163403 A KR 10-2011-0097638 A TW 201142791 A	