



(12) 发明专利申请

(10) 申请公布号 CN 116134563 A

(43) 申请公布日 2023.05.16

(21) 申请号 202180060149.7

(22) 申请日 2021.07.26

(30) 优先权数据

63/056,344 2020.07.24 US

17/383,878 2021.07.23 US

(85) PCT国际申请进入国家阶段日

2023.01.17

(86) PCT国际申请的申请数据

PCT/US2021/043157 2021.07.26

(87) PCT国际申请的公布数据

W02022/020801 EN 2022.01.27

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 唐逸麒 R·M·穆鲁根

T·A·纳奎尔

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245

专利代理师 徐东升

(51) Int.Cl.

H01F 27/36 (2006.01)

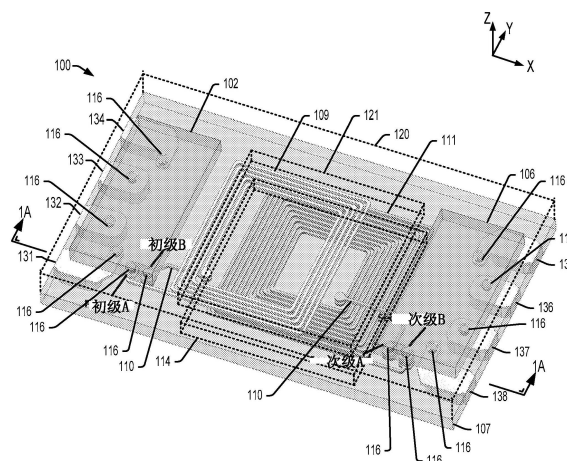
权利要求书3页 说明书9页 附图13页

(54) 发明名称

集成磁性组件

(57) 摘要

一种电子设备包括多层级封装衬底、导电引线、管芯和封装结构。该多层级封装衬底具有第一层级、第二层级和第三层级，每一层级都具有图案化导电特征和模制电介质特征。第一层级包括带有形成第一绕组的多个线匝的第一图案化导电特征。第二层级包括第二图案化导电特征，并且第三层级包括带有形成第二绕组的多个线匝的第三图案化导电特征。管芯的第一端子耦合到第一绕组的第一端，管芯的第二端子耦合到第一绕组的第二端，并且管芯的第三端子耦合到第一导电引线。封装结构包封第一管芯、第二管芯和一部分的多层级封装衬底。



1. 一种电子设备,包括:

多层级封装衬底,其具有第一层级、第二层级和第三层级;所述第一层级、所述第二层级和所述第三层级都具有图案化导电特征和模制电介质特征;所述第一层级包括第一图案化导电特征,所述第一图案化导电特征带有形成具有第一端和第二端的第一绕组的多个线匝;所述第二层级包括第二图案化导电特征;并且所述第三层级包括第三图案化导电特征,所述第三图案化导电特征带有形成具有第一端和第二端的第二绕组的多个线匝;

导电引线;

管芯,其具有第一端子、第二端子和第三端子,所述管芯的所述第一端子耦合到所述第一绕组的所述第一端,所述管芯的所述第二端子耦合到所述第一绕组的所述第二端,并且所述管芯的所述第三端子耦合到第一导电引线;以及

封装结构,其包封所述管芯和一部分的所述多层级封装衬底。

2. 根据权利要求1所述的电子设备,包括具有第一端子、第二端子和第三端子的第二管芯,所述第二管芯的所述第一端子耦合到所述第二绕组的所述第一端,所述第二管芯的所述第二端子耦合到所述第二绕组的所述第二端,并且所述第二管芯的所述第三端子耦合到第二导电引线。

3. 根据权利要求2所述的电子设备,包括附接到所述多层级封装衬底的一个侧面的磁性屏蔽件。

4. 根据权利要求3所述的电子设备,包括附接到所述多层级封装衬底的另一侧面的第二磁性屏蔽件。

5. 根据权利要求4所述的电子设备,其中:

所述管芯和所述第二管芯附接到所述多层级封装衬底的所述侧面;

所述管芯的所述第三端子焊接到所述第一导电引线;并且

所述第二管芯的所述第三端子焊接到所述第二导电引线。

6. 根据权利要求4所述的电子设备,其中:

所述管芯附接到管芯附接焊盘;

所述第二管芯附接到所述管芯附接焊盘或另一管芯附接焊盘;

所述多层级封装衬底附接到所述管芯附接焊盘或又一管芯附接焊盘;并且

所述封装结构包封所述多层级封装衬底和部分的所述导电引线。

7. 根据权利要求2所述的电子设备,其中:

所述管芯和所述第二管芯附接到所述多层级封装衬底的侧面;

所述管芯的所述第三端子焊接到所述第一导电引线;并且

所述第二管芯的所述第三端子焊接到所述第二导电引线。

8. 根据权利要求2所述的电子设备,其中:

所述管芯附接到管芯附接焊盘;

所述第二管芯附接到所述管芯附接焊盘或另一管芯附接焊盘;

所述多层级封装衬底附接到所述管芯附接焊盘或又一管芯附接焊盘;

所述封装结构包封所述多层级封装衬底和部分的所述导电引线。

9. 根据权利要求1所述的电子设备,其中:

所述管芯附接到所述多层级封装衬底的侧面;并且

所述管芯的所述第三端子焊接到所述第一导电引线。

10. 根据权利要求1所述的电子设备, 其中:

所述管芯附接到管芯附接焊盘;

所述多层级封装衬底附接到所述管芯附接焊盘或另一管芯附接焊盘 (2304、2308); 并且

所述封装结构包封所述多层级封装衬底和部分的所述导电引线。

11. 一种磁性组件, 包括:

多层级封装衬底, 其具有第一层级、第二层级和第三层级, 所述第一层级、所述第二层级和所述第三层级都具有图案化导电特征和模制电介质特征;

所述第一层级包括第一图案化导电特征, 所述第一图案化导电特征带有形成具有第一端和第二端的第一绕组的多个线匝;

所述第二层级包括第二图案化导电特征; 以及

所述第三层级包括第三图案化导电特征, 所述第三图案化导电特征带有形成具有第一端和第二端的第二绕组的多个线匝。

12. 根据权利要求11所述的磁性组件, 还包括:

导电引线; 以及

管芯, 其附接到所述多层级封装衬底的侧面, 所述管芯具有第一端子、第二端子和第三端子, 所述管芯的所述第一端子耦合到所述第一绕组的所述第一端, 所述管芯的所述第二端子耦合到所述第一绕组的所述第二端, 并且所述管芯的所述第三端子耦合到第一导电引线。

13. 根据权利要求12所述的磁性组件, 还包括:

第二管芯, 其附接到所述多层级封装衬底的所述侧面, 所述第二管芯具有第一端子、第二端子和第三端子, 所述第二管芯的所述第一端子耦合到所述第二绕组的所述第一端, 所述第二管芯的所述第二端子耦合到所述第二绕组的所述第二端, 并且所述第二管芯的所述第三端子耦合到第二导电引线。

14. 根据权利要求12所述的磁性组件, 包括附接到所述多层级封装衬底的所述侧面的磁性屏蔽件。

15. 根据权利要求14所述的磁性组件, 包括附接到所述多层级封装衬底的另一侧面的第二磁性屏蔽件。

16. 一种用于制造电子设备的方法, 所述方法包括:

制造多层级封装衬底, 其包括:

在载体结构上形成第一层级, 所述第一层级具有第一模制电介质特征和第一图案化导电特征, 所述第一图案化导电特征带有形成第一绕组的多个线匝;

在所述第一层级上形成第二层级, 所述第二层级具有第二图案化导电特征和第二模制电介质特征;

在所述第二层级上形成第三层级, 所述第三层级具有第三模制电介质特征和第三图案化导电特征, 所述第三图案化导电特征带有形成第二绕组的多个线匝; 以及

从所述第一层级移除所述载体结构;

执行电连接工艺, 所述电连接工艺在第一电路中耦合第一管芯和所述第一绕组, 并且

在与所述第一电路隔离的第二电路中耦合第二管芯和所述第二绕组;以及

执行模制工艺,所述模制工艺将一部分的所述多层级封装衬底以及所述第一管芯和所述第二管芯包封在封装结构中。

17.根据权利要求16所述的方法,其中所述电连接工艺包括将所述第一管芯和所述第二管芯焊接到所述多层级封装衬底的侧面。

18.根据权利要求17所述的方法,还包括将磁性屏蔽件附接到所述多层级封装衬底的所述侧面。

19.根据权利要求16所述的方法,还包括将磁性屏蔽件附接到所述多层级封装衬底的侧面。

20.根据权利要求16所述的方法,还包括:

将所述多层级封装衬底附接到引线框架的第一管芯附接焊盘;

将所述第一管芯附接到所述第一管芯附接焊盘;以及

将所述第二管芯附接到所述引线框架的第二管芯附接焊盘。

集成磁性组件

背景技术

[0001] 隔离变压器具有线圈,用于在电力转换、通信和其他应用中将两个或更多个电路彼此隔离。隔离变压器可以制造成层压结构。然而,层压变压器存在成本高、主体尺寸和厚度的形状因数大、设计规则参数粗略以及在生产或使用中存在分层风险等问题。

发明内容

[0002] 在一个方面,一种电子设备包括多层级封装衬底、导电引线、管芯和封装结构。该多层级封装衬底具有第一层级、第二层级和第三层级,每一层级都具有图案化导电特征和模制电介质特征。第一层级包括第一图案化导电特征,该第一图案化导电特征带有形成第一绕组的多个线匝。第二层级包括第二图案化导电特征,并且第三层级包括第三图案化导电特征,该第三图案化导电特征带有形成第二绕组的多个线匝。管芯的第一端子耦合到第一绕组的第一端,管芯的第二端子耦合到第一绕组的第二端,并且管芯的第三端子耦合到第一导电引线。封装结构包封第一管芯、第二管芯和一部分的多层级封装衬底。

[0003] 在另一方面,一种磁性组件包括具有第一层级、第二层级和第三层级的多层级封装衬底。第一层级、第二层级和第三层级中的每一个都具有图案化导电特征和模制电介质特征。第一层级包括第一图案化导电特征,该第一图案化导电特征带有形成具有第一端和第二端的第一绕组的多个线匝。第二层级包括第二图案化导电特征。第三层级包括第三图案化导电特征,该第三图案化导电特征带有形成具有第一端和第二端的第二绕组的多个线匝。

[0004] 在又一方面,一种用于制造电子设备的方法包括制造多层级封装衬底。多层级封装衬底包括:在载体结构上形成第一层级,第一层级具有第一模制电介质特征和第一图案化导电特征,第一图案化导电特征带有形成第一绕组的多个线匝;在第一层级上形成第二层级,其中第二层级具有第二图案化导电特征和第二模制电介质特征;以及在第二层级上形成第三层级,其中第三层级具有第三模制电介质特征和第三图案化导电特征,第三图案化导电特征带有形成第二绕组的多个线匝。该方法还包括:从第一层级移除载体结构;执行电连接工艺,该电连接工艺在第一电路中耦合第一管芯和第一绕组,并且在与第一电路隔离的第二电路中耦合第二管芯和第二绕组;以及执行模制工艺,该模制工艺将一部分的多层级封装衬底以及第一管芯和第二管芯包封在封装结构中。

附图说明

[0005] 图1是包括磁性组件的封装电子设备的俯视透视图,该磁性组件具有在多层级封装衬底中形成的初级线圈绕组和次级线圈绕组以及磁性屏蔽件。

[0006] 图1A是沿着图1中的线1A-1A截取的多层级封装衬底的局部截面侧立面图。

[0007] 图1B是图1和图1A的多层级封装衬底的俯视平面图。

[0008] 图2是用于制造电子设备的方法的流程图。

[0009] 图3-图22是根据图2的方法进行制造的图1的电子设备的局部侧立面图。

[0010] 图23是具有磁性组件的另一封装电子设备的俯视透视图,该磁性组件具有在多层级封装衬底中形成的初级线圈绕组和次级线圈绕组以及磁性屏蔽件。

[0011] 图23A是图23的多层级封装衬底中的导电迹线层的俯视透视图。

[0012] 图23B是图23和图23A的多层级封装衬底中的导电迹线层的侧立面图。

[0013] 图23C是图23、图23A和图23B的多层级封装衬底的俯视平面图。

[0014] 图24是用于制造电子设备的另一种方法的流程图。

具体实施方式

[0015] 在附图中,相同的附图标记自始至终指代相同的元件,并且各种特征不一定按比例绘制。此外,术语“耦合”或“耦接”包括间接或直接电连接或机械连接或其组合。例如,如果第一设备耦合到第二设备或与第二设备耦合,则该连接可以通过直接电连接,或者通过经由一个或多个中间设备和连接件的间接电连接。在下文中,各种电路、系统和/或部件的一个或多个操作特性在功能的上下文中进行描述,在某些情况下,这些功能是在电路系统通电和操作时各种结构的配置和/或互连所导致的。

[0016] 参照图1、图1A和图1B,图1示出了在集成封装件中具有导电引线、一个或多个半导体管芯以及包括多层级封装衬底的磁性组件的封装电子设备100的俯视透视图。电子设备100包括与第一电压域相关联的第一电路(例如,集成功率设备或通信设备的高压初级电路)以及与第二电压域相关联的第二电路(例如,隔离的较低电压次级电路)。电子设备100包括第一半导体管芯102,该第一半导体管芯102具有在第一电路(例如在一个示例中的初级电路)中互连的电子部件。图1A示出了多层级封装衬底的局部截面侧立面图,而图1B示出了图1和图1A的多层级封装衬底的俯视平面图。

[0017] 电子设备100还包括第二半导体管芯106,该第二半导体管芯106具有连接在第二电路(例如图示示例中的次级电路)中的内部电子部件。第一半导体管芯102和第二半导体管芯106均包括提供与其他结构的电互连以形成相应的第一电路和第二电路的多个导电端子。在图示的示例中,半导体管芯102和106中的每一个都包括形成为铜柱的六个导电端子,这些铜柱可以被电镀并焊接到导电特征以形成电路连接件。相应半导体管芯102和106的一些导电端子焊接到电子设备100的导电引线,并且其他导电端子焊接到磁性组件的导电特征。

[0018] 电子设备100包括多层级封装衬底107,该多层级封装衬底107具有第一层级、第二层级和第三层级,第一层级包括第一迹线层T1和第一通孔层V1(图1A),第二层级包括第二迹线层T2和第二通孔层V2,第三层级包括第三迹线层T3和第三通孔层V3。在其他示例中,多层级封装衬底包括多于或少于三个层级。第一、第二和第三层级的T1、V1、T2、V2、T3、V3中的每一个都具有图案化导电特征(例如,铜、铝或其他导电金属)以及不同导电特征之间和相邻层级之间的压缩模制电介质特征。在一个示例中,模制电介质特征是或包括电绝缘介电材料,其中相应层级中的厚度和材料根据给定设计的第一电路和第二电路之间的期望电压间隔提供耐受电压。

[0019] 第一层级包括第一迹线层T1中的第一图案化导电特征109。第一图案化导电特征109具有形成第一绕组(例如,初级绕组)的多个线匝。第一绕组具有第一端和第二端,每一端电连接到第一半导体管芯102的相应导电端子以耦合第一电路中的初级绕组。第二层级

包括第二迹线层T2中的第二图案化导电特征110。第三层级包括第三图案化导电特征111和第三迹线层T3。第三图案化导电特征111包括形成具有第一端和第二端的第二绕组(例如,次级绕组)的多个线匝。第二迹线层T2中的第二图案化导电特征110的两个分离部分为相应的初级绕组和次级绕组提供返回连接。第二绕组的第一端和第二端电连接到第二半导体管芯106的相应导电端子,以耦合第二电路中的次级绕组。该示例中的第一层级、第二层级和第三层级均具有导电通孔113,其中一些导电通孔在附图中用数字表示。通孔113电互连不同层级的某些导电迹线特征。

[0020] 图1、图1A和图1B中的磁性组件包括第一(例如,下部)磁性屏蔽件114,该第一磁性屏蔽件114通过非导电环氧树脂115附接到多层级封装衬底107的底侧。在该示例中,第一迹线层T1还包括通过对第一迹线层T1的铜材料进行选择性的回蚀而形成的底切部或阶梯状特征。在该示例中,蚀刻特征包括形成第一绕组的第一图案化导电特征109。第一迹线层T1的较高(例如,未蚀刻的)部分通过焊接到相应的第一半导体管芯102和第二半导体管芯106的对应导电端子来提供用于电连接的电触点116。

[0021] 电子设备100还包括封装结构120,该封装结构120包封第一管芯102、第二管芯106和一部分的多层级封装衬底107。在一个示例中,封装结构120是或包括模制材料,例如塑料。在另一示例中,封装结构120是或包括陶瓷材料。

[0022] 该示例中的磁性组件还包括第二(例如,上部)磁性屏蔽件121,该第二磁性屏蔽件121通过非导电环氧树脂115附接到多层级封装衬底107的顶侧。该示例中的封装结构120还包封第二磁性屏蔽件121。在另一示例中,省略第一磁性屏蔽件114和第二磁性屏蔽件121之一。在另一示例中,省略磁性屏蔽件114和121两者。当被包括时,磁性屏蔽件114和121有利地减少或减轻从外部源进入第一电路和第二电路的磁场和电场耦合,并减少从第一电路和第二电路到主机系统中的外部部件的电磁干扰(EMI)、射频干扰(RFI)和其他辐射。此外,磁性屏蔽件114和121便于与由相应的图案化导电特征109和111形成的初级绕组和次级绕组组合形成磁路(例如,变压器)。在一个示例中,第一磁性屏蔽件114与第二磁性屏蔽件121的大小相同。在另一示例中,第一磁性屏蔽件114大于第二磁性屏蔽件121。在另一示例中,第一磁性屏蔽件114小于第二磁性屏蔽件121。在一个示例中,磁性屏蔽件114和121中的一个或两个是使用非导电环氧树脂糊115附接的预制磁芯。在另一示例中,磁性屏蔽件114和121中的一个或两个是或包括形成在多层级封装衬底107的相应一侧或多侧上的厚磁糊层。

[0023] 如图1最佳所示,封装结构120具有沿着第一方向(例如,附图中标示的X方向)彼此隔开的相应第一侧和第二侧。封装结构120的细长横向侧沿着正交的第二方向(例如,Y方向)彼此隔开,并且电子设备100的顶部和底部沿着正交的第三方向(例如,Z方向)彼此隔开。

[0024] 电子设备100还包括沿着封装结构120的底部和第一横向侧延伸的导电引线131、132、133和134,以及沿着封装结构120的底部和第二横向侧延伸的导电引线135、136、137和138。在一个示例中,导电引线131-138是或包括铜、铝或其他合适的导电金属,并且作为制造多层级封装衬底107的一部分而形成。导电引线131-138的一些部分沿电子设备100的底侧暴露,以便于与诸如印刷电路板(PCB,未示出)的主机系统的焊接或其他电连接。

[0025] 在一个示例中,如图1所示,第一半导体管芯102包括耦合到第一绕组的第一端的第一端子、耦合到第一绕组的第二端的第二端子,以及耦合到导电引线131-134中的相应导

电引线的第三、第四、第五和第六导电端子。此外,该示例中的第二半导体管芯106具有耦合到第二绕组的第一端的第一端子、耦合到第二绕组的第二端的第二端子,以及耦合到导电引线135-138中的相应导电引线的第三、第四、第五和第六导电端子。

[0026] 与层压变压器设计相比,多层级封装衬底107提供了改进的结构完整性和减小的尺寸,并且有助于在电压隔离和小设备尺寸很重要的汽车、工业或其他应用中实现具有高电压隔离的小形状因数集成电子设备。在其他示例中,多层级封装衬底107是封装电子设备(例如,下面的图23)中的部件,并且可以用于具有对称或非对称磁性组件定位的产品中,以提供可扩展的解决方案来适应具有不同电场水平、效率和/或EMI性能规范的设计。例如,多层级封装衬底107可以在磁性组件中实现,该磁性组件与一个或多个半导体管芯一起安装在共享管芯附接焊盘上,或者磁性组件可以单独地安装在导电支撑结构上或多个隔离管芯附接焊盘的一些部分上,多个隔离管芯附接焊盘与如图23的示例所示的集成半导体管芯和相关联的导电管芯附接焊盘隔开。

[0027] 现在参照图2-图22,图2示出了用于制造电子设备的方法200,并且图3-图22示出了根据该方法200进行制造处理的示例电子设备100。在201处,方法200包括制造多层级封装衬底107。在一个示例中,201处的多层级封装衬底制造包括在载体结构上形成第一层级(例如T1、V1)、在第一层级上形成第二层级(例如T2、V2)以及在第二层级上形成第三层级(例如T3、V3),之后将载体结构从第一层级移除。

[0028] 图3-图6示出了在一个示例中使用电镀工艺300和图案化电镀掩模301形成多层级封装衬底107的第一层级。图示示例形成具有第一模制电介质特征的第一层级、带有形成第一绕组的多个线匝的第一图案化导电特征109以及导电引线131-138的初始部分。第一层级形成开始于使用不锈钢载体302形成第一迹线层T1,不锈钢载体302例如为具有多个预期封装衬底部分的面板或条带,其中一个如图3所示。载体结构302在载体结构302的相应底侧和顶侧上包括薄铜种子层303和304,以便于通过工艺300进行电镀。电镀工艺300在通过图案化电镀掩模301暴露出的载体结构的顶侧的部分中将铜沉积到上部种子层304上。

[0029] 图4示出在工艺300完成并且电镀掩模301已被移除以形成第一通孔层V1之后的多层级封装衬底107。图4中使用图案化的第二电镀掩模401执行第二电镀工艺400(例如,铜柱电镀工艺)。电镀工艺400还沉积铜以在由第二电镀掩模401暴露出的区域中形成第一通孔层级V1的通孔113和导电引线131-138的另外部分。在工艺400完成之后,移除第二电镀掩模401。

[0030] 图5和图6示出了形成第一层级中的第一模制电介质特征。图5中的压缩模制工艺500在第一迹线层T1的导电特征(例如,线圈109)和第一通孔层V1的通孔(例如,113)的暴露部分上形成模制电介质特征501至覆盖第一迹线层T1和第一通孔层V1的初始厚度。在图6中执行研磨工艺600,其研磨模制电介质材料501的上部,并暴露第一迹线层T1和第一通孔层V1的上部。在另一示例中,使用化学蚀刻。在又一示例中,使用化学机械抛光工艺。

[0031] 图7-图10示出了形成多层级封装衬底107的第二层级,包括形成第二迹线层T2、第二通孔层V2和第二模制电介质特征。在一个示例中,用于形成第二层级的处理类似于用于形成第一层级的处理,尽管不是所有可能实施方式的要求。在图示示例中,第二层级处理在第一层级的T1、V1上形成第二层级的T2、V2,其中第二层级T2、V2具有第二图案化导电特征110和第二模制电介质特征。图7示出了利用图案化电镀掩模701进行电镀工艺700的多层级

封装衬底107。电镀工艺700将铜沉积到通过电镀掩模701暴露出的已完成的第一层级的一些部分的顶侧上,以形成包括第二图案化导电特征110和导电引线131-138的另外部分的第二迹线层T2。在工艺700完成之后,移除电镀掩模701。

[0032] 图8示出了使用另一电镀掩模801进行另一电镀工艺800(例如,铜柱电镀工艺)的多层级封装衬底107。电镀工艺800进一步沉积铜,以便在由电镀掩模801暴露出的区域中形成第二通孔层级V2的通孔113和导电引线131-138的另外部分。在工艺800完成之后,移除电镀掩模801。

[0033] 图9和图10示出了使用压缩模制和研磨在第二层级中形成第二模制电介质特征。在图9中执行压缩模制工艺900,该工艺在第二迹线层T2的导电特征(例如,线圈返回部分110)和第二通孔层V2的通孔(例如,113)的暴露部分上形成模制电介质特征901至覆盖第二迹线层T2和第二通孔层V2的初始厚度。在图10中执行研磨工艺1000,该工艺研磨模制电介质材料901的上部,并暴露出第二迹线层T2和第二通孔层V2的上部。在另一示例中,使用化学蚀刻。在又一示例中,使用化学机械抛光工艺。

[0034] 图11-图14示出了形成多层级封装衬底107的第三层级,包括形成第三迹线层T3、第三通孔层V3和第三模制电介质特征。在一个示例中,用于形成第三层级的处理类似于用于形成第一层级和第二层级的处理,尽管不是所有可能实施方式的要求。在图示示例中,第三层级处理在第二层级的T2、V2上形成第三层级的T3、V3,其中第三层级的T3、V3具有第三模制电介质特征、带有形成第二绕组的多个线匝的第三图案化导电特征111以及导电引线131-138的另外部分。

[0035] 图11示出了利用图案化电镀掩模1101进行电镀工艺1100的多层级封装衬底107。电镀工艺1100将铜沉积到通过图案化电镀掩模1101暴露出的已完成第二层级的部分的顶侧上,以形成包括第三图案化导电特征111和导电引线131-138的另外部分的第三迹线层T3。在工艺1100完成之后,移除电镀掩模1101。

[0036] 图12示出了使用另一电镀掩模1201进行另一电镀工艺1200(例如,铜柱电镀工艺)的多层级封装衬底107。电镀工艺1200进一步沉积铜,以便在由电镀掩模1201暴露出的区域中形成第三通孔层级V3的通孔113和导电引线131-138的另外部分。在电镀工艺1200之后,移除电镀掩模1201。

[0037] 图13和图14示出了使用压缩模制和研磨在第三层级中形成第三模制电介质特征。在图13中执行压缩模制工艺1300,该工艺在第三迹线层T3的导电特征和第三通孔层V3的通孔(例如113)的暴露部分上形成模制电介质特征1301至覆盖第三迹线层T3和第三通孔层V3的初始厚度。在图14中执行研磨工艺1400,该研磨工艺1400研磨模制电介质材料1301的上部,并暴露出第三迹线层T3和第三通孔层V3的上部。在另一示例中,使用化学蚀刻。在又一示例中,使用化学机械抛光工艺。

[0038] 还参照图15-图17,图示的多层级封装衬底107具有集成引线131-138,这些引线131-138沿着图15和图16中的Z方向进一步延伸。在图15中,使用掩模1501执行进一步的电镀或其他沉积工艺1500。工艺1500进一步延伸导电引线131-138的Z方向尺寸,并且通过图16中的工艺1600移除掩模1501。在图17中,执行移除工艺1700,该工艺从多层级封装衬底107的第一层级移除载体结构302、303、304。

[0039] 图2中的方法200还包括202处的管芯附接和焊接,以将一个或多个半导体管芯焊

接到多层级封装衬底107的顶侧。该示例中的焊接提供了电连接工艺,该电连接工艺在第一电路中耦合第一管芯102和第一绕组,并且在与第一电路隔离的第二电路中耦合第二半导体管芯106和第二绕组。在图18中,焊料被施加(例如,浸渍或以其他方式沉积)到半导体管芯102和106的导电端子的底侧上,并且半导体管芯102和106与相应的端子一起放置在第一迹线层T1的相应电触点116上或上方。执行热焊料回流工艺1800,该工艺将管芯端子焊接到触点116。

[0040] 方法200还包括在203和204处将一个或多个磁性屏蔽件附接到多层级封装衬底107的一侧或两侧。在203处,上部磁性屏蔽件121由非导电环氧树脂115在半导体管芯102和106之间并且至少部分地在多层级封装衬底107的第一绕组和第二绕组的部分上方横向地附接到多层级封装衬底107的顶侧。图19示出了其中执行附接工艺1900的示例,该附接工艺1900使用环氧树脂115将磁性屏蔽件121附接到多层级封装衬底107的顶侧。在图2中的204处,下部磁性屏蔽件114通过非导电环氧树脂115在多组引线之间并且至少部分地在多层级封装衬底107的第一绕组和第二绕组的部分下方横向地附接到多层级封装衬底107的底侧。图20示出了其中执行附接工艺2000的示例,该附接工艺2000使用环氧树脂115将磁性屏蔽件114附接到多层级封装衬底107的底侧。

[0041] 方法200在图2中的206处继续进行封装模制。图12示出了其中执行模制工艺2100的一个示例,该模制工艺2100将多层级封装衬底107的一部分、上部磁性屏蔽件121、第一管芯102和第二管芯106包封在封装结构120中。在图22中执行封装分离工艺2200(例如,锯切、激光切割等),该工艺在图2中的208处将个体封装电子设备100与同时处理的设备的面板分开。

[0042] 成品电子设备100(例如,图1、图1A、图1B、图22)已经集成了引线131-138和半导体管芯102、106,以提供适合于焊接到主机PCB的小形状因数的独立产品。多层级封装衬底107允许通过掩模设计和工艺参数选择的设计灵活性,以便为具有低制造风险的各种应用提供隔离解决方案,并允许使用顶部磁性屏蔽件121和/或底部磁性屏蔽件114来阻挡从线圈到敏感金属引线的不期望的噪声耦合。具有一个或多个屏蔽体的示例有助于更好的线圈性能,例如品质因数、DC/AC电阻、降低的噪声耦合等。在一个示例实施方式中,电子设备100大约200 μm 厚,具有5 $\times$ 3mm的横向尺寸以及初级与次级变压器匝数比 $n=1.6$ 。

[0043] 在该示例中,三层封装衬底107的介电层是或包括MJ1 ABF RLF介电材料,并且封装结构120是或包括Carsem/TITL模制化合物。此外,在该示例中,多层级封装衬底107具有以下以 μm 为单位的尺寸:迹线1回蚀深度,最小0,最大5;迹线1厚度,最小25、目标35,最大45;通孔1厚度,目标35;迹线2厚度,最小25,目标35,最大45;通孔2厚度,目标35;迹线3厚度,最小20,目标30,最大40;通孔3厚度,目标30;通孔2回蚀,目标5,最大10;SMT螺柱,最小20,目标30,最小40;以及预模厚度,最小170,目标200,最大230。在一个示例中,引线131-138的全部或部分或包括如上所述作为衬底制造处理的一部分而形成的铜螺柱。在另一示例中,所有或部分导电引线是或包括焊球。在一个示例中,磁性屏蔽件具有279 μm 的Z方向厚度,并且非导电环氧树脂115约为25 μm 厚。

[0044] 参照图23-图23C,图23示出了小外形集成电路(SOIC)封装类型中的另一示例封装电子设备2300,其在相对的第一侧和第二侧上的鸥翼引线沿标记为“X”的第一方向彼此间隔开。可以在不同的实施方式中提供其他封装电子设备类型和形式,其具有可以焊接到用

于电互连的另一个或多个结构的导电特征,例如所谓的无引线封装类型(例如,扁平无引线封装,诸如四方扁平无引线(QFN)、双扁平无引线(DFN)、微引线框架(MLF)和小外形无引线(SON)类型,其具有平面导电引线,例如在封装底部和/或侧面上提供到印刷电路板(PCB)的电连接的周边焊盘。在其他示例中,设备2300包括球栅阵列(BGA)封装或焊盘栅阵列(LGA)类型,例如模具阵列工艺球栅阵列(MAPBGA)或过模BGA(例如,塑料BGA或PBGA)。示例电子设备2300为第一电路和第二电路提供电互连,这些电互连中的一些或全部使用键合线来实现。在其他实施方式中,可以使用不同形式的互连类型,包括基于衬底的互连(BGA、LGA等),其中衬底单独或与键合线电连接件相结合地包括电互连和信号布线结构(例如,一个或多个层或层级上的铜或铝迹线)。

[0045] 如图23所示,示例设备2300包括用于安装和支撑第一和第二半导体管芯和层压磁性组件的导电特征(例如,导电管芯附接焊盘或支撑件)。管芯附接焊盘和设备引线可以包括任何合适的导电结构,例如铜、铝等。图23中的示例设备2300包括附接到起始引线框架组件的第一导电管芯附接焊盘2304的第一半导体管芯2302。设备2300还包括附接到第二导电管芯附接焊盘2308的第二半导体管芯2306。电子设备2300还包括附接到管芯附接焊盘2304和2308的多层级封装衬底2307。该示例中的多层级封装衬底2307类似于多层级封装衬底107,但具有形成在第一层级和第二层级中的端子,以用于电子设备2300中的键合线连接,而不是可焊接的引线。在其他实施方式中,多层级封装衬底具有用于焊接到主机PCB或其他衬底的导电引线的组合,以及用于键合线连接的端子。

[0046] 电子设备2300包括与第一电压域相关联的第一电路和与第二电压域相关联的第二电路。电子设备2300包括附接到第一管芯附接焊盘2304的第一半导体管芯2302。第一半导体管芯2302中具有在第一电路(例如一个示例中的初级电路)中互连的电子部件。图23A示出了多层级封装衬底2307中的导电迹线层的俯视透视图。图23B示出多层级封装衬底2307中的导电迹线层的侧立面图,并且图23C示出多层级封装衬底2307的俯视平面图。

[0047] 电子设备2300还包括附接到第二管芯附接焊盘2308的第二半导体管芯2306。第二半导体设备2306具有连接在第二电路(例如图示示例中的次级电路)中的内部电子部件。第一半导体管芯2302和和第二半导体管芯2306均包括多个导电端子(例如铜柱),这些导电端子提供用于键合线连接2346的连接点,以形成与其他结构的电互连,从而形成相应的第一电路和第二电路。相应半导体管芯2302和2306的一些导电端子焊接到电子设备2300的导电引线,并且其他导电端子焊接到多层级封装衬底2307的导电特征。在一个示例中,第一半导体管芯2302和和第二半导体管芯2306是在管芯上具有电镀铜立柱(例如,铜柱凸起)的凸起管芯,在图1的示例中,该凸起管芯被焊接到多层级封装衬底107的顶侧中的导电特征,或者在图23的示例中,该凸起管芯被线键合到相应的电路连接件。

[0048] 多层级封装衬底2307具有包括第一迹线层T1和第一通孔层V1(例如,图23B)的第一层级,包括第二迹线层T2和第二通孔层V2的第二层级,以及包括第三迹线层T3和第三通孔层V3的第三层级。在其他示例中,多层级封装衬底包括多于或少于三个层级。第一、第二和第三层级的T1、V1、T2、V2、T3、V3中的每一个都具有图案化的导电特征(例如,铜、铝或其他导电金属)以及不同导电特征之间和相邻层级之间的压缩模制电介质特征。在一个示例中,模制电介质特征是或包括电绝缘介电材料,其中相应层级中的厚度和材料根据给定设计的第一电路和第二电路之间的期望电压间隔提供耐受电压。在一个示例中,可以根据如

上所示和所述的图2中的201处的处理来制造多层级封装衬底2307。

[0049] 多层级封装衬底2307的第一层级包括第一迹线层T1中的第一图案化导电特征2309。第一图案化导电特征2309具有形成一对第一绕组(例如,初级绕组)的多个线匝。个体第一绕组各自具有第一端和第二端,其中每一端电连接到多层级封装衬底2307的相应导电端子以耦合第一电路中的初级绕组。第二层级包括第二迹线层T2中的第二图案化导电特征2310。第三层级包括第三图案化导电特征2311和第三迹线层T3。第三图案化导电特征2311包括形成一对第二绕组(例如,次级绕组)的多个线匝,每个第二绕组具有第一端和第二端。第二迹线层T2中的第二图案化导电特征2310的一些部分为相应的初级绕组和次级绕组提供返回连接。第二绕组的第一端和第二端电连接到多层级封装衬底2307的相应导电端子,以耦合第二电路中的次级绕组。在该示例中,第一、第二和第三层级中的每一个都具有导电通孔,这些导电通孔电互连不同层级的某些导电迹线特征。磁性组件包括第一(例如,下部)磁性屏蔽件2314,该第一磁性屏蔽件2314通过非导电环氧树脂附接到多层级封装衬底2307的底侧。

[0050] 电子设备2300还包括包封第一管芯2302、第二管芯2306和多层级封装衬底2307的封装结构2320。在一个示例中,封装结构2320是或包括模制材料,例如塑料。在另一示例中,封装结构2320是或包括陶瓷材料。

[0051] 该示例中的磁性组件还包括第二(例如,上部)磁性屏蔽件2321,该第二磁性屏蔽件2321通过非导电环氧树脂附接到多层级封装衬底2307的顶侧。该示例中的封装结构2320还包封第二磁性屏蔽件2321。在另一示例中,省略了第一磁性屏蔽件2314和第二磁性屏蔽件2321之一。在又一示例中,省略了磁性屏蔽件2314和2321两者。当被包括时,磁性屏蔽件2314和2321有利地减少或减轻从外部源进入第一电路和第二电路的磁场和电场耦合,并减少从第一电路和第二电路到主机系统中的外部部件的电磁干扰(EMI)、射频干扰(RFI)和其他辐射。此外,磁性屏蔽件2314和2321便于与由相应图案化导电特征2309和2311形成的初级绕组和次级绕组组合起来形成磁路(例如,变压器)。在一个示例中,第一磁性屏蔽件2314与第二磁性屏蔽件2321大小相同。在另一示例中,第一磁性屏蔽件2314大于第二磁性屏蔽件2321。在另一示例中,第一磁性屏蔽件2314小于第二磁性屏蔽件2321。在一个示例中,磁性屏蔽件2314和2321中的一个或两个是使用非导电环氧树脂糊附接的预制磁芯。在另一示例中,磁性屏蔽件2314和2321中的一个或两个是或包括在多层级封装衬底2307的相应一侧或多侧上形成的厚磁糊层。

[0052] 封装结构2320具有沿着第一方向(例如,图中标示的X方向)彼此隔开的相应细长的第一侧和第二侧。封装结构2320的其他横向侧沿着正交的第二方向(例如,Y方向)彼此隔开,并且电子设备2300的顶部和底部沿着正交的第三方向(例如,Z方向)彼此隔开。

[0053] 电子设备2300还包括从封装结构120的第一横向侧向外和向下延伸的导电引线2324-2331,以及从封装结构120的第二横向侧向外和向下延伸的导电引线2332-2339。在一个示例中,导电引线2324-2339是或包括铜、铝或其他合适的导电金属,并且被形成为起始引线框架的一部分,并且随后被修剪和形成为图示的鸥翼形状。导电引线2324-2339的底部便于与诸如印刷电路板(PCB,未示出)的主机系统的焊接或其他电连接。该示例中的封装结构2320包封多层级封装衬底2307和部分的导电引线2324-2339。

[0054] 在一个示例中,第一半导体管芯2302包括耦合到第一绕组的第一端的第一端子、

耦合到第一绕组的第二端的第二端子,以及耦合到图23所示的导电引线2324-2331中的相应导电引线的第三、第四、第五和第六导电端子。此外,在该示例中,第二半导体管芯2306具有耦合到第二绕组的第一端的第一端子、耦合到第二绕组的第二端的第二端子,以及耦合到导电引线2332-2339中的相应导电引线的第三、第四、第五和第六导电端子。

[0055] 与层压变压器设计相比,多层级封装衬底2307提供了改进的结构完整性和减小的尺寸,并且有助于在电压隔离和小设备尺寸很重要的汽车、工业或其他应用中实现具有高电压隔离的小形状因数集成电子设备。

[0056] 图24示出了用于制造电子设备的另一种方法2400。在2401处,方法2400包括制造多层级封装衬底2307。在一个示例中,2401处的多层级封装衬底制造包括在载体结构上形成第一层级(例如T1、V1)、在第一层级上形成第二层级(例如T2、V2),以及在第二层级上形成第三层级(例如T3、V3),之后例如如上面结合图2-图17所示和描述的那样将载体结构从第一层级移除。

[0057] 方法2400还包括在2403和2404处将一个或多个磁性屏蔽件附接到多层级封装衬底2307的一侧或两侧。在2403处,上部磁性屏蔽件2321通过非导电环氧树脂附接到多层级封装衬底2307的顶侧,至少部分地在多层级封装衬底2307的第一绕组和第二绕组的一些部分上方。在2404处,下部磁性屏蔽件2314通过非导电环氧树脂附接到多层级封装衬底2307的底侧,至少部分地位于多层级封装衬底2307的第一绕组和第二绕组的一些部分下方。方法200还包括在2406处从条带或面板中将个体磁性组件切单(singulate),并在2408处将切单的磁性组件附接到对应的引线框架。在一个示例中,引线框架是面板或条带,其包括布置成阵列的多个预期的电子设备部分,用于在2418处的最终封装分离之前进行同时处理。

[0058] 在图24中的2410和2412处,方法200继续进行2402处的半导体管芯附接和焊接,以将一个或多个半导体管芯焊接到多层级封装衬底2307的顶侧。该示例中的焊接提供了将第一半导体管芯2302附接到第一管芯附接焊盘2304并且将第二半导体管芯2306附接到第二管芯附接焊盘2308(例如,图23)的电连接工艺。在2414处执行线键合工艺或其他电互连处理,以形成图23中的键合线2346,从而互连第一半导体管芯2302和第一电路中的第一绕组,并且互连第二半导体管芯2306和与第一电路隔离的第二电路中的第二绕组。然后在2416处模制设备节段的面板或阵列以形成封装结构2320。在2418处,利用封装分离和其他回蚀处理来执行引线修剪和形成,以提供个体封装电子设备2300。

[0059] 在权利要求的范围内,在所描述的示例中进行修改是可能的,并且其他实施方式也是可能的。

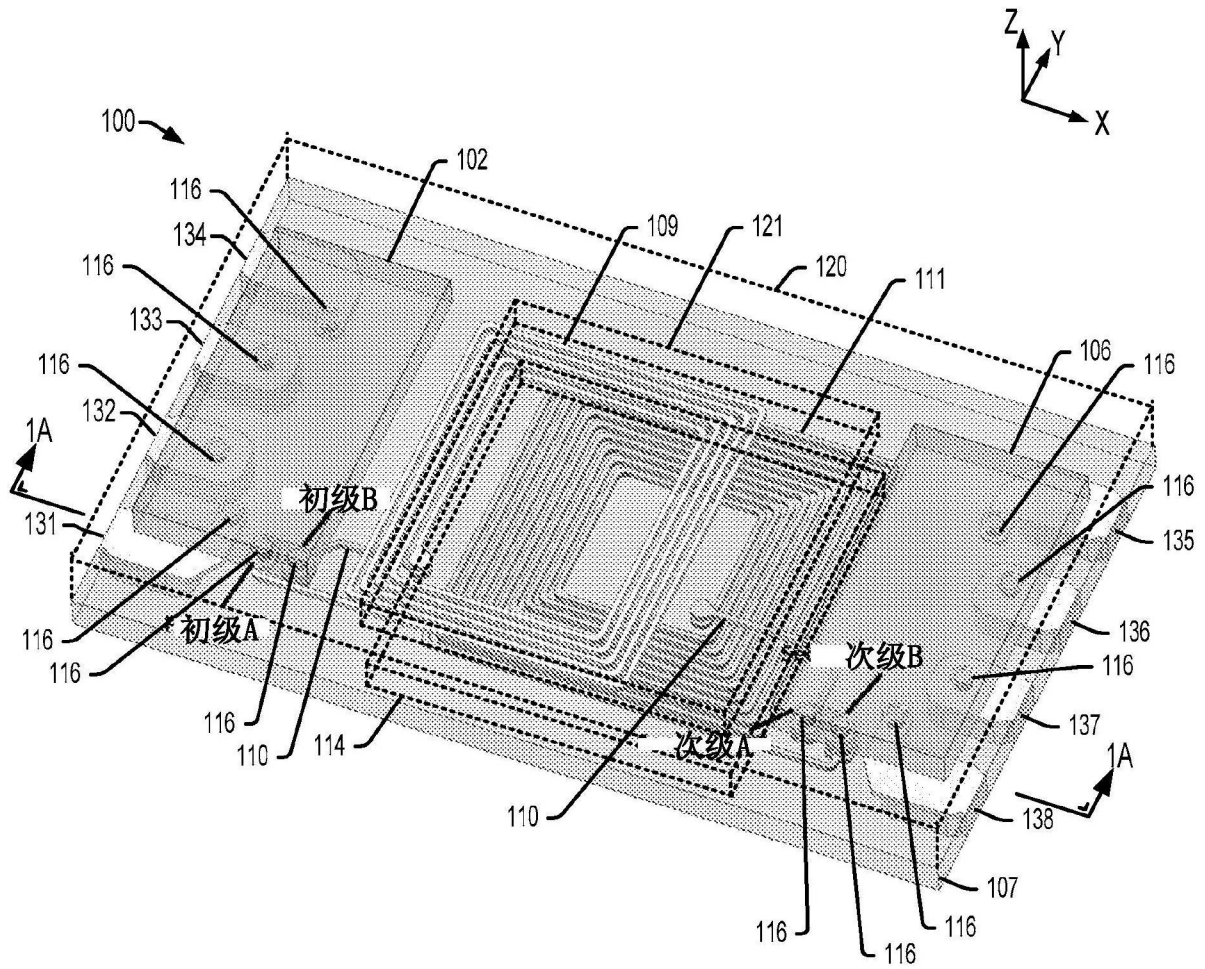


图1

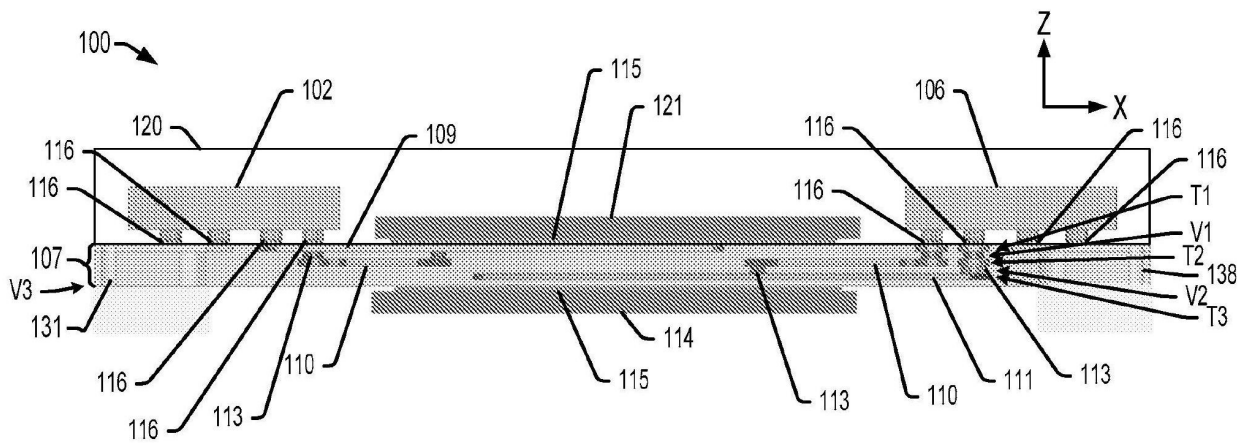


图1A

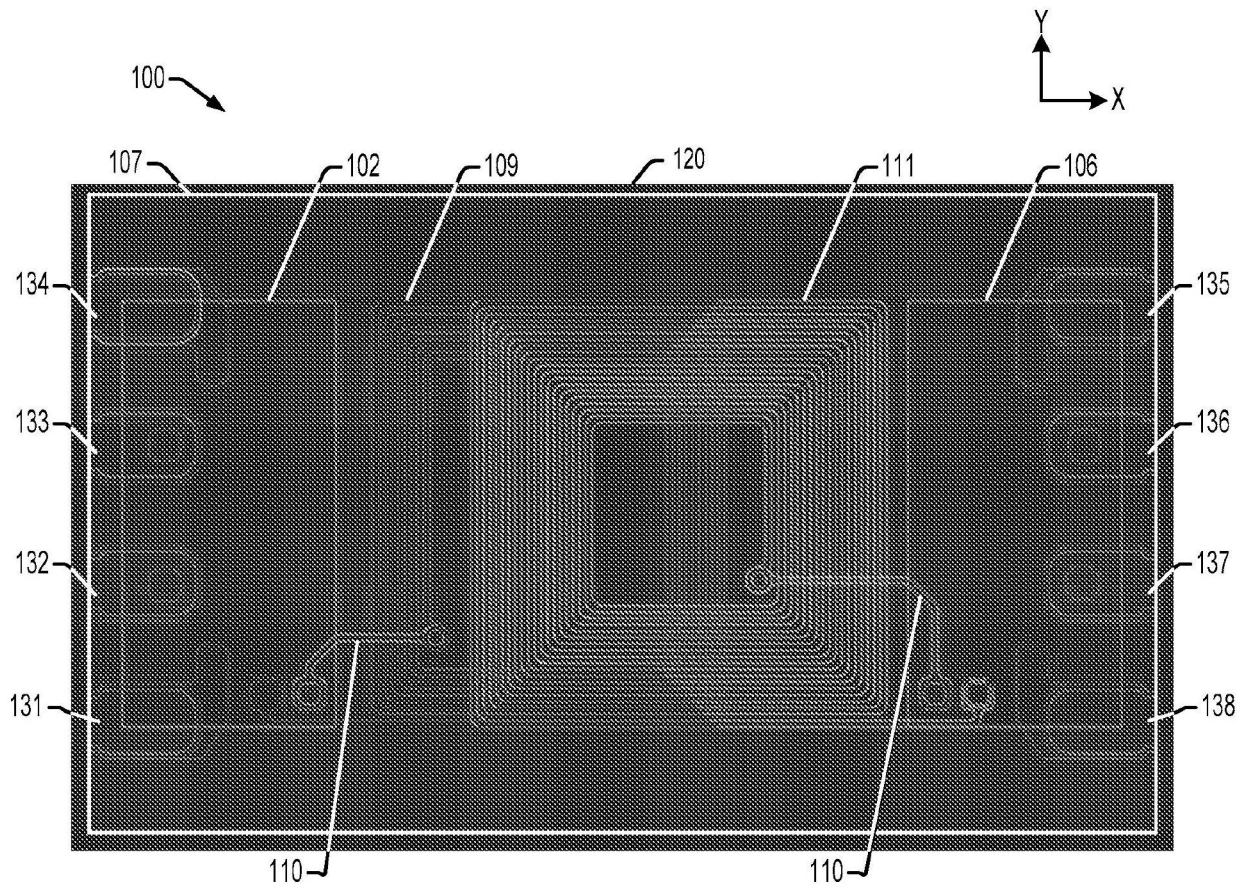


图1B

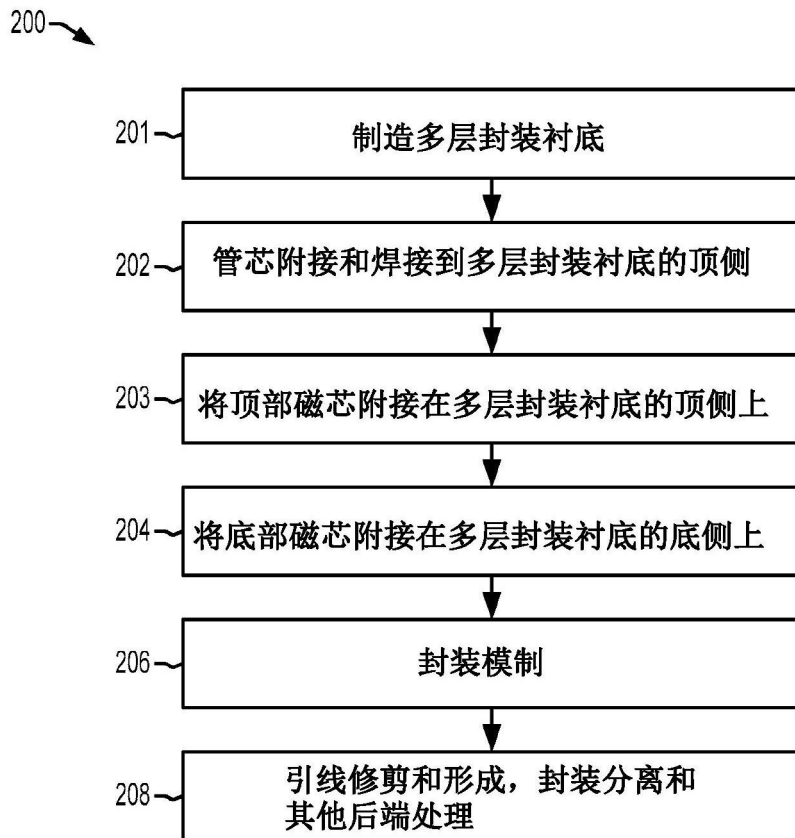


图2

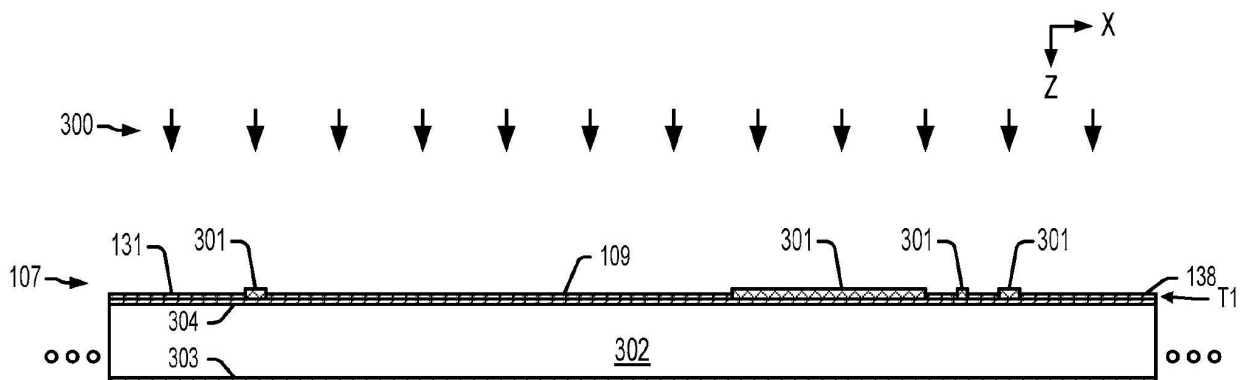


图3

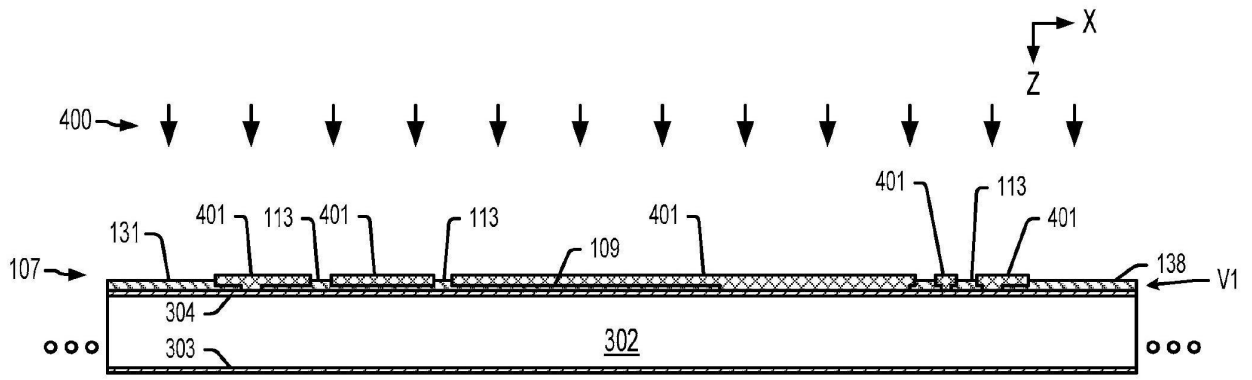


图4

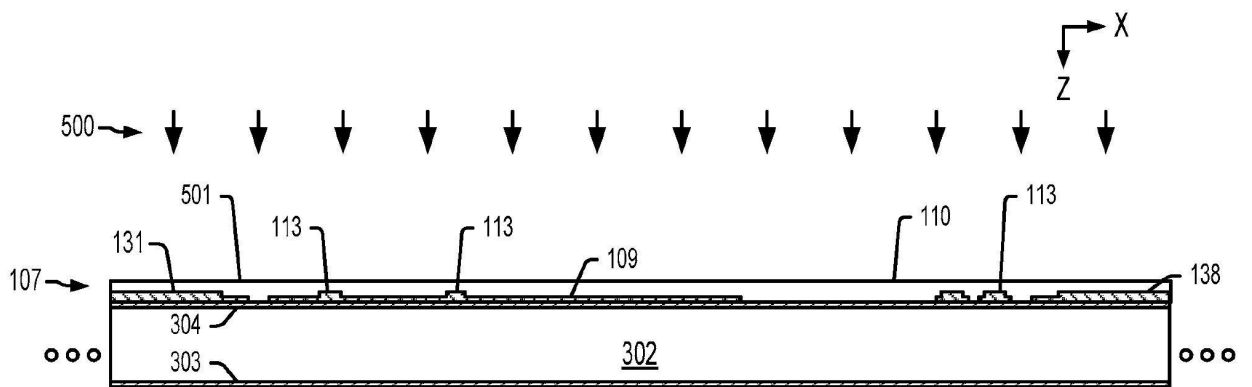


图5

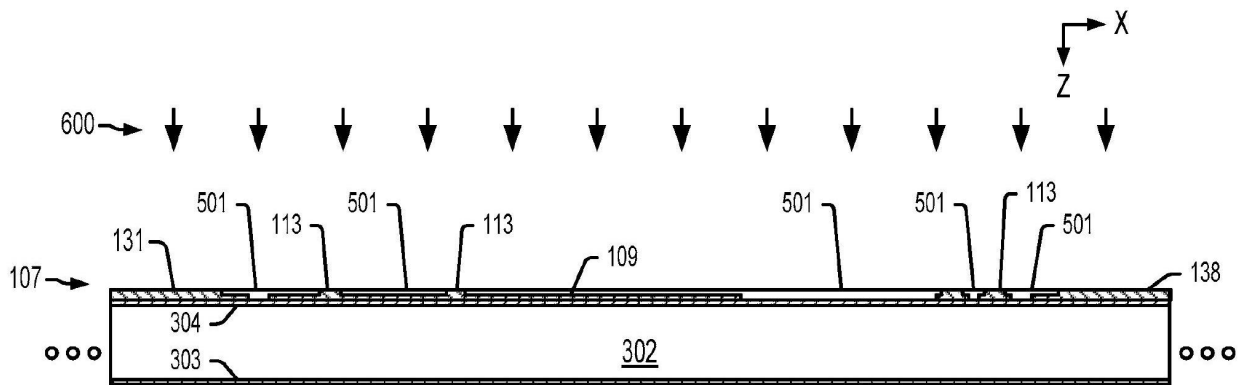


图6

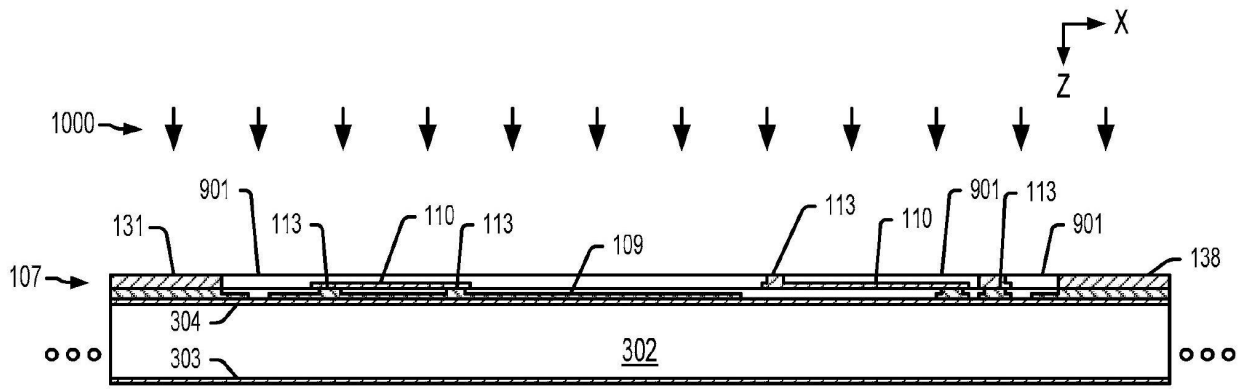


图10

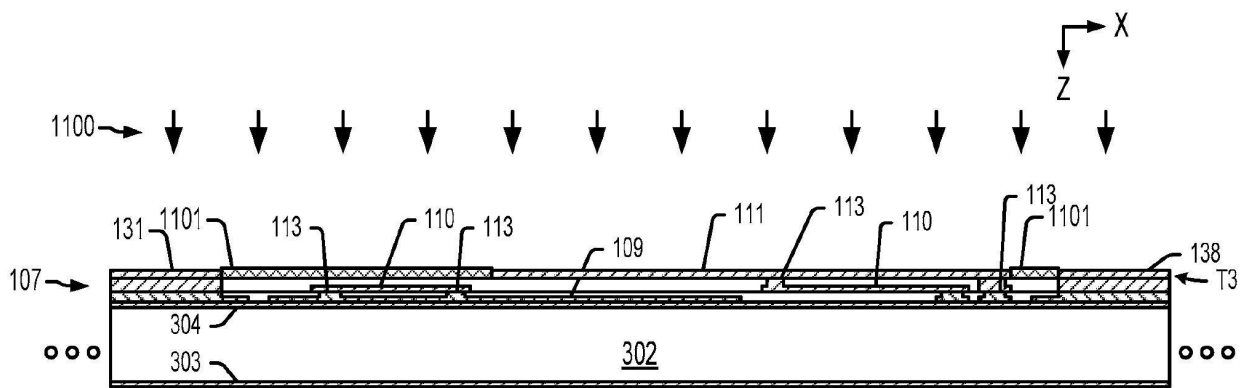


图11

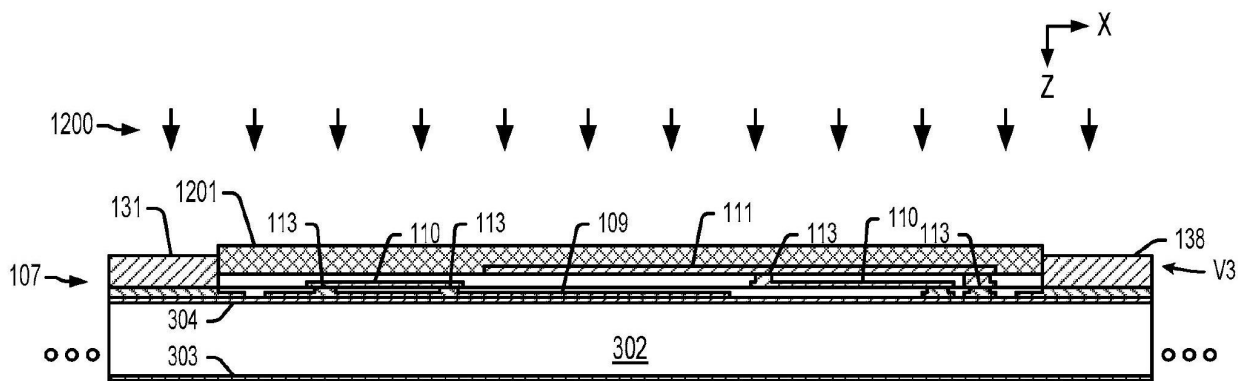


图12

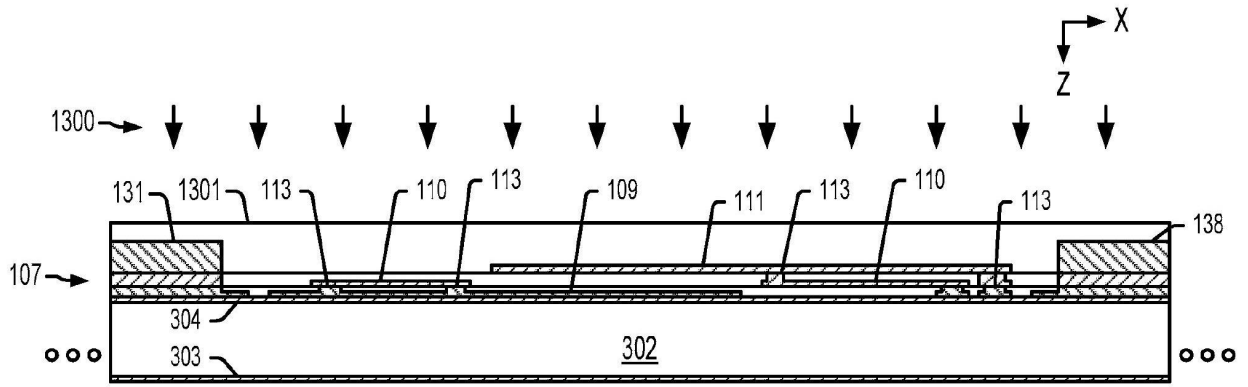


图13

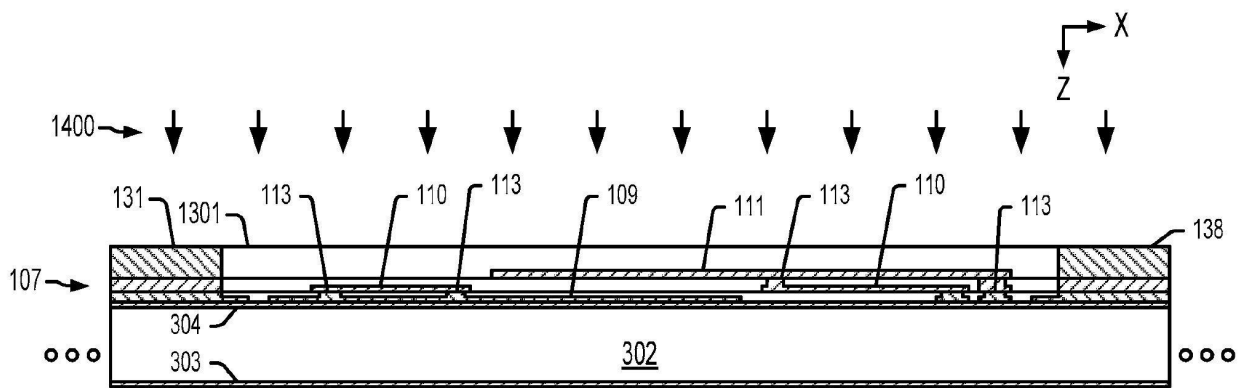


图14

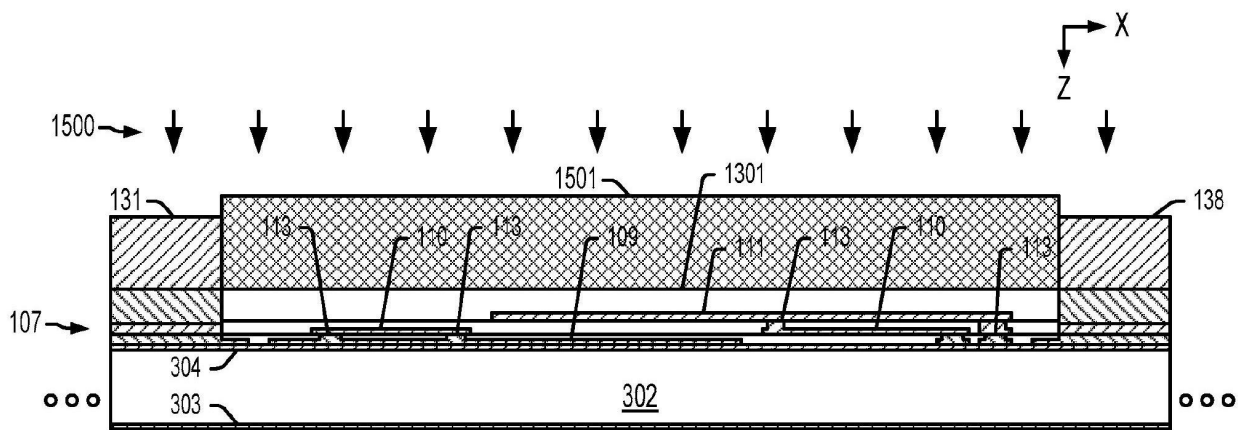


图15

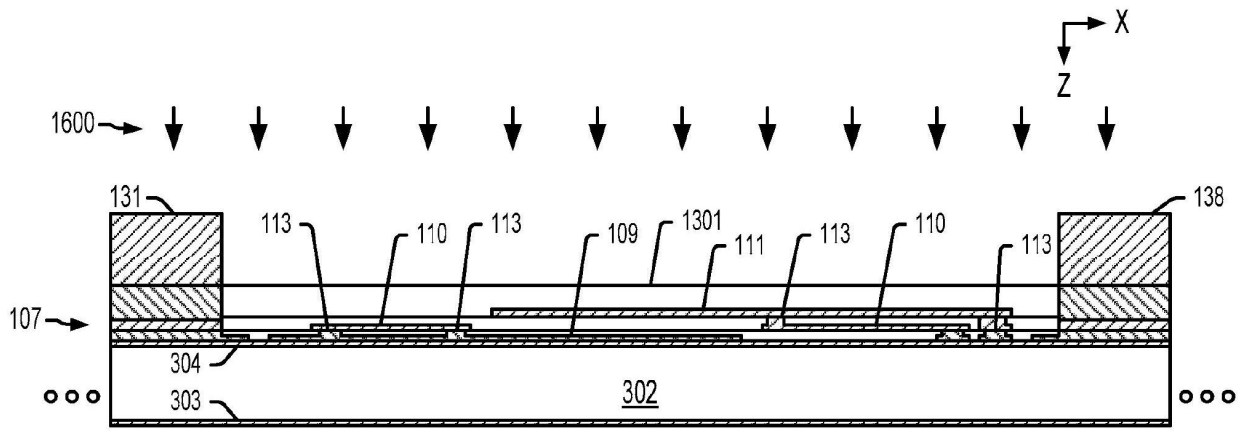


图16

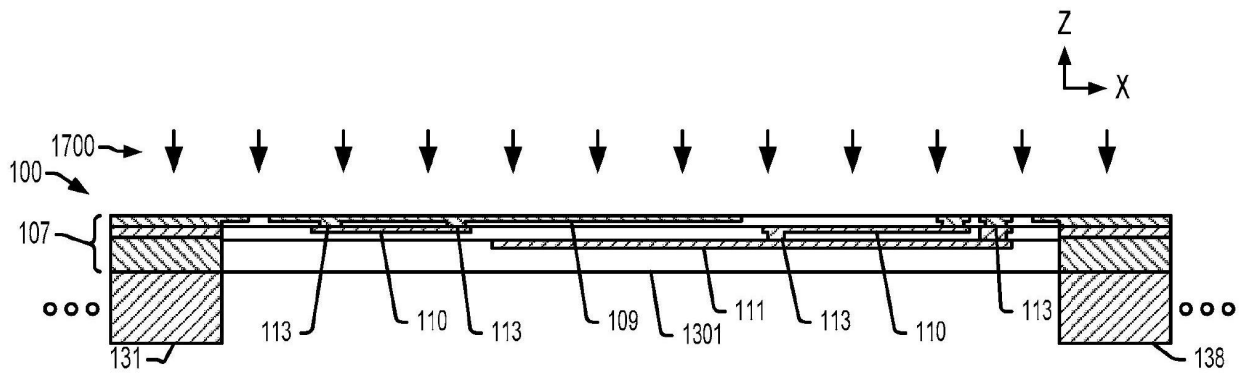


图17

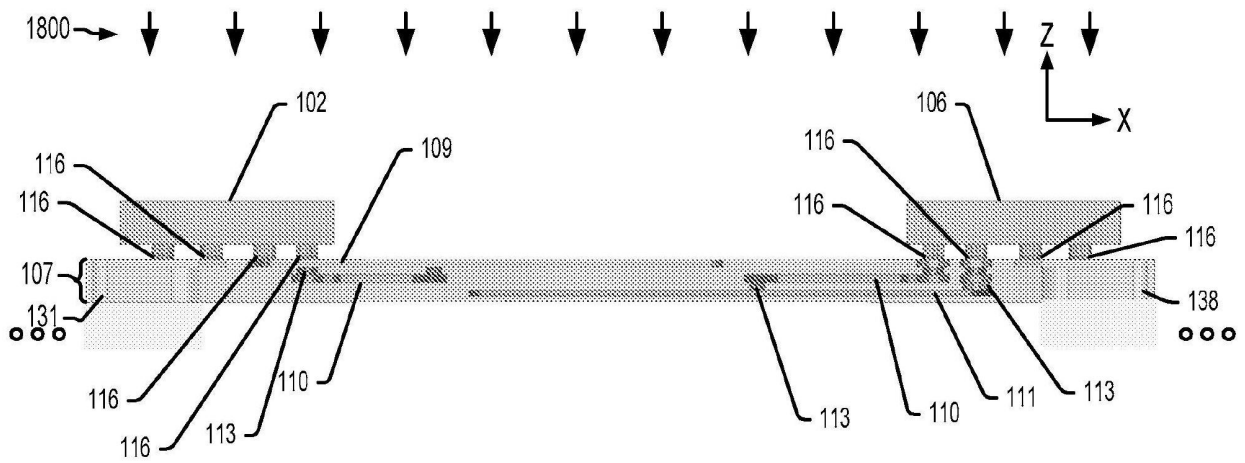


图18

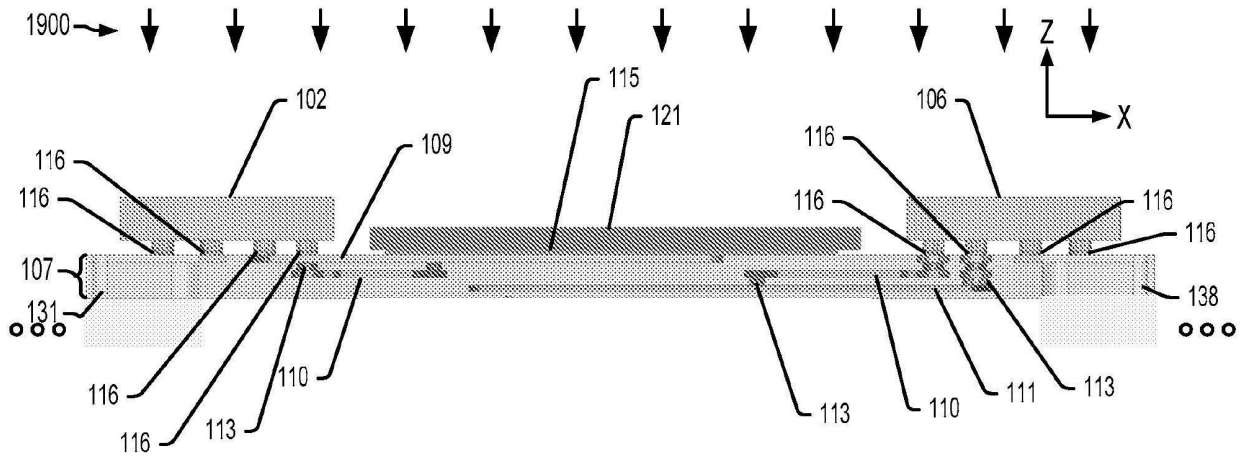


图19

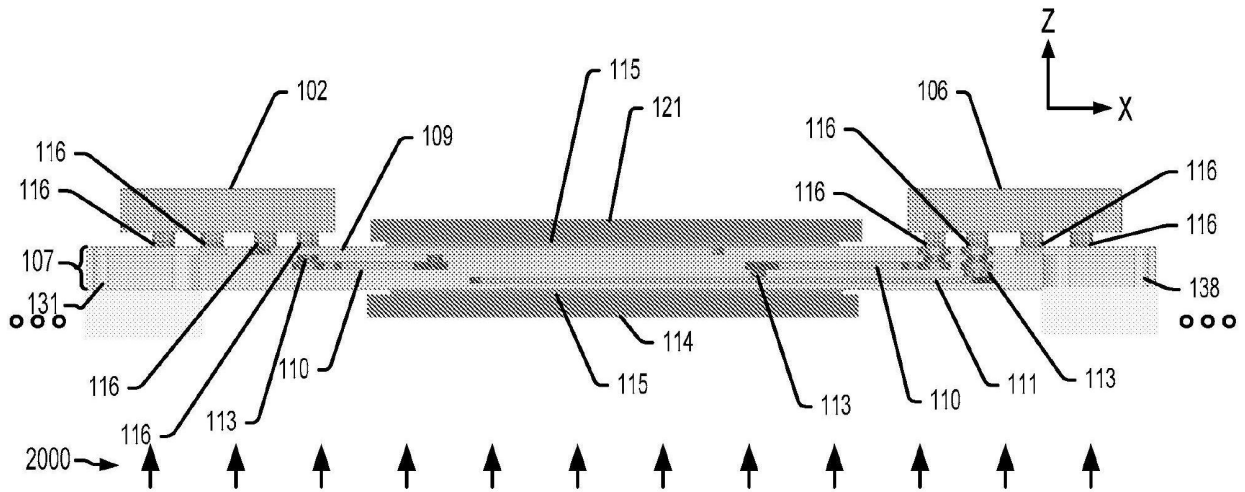


图20

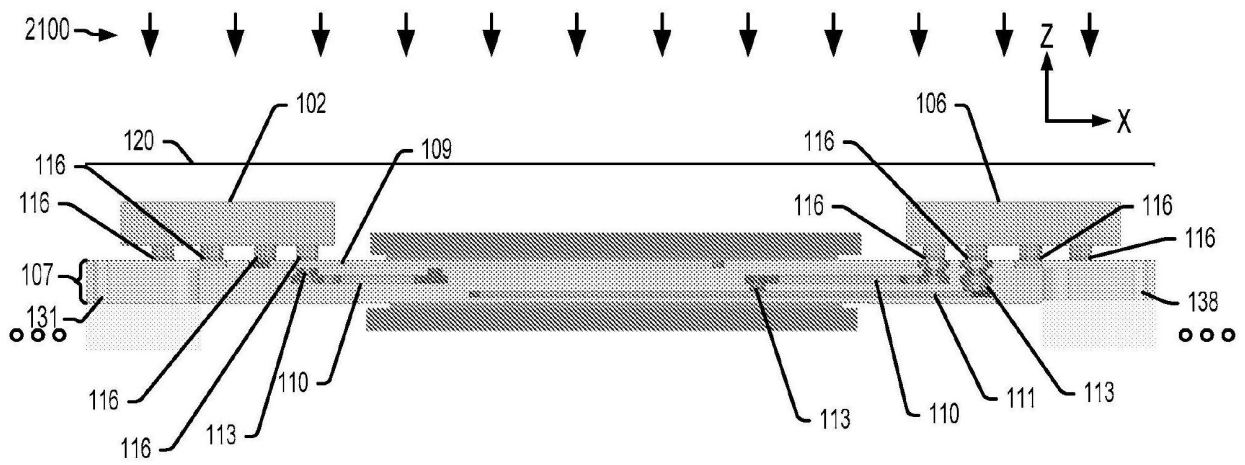


图21

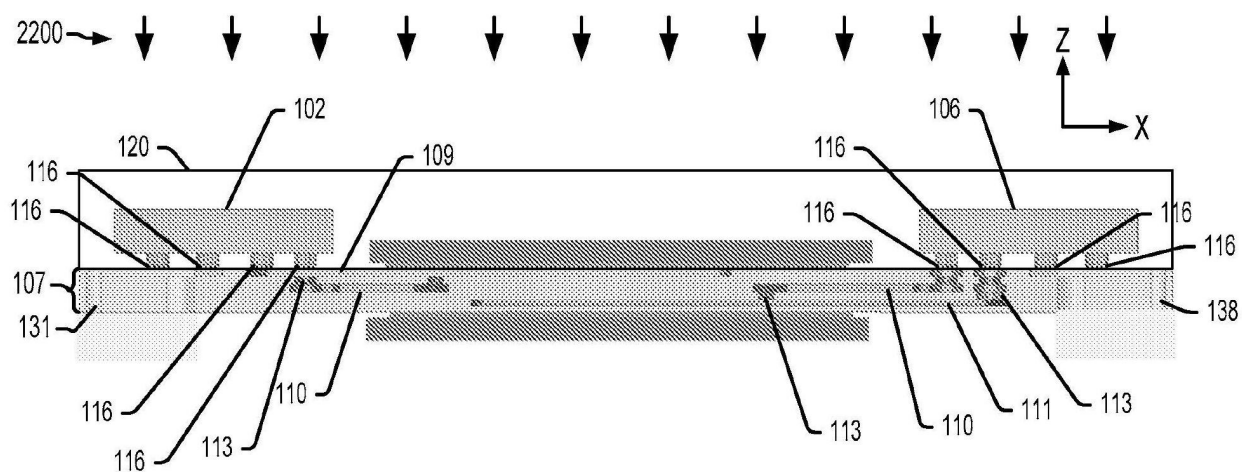
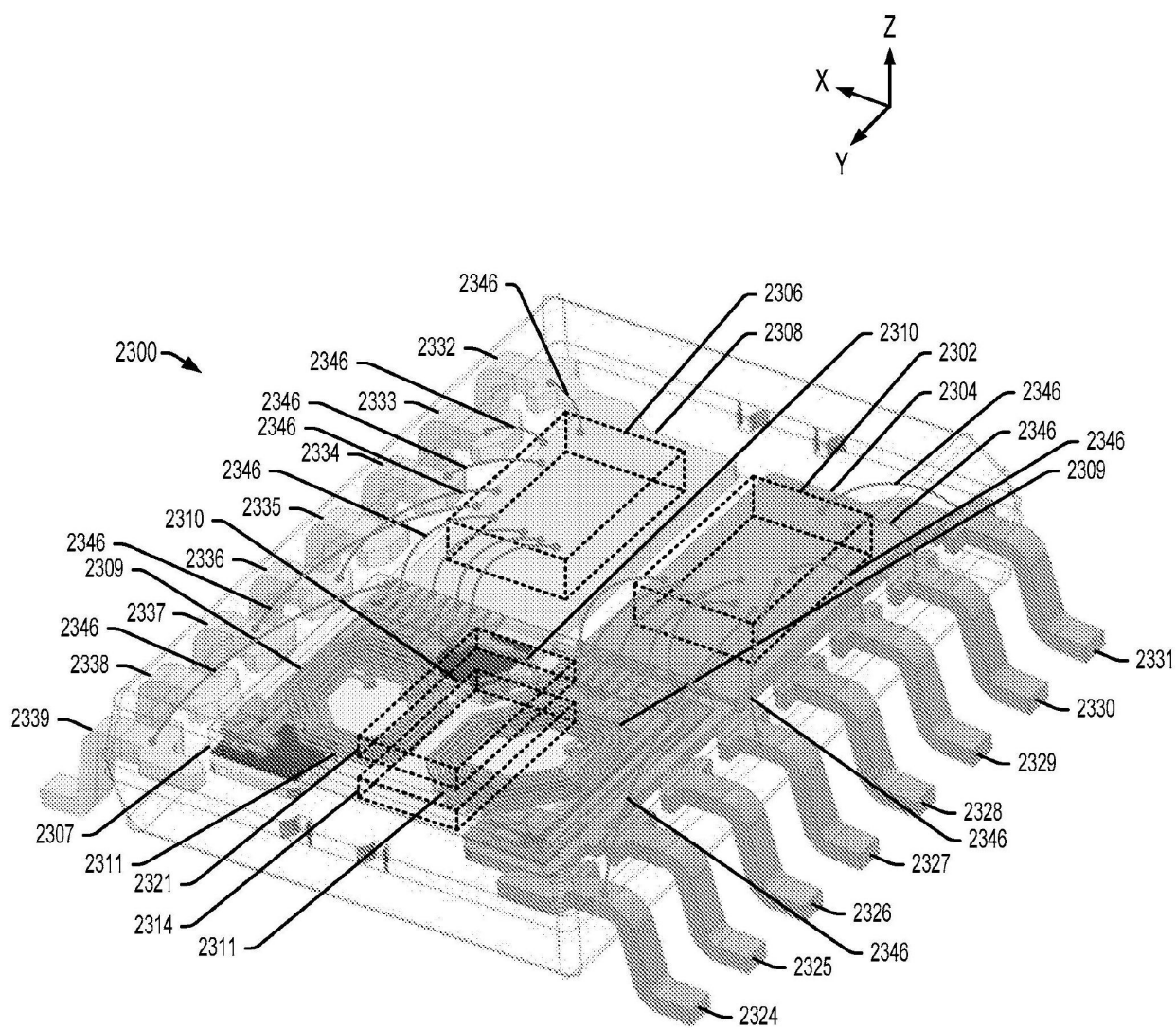


图22



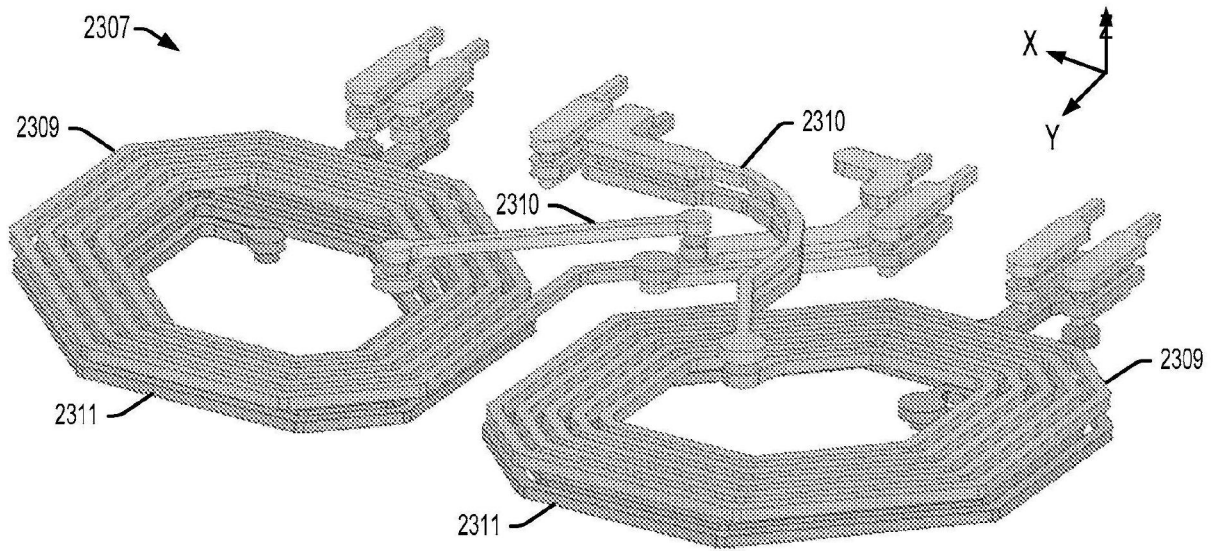


图23A

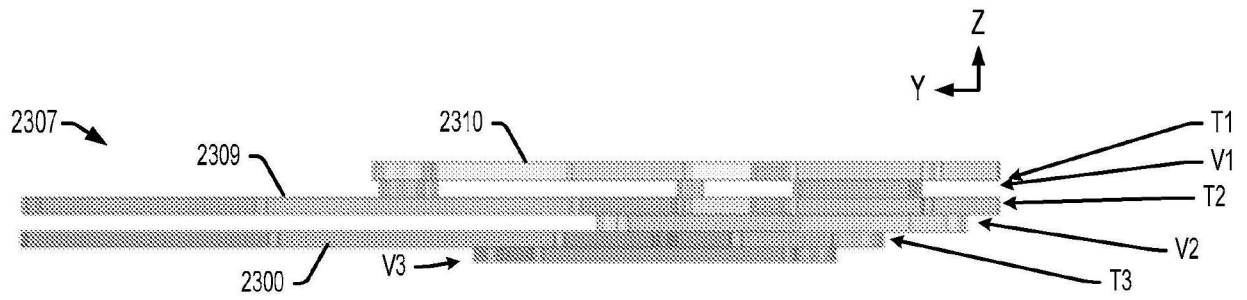


图23B

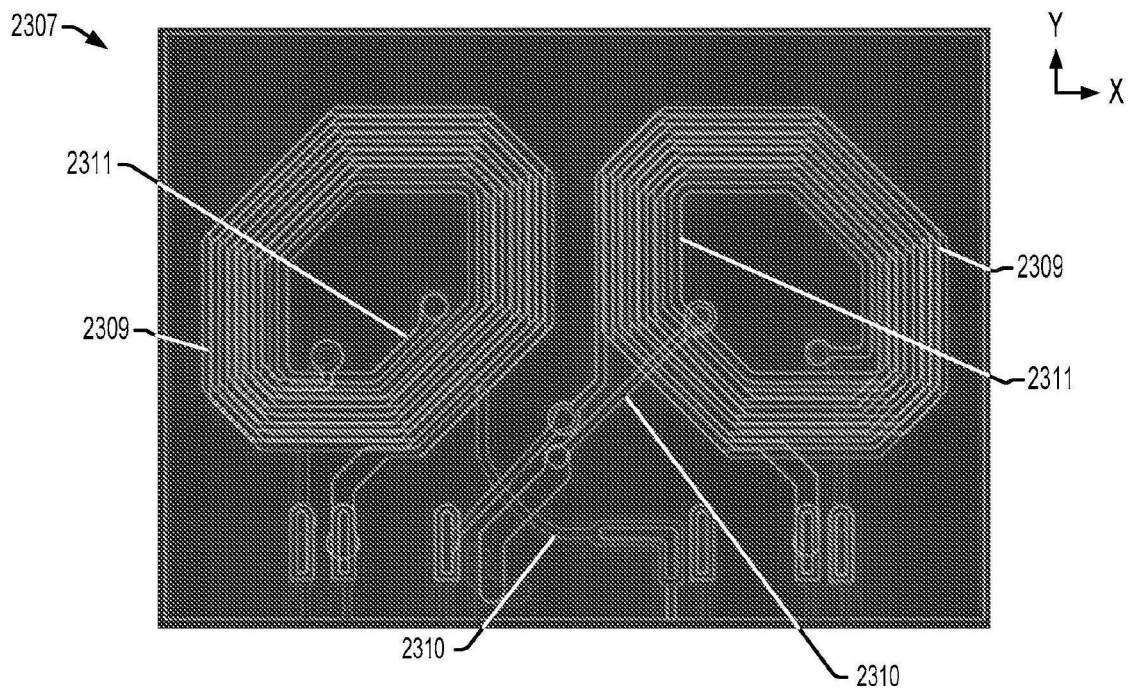


图23C

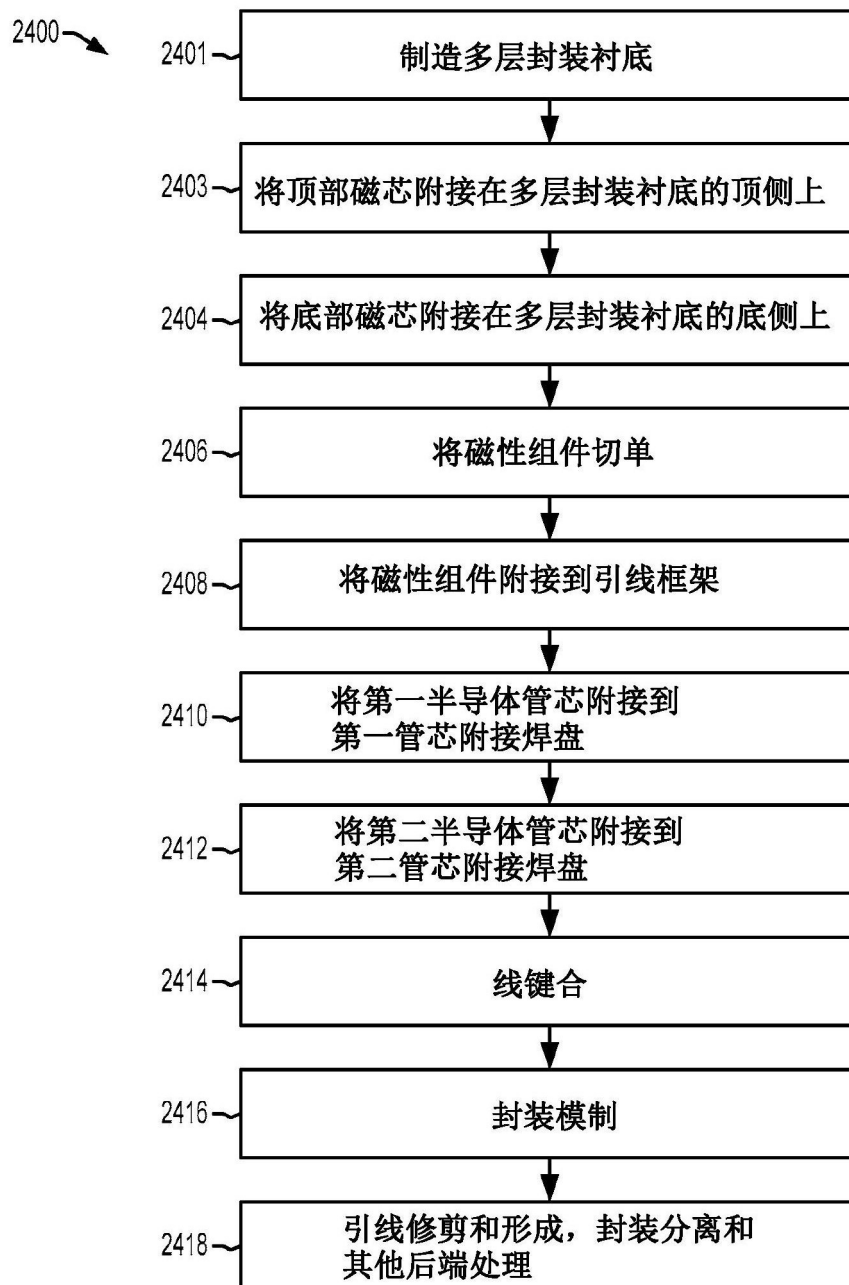


图24