

發明專利說明書 200537621

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94102747

※ 申請日期：94.1.28

※IPC 分類：H01L 21/336, 29/76

一、發明名稱：(中文/英文)

半導體裝置介電層及其製造方法

DIELECTRIC LAYER FOR SEMICONDUCTOR DEVICE AND
METHOD OF MANUFACTURING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文)

尹鍾龍

YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞416番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,

GYEONGGI-DO, KOREA

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 李鍾鎬
LEE, JONG-HO
2. 李來寅
LEE, NAE-IN

國 籍：(中文/英文)

- 1.-2.均韓國 REPUBLIC OF KOREA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國；2004年01月29日；10-2004-0005817

2. 美國；2004年12月30日；11/027,256

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於半導體裝置領域，且更特定言之，本發明係關於一種多層介電結構及利用該多層介電結構及其製造方法之半導體裝置。

【先前技術】

隨著每一代金屬氧化物半導體(MOS)積體電路(IC)，裝置尺寸已持續縮小以提供高密度與高效能之裝置。特定言之，使閘極介電質之厚度盡可能小，因為MOS(金屬氧化物半導體)場效電晶體(FET)中之驅動電流隨閘極介電質厚度減小而增加。因此，為改良裝置效能而提供極薄、可靠且低缺陷之閘極介電質變得愈來愈重要。

數十年來，例如二氧化矽(SiO_2)之熱氧化物層已用作閘極介電質，因為二氧化矽熱氧化物層與下層矽基板穩定，且製造製程相對簡單。

然而，因為二氧化矽具有低介電常數(k)(例如3.9)，進一步縮小二氧化矽閘極介電質變得愈來愈難。舉例而言，若二氧化矽閘極介電質之厚度小於40埃，則可發生直接穿隧。結果，流經薄二氧化矽閘極介電質之閘極至通道洩漏電流增大，導致不良功率消耗問題。

此等問題使人考慮替代性介電材料，其可形成於比二氧化矽厚的層中，但仍產生相同或更好之裝置效能。效能可表達為“等效氧化物厚度(EOT)”。

已做過各種嘗試來改良介電材料之裝置特性。舉例而

言，美國專利第 6,020,024 號揭示了一種插入矽基板與高 k 介電層之間的氮氧化物層。美國專利第 6,013,553 號揭示了一種作為閘極介電質之氮氧化鋯層或氮氧化鉛層。此外，PCT 國際專利申請公開案第 WO 00/01008 號揭示了 SiO₂、氮化矽及氮氧化物介面層。美國專利第 6,020,243 號亦揭示了一種高介電常數鋯(或鉛)氮氧化矽閘極介電質。

然而，此等嘗試並未成功解決與習知介電材料相關之問題。舉例而言，高 k 介電層與矽基板或多晶矽閘電極之間的氮化矽層或氮氧化物層導致具有高介面狀態密度的電荷陷阱，進而減低通道遷移率且亦降低裝置效能。此外，氮氧化矽層或氮氧化物層之形成需要相對大的熱預算。

相應地，仍需要改良的介電層結構及製造方法來藉由(例如)減少介電層之等效氧化物厚度及改良介面特性而改良裝置效能。

【發明內容】

在一實施例中，半導體裝置包括一矽酸鹽介面層及一覆於該矽酸鹽介面層上的高 k 介電層。該高 k 介電層包括金屬合金氧化物。

【實施方式】

本發明提供一種卓越的介電層結構及其製造方法。在以下描述中，闡述諸多具體細節來提供對本發明之徹底瞭解。然而，普通熟習此項技術者應瞭解，無需此等具體細節便可實施本發明。在一些情況下，未詳細展示熟知的處理步驟、裝置結構及技術以避免混淆本發明。

參看圖1，根據本發明之一實施例，一由矽酸鹽材料形成之矽酸鹽介面層12可安置於一導電層或諸如矽基板之半導體基板10上。矽酸鹽介面層12之介電常數較佳大於二氧化矽、氮化矽或氮氧化矽中任一者之介電常數。較佳地，矽酸鹽介面層12具有約為5埃至50埃之厚度。更佳地，矽酸鹽介面層12具有約為5埃至10埃之厚度(2埃至4埃的EOT(等效氧化物厚度))。矽酸鹽介面層12較佳係由式 $M_{1-x}Si_xO_2$ 所表示之金屬矽酸鹽材料形成。此處，金屬“M”可為鈦(Hf)、鋯(Zr)、鉭(Ta)、鈦(Ti)、釷(Sc)、釷(Y)、鐳(La)及鋁(Al)。然而，並不希望此清單無遺漏或限制本發明。可在本發明的精神及範疇內使用任何適於本發明之其它金屬。

根據本發明之一態樣，金屬矽酸鹽材料($M_{1-x}Si_xO_2$)展示了當值“1-x”大於或等於約0.1時介電常數之最佳值。較佳地，值“1-x”不大於約0.5。更佳地，值“1-x”為約0.2至約0.4。

此外，一高k介電層14安置於矽酸鹽介面層12上，以形成一多層介電結構15。高k介電層14之介電常數高於 SiO_2 之介電常數。高k介電層14之介電常數宜高於矽酸鹽介面層12之介電常數。高k介電層也宜具有與下層矽酸鹽介面層12之極好的連貫性(coherency)，且不與諸如閘電極或控制閘極之上層結構反應。

在本發明中，矽酸鹽介面層12大體上改良了介面特性。此係因為矽酸鹽介面層12大體上防止了(例如)高k介電層14與下層半導體基板10之間或高k介電層與用於形成電容器之下部電極之間的反應。此外，因為該矽酸鹽介面層12之

形成能量比二氧化矽之形成能量更為負，其在矽基板上係化學上穩定的，因此有助於形成可靠之半導體裝置。因此，咸信本發明與先前技術方法相比減低了介面陷阱密度，且大體上改良了介面特性。

此外，與此等先前技術方法相比，可保持或減低EOT(等效氧化物厚度)，因為金屬矽酸鹽介面層12具有約為10至12之相對高的介電常數。

此外，咸信金屬矽酸鹽介面層12在隨後之熱處理期間，即使在900°C高溫下也可保持大體上非晶形之狀態。因此，在金屬矽酸鹽介面層12中產生更少的晶粒邊界，進而減少洩漏電流。

現回頭看高k介電層14，其包括金屬合金氧化物。高k介電層14之金屬合金氧化物以包含至少兩互相擴散之金屬元素較佳。高k介電層14之金屬合金氧化物可為至少兩金屬氧化物之混合物。該等至少兩金屬元素經均勻混合更佳，其中並以在原子級上均勻混合最佳。然而，視應用而定，該等至少兩金屬元素可未經均勻混合，但經充分混合以充當在本發明之精神及範疇內的介電材料。

根據本發明之一態樣，形成高k介電層14之至少兩金屬氧化物可經選擇成在高k介電層14中具有最小淨固定電荷，例如接近零。就此而論，金屬氧化物可包含但不限於氧化鉛、氧化鋯、氧化鈮、氧化鋁、氧化鈦、氧化鈮、氧化鋇、氧化鈣、氧化鎳或氧化鋇。

在另一態樣中，金屬氧化物可描述為鉛鋁合金氧化物、

鋯鋁合金氧化物、鉭鋁合金氧化物、鈦鋁合金氧化物、鈮鋁合金氧化物或鉛鋯鋁氧化物。然而，並不希望此清單無遺漏或限制本發明。可在本發明的精神及範疇內使用任何適於本發明之其它金屬。熟習此項技術者將瞭解，金屬鋁合金氧化物可表示為金屬鋁酸鹽，例如鋁酸鉛(HfAlO)。

包含金屬合金氧化物之高k介電層14之介電常數可大於矽酸鹽介面層12之介電常數。

此外，金屬合金氧化物可由式 $A_yB_{1-y}O_z$ ，($0 < y < 1$)來表示。較佳地，A與上述M相同或來自與M相同之週期族。換言之，矽酸鹽介面層12之金屬較佳與金屬合金氧化物之金屬(高k介電層14)相同。舉例而言，若多層介電結構15包括矽酸鉛介面層12，則高k介電層14可包括一鉛鋁合金氧化物層，例如氧化鉛與氧化鋁之混合物。同樣，若矽酸鹽介面層12包括一矽酸鋯介面層12，則高k介電層14包括一鋯鋁合金氧化物層，例如氧化鋯與氧化鋁之混合物。結果，裝置特性可得以改良。舉例而言，介面特性可由於矽酸鹽介面層12與上層高k介電層14之間的電連貫性而得以改良。

更佳地，A與M為IV族金屬，且B為XIII族金屬。舉例而言，A為鋯或鉛，且B為鋁。

根據一態樣，"y"可為約0.5至約0.9，以具有高介電常數及高結晶溫度。

根據另一態樣，A與B之組合比在約1:1與約5:1之間。此係因為A之含量愈高，介電常數愈高，但結晶溫度愈低，其導致洩漏電流增加。理想地，高k介電層14具有大體上非

晶形結晶結構，以減少流經其的洩漏電流。更佳地，A與B之組合比為約2：1，因為所得的高k介電層14之淨固定電荷可接近零。在此狀況下，A較佳為鉛或鋇；且B較佳為鋁。高k介電層14可具有約2埃至60埃之厚度。此處，2埃為一原子層之基本厚度，且60埃表示在隨後之退火製程期間防止爆裂現象之厚度上限。如此項技術中已知，在形成期間陷阱於介電層中的羥基基團可在隨後退火時自介電層爆裂，從而毀壞介電層，例如在介電層中留下洞。若發生此種爆裂現象，隨後的處理步驟(諸如閘極多沉積)可受到顯著抑制。

圖2說明一種製造用於半導體裝置中的上述多層介電結構15之方法。為清楚與簡明起見，若製造步驟係為習知或熟知，則省略其細節。

如上所述，矽酸鹽介面層12可形成於導電層或半導體基板10上。金屬矽酸鹽介面層12較佳係由參看圖1所述之材料形成。更佳地，金屬矽酸鹽介面層12可使用ALD(原子層沉積)技術形成。因此，與需要高熱預算之先前技術方法對比，低熱預算製程在本發明之情況下係為可能。此外，藉由使用ALD(原子層沉積)技術，可使用更廣範圍之前驅物，且可形成一具有受到緊密控制的厚度之膜，傳統化學氣相沉積(CVD)將不可能形成該膜。

詳言之，如此項技術中已知，可藉由交替且反覆地對金屬來源、矽來源及氧來源執行脈動及淨化步驟來執行用於形成金屬矽酸鹽介面層12之ALD(原子層沉積)技術。在矽酸

銦介面層 12 狀況下， $ZrCl_4$ 可用作金屬來源。類似地，在矽酸鈣介面層之狀況下， $HfCl_4$ 可用作金屬來源。同樣，矽來源可包括 SiH_4 或 $SiCl_4H_2$ 。氧來源可包括 H_2O 、臭氧、氧基、醇類，諸如 IPA、 D_2O 或 H_2O_2 。同樣，可在本發明的精神及範疇內使用其它適用於本發明之前驅物。在表 1 中說明了此等例示性前驅物。

表 1

	鈣來源	銦來源	矽來源
鹵化物	$HfCl_4$	$ZrCl_4$	$SiCl_4$
烷氧化物	$Hf(OtC_4H_9)_4Hf(OC_2H_5)_4$	$Zr(OtC_4H_9)_4$	$Si(OC_4H_9)_4Si(OCH_3)_4Si(OC_2H_5)_4$
醯胺	$Hf(N(C_2H_5)_2)_4Hf(N(CH_3)_2)_4$, $Hf(N(CH_3C_2H_5))_4$	$Zr(N(C_2H_5)_2)_4$, $Zr(N_9CH_3)_2)_4$, $Zr(N(CH_3C_2H_5))_4$	$Si(N(C_2H_5)_2)_4$, $Si(N(CH_3)_2)_4$, $Si(N(CH_3)_2)_3H$, $HfCl_2(hmds)_2$
烷氧胺 (alkoxylamine)	$Hf(dmae)_4$	$Zr(dmae)_4$	$Si(dmae)_4$
ETC			SiH_4 , $SiCl_4H_2$, Si_2Cl_6

*dmae(二甲胺)

或者，若金屬有機化學氣相沉積(MOCVD)技術或反應性濺鍍技術在厚度或組合物方面提供與ALD(原子層沉積)技術類似之控制水平，則可使用MOCVD(金屬有機化學氣相沉積)技術或反應性濺鍍技術來形成矽酸鹽介面層 12。可使用諸如 $Hf(O-Si-R_3)_4$ 或 $Zr(O-Si-R_3)_4$ ，($R=C_2H_5$) 之前驅物來執行MOCVD(金屬有機化學氣相沉積)技術。同樣，可使用諸如第三丁氧化鈣之鈣來源、諸如第三丁氧化銦之銦來源，及諸如四乙氧基原矽烷(tetraethoxyorthosilane)或原矽酸四乙酯(TEOS)之矽來源。

接著，如上文參看圖1所述，形成包括金屬合金氧化物之高k介電層14，以覆於矽酸鹽介面層12上。

更詳細地，根據一態樣，為形成高k介電層14，藉由ALD(原子層沉積)技術形成一具有一第一金屬元素之第一層18。然後，亦藉由ALD(原子層沉積)技術形成一覆於該第一層18上、具有一第二金屬元素之第二層20。第一及第二金屬元素可為一可形成諸如氧化鈣、氧化鋯、氧化鈮、氧化鋁、氧化鈦、氧化鈮、氧化鋁、氧化鈦、氧化鋁或氧化鈮之氧化物的金屬。

另一方面，若矽酸鹽介面層12係由矽酸鋯形成，則上層高k介電層14宜藉由交替地堆疊 ZrO_2 層與 Al_2O_3 層，加上以下將進一步描述之隨後熱處理來形成。在此狀況下，因為矽酸鹽介面層12之金屬與金屬合金氧化物層(高k介電層14)中所含的金屬之一相同，介面特性可由於矽酸鹽介面層12與上層高k介電層14之間的電連貫性而得以改良(如上所述)。類似地，若矽酸鹽介面層12係由矽酸鈣形成，則高k介電層14宜藉由交替地堆疊 HfO_2 層與 Al_2O_3 層，及以下將進一步描述之隨後熱處理來形成。

以第一層18具有一第一預定電荷，且第二層20具有一與第一層18之預定電荷相反的第二預定電荷更佳。其中，並以第一預定電荷為正固定電荷，且第二預定電荷為負固定電荷最佳。按此思路，第一層18可由氧化鈣、氧化鋯、氧化鈮、氧化鋁、氧化鈦、氧化鈮、氧化鋁、氧化鈦、氧化鋁或氧化鈮形成，且第二層20可由氧化鋁形成。

因此，根據本發明之一態樣，使高k介電層14之淨固定電荷最小化係為可能。就此而論，在先前技術中，固定電荷存在一問題，其導致會減低通道遷移率之庫侖散射。然而，在本發明之一態樣中，先前技術之固定電荷問題可藉由以諸如上述氧化鉛或氧化鋅之材料形成之第一層18中之正固定電荷，補償由諸如氧化鋁之材料形成之第二層20中之負固定電荷來克服，尤其是當金屬氧化物係在原子級上均勻混合或在隨後的製造製程期間互相擴散時。

第二層20之厚度可約為第一層18之厚度的一半。若第一層18係由諸如氧化鉛或氧化鋅之材料形成，且第二層20係由氧化鋁形成，則尤其如此，因為咸信氧化鋁中之固定電荷量大約比氧化鉛或氧化鋅之固定電荷量多兩倍。舉例而言，第一層18可形成大約10埃之厚度，且第二層20可形成大約5埃之厚度。

根據本發明之一實施例，所得之結構隨後受到退火或熱處理，以形成圖1所示之多層介電結構15。舉例而言，退火溫度可大於約900°C，以使圖2所示之第一層18與第二層20結合或混合而形成包含至少兩互相擴散之金屬元素之高k介電層14。較佳地，退火溫度約為950°C。更佳地，退火溫度足夠高，以使至少兩金屬元素在原子級上在高k介電層14中均勻混合而形成一金屬合金氧化物層。

參看圖3，根據另一態樣，在為進行熱處理或退火以形成圖1所示之多層介電結構15之前，在所得結構上形成一或多個額外的第一及第二層18、20。另一導電層24可形成於高k

介電層 14 上以形成各種半導體裝置。同樣，在退火之前，最上層 22 可包括氧化鋁以改良高 k 介電層 14 與導電層 24 之間的介面特性。

在另一態樣中，高 k 介電層 14 可由 MOCVD (金屬有機化學氣相沉積) 技術來形成。較佳地，同時供應兩金屬元素之來源以形成包括金屬合金氧化物之高 k 介電層 14。或者，金屬合金氧化物層可使用反應性濺鍍技術來形成。反應性濺鍍技術係藉由在金屬沉積期間注入氧氣至處理腔室中來執行。

以上描述的本發明可用於形成如下所述之 MOS (金屬氧化物半導體) 電晶體。同樣，本發明亦可應用於半導體裝置之任何介電質，諸如非揮發性記憶體之閘極間介電層或儲存電容器之介電層，其全部在本發明精神及範疇內。

詳言之，參看圖 4，一 MOS (金屬氧化物半導體) 電晶體 41 包括一半導體基板 100、一形成於基板 100 上之矽酸鹽介面層 120a，及一形成於矽酸鹽介面層 120a 之上用以形成閘極介電層 120 之高 k 介電層 120b。矽酸鹽介面層 120a 及高 k 介電層 120b 均係由關於圖 1 所述之介電材料形成。此外，MOS (金屬氧化物半導體) 電晶體 41 可進一步包含一閘電極 130，該閘電極包括 (例如) 一多晶矽層 130a、一矽化物層 130b 及一形成於鄰接閘電極 130 處的源極/汲極區域。閘電極 130 可由金屬形成。視需要，可沿著閘電極 130 之相對側形成一隔片 150，以完成具有一通道區域 107 之半導體裝置 41。

參看圖 5，根據另一實施例，一非揮發性記憶體裝置 51

包括一半導體基板200、一具有一覆於基板200上之閘極絕緣層209之浮動閘極210、一形成於浮動閘極210之上的矽酸鹽介面層220a，及一形成於矽酸鹽介面層220a之上用以形成閘極間介電層220的高k介電層220b。矽酸鹽介面層220a及高k介電層220b均由關於圖1所述之介電材料形成。同樣，一控制閘極230覆於閘極間介電層220上。如此項技術中已知，控制閘極230可包括一多晶矽層230a及一矽化物層230b。可另外形成諸如隔片250及源極/汲極區域206之其它習知結構以完成具有通道區域207之非揮發性記憶體裝置51。在該實施例中，關於圖1所述之多層介電結構僅可應用於閘極間介電層220或閘極絕緣層209。或者，該多層介電結構可應用於閘極間介電層220及閘極絕緣層209。

參看圖6，根據另一實施例，一電容器61包括一下端電極310、一形成於下端電極310之上的矽酸鹽介面層320a，及一形成於矽酸鹽介面層320a之上以形成一電容器介電層320的高k介電層320b。矽酸鹽介面層320a及高k介電層320b係由關於圖1所述之介電材料形成。電容器61另外包含一覆於電容器介電層320上之上端電極330。電容器61電連接至一半導體基板300。

應注意，在本發明之精神及範疇內，圖1至圖6所示之基板10可為半導體或導體，諸如摻雜的多晶矽。同樣，基板10亦可為單結晶矽基板或絕緣物上矽(SOI)基板。

圖7為說明對使用參看圖4所述之實施例所形成之結構的結構分析圖，其中矽酸鹽介面層120a可為 HfSiO_2 ，且高k介

電層可具有式 $\text{Hf}_{0.67}\text{Al}_{0.23}\text{O}_{1.67}$ 。

參看圖 7，符號 ① 指示矽濃度，符號 ② 指示鉛濃度，且符號 ③ 指示鋁濃度。較佳地，鉛及鋁二者在整個高 k 介電層 120b 中均具有均勻之濃度。矽酸鹽介面層 120a 可包含自高 k 介電層 120b 擴散之鋁原子，且高 k 介電層 120b 可包含自矽酸鹽介面層 120a 擴散之矽原子。

此外，在矽酸鹽介面層 120a 中，鋁濃度自矽酸鹽介面層 120a 之上表面朝基板 100 減小，且矽濃度自矽酸鹽介面層 120a 之上表面朝高 k 介電層 120b 之上表面減小。

或者，由式 $\text{A}_y\text{B}_{1-y}\text{O}_z$ 表示的高 k 介電層 120b 中的 y 值可自矽酸鹽介面層 120a 與高 k 介電層 120b 之底表面之間的介面朝高 k 介電層 120b 之上表面減小。A 之濃度沿著高 k 介電層 120b 之厚度具有一梯度。同樣，在高 k 介電層 120b 內，B 之濃度可與 A 之濃度成反比。換言之，y 值可端視閘極介電層 120 之高度而變化。若 A 與矽酸鹽介面層 120a 之金屬 M 相同，且 B 包括與上層電極結構(諸如閘電極、控制閘極或電容器上端電極)在化學上穩定的材料，則尤其如此。因此，用本發明之此等實施例可形成可靠之半導體裝置結構。

根據本發明之另一態樣，區段 Q 中 ② 與 ③ 之濃度可端視閘極介電層 120 之高度由一些函數來步進或改變。

總之，與諸如併有氮化矽或氮氧化物介面層或無介面層的矽酸鹽表體層(bulk layer)之先前技術介電層結構相比，用本發明之實施例可改良介面特性且可保持或減少 EOT(等效氧化物厚度)。換言之，藉由結合矽酸鹽介面層 12 與高 k

介電層 14，可達成具有改良之介面特性之低EOT(等效氧化物厚度)，該矽酸鹽介面層 12之介電常數較佳大於氧化矽、氮化矽或氮氧化物中任一者之介電常數。

在以本發明之較佳實施例描述及說明其原則之後，應明白，可不脫離此等原則在配置與細節上修改本發明。吾等主張在下列申請專利範圍之精神及範疇內的所有修改及變化。

【圖式簡單說明】

圖 1 為說明根據本發明之一實施例之半導體裝置的橫截面視圖。

圖 2 為根據本發明之另一實施例之半導體裝置的橫截面視圖。

圖 3 為根據本發明之另一實施例之半導體裝置的橫截面視圖。

圖 4 說明用於 MOS(金屬氧化物半導體)電晶體中的本發明之一實施例。

圖 5 說明用於非揮發性記憶體裝置中的本發明之一實施例。

圖 6 說明用於電容器中的本發明之一實施例。

圖 7 為說明對使用參看圖 4 所述之實施例而形成之結構的結構分析。

【主要元件符號說明】

10	半導體基板
12	矽酸鹽介面層

14	高k介電層
15	多層介電結構
18	第一層
20	第二層
22	最上層
24	導電層
41	MOS(金屬氧化物半導體)電晶體
51	非揮發性記憶體裝置
61	電容器
100	半導體基板
107	通道區域
120	閘極介電層
120a	矽酸鹽介面層
120b	高k介電層
130	閘電極
130a	多晶矽層
130b	矽化物層
150	隔片
200	半導體基板
206	源極/汲極區
207	通道區域
209	閘極絕緣層
210	浮動閘極
220	閘極間介電層

220a	矽酸鹽介面層
220b	高k介電層
230	控制閘極
230a	多晶矽層
230b	矽化物層
250	隔片
300	半導體基板
310	下端電極
320	電容器介電層
320a	矽酸鹽介面層
320b	高k介電層
330	上端電極

五、中文發明摘要：

本發明揭示一種半導體裝置，其包括一矽酸鹽介面層及一覆於該矽酸鹽介面層上的高k(介電係數)介電層。該高k介電層包括金屬合金氧化物。

六、英文發明摘要：

DIELECTRIC LAYER FOR SEMICONDUCTOR DEVICE
AND METHOD OF MANUFACTURING THE SAME

ABSTRACT

5

A semiconductor device comprises a silicate interface layer and a high-k dielectric layer overlying the silicate interface layer. The high-k dielectric layer comprises metal alloy oxides.

原文說明書電子檔名:
P:\Foreign Spec\ -filing
存檔人:

十、申請專利範圍：

1. 一種用於一半導體裝置之多層結構，其包括：
 - 一矽酸鹽介面層；及
 - 一覆於該矽酸鹽介面層上之高k介電層，該高k介電層包括金屬合金氧化物。
2. 如請求項1之多層結構，其中該等金屬合金氧化物包含至少兩互相擴散之金屬元素。
3. 如請求項1之多層結構，其中該等至少兩金屬元素係在一原子級上均勻混合。
4. 如請求項1之多層結構，其中該等金屬合金氧化物包括至少兩不同金屬氧化物之一混合物。
5. 如請求項4之多層結構，其中該等金屬氧化物係經選擇以具有該高k介電層之一最小淨固定電荷。
6. 如請求項4之多層結構，其中該等金屬氧化物包括氧化鉛、氧化鋯、氧化鈮、氧化鋁、氧化鈦、氧化鈮、氧化鋇、氧化釷、氧化釷或氧化鋇。
7. 如請求項1之多層結構，其中該金屬合金氧化物包括鉛鋁合金氧化物、鋯鋁合金氧化物、鈮鋁合金氧化物、鈦鋁合金氧化物、鈮鋁合金氧化物或鉛鋯鋁氧化物。
8. 如請求項1之多層結構，其中該高k介電層具有一大於該矽酸鹽介面層之介電常數的介電常數。
9. 如請求項1之多層結構，其中該矽酸鹽介面層具有一大於氮化矽、氧化矽或氮氧化矽中任一者之介電常數的介電常數。

10. 如請求項1之多層結構，其中該矽酸鹽介面層具有一約為5埃至50埃之厚度。
11. 如請求項10之多層結構，其中該矽酸鹽介面層具有一約為5埃至10埃之厚度。
12. 如請求項1之多層結構，其中該矽酸鹽介面層係由一由一分子式 $M_{1-x}Si_xO_2$ 表示之金屬矽酸鹽材料所形成。
13. 如請求項12之多層結構，其中該金屬"M"係選自於由鈦(Hf)、鋯(Zr)、鉭(Ta)、鈦(Ti)、釷(Sc)、釔(Y)、鏷(La)及鋁(Al)組成之群。
14. 如請求項12之多層結構，其中 $1-x$ 大於或等於約0.1。
15. 如請求項12之多層結構，其中 $1-x$ 不大於約0.5。
16. 如請求項12之多層結構，其中 $1-x$ 為約0.2至約0.4。
17. 如請求項13之多層結構，其中該金屬合金氧化物係由一分子式 $A_yB_{1-y}O_z$ 來表示，且其中 $0 < y < 1$ 。
18. 如請求項17之多層結構，其中A與M相同或來自與M相同之週期表群族。
19. 如請求項17之多層結構，其中A及M為一IV族金屬且B為一XIII族金屬。
20. 如請求項17之多層結構，其中A為鈦或鋯；且B為鋁。
21. 如請求項17之多層結構，其中 y 為約0.5至約0.9。
22. 如請求項17之多層結構，其中A與B之一組合比係在約1：1與約5：1之間。
23. 如請求項22之多層結構，其中A與B之該組合比約為2：1。
24. 如請求項23之多層結構，其中A為鈦或鋯；且B為鋁。

25. 如請求項24之多層結構，其中該矽酸鹽介面層包含自該高k介電層擴散之鋁原子。
26. 如請求項17之多層結構，其中y之值自該矽酸鹽介面層與該高k介電層之一底表面之間的一介面朝該高k介電層的一上表面減小，且其中A之濃度沿著該高k介電層之該厚度具有一梯度。
27. 如請求項17之多層結構，其中在該高k介電層內，B之濃度與A之濃度成反比。
28. 如請求項17之多層結構，其中該高k介電層包含自該矽酸鹽介面層擴散之矽原子。
29. 如請求項1之多層結構，其中該高k介電層具有一大體上非晶形結晶結構。
30. 如請求項1之多層結構，其中該高k介電層係形成一約為2埃至60埃之厚度。
31. 一種形成一用於一半導體裝置之多層結構之方法，其包括：
形成一矽酸鹽介面層；及
形成一覆於該矽酸鹽介面層上之高k介電層，該高k介電層包括金屬合金氧化物。
32. 如請求項31之方法，其中該形成該高k介電層之步驟包括：
由ALD(原子層沉積)形成一具有一第一金屬元素之第一層；
由ALD(原子層沉積)形成一覆於該第一層上且具有一

第二金屬元素之第二層；及

在一允許該第一金屬元素與該第二金屬元素互相擴散之溫度下，退火所得結構。

33. 如請求項32之方法，其中該退火溫度大於約900°C。
34. 如請求項32之方法，其中該第一層具有一第一預定電荷且該第二層具有一與該第一層之預定電荷相反之第二預定電荷。
35. 如請求項34之方法，其中該第一預定電荷為一正固定電荷且該第二預定電荷為一負固定電荷。
36. 如請求項32之方法，在該退火步驟之前，其進一步包括形成一或多個額外之第一及第二層之步驟。
37. 如請求項36之方法，其中最上層包括氧化鋁。
38. 如請求項32之方法，其中該第二層約為該第一層之厚度的一半。
39. 如請求項38之方法，其中將該第一層形成為一約10埃之厚度且將該第二層形成為一約5埃之厚度。
40. 如請求項32之方法，其中該第一層係由氧化鈰、氧化鋳、氧化鉭、氧化鋁、氧化鈦、氧化釷、氧化鋇、氧化鈳、氧化釷或氧化鋇形成；且該第二層係由氧化鋁形成。
41. 如請求項31之方法，其中該矽酸鹽介面層係由一金屬矽酸鹽材料($M_{1-x}Si_xO_2$)形成。
42. 如請求項41之方法，其中該1-x約為0.1至0.5，且其中該金屬"M"係選自由鈰(Hf)、鋳(Zr)、鉭(Ta)、鈦(Ti)、釷(Sc)、釷(Y)、釷(La)及鋁(Al)組成之群。

43. 如請求項42之方法，其中該 $1-x$ 約為0.2至0.4。
44. 如請求項31之方法，其中該形成該矽酸鹽介面層之步驟係由一ALD(原子層沉積)技術、一MOCVD(金屬有機化學氣相沉積)技術或一反應性濺鍍技術來執行。
45. 如請求項31之方法，其中該高k介電層具有至少兩互相擴散之金屬元素，其中該形成該高k介電層係由一MOCVD(金屬有機化學氣相沉積)技術或一反應性濺鍍技術來形成，且其中同時供應該等兩金屬元素之來源以形成該高k介電層。
46. 如請求項31之方法，其中該等金屬合金氧化物包含至少兩互相擴散之不同金屬元素。
47. 如請求項46之方法，其中該等至少兩不同之互相擴散之金屬元素係在一原子級上均勻混合。
48. 如請求項31之方法，其中該高k介電層具有一大於該矽酸鹽介面層之介電常數的介電常數。
49. 如請求項31之方法，其中該高k介電層之一厚度在一約2埃至60埃之範圍內。
50. 一種由請求項32之製程形成之半導體裝置。
51. 一種由請求項45之製程形成之半導體裝置。
52. 一種半導體裝置，其包括：
 - 一基板；
 - 一形成於該基板之上的矽酸鹽介面層；及
 - 一形成於該矽酸鹽介面層之上之高k介電層，該高k介電層包括金屬合金氧化物；

- 一 閘電極；及
 - 一 形成於鄰接該閘電極處的源極/汲極區域。
53. 如請求項52之方法，其中該高k介電層具有一大於該矽酸鹽介面層之介電常數的介電常數。
54. 如請求項53之半導體裝置，其中該閘電極係由一金屬或多晶矽形成。
55. 一種非揮發性記憶體，其包括：
- 一 基板；
 - 一 閘極絕緣層；
 - 一 覆於該基板上之浮動閘極；
 - 一 形成於該浮動閘極之上的矽酸鹽介面層；
 - 一 形成於該矽酸鹽介面層之上之高k介電層，該高k介電層包括金屬合金氧化物；及
 - 一 覆於該高k介電層上之控制閘極。
56. 如請求項55之非揮發性記憶體，其中該高k介電層具有一大於該矽酸鹽介面層之介電常數的介電常數。
57. 如請求項55之非揮發性記憶體，其中該閘極絕緣層包括一額外之矽酸鹽介面層及一形成於該額外之矽酸鹽介面層之上之額外的高k介電層，該高k介電層包括金屬合金氧化物。
58. 一種非揮發性記憶體，其包括：
- 一 基板；
 - 一 形成於該基板之上的矽酸鹽介面層；
 - 一 形成於該矽酸鹽介面層之上之高k介電層，該高k介

電層包括金屬合金氧化物；

一覆於該基板上之浮動閘極；

一閘極間介電層；及

一覆於該閘極間介電層上之控制閘極。

59. 一種用於一半導體裝置之電容器，其包括：

一下端電極；

一形成於該下端電極之上的矽酸鹽介面層；

一形成於該矽酸鹽介面層之上的高k介電層，該高k介電層包括金屬合金氧化物；及

一上端電極。

60. 如請求項59之電容器，其中該高k介電層具有一大於該矽酸鹽介面層之介電常數的介電常數。

十一、圖式：

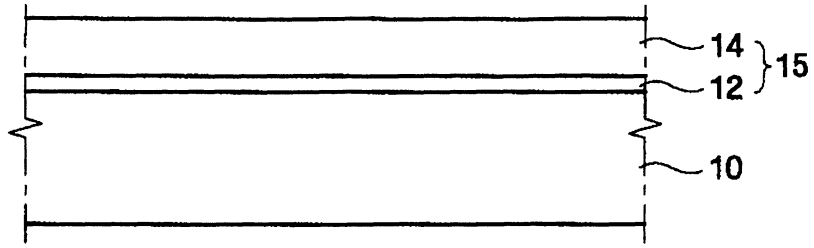


圖 1

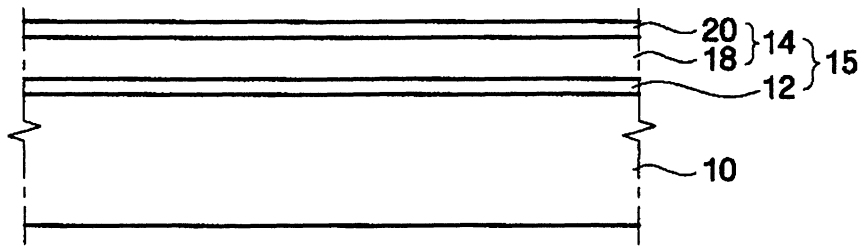


圖 2

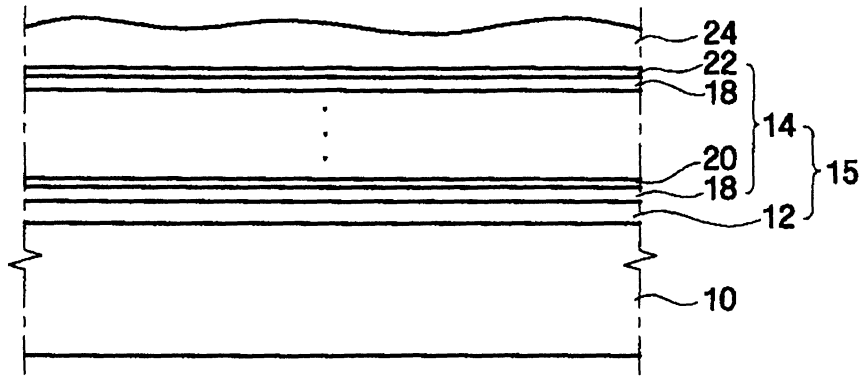


圖 3

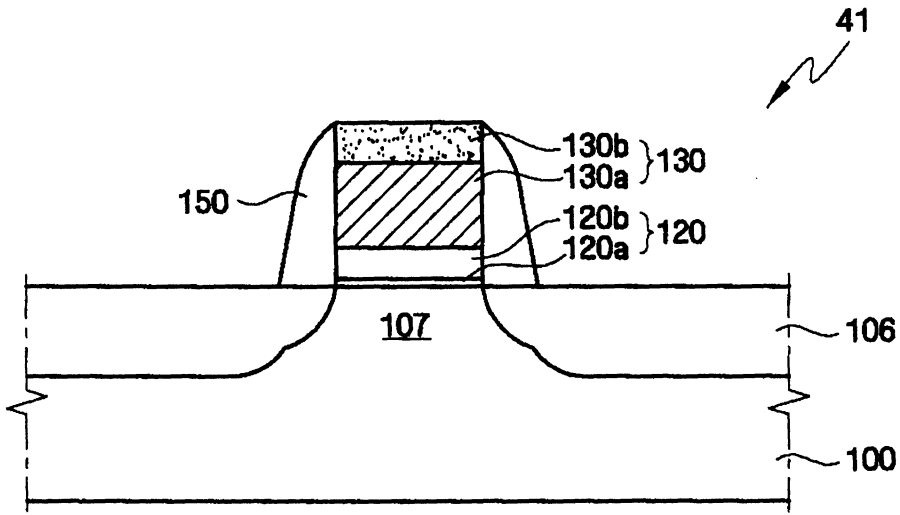


圖 4

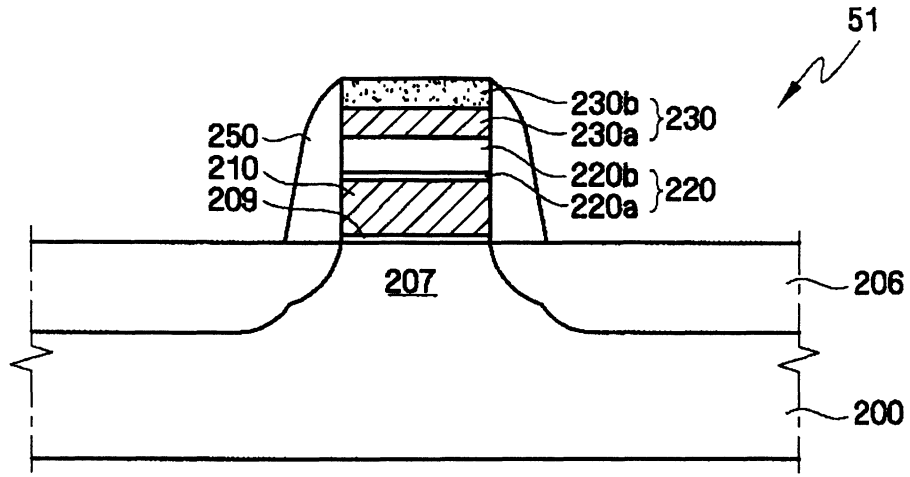


圖 5

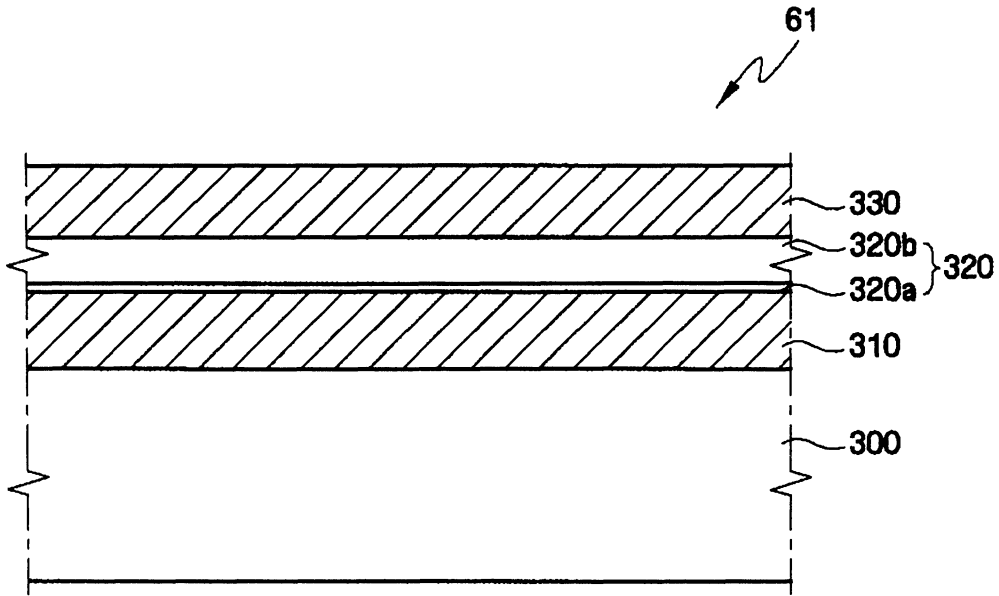


圖 6

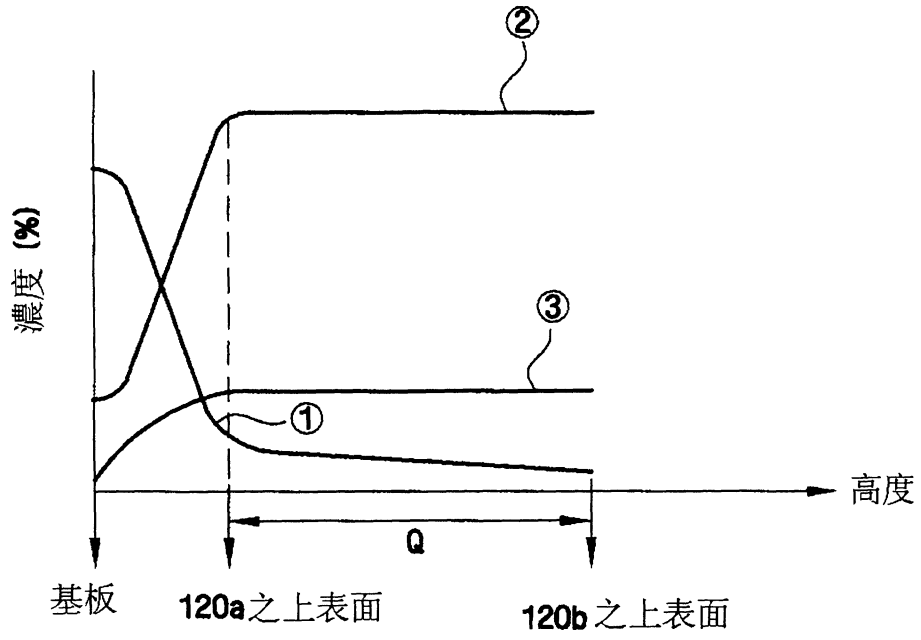


圖 7

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|----|--------|
| 10 | 半導體基板 |
| 12 | 矽酸鹽介面層 |
| 14 | 高k介電層 |
| 15 | 多層介電結構 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)