(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0010102
(43) 공개일자 2014년01월23일

(51) 국제특허분류(Int. Cl.)
H03H 9/17 (2006.01) *H03H 9/54* (2006.01)
H01L 21/3205 (2006.01) *H04B 1/40* (2006.01)
(21) 출원번호 10-2013-7025468
(22) 출원일자(국제) 2012년03월08일
심사청구일자 없음
(85) 번역문제출일자 2013년09월26일
(86) 국제출원번호 PCT/JP2012/055970
(87) 국제공개번호 WO 2012/137574
국제공개일자 2012년10월11일
(30) 우선권주장
JP-P-2011-081573 2011년04월01일 일본(JP)

(71) 출원인
르네사스 일렉트로닉스 가부시키가이샤
일본 가나가와껭 가와사끼시 나까하라꾸 시모누마베 1753
(72) 발명자
아사이, 겐고
일본 100-8280 도꾜도 지요다꾸 마루노우찌 1쪼메 6-6 가부시키가이샤 히타치세이사쿠쇼 내
이소베, 아쯔시
일본 100-8280 도꾜도 지요다꾸 마루노우찌 1쪼메 6-6 가부시키가이샤 히타치세이사쿠쇼 내
(74) 대리인
박충범, 장수길, 이중희

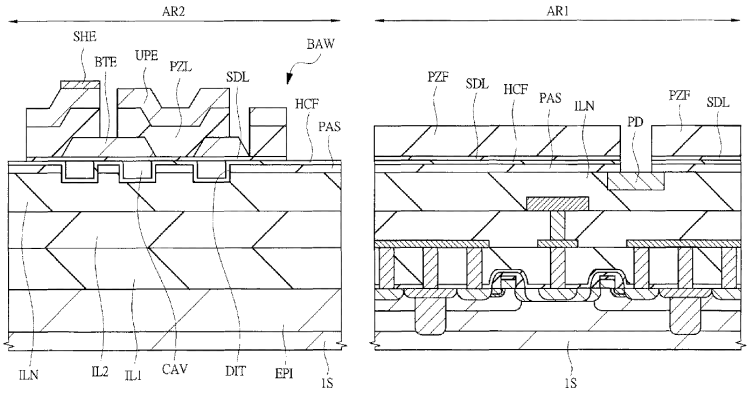
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 **반도체 장치 및 그 제조 방법과 휴대 전화기**

(57) 요 약

예를 들어, 휴대 전화기로 대표되는 이동체 통신 기기에 있어서, 송신 필터나 수신 필터를 전력 증폭기와 동일한 반도체 기판에 형성하는 경우에, 전력 증폭기로부터의 열이 송신 필터나 수신 필터에 미치는 영향을 가능한 한 저감하여, 송신 필터나 수신 필터의 필터 특성(전기적 특성)을 유지할 수 있는 기술을 제공한다. LDMOSFET이 형성되어 있는 영역 AR1 및 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역 AR2를 포함하는 반도체 기판(1S)의 전체 영역에서, 패시베이션막 PAS 위에 고열전도율막 HCF를 형성하고 있다. 이에 의해, 주로 LDMOSFET에 의해 발생한 열이, 반도체 기판(1S)의 전체면에 형성되어 있는 고열전도율막 HCF에 의해, 효율 좋게 사방팔방으로 방산된다.

대 표 도



특허청구의 범위

청구항 1

(a) 반도체 기판과,

(b) 상기 반도체 기판의 제1 영역에 형성된 반도체 소자와,

(c) 상기 반도체 소자를 덮는 상기 반도체 기판 위에 형성된 절연막과,

(d) 상기 절연막 위에 형성된 막으로서, 상기 절연막보다도 열전도율이 높은 고열전도율막과,

(e) 상기 반도체 기판의 제2 영역 위에 형성된 상기 절연막 위에 상기 고열전도율막을 개재하여 형성된 박막 압전 벌크파 공진기를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 고열전도율막과 상기 박막 압전 벌크파 공진기의 사이에, 상기 고열전도율막보다도 열전도율이 낮은 저열전도율막이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서,

상기 반도체 기판은, 상기 제1 영역과 상기 제2 영역의 사이에 제3 영역을 갖고,

상기 반도체 기판의 상기 제3 영역 위에 형성된 상기 절연막의 표면에 요철 형상이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서,

상기 반도체 기판의 상기 제1 영역 위에 형성된 상기 절연막의 표면에 요철 형상이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서,

상기 반도체 기판의 상기 제1 영역의 주위에는, 상기 절연막의 표면으로부터 상기 반도체 기판에 달하는 홈이 형성되어 있으며, 상기 홈의 내부에 도전성 재료가 매립되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6

제1항에 있어서,

상기 고열전도율막은, 질화알루미늄막, 또는 산화마그네슘막으로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제2항에 있어서,

상기 저열전도율막은, 산화알루미늄막, 또는 질화실리콘막으로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 8

제1항에 있어서,

상기 박막 압전 벌크파 공진기는,

(e1) 상기 고열전도율막 위에 형성된 음향 절연부와,

(e2) 상기 음향 절연부 위에 형성된 하부 전극과,

(e3) 상기 하부 전극 위에 형성된 압전층과,

(e4) 상기 압전층 위에 형성된 상부 전극을 갖는 것을 특징으로 하는 반도체 장치.

청구항 9

제8항에 있어서,

상기 음향 절연부는, 상기 절연막에 형성된 오목부와 상기 하부 전극 사이에 끼워진 공동부로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 10

제8항에 있어서,

상기 음향 절연부는, 상기 절연막에 형성된 오목부에 매립된 음향 미러로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 11

(a) 기저 대역 신호를 처리하는 기저 대역부와,

(b) 상기 기저 대역부에 의해 처리된 상기 기저 대역 신호를 송신 신호로 변조하는 RFIC부와,

(c) 상기 RFIC부에 의해 변조된 상기 송신 신호의 전력을 증폭하는 전력 증폭기와,

(d) 상기 전력 증폭기에 의해 증폭된 상기 송신 신호의 주파수 대역을 통과 대역으로 하는 송신 필터와,

(e) 상기 송신 필터를 통과한 상기 송신 신호를 송신하는 안테나와,

(f) 상기 안테나에 의해 수신한 수신 신호의 주파수 대역을 통과 대역으로 하는 수신 필터와,

(g) 상기 수신 필터를 통과한 상기 수신 신호를 증폭하는 저잡음 증폭기를 구비하고,

상기 RFIC부는, 상기 저잡음 증폭기에 의해 증폭된 상기 수신 신호를 복조하는 기능을 더 갖는 휴대 전화기로서,

상기 전력 증폭기는, 상기 송신 신호를 증폭하기 위한 증폭용 트랜지스터를 포함하고,

상기 송신 필터 및 상기 수신 필터는, 복수의 박막 압전 벌크파 공진기로 구성되며,

상기 전력 증폭기와 상기 송신 필터와 상기 수신 필터는 동일한 반도체 칩에 형성되어 있으며,

상기 반도체 칩은,

(f1) 반도체 기판과,

(f2) 상기 반도체 기판의 제1 영역에 형성된 상기 증폭용 트랜지스터와,

(f3) 상기 증폭용 트랜지스터를 덮는 상기 반도체 기판 위에 형성된 절연막과,

(f4) 상기 절연막 위에 형성된 막으로서, 상기 절연막보다도 열전도율이 높은 고열전도율막과,

(f5) 상기 반도체 기판의 제2 영역 위에 형성된 상기 절연막 위에 상기 고열전도율막을 개재하여 형성된 상기 박막 압전 벌크파 공진기를 갖는 것을 특징으로 하는 휴대 전화기.

청구항 12

제11항에 있어서,

상기 고열전도율막과 상기 박막 압전 벌크파 공진기의 사이에, 상기 고열전도율막보다도 열전도율이 낮은 저열전도율막이 형성되어 있는 것을 특징으로 하는 휴대 전화기.

청구항 13

제11항에 있어서,

상기 반도체 기판은, 상기 제1 영역과 상기 제2 영역의 사이에 제3 영역을 갖고,

상기 반도체 기판의 상기 제3 영역 위에 형성된 상기 절연막의 표면에 요철 형상이 형성되어 있는 것을 특징으로 하는 휴대 전화기.

청구항 14

제11항에 있어서,

상기 반도체 기판의 상기 제1 영역 위에 형성된 상기 절연막의 표면에 요철 형상이 형성되어 있는 것을 특징으로 하는 휴대 전화기.

청구항 15

제11항에 있어서,

상기 반도체 기판의 상기 제1 영역의 주위에는, 상기 절연막의 표면으로부터 상기 반도체 기판에 달하는 홈이 형성되어 있으며, 상기 홈의 내부에 도전성 재료가 매립되어 있는 것을 특징으로 하는 휴대 전화기.

청구항 16

제11항에 있어서,

상기 전력 증폭기에 포함되는 상기 증폭용 트랜지스터는, LDMOSFET인 것을 특징으로 하는 휴대 전화기.

청구항 17

제11항에 있어서,

상기 전력 증폭기에 포함되는 상기 증폭용 트랜지스터는, 헤테로 접합 바이폴라 트랜지스터인 것을 특징으로 하는 휴대 전화기.

청구항 18

제11항에 있어서,

상기 휴대 전화기는, 주파수 대역이 서로 다른 복수의 송신 신호를 송신하도록 구성되고, 또한 주파수 대역이 서로 다른 복수의 수신 신호를 수신하도록 구성되며,

상기 휴대 전화기는, 송신 시에 상기 주파수 대역이 서로 다른 복수의 송신 신호 중 어느 하나로부터 송신해야 할 신호를 선택하고, 또는 수신 시에 상기 주파수 대역이 서로 다른 복수의 수신 신호 중 어느 하나로부터 수신해야 할 신호를 선택하기 위한 안테나 스위치를 갖고,

상기 안테나 스위치는, 상기 전력 증폭기와 상기 송신 필터와 상기 수신 필터를 형성한 상기 반도체 칩에 형성되어 있는 것을 특징으로 하는 휴대 전화기.

청구항 19

동일한 반도체 기판 위에 형성된 박막 압전 벌크파 공진기와 반도체 소자를 구비하고,

상기 박막 압전 벌크파 공진기는,

음향 절연부와,

상기 음향 절연부 위에 형성된 하부 전극과,

상기 하부 전극 위에 형성된 압전층과,

상기 압전층 위에 형성된 상부 전극을 갖는 반도체 장치의 제조 방법으로서,

(a) 상기 반도체 기판의 제1 영역에 상기 반도체 소자를 형성하는 공정과,

(b) 상기 (a) 공정 후, 상기 반도체 소자를 덮도록 상기 반도체 기판 위에 절연막을 형성하는 공정과,

(c) 상기 (b) 공정 후, 상기 반도체 기판의 제2 영역에 형성되어 있는 상기 절연막의 표면에 오목부를 형성하는 공정과,

(d) 상기 (c) 공정 후, 상기 절연막 위에 보호막을 형성하는 공정과,

(e) 상기 (d) 공정 후, 상기 오목부를 매립하는 희생층을 형성하는 공정과,

(f) 상기 (e) 공정 후, 상기 희생층 위를 포함하는 상기 보호막 위에 제1 도체막을 형성하는 공정과,

(g) 상기 (f) 공정 후, 상기 제1 도체막을 패터닝함으로써, 상기 반도체 기판의 상기 제2 영역 위에 형성되어 있는 상기 희생층 및 상기 보호막 위에 상기 하부 전극을 형성하는 공정과,

(h) 상기 (g) 공정 후, 상기 하부 전극 위를 포함하는 상기 보호막 위에 압전막을 형성하는 공정과,

(i) 상기 (h) 공정 후, 상기 압전막 위에 제2 도체막을 형성하는 공정과,

(j) 상기 (i) 공정 후, 상기 제2 도체막 및 상기 압전막을 패터닝함으로써, 상기 압전층 및 상기 상부 전극을 형성하는 공정과,

(k) 상기 (j) 공정 후, 상기 오목부에 매립되어 있는 상기 희생층을 에칭함으로써 제거하여 상기 음향 절연부로 되는 공동부를 형성하는 공정을 구비하고,

상기 보호막은, 상기 오목부에 매립되어 있는 상기 희생층을 에칭할 때의 에칭 스토퍼로 되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20

제19항에 있어서,

상기 보호막은, 상기 절연막보다도 열전도율이 높은 고열전도율막으로 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21

제19항에 있어서,

상기 희생층은, 산화실리콘막으로 형성되어 있으며,

상기 보호막은, 상기 산화실리콘막과의 에칭 선택비가 취해지는 막으로 형성되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22

제21항에 있어서,

상기 보호막은, 질화알루미늄막으로 형성되어 있으며,

상기 (k) 공정은, 불산을 사용하여 상기 희생층을 에칭하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 23

제19항에 있어서,

상기 (d) 공정과 상기 (e) 공정의 사이에,

(l) 상기 보호막 위에 상기 보호막보다도 열전도율이 낮은 저열전도율막을 형성하는 공정과,

(m) 상기 (l) 공정 후, 상기 저열전도율막을 패터닝함으로써, 상기 반도체 기판의 상기 제2 영역 위에 상기 저열전도율막을 잔존시키는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 24

제19항에 있어서,

상기 반도체 기판은, 상기 제1 영역과 상기 제2 영역의 사이에 제3 영역을 갖고,

상기 (c) 공정은, 상기 반도체 기판의 상기 제3 영역에 형성되어 있는 상기 절연막의 표면에 요철 형상을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 25

제19항에 있어서,

상기 (c) 공정은, 상기 반도체 기판의 상기 제1 영역에 형성되어 있는 상기 절연막의 표면에 요철 형상을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 26

제19항에 있어서,

상기 (b) 공정과 상기 (c) 공정의 사이에,

(n) 상기 반도체 기판의 상기 제1 영역의 주위에, 상기 층간 절연막을 관통하는 홈을 형성하는 공정과,

(o) 상기 (n) 공정 후, 상기 홈의 내부에 도전 재료를 매립하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 장치 및 그 제조 방법과 휴대 전화기에 관한 것으로, 특히, 박막 압전 벌크파 공진기와 반도체 소자를 동일한 반도체 칩에 형성하는 기술에 적용하는데 유효한 기술에 관한 것이다.

배 경 기 술

[0002] 일본 특허 공개 제2002-175081호 공보(특허문헌 1)에는, 캐비티 위에 TFR(박막 공진기)을 제조하는 기술이 기재되어 있다. 이 기술에 있어서, 캐비티는 선택 에칭을 사용하여 형성할 수 있는 것으로 한다. 구체적으로, 캐비티는 저부 에칭 배리어를 형성하는 층 위에 덮인 고저항율 실리콘층을 에칭함으로써 형성되는 것으로 하고 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특허 공개 제2002-175081호 공보

발명의 내용

해결하려는 과제

[0004] 최근 들어, GSM(Global System for Mobile Communications)(등록 상표) 방식, PCS(Personal Communication Systems) 방식, PDC(Personal Digital Cellular) 방식 및 CDMA(Code Division Multiple Access) 방식과 같은 통신 방식으로 대표되는 이동체 통신 기기(예를 들어, 휴대 전화기)가 세계적으로 보급되고 있다.

[0005] 일반적으로, 휴대 전화기에서는, 기저 대역부에서 처리된 기저 대역 신호를 RFIC부에서 송신 신호(무선 주파수 신호)로 변조하고, 변조된 송신 신호의 전력을 전력 증폭기에 의해 증폭한다. 그리고, 송신 신호는, 송신 대역을 통과 대역으로 하는 송신 필터를 통하여, 안테나로부터 전파로서 방사된다. 한편, 안테나에 의해 수신된 수신 신호는, 수신 대역을 통과 대역으로 하는 수신 필터를 통해 저잡음 증폭기에 입력된다. 그리고, 저잡음 증폭기에서는, 수신 신호가 증폭되고, 증폭된 수신 신호는 RFIC부에서 기저 대역 신호로 복조된다. 그 후, 복조된 기저 대역 신호는 기저 대역부에서 처리된다. 이와 같이 하여, 휴대 전화기에서는, 송수신이 가능하게 되어 있다.

[0006] 전술한 바와 같이, 휴대 전화기에는, 송신 필터나 수신 필터가 설치되어 있지만, 이 송신 필터나 수신 필터는, 예를 들어 SAW(Surface Acoustic Wave) 필터로 형성되어 있다. SAW 필터는, 표면 탄성파의 원리를 사용한 필터이며, 리튬탄탈레이트($LiTaO_3$)나 수정 등으로 이루어지는 압전 기판 위에 형성한 빗살형 전극의 구조 주기에 의해 특정 파장의 신호만을 통과시키는 필터이다.

[0007] 여기서, 최근에는, 휴대 전화기의 또 다른 다기능화와 소형 경량화를 위해서 휴대 전화기를 구성하는 부품의 집적화가 추진되어 있다. 이 일례로서, 송신 필터 및 수신 필터와, 전력 증폭기를 동일한 반도체 기판(반도체 칩) 위에 형성하는 것이 검토되고 있다. 그런데, 전력 증폭기를 구성하는 증폭용 트랜지스터는 반도체 기판 위에 형성되는 것에 반하여, 송신 필터나 수신 필터를 구성하는 SAW 필터는, 압전 기판 위에 형성된다. 따라서, 송신 필터나 수신 필터에 SAW 필터를 사용하고 있는 한, 전력 증폭기와 송신 필터 및 수신 필터를 동일한 반도체 기판 위에 형성할 수는 없다.

[0008] 따라서, SAW 필터를 대신하는 필터로서 BAW(Bulk Acoustic Wave) 필터가 주목받고 있다. 이 BAW 필터는, 예를 들어 질화알루미늄(AlN)이나 산화아연(ZnO) 등의 압전막을, 예를 들어 몰리브덴(Mo)으로 이루어지는 상부 전극과 하부 전극을 사이에 두고 끼워진 박막 압전 벌크파 공진기로 구성되는 필터이다. 전술한 SAW 필터가 표면 탄성파를 이용하는 것에 반하여, BAW 필터는 벌크 탄성파라 불리는 압전막 자체의 공진 진동을 이용하는 점에서, SAW 필터와 BAW 필터는 상이하다. 이 BAW 필터는, 압전막 자체의 공진 진동을 이용하는 것이기 때문에, 압전막을 형성하는 기판 자체를 압전 기판으로 할 필요는 없으며, 다양한 기판 위에 형성할 수 있다. 이러한 점에서, BAW 필터는, 예를 들어 실리콘으로 이루어지는 반도체 기판 위에 형성할 수 있다. 따라서, 송신 필터나 수신 필터에 BAW 필터를 사용함으로써, 전력 증폭기와 송신 필터 및 수신 필터를 동일한 반도체 기판 위에 형성할 수 있을 가능성이 높아진다고 생각된다. 즉, 전력 증폭기를 구성하는 증폭용 트랜지스터와, 송신 필터나 수신 필터를 구성하는 BAW 필터를 동일한 반도체 기판에 형성할 수 있을 가능성이 높아진다.

[0009] 그러나, 전력 증폭기와 송신 필터 및 수신 필터를 동일한 반도체 기판에 형성하는 경우, 전력 증폭기로부터의 발열의 영향이 송신 필터나 수신 필터에 미칠 것이 염려된다. 즉, 송신 필터나 수신 필터를 구성하는 박막 압전 벌크파 공진기의 공진 주파수는 온도 의존성을 가지므로, 전력 증폭기로부터의 열이 박막 압전 벌크파 공진기에까지 전해지면, 박막 압전 벌크파 공진기의 공진 주파수가 설계값으로부터 어긋나버리는 것이다. 이 결과, 송신 필터나 수신 필터의 필터 특성(전기적 특성)이 열화되게 된다. 특히, 이동체 통신 시스템에 있어서의 전송 용량의 증가나 전송 속도의 고속화에 수반하여, 휴대 전화기에서 취급하는 전력이 커지고 있어, 전력 증폭기로부터의 발열량은 증가하는 경향이 있다. 이러한 점에서, 송신 필터나 수신 필터와 전력 증폭기를 동일한 반도체 기판에 탑재하는 경우, 전력 증폭기로부터의 발열이 송신 필터나 수신 필터에 전해지는 것을 가능한 한 억제하고, 송신 필터나 수신 필터의 필터 특성(전기적 특성)에 미치는 영향을 억제할 필요가 있음을 알 수 있다.

[0010] 본 발명의 목적은, 예를 들어 휴대 전화기로 대표되는 이동체 통신 기기에 있어서, 송신 필터나 수신 필터를 전력 증폭기와 동일한 반도체 기판에 형성하는 경우에, 전력 증폭기로부터의 열이 송신 필터나 수신 필터에 미치는 영향을 가능한 한 저감하여, 송신 필터나 수신 필터의 필터 특성(전기적 특성)을 유지할 수 있는 기술을 제공하는 데 있다.

[0011] 본 발명의 상기 및 그 밖의 목적과 신규 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

과제의 해결 수단

[0012] 본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

[0013] 대표적인 실시 형태에 있어서의 반도체 장치는, (a) 반도체 기판과, (b) 상기 반도체 기판의 제1 영역에 형성된 반도체 소자와, (c) 상기 반도체 소자를 덮는 상기 반도체 기판 위에 형성된 절연막을 구비한다. 그리고, (d) 상기 절연막 위에 형성된 막으로서, 상기 절연막보다도 열전도율이 높은 고열전도율막과, (e) 상기 반도체 기판의 제2 영역 위에 형성된 상기 절연막 위에 상기 고열전도율막을 개재하여 형성된 박막 압전 벌크파 공진기를 구비하는 것을 특징으로 하는 것이다.

[0014] 또한, 대표적인 실시 형태에 있어서의 휴대 전화기는, (a) 기저 대역 신호를 처리하는 기저 대역부와, (b) 상기 기저 대역부에 의해 처리된 상기 기저 대역 신호를 송신 신호로 변조하는 RFIC부와, (c) 상기 RFIC부에 의해 변조된 상기 송신 신호의 전력을 증폭하는 전력 증폭기를 구비한다. 그리고, (d) 상기 전력 증폭기에 의해 증폭된 상기 송신 신호의 주파수 대역을 통과 대역으로 하는 송신 필터와, (e) 상기 송신 필터를 통과한 상기 송신 신호를 송신하는 안테나와, (f) 상기 안테나에 의해 수신한 수신 신호의 주파수 대역을 통과 대역으로 하는 수

신 필터를 구비한다. 또한, (g) 상기 수신 필터를 통과한 상기 수신 신호를 증폭하는 저잡음 증폭기를 구비하고, 상기 RFIC부는, 상기 저잡음 증폭기에 의해 증폭된 상기 수신 신호를 복조하는 기능을 더 갖는다. 여기서, 상기 전력 증폭기는, 상기 송신 신호를 증폭하기 위한 증폭용 트랜지스터를 포함하고, 상기 송신 필터 및 상기 수신 필터는, 복수의 박막 압전 벌크파 공진기로 구성되며, 상기 전력 증폭기와 상기 송신 필터와 상기 수신 필터는 동일한 반도체 칩으로 형성되어 있다. 이때, 상기 반도체 칩은, (f1) 반도체 기판과, (f2) 상기 반도체 기판의 제1 영역에 형성된 상기 증폭용 트랜지스터와, (f3) 상기 증폭용 트랜지스터를 덮는 상기 반도체 기판 위에 형성된 절연막을 갖는다. 또한, (f4) 상기 절연막 위에 형성된 막으로서, 상기 절연막보다도 열전도율이 높은 고열전도율막과, (f5) 상기 반도체 기판의 제2 영역 위에 형성된 상기 절연막 위에 상기 고열전도율막을 개재하여 형성된 상기 박막 압전 벌크파 공진기를 갖는 것을 특징으로 하는 것이다.

[0015] 또한, 대표적인 실시 형태에 있어서의 반도체 장치의 제조 방법은, 동일한 반도체 기판 위에 형성된 박막 압전 벌크파 공진기와 반도체 소자를 구비하고, 상기 박막 압전 벌크파 공진기는, 음향 절연부와, 상기 음향 절연부 위에 형성된 하부 전극과, 상기 하부 전극 위에 형성된 압전층과, 상기 압전층 위에 형성된 상부 전극을 갖는 반도체 장치의 제조 방법에 관한 것이다. 그리고, 상기 반도체 장치의 제조 방법은, (a) 상기 반도체 기판의 제1 영역에 상기 반도체 소자를 형성하는 공정과, (b) 상기 (a) 공정 후, 상기 반도체 소자를 덮도록 상기 반도체 기판 위에 절연막을 형성하는 공정과, (c) 상기 (b) 공정 후, 상기 반도체 기판의 제2 영역에 형성되어 있는 상기 절연막의 표면에 오목부를 형성하는 공정을 구비한다. 또한, (d) 상기 (c) 공정 후, 상기 층간 절연막 위에 보호막을 형성하는 공정과, (e) 상기 (d) 공정 후, 상기 오목부를 매립하는 희생층을 형성하는 공정과, (f) 상기 (e) 공정 후, 상기 희생층 위를 포함하는 상기 보호막 위에 제1 도체막을 형성하는 공정을 구비한다. 이어서, (g) 상기 (f) 공정 후, 상기 제1 도체막을 패터닝함으로써, 상기 반도체 기판의 상기 제2 영역 위에 형성되어 있는 상기 희생층 및 상기 보호막 위에 상기 하부 전극을 형성하는 공정과, (h) 상기 (g) 공정 후, 상기 하부 전극 위를 포함하는 상기 보호막 위에 압전막을 형성하는 공정을 구비한다. 계속해서, (i) 상기 (h) 공정 후, 상기 압전막 위에 제2 도체막을 형성하는 공정과, (j) 상기 (i) 공정 후, 상기 제2 도체막 및 상기 압전막을 패터닝함으로써, 상기 압전층 및 상기 상부 전극을 형성하는 공정을 구비한다. 그리고, (k) 상기 (j) 공정 후, 상기 오목부에 매립되어 있는 상기 희생층을 에칭함으로써 제거하여 상기 음향 절연부가 되는 공동부를 형성하는 공정을 구비한다. 여기서, 상기 보호막은, 상기 오목부에 매립되어 있는 상기 희생층을 에칭할 때의 에칭 스토퍼가 되는 것을 특징으로 하는 것이다.

발명의 효과

[0016] 본원에 있어서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.

[0017] 예를 들어, 휴대 전화기로 대표되는 이동체 통신 기기에 있어서, 송신 필터나 수신 필터를 전력 증폭기와 동일한 반도체 기판에 형성하는 경우에, 전력 증폭기로부터의 열이 송신 필터나 수신 필터에 전해지는 것을 억제하여, 송신 필터나 수신 필터의 필터 특성(전기적 특성)을 유지할 수 있다.

도면의 간단한 설명

[0018] 도 1은 휴대 전화기의 송수신부의 구성을 나타내는 블록도이다.

도 2는 실시 형태 1에 있어서의 전력 증폭기의 회로 블록을 나타낸 것이다.

도 3은 LDMOSFET의 단면 구조를 나타내는 단면도이다.

도 4는 박막 압전 벌크파 공진기의 모식적인 구성을 나타내는 도면이다.

도 5는 박막 압전 벌크파 공진기의 메커니즘을 설명하는 도면이다.

도 6은 박막 압전 벌크파 공진기의 주파수 특성을 나타내는 그래프이다.

도 7은 송신 필터의 구성을 나타내는 도면이다.

도 8은 안테나 단자와 송신 단자 사이에 직렬 접속된 박막 압전 벌크파 공진기의 주파수 특성과, 직렬 접속된 박막 압전 벌크파 공진기 각각의 노드와 접지의 사이에 접속된 박막 압전 벌크파 공진기의 주파수 특성을 나타내는 그래프이다.

도 9는 도 7에 도시한 송신 필터의 주파수 특성의 일례를 나타내는 그래프이다.

도 10은 FBAR형 공진기의 디바이스 구조를 나타내는 단면도이다.

도 11은 SMR형 공진기의 디바이스 구조를 나타내는 단면도이다.

도 12는 박막 압전 벌크파 공진기의 공진 주파수의 온도 특성을 나타내는 그래프이다.

도 13은 실시 형태 1에 있어서의 반도체 장치의 구성을 나타내는 단면도이다.

도 14는 실시 형태 1에 있어서의 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 15는 도 14에 계속되는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 16은 도 15에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 17은 도 16에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 18은 도 17에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 19는 도 18에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 20은 도 19에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 21은 도 20에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 22는 도 21에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 23은 도 22에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 24는 실시 형태 2에 있어서의 반도체 장치의 구성을 나타내는 단면도이다.

도 25는 실시 형태 2에 있어서의 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 26은 도 25에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 27은 도 26에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 28은 도 27에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 29는 도 28에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 30은 도 29에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 31은 도 30에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 32는 실시 형태 3에 있어서의 반도체 장치의 구성을 나타내는 단면도이다.

도 33은 실시 형태 3에 있어서의 반도체 장치의 변형예를 나타내는 단면도이다.

도 34는 실시 형태 3에 있어서의 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 35는 도 34에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 36은 도 35에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 37은 도 36에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 38은 도 37에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 39는 도 38에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 40은 도 39에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 41은 도 40에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 42는 도 41에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 43은 도 42에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 44는 실시 형태 4에 있어서의 반도체 장치의 구성을 나타내는 단면도이다.

도 45는 실시 형태 4에 있어서의 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 46은 도 45에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 47은 도 46에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 48은 도 47에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 49는 도 48에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 50은 도 49에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 51은 도 50에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 52는 도 51에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 53은 도 52에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 54는 도 53에 이어지는 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 55는 실시 형태 5에 있어서의 HBT의 디바이스 구조를 나타내는 단면도이다.

도 56은 실시 형태 5에 있어서의 반도체 장치의 구성을 나타내는 단면도이다.

도 57은 실시 형태 6에 있어서의 휴대 전화기의 송수신부의 구성을 나타내는 블록도이다.

도 58은 실시 형태 6에 있어서의 MOSFET의 디바이스 구조를 나타내는 단면도이다.

도 59는 실시 형태 6에 있어서의 반도체 장치의 구성을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하의 실시 형태에 있어서는 편의상 그 필요가 있을 때는, 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 그들은 서로 무관계한 것이 아니라, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.

[0020] 또한, 이하의 실시 형태에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)으로 언급하는 경우, 특별히 명시한 경우 및 원리적으로 명백하게 특정한 수로 한정되는 경우 등을 제외하고, 그 특정한 수로 한정되는 것이 아니라, 특정한 수 이상이어도 이하이어도 된다.

[0021] 또한, 이하의 실시 형태에 있어서, 그 구성 요소(요소 스텝 등도 포함함)는 특별히 명시한 경우 및 원리적으로 명백하게 필수적이라고 생각되는 경우 등을 제외하고, 반드시 필수적인 것이 아닌 것은 물론이다.

[0022] 마찬가지로, 이하의 실시 형태에 있어서, 구성 요소 등의 형상, 위치 관계 등으로 언급할 때에는, 특별히 명시한 경우 및 원리적으로 명백하게 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 대해서도 마찬가지이다.

[0023] 또한, 실시 형태를 설명하기 위한 전체 도면에 있어서, 동일한 부재에는 원칙으로서 동일한 부호를 부여하고, 그 반복된 설명은 생략한다. 또한, 도면을 이해하기 쉽게 하기 위해 평면도이어도 해칭을 넣는 경우가 있다.

[0024] (실시 형태 1)

[0025] <휴대 전화기의 구성 및 동작>

[0026] 도 1은, 휴대 전화기의 송수신부의 구성을 나타내는 블록도이다. 도 1에 도시한 바와 같이, 휴대 전화기는 기저 대역부 BBU, 고주파 집적 회로부 RFICU, 전력 증폭기 PA, 송신 필터 TXF, 수신 필터 RXF, 이상기 PH 및 안테나 ANT를 갖고 있다.

[0027] 기저 대역부 BBU는, 송신 시에는 조작부를 통한 유저(통화자)로부터의 음성 신호(아날로그 신호)를 디지털 처리하여 기저 대역 신호를 생성할 수 있도록 구성되어 있다. 한편, 수신 시에는 디지털 신호인 기저 대역 신호로부터 음성 신호를 생성할 수 있도록 구성되어 있다.

[0028] 고주파 집적 회로부 RFICU는, 송신 시에는 기저 대역 신호를 변조하여 무선 주파수의 신호를 생성하고, 수신 시에는, 수신 신호를 복조하여 기저 대역 신호를 생성할 수 있도록 구성되어 있다. 구체적으로, 고주파 집적 회로부 RFICU는, 송신 믹서 TXMIX, 신시사이저(변조 신호원) SYN, 수신 믹서 RXMIX 및 저잡음 증폭기 LNA를 갖고 있다. 이때, 신시사이저 SYN은, 주파수가 안정된 수정 발진기 등의 기준 발진기를 사용하여 변조 신호를 얻도

록 한 회로이며, 송신 믹서 TXMIX 및 수신 믹서 RXMIX는, 주파수를 변환하는 주파수 변환기이다. 또한, 저잡음 증폭기 LNA는, 노이즈의 증대를 억제하면서 미약한 수신 신호를 증폭하는 것이다.

[0029] 전력 증폭기 PA는, 미약한 입력 신호와 서로 닮은 대전력의 신호를 전원으로부터 공급되는 전력으로 새롭게 생성하여 출력하는 회로이다. 안테나 ANT는, 전파를 송수신하기 위한 것이고, 송신 안테나와 수신 안테나를 겸하고 있다. 또한, 송신 필터 TXF는 송신 주파수 대역을 통과 대역으로 하고, 수신 주파수 대역을 저지 대역으로 하는 대역 통과 필터이며, 수신 필터 RXF는 수신 주파수 대역을 통과 대역으로 하고, 송신 주파수 대역을 저지 대역으로 하는 대역 통과 필터이다. 그리고, 이상기 PH는 임피던스를 제어하기 위해 설치되어 있다.

[0030] 예를 들어, 휴대 전화기와 같이 송신과 수신을 동시에 행하는 무선기에 있어서, 송신 안테나와 수신 안테나를 하나의 안테나로 공용한 경우, 큰 전력의 송신 신호가 수신부에 유입하고, 휴대 전화기에서의 수신 신호의 수신을 방해할 우려가 발생한다. 따라서, 휴대 전화기에 있어서는, 송신 경로와 수신 경로를 전기적으로 분리하기 위해서, 휴대 전화기에는, 송신 필터 TXF와 수신 필터 RXF가 설치되어 있다. 즉, 송신 경로에 송신 필터 TXF를 설치함으로써, 송신 경로에는, 송신 주파수 대역의 송신 신호만이 전달하게 되는 한편, 수신 경로에 수신 필터 RXF를 설치함으로써, 수신 경로에는, 수신 주파수 대역의 수신 신호만이 전달하게 된다. 이 결과, 수신 경로에 유입하려고 하는 송신 신호는, 수신 필터 RXF에 의해 차단되고, 수신 경로에 송신 신호가 유입되는 것을 억제할 수 있다.

[0031] 또한, 송신 필터 TXF와 수신 필터 RXF의 사이에 이상기 PH가 설치되어 있다. 이 이상기 PH는, 저지 대역의 임피던스를 고임피던스로 하기 위해 설치되어 있으며, 통과 대역의 임피던스에 대하여 저지 대역의 임피던스를 충분히 높은 임피던스로 함으로써, 송신 필터 TXF와 수신 필터 RXF를 접속한 경우의 영향을 작게 할 수 있다.

[0032] 휴대 전화기는, 상기와 같이 구성되어 있으며, 이하에, 그 동작에 대하여 간단히 설명한다. 우선, 송신 신호를 송신하는 경우에 대하여 설명한다. 기저 대역부 BBU에서 음성 신호 등의 아날로그 신호를 디지털 처리함으로써 생성된 기저 대역 신호는, 고주파 집적 회로부 RFICU에 입력한다. 고주파 집적 회로부 RFICU에서는, 입력한 기저 대역 신호를, 신시사이저(변조 신호원) SYN 및 송신 믹서 TXMIX에 의해, 무선 주파수(RF(Radio Frequency) 주파수)의 송신 신호로 변환한다. 무선 주파수로 변환된 송신 신호는, 고주파 집적 회로부 RFICU로부터 전력 증폭기(PA 모듈) PA로 출력된다. 전력 증폭기 PA에 입력한 무선 주파수의 송신 신호는, 전력 증폭기 PA에 의해 증폭된 후, 송신 필터 TXF를 통해 안테나 ANT로부터 송신된다.

[0033] 다음으로, 수신 신호를 수신하는 경우에 대하여 설명한다. 안테나 ANT에 의해 수신된 무선 주파수의 수신 신호는, 수신 필터 RXF를 통과한 후, 고주파 집적 회로부 RFICU에 입력한다. 고주파 집적 회로부 RFICU에서는, 우선 저잡음 증폭기 LNA에 의해 입력한 수신 신호를 증폭한 후, 신시사이저(변조 신호원) SYN 및 수신 믹서 RXMIX에 의해 주파수 변환을 행한다. 그리고, 주파수 변환된 수신 신호의 검파가 행해지고, 기저 대역 신호가 추출된다. 그 후, 이 기저 대역 신호는, 고주파 집적 회로부 RFICU로부터 기저 대역부 BBU로 출력된다. 이 기저 대역 신호가 기저 대역부 BBU에서 처리되고, 음성 신호가 출력된다.

[0034] <전력 증폭기(PA 모듈)의 구성>

[0035] 전술한 바와 같이, 휴대 전화기로부터 신호를 송신할 때, 전력 증폭기 PA에 의해 송신 신호는 증폭된다. 이하에서는, 이 전력 증폭기 PA의 구성에 대하여 설명한다.

[0036] 도 2는, 본 실시 형태 1에 있어서의 전력 증폭기 PA의 회로 블록을 나타낸 것이다. 도 2를 참조하면서, 전력 증폭기 PA의 회로 블록에 대하여 설명한다. 도 2에 있어서, 전력 증폭기 PA는 제어 회로 CU, 증폭부 FAMP, 증폭부 SAMP 및 증폭부 TAMP를 갖고 있다. 이 전력 증폭기 PA는, 예를 들어 제1 주파수를 이용한 GSM(Global System for Mobile Communication) 방식에 사용되는 것이며, 주파수 대역으로서 880㎒ 내지 915㎒를 사용하고 있는 신호를 증폭할 수 있도록 되어 있다.

[0037] 전술한 전력 증폭기 PA에 있는 제어 회로 CU는, 제어 신호를 입력하고, 입력한 제어 신호에 기초하여 증폭부 FAMP, 증폭부 SAMP 및 증폭부 TAMP의 각 증폭부를 제어하도록 구성되어 있다. 이 제어 회로 CU는 증폭부 FAMP, 증폭부 SAMP 및 증폭부 TAMP를 제어하는 제어 신호 Vcontrol(GSM)을 입력할 수 있도록 되어 있으며, 증폭부 FAMP, 증폭부 SAMP 및 증폭부 TAMP는, 제어 신호 Vcontrol(GSM)에 기초하여 제어되도록 되어 있다. 이와 같이 하여, 본 실시 형태 1의 전력 증폭기 PA는, GSM 방식에 있어서의 송신 신호의 증폭을 제어하고 있다. 제어 회로 CU는, 예를 들어 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 등으로 구성되어 있다.

[0038] 계속해서, 증폭부 FAMP, 증폭부 SAMP 및 증폭부 TAMP는, GSM 방식의 입력 전력(입력 신호) Pin(GSM)을 입력하고, 이 입력 전력 Pin(GSM)을 3단계에 걸쳐 증폭하도록 구성되어 있다. 즉, 입력 전력 Pin(GSM)을 우선

증폭부 FAMP에 의해 증폭한 후, 증폭부 FAMP에 의해 증폭한 전력을 증폭부 SAMP에 의해 증폭한다. 그리고, 증폭부 SAMP에 의해 증폭한 전력은, 종단의 증폭부 TAMP에 의해 증폭된 후, 전력 증폭기 PA로부터 출력 신호 Pout(GSM)로서 출력된다. 이와 같이, 증폭부 FAMP, 증폭부 SAMP 및 증폭부 TAMP에서는, GSM 방식에 의한 전력을 증폭할 수 있도록 되어 있다. 이들 증폭부 FAMP, 증폭부 SAMP 및 증폭부 TAMP는, 예를 들어 LDMOSFET(Laterally Diffused Metal Oxide Semiconductor Field Effect Transistor)으로 형성되어 있다.

[0039] <LDMOSFET의 디바이스 구조>

[0040] 다음으로, 전력 증폭기 PA의 증폭부 FAMP, 증폭부 SAMP 및 증폭부 TAMP를 구성하는 LDMOSFET의 디바이스 구조에 대하여 도면을 참조하면서 설명한다.

[0041] 도 3은, LDMOSFET의 단면 구조를 나타내는 단면도이다. 도 3에 있어서, p^+형 실리콘 단결정으로 이루어지는 반도체 기판(1S) 위에는, p^-형 반도체층으로 이루어지는 에피택셜층 EPI가 형성되어 있다. 그리고, 반도체 기판(1S)에는, 홈 DT가 형성되어 있으며, 이 홈 DT에는, 예를 들어 p형 폴리실리콘막이 매립되어 p형 펀칭층 PL이 형성되어 있다. 또한, 반도체 기판(1S)의 표면에는, p형 웰 PWL이 형성되어 있다.

[0042] 다음으로, 반도체 기판(1S)의 표면에는, 게이트 절연막 GOX가 형성되어 있고, 이 게이트 절연막 GOX 위에 게이트 전극 G 및 캡 절연막 CAP가 형성되어 있다. 게이트 절연막 GOX는, 예를 들어 얇은 산화실리콘막 등으로 이루어지고, 게이트 전극 G는 폴리실리콘막으로 형성되어 있다. 그리고, 게이트 전극 G에 정합하여, n^-형 오프셋 드레인 영역 ODR1이 형성됨과 함께, n^-형 소스 영역 SR1이 형성되어 있다. n^-형 소스 영역 SR1에 인접하도록 p형 할로 영역 HALO가 형성되어 있다.

[0043] 게이트 전극 G의 양측 측벽에는, 사이드 월 SW가 형성되어 있으며, 이 사이드 월 SW에 정합하여, n형 오프셋 드레인 영역 ODR2 및 n^+형 드레인 영역 DR이 형성되어 있다. 마찬가지로, n^-형 소스 영역 SR1의 외측에는, 사이드 월 SW에 정합하여, n^+형 소스 영역 SR2가 형성되어 있다. 그리고, n^+형 소스 영역 SR2의 외측에 p^+형 반도체 영역 PR1이 형성되어 있다.

[0044] 이와 같이 구성된 LDMOSFET 위에는, 질화실리콘막 SN 및 산화실리콘막의 적층막으로 이루어지는 층간 절연막 IL1이 형성되어 있으며, 이 층간 절연막 IL1을 관통하는 콘택트 홀 CNT1이 형성되어 있다. 콘택트 홀 CNT1에는, 예를 들어 배리어막이 텅스텐막으로 이루어지는 플러그 PLG1이 매립되어 있다.

[0045] 플러그 PLG1을 형성한 층간 절연막 IL1 위에는, 예를 들어 알루미늄막으로 이루어지는 제1층 배선 L1이 형성되고, 이 제1층 배선 L1을 덮도록 산화실리콘막으로 이루어지는 층간 절연막 IL2가 형성되어 있다. 이 층간 절연막 IL2에는, 제1층 배선 L1로 관통하는 접속 구멍 CNT2가 형성되어 있으며, 이 접속 구멍 CNT2에 플러그 PLG2가 매립되어 있다. 그리고, 플러그 PLG2를 형성한 층간 절연막 IL2 위에는, 제2층 배선 L2가 형성되어 있다. 이 제2층 배선 L2보다 상층에는, 필요에 따라서 다른 배선층이나 층간 절연막이 형성되지만, 도 3에서는 생략한다. 또한, 도 3에 도시한 LDMOSFET이 복수개 병렬로 접속되고, 예를 들어 도 2에 도시한 증폭부 FAMP, 증폭부 SAMP 및 증폭부 TAMP가 형성된다.

[0046] <송신 필터 및 수신 필터의 구성>

[0047] 계속해서, 송신 필터 및 수신 필터의 구성에 대하여 설명한다. 본 실시 형태 1에서는, 도 1에 도시한 송신 필터 TXF 및 수신 필터 RXF를 박막 압전 벌크파 공진기로 구성하고 있다. 이하에, 이 박막 압전 벌크파 공진기에 대하여 설명한다.

[0048] 도 4는, 박막 압전 벌크파 공진기의 모식적인 구성을 나타내는 도면이다. 도 4에 있어서, 박막 압전 벌크파 공진기는, 예를 들어 박막 형성 장치로 형성한 압전층 PZL과, 이 압전층 PZL을 사이에 끼우도록 존재하는 상부 전극 UPE 및 하부 전극 BTE를 갖고 있다. 이때, 예를 들어 압전층 PZL은, 질화알루미늄(AlN)막으로 구성되고, 상부 전극 UPE 및 하부 전극 BTE는, 몰리브덴(Mo)막으로 구성된다.

[0049] 여기서, 압전층 PZL은, 두께 방향으로 분극하고 있으며, 상부 전극 UPE와 하부 전극 BTE의 사이에 인가되는 교류 전압에 의해, 압전층 PZL의 분극 방향이 변화한다. 예를 들어, 도 5에 도시한 바와 같이, 반도체 기판(1S) 위에 설치된 박막 압전 벌크파 공진기에 있어서, 상부 전극 UPE에 정전위가 인가되고, 하부 전극 BTE에 부전위가 인가되면, 압전층 PZL의 분극 방향은 하향으로 된다. 한편, 상부 전극 UPE에 부전위가 인가되고, 하부 전극 BTE에 정전위가 인가되면, 압전층 PZL의 분극 방향은 상향으로 된다. 이와 같이 압전층 PZL의 분극 방향은 상

부 전극 UPE와 하부 전극 BTE에 인가되는 전압의 극성에 따라 변화한다. 따라서, 상부 전극 UPE와 하부 전극 BTE의 사이에 교류 전압을 인가하면, 압전층 PZL의 분극 방향이 상하 방향으로 변화하게 된다.

[0050] 이때, 압전층 PZL은, 분극 방향에 의해 압전층 PZL의 두께가 변화한다는 특징이 있다. 즉, 상부 전극 UPE와 하부 전극 BTE의 사이에 교류 전압을 인가하면, 압전층 PZL의 분극 방향이 변화하고, 이에 의해, 압전층 PZL의 두께 방향의 막 두께가 변화한다. 이것은, 상부 전극 UPE와 하부 전극 BTE의 사이에 교류 전압이 인가되면, 압전층 PZL의 분극 방향이 상하 반전하는 결과, 압전층 PZL이 두께 방향으로 신축하고, 이 압전층 PZL의 두께 방향의 신축에 의해 탄성파가 발생하는 것을 의미하고 있다. 박막 압전 벌크파 공진기에서는, 이 탄성파에 의한 공진 진동을 이용하고 있다.

[0051] 구체적으로, 박막 압전 벌크파 공진기의 주파수 특성의 일례에 대하여 설명한다. 도 6은, 박막 압전 벌크파 공진기의 주파수 특성을 나타내는 그래프이다. 도 6에 있어서, 횡축은 주파수(㎒)를 나타내고 있으며, 종축은 저항(Ω)(임피던스)을 나타내고 있다. 도 6에 도시한 바와 같이, 박막 압전 벌크파 공진기에서는, 예를 들어 2060㎒ 부근에 공진점이 존재하고, 2090㎒ 부근에 반공진점이 존재하는 것을 알 수 있다. 이 도 6에 도시한 바와 같이, 박막 압전 벌크파 공진기에서는, 공진점 근방에서 저항이 현저하게 저하하는 한편, 반공진점 근방에서 저항이 현저하게 커지는 것을 알 수 있다. 이것은, 박막 압전 벌크파 공진기에 있어서, 공진점 부근에서의 저항이 작아지기 때문에, 공진점 부근의 주파수 진동은 박막 압전 벌크파 공진기를 통과하기 쉬워지는 한편, 반공진점 부근에서의 저항이 커지는 점에서, 반공진점 부근의 주파수 진동은 박막 압전 벌크파 공진기에서 감쇠하여 통과하기 어려워짐을 의미하고 있다. 즉, 박막 압전 벌크파 공진기에서는, 공진점 부근의 주파수 진동을 통과시키는 한편, 반공진점 부근의 주파수 진동을 차단한다고 하는 필터 특성을 갖고 있는 것을 알 수 있다. 따라서, 박막 압전 벌크파 공진기는, 대역 통과 필터인 송신 필터 TXF 또는 수신 필터 RXF에 사용할 수 있는 것을 알 수 있다.

[0052] 이하에서는, 전술한 박막 압전 벌크파 공진기를 이용한 송신 필터 TXF 또는 수신 필터 RXF의 구성에 대하여 설명한다. 또한, 송신 필터 TXF와 수신 필터 RXF의 구성은 거의 마찬가지이기 때문에, 송신 필터 TXF를 예로 들어 설명한다.

[0053] 도 7은, 송신 필터 TXF의 구성을 나타내는 도면이다. 도 7에 도시한 바와 같이, 송신 필터 TXF는, 안테나 단자 ANT(OUT)와 송신 단자 TX의 사이에 설치되어 있다. 구체적으로, 송신 필터 TXF는, 안테나 단자 ANT(OUT)와 송신 단자 TX의 사이에 직렬 접속된 3개의 박막 압전 벌크파 공진기 BAW1 내지 BAW3과, 3개의 박막 압전 벌크파 공진기 BAW1 내지 BAW3 각각의 노드와 접지(GND)의 사이에 접속된 4개의 박막 압전 벌크파 공진기 BAW4 내지 BAW7로 구성되어 있다. 이와 같이 송신 필터 TXF에 있어서, 안테나 단자 ANT(OUT)와 송신 단자 TX의 사이에 직렬 접속된 박막 압전 벌크파 공진기 BAW1 내지 BAW3과, 박막 압전 벌크파 공진기 BAW1 내지 BAW3 각각의 노드와 접지(GND)의 사이에 접속된 박막 압전 벌크파 공진기 BAW4 내지 BAW7을 설치하는 이유에 대하여 설명한다.

[0054] 도 8은, 안테나 단자 ANT(OUT)와 송신 단자 TX의 사이에 직렬 접속된 박막 압전 벌크파 공진기 BAW1 내지 BAW3의 주파수 특성과, 박막 압전 벌크파 공진기 BAW1 내지 BAW3 각각의 노드와 접지(GND)의 사이에 접속된 박막 압전 벌크파 공진기 BAW4 내지 BAW7의 주파수 특성을 나타내는 그래프이다. 도 8에 있어서, 횡축은 주파수(㎒)를 나타내고 있으며, 종축은 저항(Ω)(임피던스)을 나타내고 있다.

[0055] 우선, 도 8에 있어서, 예를 들어 실선으로 나타내는 곡선이 안테나 단자 ANT(OUT)과 송신 단자 TX의 사이에 직렬 접속된 박막 압전 벌크파 공진기 BAW1 내지 BAW3의 주파수 특성을 나타내고 있으며, 파선으로 나타내는 곡선이 박막 압전 벌크파 공진기 BAW1 내지 BAW3 각각의 노드와 접지(GND)의 사이에 접속된 박막 압전 벌크파 공진기 BAW4 내지 BAW7의 주파수 특성을 나타내고 있다. 이때, 도 8에 도시한 바와 같이, 실선으로 나타내는 곡선의 공진점에 대응하는 주파수에 파선으로 나타내는 곡선의 반공진점이 존재하고, 실선으로 나타내는 곡선의 반공진점에 대응하는 주파수에 파선으로 나타내는 곡선의 공진점이 존재하고 있는 것을 알 수 있다. 즉, 안테나 단자 ANT(OUT)와 송신 단자 TX의 사이에 직렬 접속된 박막 압전 벌크파 공진기 BAW1 내지 BAW3의 주파수 특성(실선)과, 박막 압전 벌크파 공진기 BAW1 내지 BAW3 각각의 노드와 접지(GND)의 사이에 접속된 박막 압전 벌크파 공진기 BAW4 내지 BAW7의 주파수 특성(파선)이 반대로 되어 있는 것을 알 수 있다. 이것은, 박막 압전 벌크파 공진기 BAW1 내지 BAW3이 안테나 단자 ANT(OUT)와 송신 단자TX의 사이에 직렬 접속되어 있는 것에 반하여, 박막 압전 벌크파 공진기 BAW4 내지 BAW7이 박막 압전 벌크파 공진기 BAW1 내지 BAW3 각각의 노드와 접지(GND)의 사이에 접속되어 있는 것에 기인한다. 즉, 도 8에 도시한 바와 같이, 박막 압전 벌크파 공진기의 접속 위치를 바꿈으로써, 박막 압전 벌크파 공진기의 주파수 특성을 바꿀 수 있는 것이다.

[0056] 그리고, 나아가 박막 압전 벌크파 공진기를 구성하는 압전층 PZL과 상부 전극 UPE와 하부 전극 BTE의 총 막 두

께를 바꿈으로써(실제로는, 상부 전극 UPE의 일부 위에 설치한 션트 전극의 막 두께를 바꾸는 경우가 많음), 공진점을 변화시킬 수 있다. 따라서, 예를 들어 박막 압전 벌크파 공진기 BAW1 내지 BAW3을 구성하는 압전층 PZL과 상부 전극 UPE와 하부 전극 BTE의 총 막 두께와, 박막 압전 벌크파 공진기 BAW4 내지 BAW7을 구성하는 압전층 PZL과 상부 전극 UPE와 하부 전극 BTE의 총 막 두께를 바꿈으로써, 도 8의 실선으로 나타내는 곡선의 공진점과, 파선으로 나타내는 곡선의 공진점의 간격을 임의로 조정할 수 있다. 이 결과, 도 7에 도시한 송신 필터 TXF의 주파수 특성은, 도 8의 실선으로 나타내는 곡선과 파선으로 나타내는 곡선의 총합으로 되기 때문에, 예를 들어 도 9에 도시한 바와 같은 주파수 특성으로 된다.

[0057] 도 9는, 도 7에 도시한 송신 필터 TXF의 주파수 특성의 일례를 나타내는 그래프이다. 도 9에 있어서, 횡축은 주파수(㎒)를 나타내고 있으며, 종축은 송신 필터 TXF를 통과하는 신호의 감쇠량(dB)을 나타내고 있다. 도 9에 도시한 바와 같이, 예를 들어 주파수 A1 내지 주파수 A2의 사이의 신호를 통과시키면서, 그 밖의 주파수 대역의 신호를 감쇠시킨다고 하는 주파수 특성을 갖는 송신 필터 TXF를 얻을 수 있다. 즉, 송신 필터 TXF를 도 7에 도시한 바와 같은 구성으로 함으로써, 도 9에 도시한 바와 같은 주파수 특성을 갖는 대역 통과 필터를 구성할 수 있는 것이다. 구체적으로, 도 7에 도시한 바와 같이, 우선 안테나 단자 ANT(OUT)와 송신 단자 TX의 사이에 직렬 접속되는 박막 압전 벌크파 공진기 BAW1 내지 BAW3과, 박막 압전 벌크파 공진기 BAW1 내지 BAW3 각각의 노드와 접지(GND)의 사이에 접속된 박막 압전 벌크파 공진기 BAW4 내지 BAW7을 설치함으로써, 도 7에 도시한 송신 필터 TXF의 주파수 특성은, 도 8의 실선과 파선으로 나타내진 곡선의 총합으로 된다. 이에 의해, 통과 영역과 저지 영역을 갖는 대역 통과 필터를 형성할 수 있다. 그리고, 또 예를 들어 박막 압전 벌크파 공진기 BAW1 내지 BAW3을 구성하는 압전층 PZL과 상부 전극 UPE와 하부 전극 BTE의 총 막 두께와, 박막 압전 벌크파 공진기 BAW4 내지 BAW7을 구성하는 압전층 PZL과 상부 전극 UPE와 하부 전극 BTE의 총 막 두께를 바꿈으로써, 도 8의 실선으로 나타내는 곡선의 공진점과, 파선으로 나타내는 곡선의 공진점의 간격을 임의로 조정할 수 있어, 이 결과, 송신 주파수 대역을 통과 대역으로 하는 대역 통과 필터를 얻을 수 있는 것이다. 이상과 같이 하여, 복수의 박막 압전 벌크파 공진기로 송신 필터 TXF를 구성할 수 있음을 알 수 있다.

[0058] 또한, 수신 필터 RXF도 전술한 송신 필터 TXF와 마찬가지의 구성을 하고 있다. 즉, 수신 필터 RXF도 안테나 단자 ANT(OUT)와 수신 단자 RX의 사이에 직렬 접속되는 박막 압전 벌크파 공진기 BAW1 내지 BAW3과, 박막 압전 벌크파 공진기 BAW1 내지 BAW3 각각의 노드와 접지(GND)의 사이에 접속된 박막 압전 벌크파 공진기 BAW4 내지 BAW7로 구성된다. 단, 수신 필터 RXF에서는, 박막 압전 벌크파 공진기 BAW1 내지 BAW3이나 박막 압전 벌크파 공진기 BAW4 내지 BAW7의 공진점이 송신 필터 TXF와 상이하도록 구성되어 있다. 이에 의해, 수신 주파수 대역을 통과 대역으로 하는 대역 통과 필터를 얻을 수 있다.

[0059] <박막 압전 벌크파 공진기의 디바이스 구조>

[0060] 다음으로, 전술한 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기의 디바이스 구조에 대하여 설명한다. 박막 압전 벌크파 공진기에는 다양한 종류의 디바이스 구조가 제안되어 있으며, 예를 들어 탄성파를 압전층 PZL 내에 가두는 방법에 의해 분류되어 있다. 구체적으로는, 박막 압전 벌크파 공진기에는, FBAR(Film Bulk Acoustic wave Resonator)형 공진기와, SMR(Solidly Mounted Resonator)형 공진기가 있다.

[0061] 우선, FBAR형 공진기의 디바이스 구조에 대하여 설명한다. 도 10은, FBAR형 공진기의 디바이스 구조를 나타내는 단면도이다. 도 10에 있어서, 반도체 기판(1S) 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN이 형성되어 있으며, 이 층간 절연막 ILN 위에 FBAR형 공진기가 형성되어 있다. 이 FBAR형 공진기에 있어서는, 층간 절연막 ILN에 형성된 공동부 CAV가 형성되어 있다. 그리고, 이 공동부 CAV 위에, 예를 들어 질화알루미늄막으로 이루어지는 시드층 SDL이 형성되어 있으며, 이 시드층 SDL 위에, 예를 들어 몰리브덴막으로 이루어지는 하부 전극 BTE가 형성되어 있다. 그리고, 이 하부 전극 BTE 위에, 예를 들어 질화알루미늄막으로 이루어지는 압전층 PZL이 형성되고, 이 압전층 PZL 위에, 예를 들어 몰리브덴막으로 이루어지는 상부 전극 UPE가 형성되어 있다.

[0062] 이와 같이 구성되어 있는 FBAR형 공진기에 있어서는, 압전층 PZL 내에 탄성파를 가두기 위해서, 음향 절연부가 설치되어 있다. 즉, 고체와 기체의 계면은, 효율이 좋은 음향 절연부로서 기능하기 위해서, FBAR형 공진기에서는, 도 10에 도시한 바와 같이, 상부 전극 UPE의 상부에 공간을 설치함과 함께, 하부 전극 BTE (상세하게는 시드층 SDL)의 하층에 공동부 CAV를 설치하고 있다. 즉, FBAR형 공진기에 있어서는, 압전층 PZL 내에 탄성파를 가두기 위한 음향 절연부로서 공동부 CAV를 사용하고 있다. 이 공동부 CAV는, 음향 절연부로서 우수한 성질을 갖고 있는 점에서, FBAR형 공진기에서는, 공진의 장점을 나타내는 Q값이 예리한 주파수 특성이 얻어진다는 이점이 있다.

[0063] 또한, FBAR형 공진기에 형성되어 있는 시드층 SDL은, 압전층 PZL의 결정 배향성을 향상시키는 기능을 갖고 있다. 구체적으로, 시드층 SDL은 압전층 PZL의 결정을 C축 배향시키는 기능을 갖고, 압전층 PZL이 C축 배향함으로써, Q값을 예리하게 할 수 있다.

[0064] 계속해서, SMR형 공진기의 디바이스 구조에 대하여 설명한다. 도 11은, SMR형 공진기의 디바이스 구조를 나타내는 단면도이다. 도 11에 있어서, 반도체 기판(1S) 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN이 형성되어 있으며, 이 층간 절연막 ILN 위에 SMR형 공진기가 형성되어 있다. 이 SMR형 공진기에 있어서는, 층간 절연막 ILN에 형성된 홈 DIT에 음향 미러층이 형성되어 있다. 그리고, 이 음향 미러층 위에, 예를 들어 질화알루미늄막으로 이루어지는 시드층 SDL이 형성되어 있으며, 이 시드층 SDL 위에, 예를 들어 몰리브덴막으로 이루어지는 하부 전극 BTE가 형성되어 있다. 그리고, 이 하부 전극 BTE 위에, 예를 들어 질화알루미늄막으로 이루어지는 압전층 PZL이 형성되고, 이 압전층 PZL 위에, 예를 들어 몰리브덴막으로 이루어지는 상부 전극 UPE가 형성되어 있다.

[0065] 이와 같이 구성되어 있는 SMR형 공진기에 있어서는, 압전층 PZL 내에 탄성파를 가두기 위해서, 음향 절연부로서의 음향 미러층이 형성되어 있다. 이 음향 미러층은, 압전층 PZL에서 발생한 탄성파를 반사하는 기능을 갖고, 이 음향 미러층에 의해 탄성파를 반사시킴으로써, 탄성파를 압전층 PZL 내에 가둘 수 있다. 음향 미러층은, 예를 들어 도 11에 도시한 바와 같이, 층간 절연막 ILN에 형성된 홈 DIT의 내부에 저음향 임피던스막 LINP로서의 산화실리콘막과, 고음향 임피던스막 HINP로서의 텅스텐막을 교대로 적층함으로써 형성된다. 이 저음향 임피던스막 LINP와 고음향 임피던스막 HINP를 교대로 형성한 음향 미러층에 의해 탄성파를 반사시킬 수 있다. 이와 같이 SMR형 공진기에서는, 음향 절연부로서 음향 미러층을 사용하고 있지만, 이 음향 미러층으로 이루어지는 음향 절연부는, 전술한 FBAR형 공진기로 사용하고 있는 공동부 CAV로 이루어지는 음향 절연부보다도 특성이 좋지 않다. 즉, 음향 미러층으로 이루어지는 음향 절연부에서는, 탄성파의 반사 시에 다소의 손실이 발생하는 점에서, Q값의 예리함이나 삽입 손실 등의 특성이 저하된다. 따라서, SMR형 공진기는 Q값의 예리함 면에서, FBAR형 공진기보다도 떨어지게 된다. 한편, SMR형 공진기에서는, 음향 절연부로서 공동부 CAV를 사용하고 있지 않기 때문에, FBAR형 공진기에 비하여 기계적 강도가 높아지는 이점을 갖고 있다.

[0066] 이상과 같이, 박막 압전 벌크파 공진기는, 크게 구별하여 FBAR형 공진기와 SMR형 공진기가 존재한다. 본 실시형태에서 사용하는 박막 압전 벌크파 공진기는, FBAR형 공진기와 SMR형 공진기 중 어느 것이나 적용할 수 있지만, 특히 이하의 기재에서는, FBAR형 공진기를 예로 들어 설명하기로 한다.

[0067] <박막 압전 벌크파 공진기의 이점>

[0068] 전술한 박막 압전 벌크파 공진기는, 압전층 PZL 자체의 공진 진동을 이용하는 것이기 때문에, 압전층 PZL을 형성하는 기판 자체를 압전 기판으로 할 필요는 없으며, 다양한 기판 위에 형성할 수 있다. 이러한 점에서, 박막 압전 벌크파 공진기는, 예를 들어 실리콘으로 이루어지는 반도체 기판(1S) 위에 형성할 수 있다. 따라서, 송신 필터 TXF나 수신 필터 RXF에 박막 압전 벌크파 공진기를 사용함으로써, 전력 증폭기 PA와 송신 필터 TXF 및 수신 필터 RXF를 동일한 반도체 기판(1S) 위에 형성할 수 있는 이점이 있다. 즉, 전력 증폭기 PA를 구성하는 증폭용 트랜지스터와, 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기를 동일한 반도체 기판(1S)에 형성할 수 있기 때문에, 휴대 전화기의 또 다른 다기능화와 소형 경량화를 위해서, 휴대 전화기를 구성하는 부품의 집적화를 추진할 수 있는 이점이 있다.

[0069] <집적화에 있어서의 과제 검토>

[0070] 그런데, 전력 증폭기 PA와 송신 필터 TXF 및 수신 필터 RXF를 동일한 반도체 기판(1S)에 형성하는 경우, 전력 증폭기 PA로부터의 발열 영향이 송신 필터 TXF나 수신 필터 RXF에 미칠 것이 염려된다. 즉, 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기의 공진 주파수는 온도 의존성을 갖고 있으므로, 전력 증폭기 PA로부터의 열이 박막 압전 벌크파 공진기로까지 전해지면, 박막 압전 벌크파 공진기의 공진 주파수가 설계값으로부터 어긋나게 된다.

[0071] 구체적으로, 박막 압전 벌크파 공진기의 공진 주파수의 온도 특성에 대하여 설명한다. 도 12는, 박막 압전 벌크파 공진기의 공진 주파수의 온도 특성을 나타내는 그래프이다. 도 12에 있어서, 횡축은 온도(℃)를 나타내고 있으며, 종축은 공진 주파수의 어긋남량(ppm)을 나타내고 있다. 우선, 도 12에 도시한 바와 같이, 온도가 20℃(상온)일 때에 공진 주파수의 어긋남량이 0으로 되어 있으며, 박막 압전 벌크파 공진기의 공진 주파수가 설계값대로 되어 있는 것을 알 수 있다. 그리고, 온도가 20℃부터 상승함에 따라서, 공진 주파수의 어긋남량이 커지는 것을 알 수 있다. 이것은, 박막 압전 벌크파 공진기의 온도가 상승하면, 공진 주파수가 설계값으로부터 어

긋난 결과, 박막 압전 벌크파 공진기로 구성되는 송신 필터 TXF나 수신 필터 RXF의 필터 특성이 열화되어 버리는 것을 의미하고 있다. 따라서, 송신 필터 TXF나 수신 필터 RXF의 필터 특성을 유지하기 위해서는, 박막 압전 벌크파 공진기의 온도 상승을 억제할 필요가 있는 것을 알 수 있다.

[0072] 특히, 이동체 통신 시스템에서의 전송 용량의 증가나 전송 속도의 고속화에 수반하여, 휴대 전화기에서 취급하는 전력이 커지게 되어, 전력 증폭기 PA로부터의 발열량은 증가하는 경향이 있다. 이러한 점에서, 송신 필터 TXF나 수신 필터 RXF와 전력 증폭기 PA를 동일한 반도체 기판(1S)에 탑재하는 경우, 전력 증폭기 PA로부터의 발열이 송신 필터 TXF나 수신 필터 RXF에 전해지는 것을 가능한 한 억제하고, 송신 필터 TXF나 수신 필터 RXF의 필터 특성(전기적 특성)에 미치는 영향을 억제할 필요가 있는 것을 알 수 있다.

[0073] 따라서, 본 실시 형태 1에서는, 예를 들어 휴대 전화기로 대표되는 이동체 통신 기기에 있어서, 송신 필터나 수신 필터를 전력 증폭기와 동일한 반도체 기판에 형성하는 경우에, 전력 증폭기로부터의 열이 송신 필터나 수신 필터에 미치는 영향을 가능한 한 저감하여, 송신 필터나 수신 필터의 필터 특성(전기적 특성)을 유지할 수 있는 고안을 실시하고 있다. 이하에, 이 고안을 실시한 본 실시 형태 1에 있어서의 기술적 사상에 대하여 설명한다.

[0074] <본 실시 형태 1에 있어서의 반도체 장치의 디바이스 구조>

[0075] 도 13은, 본 실시 형태 1에 있어서의 반도체 장치의 구성을 나타내는 단면도이다. 도 13에서는, 반도체 기판(1S)의 영역 AR1과 영역 AR2에 형성되어 있는 구조가 도시되어 있다. 영역 AR1은, 전력 증폭기 PA를 구성하는 LDMOSFET이 형성되어 있는 영역이며, 영역 AR2는, 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역이다. 즉, 본 실시 형태 1에서는, 동일한 반도체 기판(1S) 위에 LDMOSFET과 박막 압전 벌크파 공진기 BAW가 형성되어 있다.

[0076] 우선, 반도체 기판(1S)의 영역 AR1에 형성되어 있는 구조에 대하여, 도 13을 참조하면서 설명한다. 도 13에 있어서, 반도체 기판(1S)의 영역 AR1에는, 예를 들어 도 3에 도시한 구조를 갖는 LDMOSFET이 형성되어 있으며, 이 LDMOSFET 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막이 형성되어 있다. 그리고, 층간 절연막 위에, 예를 들어 알루미늄막으로 이루어지는 복수의 배선층이 형성되고, 이 배선층 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN이 형성되어 있다. 이 층간 절연막 ILN의 표면에는, 패드 PD가 형성되어 있다. 패드 PD는, 외부 접속 단자로서 기능하고, 예를 들어 본딩 와이어가 접속된다.

[0077] 패드 PD가 형성된 층간 절연막 ILN 위에는, 예를 들어 질화실리콘막으로 이루어지는 패시베이션막(표면 보호막) PAS가 형성되어 있다. 패드 PD 위에 형성되어 있는 패시베이션막 PAS에는, 개구부가 형성되고, 이 개구부로부터 패드 PD가 노출되어 있다. 그리고, 패시베이션막 PAS 위에는, 층간 절연막 ILN보다도 열전도율이 높은 고열전도율막 HCF가 형성되어 있다. 이 고열전도율막 HCF는, 예를 들어 질화알루미늄막(열전도율 150W/m·K), 또는 산화마그네슘막(열전도율 59W/m·K)으로 구성되어 있다. 이 고열전도율막 HCF에도 개구부가 형성되어 있으며, 이 개구부로부터 패드 PD가 노출되도록 되어 있다. 또한, 고열전도율막 HCF 위에는, 예를 들어 질화알루미늄막으로 이루어지는 시드층 SDL 및 압전막 PZF가 형성되어 있다. 이 시드층 SDL 및 압전막 PZF에도 개구부가 형성되어 있으며, 이 개구부로부터 패드 PD가 노출되도록 되어 있다.

[0078] 계속해서, 반도체 기판(1S)의 영역 AR2에 형성되어 있는 구조에 대하여, 도 13을 참조하면서 설명한다. 도 13에 있어서, 반도체 기판(1S) 위에는, 에피택셜층EPI가 형성되어 있으며, 이 에피택셜층 EPI 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL1이 형성되어 있다. 이 층간 절연막 IL1 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL2가 형성되고, 이 층간 절연막 IL2 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN이 형성되어 있다. 그리고, 층간 절연막 ILN 위에, 예를 들어 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기 BAW가 형성되어 있다.

[0079] 이하에, 박막 압전 벌크파 공진기 BAW의 구조에 대하여 설명한다. 도 13에 도시한 바와 같이, 영역 AR2에 있어서, 층간 절연막 ILN 위에는 패시베이션막 PAS가 형성되어 있으며, 이 패시베이션막 PAS의 표면으로부터, 하층에 형성되어 있는 층간 절연막 ILN에 달하는 홈 DIT가 형성되어 있다. 그리고, 홈 DIT의 내벽을 포함하는 패시베이션막 PAS 위에 층간 절연막 ILN보다도 열전도율이 높은 고열전도율막 HCF가 형성되어 있다. 이 고열전도율막 HCF는 홈 DIT의 내벽을 따라 형성되어 있으며, 고열전도율막 HCF에 의해 홈 DIT의 내부는 매립되어 있지 않다. 즉, 홈 DIT의 내벽에 고열전도율막 HCF가 형성되어 있지만, 홈 DIT의 내부는, 이 고열전도율막 HCF로 충전되어 있는 것이 아니라, 홈 DIT의 내부에 공동부 CAV가 형성되어 있다. 이 홈 DIT의 내부에 형성된 공동부 CAV가 박막 압전 벌크파 공진기의 음향 절연부를 구성한다.

[0080] 계속해서, 홈 DIT에 형성된 공동부 CAV 위를 덮도록, 예를 들어 질화알루미늄막으로 이루어지는 시드층 SDL이

형성되어 있다. 이 시드층 SDL은, 후술하는 압전층 PZL의 결정 배향성을 향상시키는 기능을 갖고 있다. 구체적으로, 시드층 SDL은, 후술하는 압전층 PZL의 결정을 C축 배향시키는 기능을 갖고, 압전층 PZL이 C축 배향함으로써, 박막 압전 벌크파 공진기의 Q값을 예리하게 할 수 있다.

[0081] 전술한 시드층 SDL 위에는 하부 전극 BTE가 형성되어 있다. 이 하부 전극 BTE는, 예를 들어 몰리브덴막(Mo), 루테늄막(Ru), 또는 텅스텐막(W)으로 형성되어 있다. 그리고, 이 하부 전극 BTE 위에 압전층 PZL이 형성되어 있다. 이 압전층 PZL은, 분극 방향에 의해 두께가 변화하는 압전 재료로 구성되며, 예를 들어 질화알루미늄막(AlN)으로 형성되어 있다.

[0082] 압전층 PZL 위에는 상부 전극 UPE가 형성되어 있으며, 상부 전극 UPE의 일부위에 션트 전극 SHE가 형성되어 있다. 션트 전극 SHE는 박막 압전 벌크파 공진기 BAW의 공진 주파수를 조정하기 위해 설치되어 있는 전극이다. 즉, 박막 압전 벌크파 공진기 BAW의 공진 주파수는, 하부 전극 BTE와 압전층 PZL과 상부 전극 UPE의 총 막 두께로 결정되지만, 상부 전극 UPE의 일부 위에 션트 전극 SHE를 설치함으로써, 박막 압전 벌크파 공진기 BAW의 공진 주파수는 션트 전극 SHE의 막 두께에도 의존하게 된다. 따라서, 션트 전극 SHE의 막 두께를 조정함으로써, 박막 압전 벌크파 공진기 BAW의 공진 주파수를, 하부 전극 BTE와 압전층 PZL과 상부 전극 UPE의 총 막 두께로 결정되는 경우의 공진 주파수로부터 어긋나게 할 수 있어, 박막 압전 벌크파 공진기 BAW의 공진 주파수를 조정할 수 있다.

[0083] <본 실시 형태 1의 특징>

[0084] 본 실시 형태 1에 있어서의 반도체 장치는 상기와 같이 구성되어 있으며, 이하에, 그 특징점에 대하여 설명한다. 본 실시 형태 1에 있어서의 특징점은, 예를 들어 도 13에 도시한 바와 같이, 패시베이션막 PAS 위에 층간 절연막 ILN보다도 열전도율이 높은 고열전도율막 HCF를 형성하고 있는 점에 있다. 즉, 본 실시 형태 1에서는, LDMOSFET이 형성되어 있는 영역 AR1 및 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역 AR2를 포함하는 반도체 기판(1S)의 전체 영역에 있어서, 패시베이션막 PAS 위에 고열전도율막 HCF를 형성하고 있는 점에 특징점이 있다. 이에 의해, 주로 LDMOSFET에 의해 발생한 열이, 반도체 기판(1S)의 전체면에 형성되어 있는 고열전도율막 HCF에 의해, 효율 좋게 사방팔방으로 방산된다. 이 결과, LDMOSFET이 형성되어 있는 영역 AR1의 온도를 낮출 수 있기 때문에, 영역 AR1에 형성되어 있는 LDMOSFET으로부터의 발열에 기인하는 박막 압전 벌크파 공진기 BAW의 온도 상승을 억제할 수 있다. 따라서, 본 실시 형태 1에 의하면, 예를 들어 박막 압전 벌크파 공진기 BAW와 LDMOSFET을 동일한 반도체 기판(1S)에 탑재하는 경우에도, LDMOSFET으로부터의 발열에 의한 박막 압전 벌크파 공진기 BAW의 온도 상승을 충분히 억제할 수 있어, 이에 의해, 박막 압전 벌크파 공진기 BAW로 구성되는 송신 필터 TXF나 수신 필터 RXF의 필터 특성(전기적 특성)의 열화를 억제할 수 있다.

[0085] 예를 들어, 최근에는 휴대 전화기에서 취급하는 전력이 커지고 있으며, 전력 증폭기 PA로부터의 발열량은 증가하는 경향에 있다. 이 때문에, 예를 들어 전력 증폭기 PA의 온도는 100℃ 정도로도 된다고 생각된다. 이 경우, 아무런 열 대책을 실시하지 않고, 전력 증폭기 PA를 구성하는 LDMOSFET과, 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기 BAW를 동일한 반도체 기판(1S)에 탑재하면, LDMOSFET으로부터의 발열이 박막 압전 벌크파 공진기 BAW에 영향을 미치고, 박막 압전 벌크파 공진기 BAW의 온도가 상승해버린다. 박막 압전 벌크파 공진기 BAW의 온도가 상승하면, 공진 주파수가 변화해버리기 때문에, 이 박막 압전 벌크파 공진기 BAW로 구성되는 송신 필터 TXF나 수신 필터 RXF의 필터 특성이 열화되어버린다. 이 필터 특성의 열화란, 예를 들어 공진 주파수가 변화함으로써, 통과 영역의 주파수대와 저지 영역의 주파수대가 설계값으로부터 어긋나게 되어, 설계값대로의 통과 영역과 저지 영역을 충분히 확보할 수 없게 됨을 의미하고 있다.

[0086] 따라서, 본 실시 형태 1에 있어서의 기술적 사상에서는, 예를 들어 도 13에 도시한 바와 같이, LDMOSFET이 형성되어 있는 영역 AR1 및 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역 AR2를 포함하는 반도체 기판(1S)의 전체 영역에서, 패시베이션막 PAS 위에 고열전도율막 HCF를 형성하고 있다. 이에 의해, LDMOSFET에 의해 발생한 열은, 영역 AR1에 형성되어 있는 고열전도율막 HCF에 전해지고, 이 고열전도율막 HCF에 의해 빠르게 반도체 기판(1S)의 전체 영역에 걸쳐 방산된다. 또한, LDMOSFET이 형성되어 있는 영역 AR1에 있어서는, 고열전도율막 HCF 위에 고열전도율막 HCF와 마찬가지의 재료(예를 들어, 질화알루미늄막)로 구성되어 있는 시드층 SDL 및 압전막 PZF가 형성되어 있기 때문에, LDMOSFET에 의해 발생한 열은, 이들 막에 의해서도 효율 좋게 열이 방산된다. 이 결과, 본 실시 형태 1에 의하면, LDMOSFET이 형성되어 있는 영역 AR1의 온도를 낮출 수 있기 때문에, 영역 AR1에 형성되어 있는 LDMOSFET으로부터의 발열에 기인하여 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW의 온도 상승을 억제할 수 있는 것이다.

[0087] 여기서, 본 실시 형태 1에서는, 박막 압전 벌크파 공진기 BAW로서, FBAR형 공진기를 예로 들고 있지만, 물론 박

막 압전 벌크파 공진기 BAW로서, SMR형 공진기를 사용하는 경우에도, 본 실시 형태 1에 있어서의 기술적 사상을 적용할 수 있다. 단, 박막 압전 벌크파 공진기 BAW의 온도 상승을 효과적으로 억제하는 관점에서는, LDMOSFET과 동일한 반도체 기판(1S) 위에 탑재하는 박막 압전 벌크파 공진기 BAW로서는, SMR형 공진기보다도 FBAR형 공진기를 사용하는 것이 바람직하다.

[0088] 왜냐하면, 예를 들어 도 13에 도시한 바와 같이, FBAR형 공진기는, 음향 절연부로서, 홈 DIT의 내부에 형성된 공동부 CAV를 사용하고 있기 때문에, 고열전도율막 HCF로부터 FBAR형 공진기로의 열전도가, 열전도율이 낮은 공동부 CAV에 의해 억제되기 때문이다. 즉, 본 실시 형태 1에서는, 고열전도율막 HCF를 형성함과 함께, LDMOSFET과 동일한 반도체 기판(1S) 위에 탑재하는 박막 압전 벌크파 공진기 BAW로서, FBAR형 공진기를 사용함으로써, 박막 압전 벌크파 공진기 BAW의 온도 상승을 효과적으로 억제할 수 있다. 즉, 반도체 기판(1S)의 전체 영역에 있어서, 패시베이션막 PAS 위에 고열전도율막 HCF를 형성함으로써, LDMOSFET에 의해 발생한 열은, 고열전도율막 HCF로부터 사방팔방으로 전해지고 효율적으로 방산됨으로써, LDMOSFET이 형성되어 있는 영역 AR1 자체의 온도 상승을 억제할 수 있다. 이때, 박막 압전 벌크파 공진기 BAW의 하층에 형성되어 있는 고열전도율막 HCF에도 일부의 열이 전해지지만, 음향 절연부가 열전도율이 낮은 공동부 CAV로 형성되어 있는 FBAR형 공진기를 박막 압전 벌크파 공진기 BAW로서 사용함으로써, 박막 압전 벌크파 공진기 BAW의 온도 상승을 효과적으로 억제할 수 있는 것이다.

[0089] <본 실시 형태 1에 있어서의 반도체 장치의 제조 방법>

[0090] 다음으로, 본 실시 형태 1에 있어서의 반도체 장치의 제조 방법에 대하여, 도면을 참조하면서 설명한다. 우선, 도 14에 도시한 바와 같이, 통상의 반도체 제조 기술을 사용함으로써, 반도체 기판(1S) 위에 에피택셜층 EPI를 형성한 후, 반도체 기판(1S)의 영역 AR1에 LDMOSFET을 형성한다. 그리고, LDMOSFET을 형성한 영역 AR1 및 박막 압전 벌크파 공진기 BAW를 형성하는 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL1을 형성하고, 영역 AR1에 형성되어 있는 층간 절연막 IL1에 LDMOSFET과 전기적으로 접속되는 플러그를 형성한다. 그 후, 영역 AR1에 형성되어 있는 층간 절연막 IL1 위에, 예를 들어 알루미늄막으로 이루어지는 제1층 배선을 형성한 후, 영역 AR1 및 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에 형성되어 있는 층간 절연막 IL1 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL2를 형성한다. 이어서, 영역 AR1에 형성되어 있는 층간 절연막 IL2에 플러그를 형성한 후, 영역 AR1에 형성되어 있는 층간 절연막 IL2 위에, 예를 들어 알루미늄막으로 이루어지는 제2층 배선을 형성한다. 그리고, 영역 AR1 및 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에 형성되어 있는 층간 절연막 IL2 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN을 형성한다. 계속해서, 영역 AR1에 형성되어 있는 층간 절연막 ILN에 패드 PD를 형성한 후, 영역 AR1 및 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에, 예를 들어 질화실리콘막으로 이루어지는 패시베이션막 PAS를 형성한다.

[0091] 그 후, 도 15에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR2에 형성되어 있는 패시베이션막 PAS로부터 하층에 형성되어 있는 층간 절연막 ILN에 달하는 복수의 홈 DIT를 형성한다.

[0092] 다음으로, 도 16에 도시한 바와 같이, 복수의 홈 DIT를 형성한 패시베이션막 PAS 위에 층간 절연막 ILN보다도 열전도율이 높은 고열전도율막 HCF를 형성한다. 구체적으로는, 복수의 홈 DIT를 형성한 영역 AR2의 패시베이션막 PAS로부터 영역 AR1에 형성되어 있는 패시베이션막 PAS를 포함하는 반도체 기판(1S)의 주면 전체면에 고열전도율막 HCF를 형성한다. 이때, 홈 DIT의 내벽에 따라 고열전도율막 HCF가 형성된다. 이 고열전도율막 HCF는, 예를 들어 질화알루미늄막이나 산화마그네슘막 등의 열전도율이 양호한 막으로 형성되어 있으며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 특히, 고열전도율막 HCF를 질화알루미늄막으로 형성하는 경우에는, 질소를 포함하는 분위기 중에서 타깃을 알루미늄으로 한 반응성 스퍼터링법에 의해, 질화알루미늄막을 형성할 수 있다.

[0093] 계속해서, 도 17에 도시한 바와 같이, 영역 AR2에 형성된 홈 DIT 내를 포함하는 고열전도율막 HCF 위에 희생층을 형성한 후, 고열전도율막 HCF 위에 형성되어 있는 불필요한 희생층을, 예를 들어 화학적 기계적 연마법(CMP: Chemical Mechanical Polishing)에 의해 제거한다. 이에 의해, 홈 DIT의 내부에만 희생층 SCL을 매립할 수 있다. 구체적으로, 이 희생층 SCL은, 예를 들어 산화실리콘막으로 형성되어 있다.

[0094] 그 후, 도 18에 도시한 바와 같이, 희생층 SCL로 매립된 홈 DIT 위를 포함하는 고열전도율막 HCF 위에 시드층 SDL을 형성하고, 이 시드층 SDL 위에 도체막 CF1을 형성한다. 시드층 SDL은, 예를 들어 질화알루미늄막으로 형성되며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 또한, 도체막 CF1은, 예를 들어 몰리브덴막(Mo)으로 형성되어 있으며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다.

[0095] 이어서, 도 19에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용하여 도체막 CF1을 가공함으로써, 영역 AR2에 하부 전극 BTE를 형성한다. 그리고, 도 20에 도시한 바와 같이, 영역 AR1로부터 영역 AR2에 걸친 반도체 기판(1S)의 주면 전체면에 압전막 PZF를 형성하고, 이 압전막 PZF 위에 도체막 CF2를 형성한다. 구체적으로, 압전막 PZF는, 예를 들어 질화알루미늄막으로 형성되며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 또한, 도체막 CF2는, 예를 들어 몰리브덴막(Mo)으로 형성되어 있으며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다.

[0096] 계속해서, 도 21에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 도체막 CF2, 압전막 PZF를 가공함으로써, 영역 AR2에, 도체막 CF2로 이루어지는 상부 전극 UPE를 형성하고, 압전막 PZF로 이루어지는 압전층 PZL을 형성한다. 또한, 도체막으로 이루어지는 션트 전극 SHE를 형성한다. 또한, 영역 AR1에 대해서는 도체막 CF2를 제거함으로써 표면에 압전막 PZF를 노출시키고, 영역 AR2의 압전막 PZF를 가공하는 공정에서, 영역 AR1의 패드 PD를 개구하는 영역에서도 압전막 PZF를 제거한다. 또한, 영역 AR1의 시드층 SDL 및 압전막 PZF는 고열전도율막 HCF와 마찬가지의 기능을 갖는다.

[0097] 그 후, 도 22에 도시한 바와 같이, 영역 AR2에 형성되어 있는 홈 DIT에 매립되어 있는 희생층 SCL을 제거하여 공동부 CAV를 형성한다. 이때, 희생층 SCL은 산화실리콘막으로 형성되어 있음과 함께, 홈 DIT가 형성되어 있는 층간 절연막 ILN도 산화실리콘막으로 형성되어 있다. 따라서, 단순히 희생층 SCL을 에칭으로 제거하려고 하면, 층간 절연막 ILN도 에칭되게 된다.

[0098] 그러나, 본 실시 형태 1에서는, 홈 DIT의 내벽에, 예를 들어 질화알루미늄막으로 형성되어 있는 고열전도율막 HCF가 형성되어 있다. 이 고열전도율막 HCF는, 전술한 바와 같이, LDMOSFET에 의해 발생한 열을 효율 좋게 사방팔방으로 방산시키기 위해 형성되어 있지만, 나아가 희생층 SCL을 에칭할 때의 에칭 스토퍼로서도 기능한다. 즉, 본 실시 형태 1에 있어서는, 층간 절연막 ILN에 형성된 홈 DIT의 내벽에 고열전도율막 HCF가 형성되어 있으며, 이 고열전도율 HCF를 통해 홈 DIT를 매립하도록 희생층 SCL이 형성되어 있다. 그리고, 희생층 SCL은, 산화실리콘막으로 형성되는 한편, 고열전도율막 HCF는, 산화실리콘막과의 에칭 선택비가 높은 질화알루미늄막으로 형성되어 있다. 이로 인해, 희생층 SCL을 에칭할 때, 홈 DIT의 내벽에 형성되어 있는 고열전도율막 HCF가 에칭 스토퍼로 되어, 희생층 SCL과 동일한 산화실리콘막으로 형성되어 있는 층간 절연막 ILN이 에칭되는 것을 방지할 수 있다. 즉, 본 실시 형태 1에 있어서, 고열전도율막 HCF는, 희생층 SCL을 제거할 때의 에칭 스토퍼로서 기능하고, 희생층 SCL을 에칭할 때에 층간 절연막 ILN을 보호할 수 있다. 구체적으로, 희생층 SCL을 구성하는 산화실리콘막을 에칭할 때에는, 예를 들어 버퍼드 불산이 사용된다.

[0099] 여기서, 희생층 SCL을 층간 절연막 ILN과 다른 재료로 구성하는 것도 고려되지만, 희생층 SCL을 층간 절연막 ILN과 동일한 산화실리콘막으로 형성하는 것은, 이하에 설명하는 이유에 따른다. 즉, 홈 DIT의 크기는, 비교적 대면적이면서, 홈 DIT의 상부에는 박막 압전 벌크파 공진기가 형성되어 있다. 이러한 점에서, 홈 DIT에 매립된 희생층 SCL을 제거하는 것은, 박막 압전 벌크파 공진기가 형성되어 있지 않은 영역으로 밀려나온 홈 DIT의 부분으로부터 희생층 SCL을 에칭할 필요가 있다. 이 경우, 박막 압전 벌크파 공진기가 형성되어 있지 않은 영역으로 밀려나온 홈 DIT의 부분은 작기 때문에, 그 부분으로부터 홈 DIT의 내부 전체를 에칭하기 위해서는, 많은 시간이 걸린다. 따라서, 에칭 속도가 빠른 재료로 희생층 SCL을 형성하는 것이 바람직한 것이다. 이러한 점에서, 불산에 의해 에칭 속도가 빠른 산화실리콘막을 희생층 SCL로 사용하고 있는 것이다. 즉, 비교적 대면적인 희생층 SCL의 에칭을 신속히 행하여, 반도체 장치의 제조 방법에 있어서의 스루풋 향상과 양산성의 향상을 도모하는 관점에서, 희생층 SCL을 불산에 의해 신속하게 제거할 수 있는 산화실리콘막으로 형성하고 있는 것이다.

[0100] 이 경우, 층간 절연막 ILN과 희생층 SCL은 함께, 산화실리콘막으로 형성되게 되지만, 본 실시 형태 1에서는, 홈 DIT의 내벽에, 예를 들어 질화알루미늄막으로 형성되어 있는 고열전도율막 HCF가 형성되어 있다. 따라서, 본 실시 형태 1에 의하면, 희생층 SCL을 에칭할 때, 홈 DIT의 내벽에 형성되어 있는 고열전도율막 HCF가 에칭 스토퍼로 되어, 희생층 SCL과 동일한 산화실리콘막으로 형성되어 있는 층간 절연막 ILN이 에칭되는 것을 방지할 수 있는 것이다.

[0101] 그 후, 도 23에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR1에 형성되어 있는 고열전도율막 HCF 및 패시베이션막 PAS에 개구부를 형성한다. 이에 의해, 영역 AR1에 형성되어 있는 패드 PD의 표면을 노출시킨다. 이상과 같이 하여, 본 실시 형태 1에 있어서의 반도체 장치를 제조할 수 있다.

[0102] <본 실시 형태 1에 있어서의 효과>

[0103] 본 실시 형태 1에 의하면, LDMOSFET이 형성되어 있는 영역 AR1 및 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역 AR2를 포함하는 반도체 기판(1S)의 전체 영역에서, 패시베이션막 PAS 위에 고열전도율막 HCF를 형성하고 있다. 이에 의해, LDMOSFET에 의해 발생한 열은, 영역 AR1에 형성되어 있는 고열전도율막 HCF에 전해지고, 이 고열전도율막 HCF에 의해 빠르게 반도체 기판(1S)의 전체 영역에 걸쳐 방산된다. 이 결과, LDMOSFET이 형성되어 있는 영역 AR1의 온도를 낮출 수 있기 때문에, 영역 AR1에 형성되어 있는 LDMOSFET으로부터의 발열에 기인하여 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW의 온도 상승을 억제할 수 있다. 따라서, 본 실시 형태 1에 의하면, 예를 들어 박막 압전 벌크파 공진기 BAW와 LDMOSFET을 동일한 반도체 기판(1S)에 탑재하는 경우에도, LDMOSFET으로부터의 발열에 의한 박막 압전 벌크파 공진기 BAW의 온도 상승을 충분히 억제할 수 있어, 이에 의해, 박막 압전 벌크파 공진기 BAW로 구성되는 송신 필터 TXF나 수신 필터 RXF의 필터 특성(전기적 특성)의 열화를 억제할 수 있다.

[0104] 또한, 본 실시 형태 1에 의하면, 층간 절연막 ILN에 형성된 홈 DIT의 내벽에 고열전도율막 HCF가 형성되어 있으며, 이 고열전도율 HCF를 통해 홈 DIT를 매립하게 희생층 SCL이 형성되어 있다. 이로 인해, 희생층 SCL을 에칭할 때, 홈 DIT의 내벽에 형성되어 있는 고열전도율막 HCF가 에칭 스토퍼로 되어, 희생층 SCL과 동일한 산화실리콘막으로 형성되어 있는 층간 절연막 ILN이 에칭되는 것을 방지할 수 있다.

[0105] (실시 형태 2)

[0106] 본 실시 형태 2에서는, 고열전도율막 HCF와 박막 압전 벌크파 공진기 BAW의 사이에, 고열전도율막 HCF보다도 열전도율이 낮은 저열전도율막 LCF를 형성하는 예에 대하여, 도면을 참조하면서 설명한다.

[0107] <본 실시 형태 2에 있어서의 반도체 장치의 디바이스 구조>

[0108] 도 24는, 본 실시 형태 2에 있어서의 반도체 장치의 디바이스 구조를 나타내는 단면도이다. 도 24에서는, 반도체 기판(1S)의 영역 AR1과 영역 AR2에 형성되어 있는 구조가 도시되어 있다. 영역 AR1은, 전력 증폭기 PA를 구성하는 LDMOSFET이 형성되어 있는 영역이며, 영역 AR2는, 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역이다. 즉, 본 실시 형태 2에서도, 동일한 반도체 기판(1S) 위에 LDMOSFET과 박막 압전 벌크파 공진기 BAW가 형성되어 있다. 여기서, 영역 AR1에 형성되어 있는 LDMOSFET의 디바이스 구조는, 상기 실시 형태 1과 마찬가지이기 때문에, 그 설명을 생략한다. 또한, 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW의 디바이스 구조도, 기본적으로 상기 실시 형태 1과 마찬가지이기 때문에, 주로 상기 실시 형태 1과 상이한 점에 대하여 설명한다.

[0109] 도 24에 있어서, 본 실시 형태 2의 특징점은, 영역 AR2에 형성되어 있는 패시베이션막 PAS 위에 고열전도율막 HCF가 형성되어 있으며, 이 고열전도율막 HCF 위에 고열전도율막 HCF보다도 열전도율이 낮은 저열전도율막 LCF가 형성되어 있는 점에 있다. 이에 의해, 저열전도율막 LCF 위에 형성되어 있는 박막 압전 벌크파 공진기 BAW에 열이 전해지는 것을 억제할 수 있다. 이 결과, 본 실시 형태 2에 의하면, 예를 들어 박막 압전 벌크파 공진기 BAW와 LDMOSFET을 동일한 반도체 기판(1S)에 탑재하는 경우에도, LDMOSFET으로부터의 발열에 의한 박막 압전 벌크파 공진기 BAW의 온도 상승을 충분히 억제할 수 있어, 이에 의해, 박막 압전 벌크파 공진기 BAW로 구성되는 송신 필터 TXF나 수신 필터 RXF의 필터 특성(전기적 특성)의 열화를 억제할 수 있다.

[0110] 예를 들어, 본 실시 형태 2에서도, LDMOSFET이 형성되어 있는 영역 AR1 및 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역 AR2를 포함하는 반도체 기판(1S)의 전체 영역에 있어서, 패시베이션막 PAS 위에 고열전도율막 HCF를 형성하고 있다. 이에 의해, LDMOSFET에 의해 발생한 열은, 영역 AR1에 형성되어 있는 고열전도율막 HCF에 전해지고, 이 고열전도율막 HCF에 의해 빠르게 반도체 기판(1S)의 전체 영역에 걸쳐 방산된다. 이 결과, LDMOSFET이 형성되어 있는 영역 AR1의 온도를 낮출 수 있기 때문에, 영역 AR1에 형성되어 있는 LDMOSFET으로부터의 발열에 기인하여 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW의 온도 상승을 억제할 수 있다. 여기서, 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW의 하층에도 고열전도율막 HCF가 형성되어 있기 때문에, 영역 AR1로부터 영역 AR2에 걸쳐 형성되어 있는 고열전도율막 HCF에 의해, LDMOSFET에 의해 발생한 열의 일부가 박막 압전 벌크파 공진기 BAW에도 전해지게 되는 것이 고려되지만, 상기 실시 형태 1에 있어서도, 고열전도율막 HCF와 박막 압전 벌크파 공진기 BAW의 사이에 공동부 CAV가 형성되어 있기 때문에, 고열전도율막 HCF로부터 박막 압전 벌크파 공진기 BAW에 열이 전해지는 것을 억제할 수 있다. 그 밖에, 본 실시 형태 2에서는, 고열전도율막 HCF와 박막 압전 벌크파 공진기 BAW의 사이에 저열전도율막 LCF를 형성하고 있다. 이로 인해, 고열전도율막 HCF를 통해 전해져 온 열은, 저열전도율막 LCF에 의해, 저열전도율막 LCF 위에 형성되어 있는 박막 압전 벌크파 공진기 BAW에 전해지기 어려워진다. 이러한 점에서, 본 실시 형태 2에서는, 박막 압전 벌

크파 공진기 BAW의 온도 상승을 억제할 수 있는 것이다.

[0111] 즉, 본 실시 형태 2에서는, 상기 실시 형태 1과 마찬가지로, 영역 AR1로부터 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에 고열전도율막 HCF를 형성한다고 하는 구성을 취함으로써, LDMOSFET에 의해 발생한 열을 사방팔방으로 방산시켜서, LDMOSFET이 형성되어 있는 영역 AR1의 온도 상승을 억제할 수 있다. 그리고, 본 실시 형태 2의 독자적인 특징으로서, 영역 AR2에 있어서, 고열전도율막 HCF 위에 저열전도율막 LCF를 형성하고 있으므로, 고열전도율막 HCF로부터 박막 압전 벌크파 공진기 BAW로의 열의 전도를 억제할 수 있다. 이 2개의 메커니즘에 의한 상승 효과에 의해, 본 실시 형태 2에 의하면, 동일한 반도체 기판(1S) 위에 형성한 LDMOSFET의 발열에 기인하는 박막 압전 벌크파 공진기 BAW의 온도 상승을 억제할 수 있다.

[0112] 이와 같은 저열전도율막 LCF로서는, 예를 들어 질화실리콘막(열전도율 20W/m·K)이나 산화알루미늄막(열전도율 32W/m·K)을 사용할 수 있다. 이때, 저열전도율막으로서 질화실리콘막을 사용하는 이점은, 질화실리콘막의 성막 온도가 비교적 저온이며, 반도체 소자(반도체 디바이스)의 집적화를 행할 때, 고온에 의한 다른 반도체 소자에의 영향을 적게 할 수 있는 점에 있다. 한편, 저열전도율막으로서 산화알루미늄막을 사용하는 이점은, 후술하는 바와 같이, 희생층 SCL로서 사용하는 산화실리콘막(TEOS막)과의 에칭 선택비가 높아, 희생층 SCL을 제거할 때의 에칭 스토퍼막으로서 충분히 기능시킬 수 있다는 점에 있다.

[0113] <본 실시 형태 2에 있어서의 반도체 장치의 제조 방법>

[0114] 본 실시 형태 2에 있어서의 반도체 장치는 상기와 같이 구성되어 있으며, 이하에, 그 제조 방법에 대하여 도면을 참조하면서 설명한다. 도 14 내지 도 16에서 나타내는 공정까지는, 상기 실시 형태 1과 마찬가지이다. 계속해서, 도 25에 도시한 바와 같이, 영역 AR1 및 홈 DIT를 형성한 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에 형성된 고열전도율막 HCF 위에, 고열전도율막 HCF보다도 열전도율이 낮은 저열전도율막 LCF를 형성한다. 이 저열전도율막 LCF는, 예를 들어 질화실리콘막이나 산화알루미늄막으로 형성되어 있으며, 예를 들어 CVD법이나 스퍼터링법을 사용함으로써 형성할 수 있다.

[0115] 계속해서, 도 26에 도시한 바와 같이, 영역 AR2에 형성된 홈 DIT 내를 포함하는 저열전도율막 LCF 위에 희생층을 형성한 후, 저열전도율막 LCF 위에 형성되어 있는 불필요한 희생층을, 예를 들어 화학적 기계적 연마법(CMP: Chemical Mechanical Polishing)에 의해 제거한다. 이에 의해, 홈 DIT의 내부에만 희생층 SCL을 매립할 수 있다. 구체적으로, 이 희생층 SCL은, 예를 들어 산화실리콘막으로 형성되어 있다.

[0116] 그 후, 도 27에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR2에 형성되어 있는 저열전도율막 LCF를 잔존시키는 한편, 영역 AR1에 형성되어 있는 저열전도율막 LCF를 제거한다.

[0117] 그리고, 도 28에 도시한 바와 같이, 영역 AR2에 형성되어 있는 저열전도율막 LCF 위 및 영역 AR1에 형성되어 있는 고열전도율막 HCF 위에 시드층 SDL을 형성하고, 이 시드층 SDL 위에 제1 도체막을 형성한다. 시드층 SDL은, 예를 들어 질화알루미늄막으로 형성되며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 또한, 제1 도체막은, 예를 들어 몰리브덴막(Mo)으로 형성되어 있으며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 이어서, 포토리소그래피 기술 및 에칭 기술을 사용하여 제1 도체막을 가공함으로써, 영역 AR2에 하부 전극 BTE를 형성한다.

[0118] 그리고, 도 29에 도시한 바와 같이, 영역 AR1로부터 영역 AR2에 걸친 반도체 기판(1S)의 주면 전체면에 압전막을 형성하고, 이 압전막 위에 제2 도체막을 형성한다. 구체적으로, 압전막은, 예를 들어 질화알루미늄막으로 형성되고, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 또한, 제2 도체막은, 예를 들어 몰리브덴막(Mo)으로 형성되어 있으며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 계속해서, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 제2 도체막, 압전막을 가공함으로써, 영역 AR2에, 제2 도체막으로 이루어지는 상부 전극 UPE를 형성하고, 압전막으로 이루어지는 압전층 PZL을 형성한다. 또한, 도체막으로 이루어지는 션트 전극 SHE를 형성한다. 또한, 영역 AR1에 대해서는 제2 도체막을 제거함으로써 표면에 압전막 PZF를 노출시키고, 영역 AR2의 압전막 PZF를 가공하는 공정에서, 영역 AR1의 패드 PD를 개구하는 영역에서도 압전막 PZF를 제거한다. 또한, 영역 AR1의 시드층 SDL 및 압전막 PZF는 고열전도율막 HCF와 마찬가지의 기능을 갖는다.

[0119] 그 후, 도 30에 도시한 바와 같이, 영역 AR2에 형성되어 있는 홈 DIT에 매립되어 있는 희생층 SCL을 제거하여 공동부 CAV를 형성한다. 이때, 예를 들어 희생층 SCL은, 산화실리콘막으로 형성되는 한편, 저열전도율막 LCF는, 예를 들어 질화실리콘막이나 산화알루미늄막으로 형성되어 있다. 따라서, 저열전도율막 LCF는, 희생층 SCL을 에칭할 때의 에칭 스토퍼로서 기능하게 된다. 또한, 본 실시 형태 2에서는, 저열전도율막 LCF의 하층에, 예를 들어 질화알루미늄막으로 형성되어 있는 고열전도율막 HCF가 형성되어 있다. 이로 인해, 고열전도율막

HCF의 하층에, 희생층 SCL과 동일한 산화실리콘막으로 형성되는 층간 절연막 ILN이 형성되어 있지만, 희생층 SCL을 에칭할 때, 이 저열전도율막 LCF 및 고열전도율막 HCF가 에칭 스토퍼로서 기능하기 때문에, 층간 절연막 ILN을 보호할 수 있다.

[0120] 특히, 저열전도율막 LCF를 산화알루미늄막으로 형성하는 경우, 산화알루미늄막은 산화실리콘막과의 에칭 선택비가 높기 때문에, 저열전도율막 LCF를 충분한 에칭 스토퍼막으로서 기능시킬 수 있다.

[0121] 그 후, 도 31에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR1에 형성되어 있는 고열전도율막 HCF 및 패시베이션막 PAS에 개구부를 형성한다. 이에 의해, 영역 AR1에 형성되어 있는 패드 PD의 표면을 노출시킬 수 있다. 이상과 같이 하여, 본 실시 형태 2에 있어서의 반도체 장치를 제조할 수 있다.

[0122] (실시 형태 3)

[0123] 본 실시 형태 3에서는, LDMOSFET이 형성되어 있는 영역 AR1과, 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역 AR2의 사이에 영역 AR3을 형성하고, 이 영역 AR3의 표면에 요철 형상을 형성하는 예에 대하여 설명한다.

[0124] <본 실시 형태 3에 있어서의 반도체 장치의 디바이스 구조>

[0125] 도 32는, 본 실시 형태 3에 있어서의 반도체 장치의 디바이스 구조를 나타내는 단면도이다. 도 32에서는, 반도체 기판(1S)의 영역 AR1과 영역 AR2와 영역 AR3에 형성되어 있는 구조가 도시되어 있다. 영역 AR1은, 전력 증폭기 PA를 구성하는 LDMOSFET이 형성되어 있는 영역이며, 영역 AR2는, 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역이다. 즉, 본 실시 형태 2에서도, 동일한 반도체 기판(1S) 위에 LDMOSFET과 박막 압전 벌크파 공진기 BAW가 형성되어 있다. 그리고, 영역 AR1과 영역 AR2의 사이에 영역 AR3이 형성되어 있다. 여기서, 영역 AR1에 형성되어 있는 LDMOSFET의 디바이스 구조는, 상기 실시 형태 1이나 상기 실시 형태 2와 마찬가지이기 때문에, 그 설명을 생략한다. 또한, 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW의 디바이스 구조도, 상기 실시 형태 2와 마찬가지이기 때문에, 주로 영역 AR3의 구조에 대하여 설명한다.

[0126] 도 32에 있어서, 반도체 기판(1S)의 영역 AR3에는, 에피택셜층 EPI가 형성되어 있으며, 이 에피택셜층 EPI 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL1이 형성되어 있다. 그리고, 층간 절연막 IL1 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL2가 형성되어 있으며, 이 층간 절연막 IL2 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN이 형성되어 있다. 이 층간 절연막 ILN 위에는, 예를 들어 질화실리콘막으로 이루어지는 패시베이션막 PAS가 형성되어 있으며, 패시베이션막 PAS의 표면으로부터 층간 절연막 ILN에 달하는 홈 DIT2가 형성되어 있다. 이 홈 DIT2의 내벽을 포함하는 패시베이션막 PAS의 표면에 고열전도율막 HCF가 형성되어 있다. 즉, 본 실시 형태 3에서는, 영역 AR1과 영역 AR2와 영역 AR3을 포함하는 반도체 기판(1S)의 주면 전체면에 고열전도율막 HCF가 형성되어 있다. 또한, 고열전도율막 HCF 위에는, 예를 들어 질화알루미늄막으로 이루어지는 시드층 SDL 및 압전막 PZF가 형성되어 있다.

[0127] 여기서, 본 실시 형태 3의 특징은, 영역 AR3에 형성되어 있는 패시베이션막 PAS의 표면에 요철 형상을 형성하기 위한 복수의 홈 DIT2가 형성되어 있으며, 이 홈 DIT2의 내벽을 포함하는 패시베이션막 PAS 위에 고열전도율막 HCF가 형성되어 있는 점에 있다. 이 고열전도율막 HCF는, LDMOSFET이 형성되어 있는 영역 AR1까지 연장되어 있으며, LDMOSFET에 의해 발생한 열이 고열전도율막 HCF를 통해 전해져서 영역 AR3에까지 달한다. 이때, 본 실시 형태 3에서는, 영역 AR3의 표면이 복수의 홈 DIT2에 의해 요철 형상으로 되어 있기 때문에, 영역 AR3에 있어서, 고열전도율막 HCF의 표면적이 커진다. 이 결과, 영역 AR3에 형성되어 있는 고열전도율막 HCF로부터의 방열 효율이 향상된다(핀 효과). 즉, LDMOSFET에 의해 발생한 열은, 영역 AR1에 형성되어 있는 고열전도율막 HCF로부터, 영역 AR3에 형성되어 있는 고열전도율막 HCF에 전해지지만, 영역 AR3에 있어서의 핀 효과에 의해 효율 좋게 방산된다. 이로 인해, 본 실시 형태 3에 의하면, 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW에까지 전해지는 열을 억제할 수 있으므로, 동일한 반도체 기판(1S) 위에 형성한 LDMOSFET의 발열에 기인하는 박막 압전 벌크파 공진기 BAW의 온도 상승을 억제할 수 있다.

[0128] <본 실시 형태 3에 있어서의 변형예>

[0129] 다음으로, 본 실시 형태 3에 있어서의 변형예에 대하여 설명한다. 도 33에 있어서, 본 변형예에서는 영역 AR3뿐만 아니라, 영역 AR1의 표면에도 복수의 홈 DIT3이 형성되어 있으며, 이 복수의 홈 DIT3에 의해, 영역 AR1에 형성되어 있는 패시베이션막 PAS의 표면에 요철 형상이 형성되어 있다. 그리고, 영역 AR1에 있어서는, 패시베이션막 PAS에 형성된 복수의 홈 DIT3의 내벽에 고열전도율막 HCF가 형성되어 있다. 이에 의해, 본 변형예에 있어서는, 영역 AR3에 의한 핀 효과 외에, 영역 AR1에 있어서도 핀 효과를 얻을 수 있으므로, 영역 AR1에 형성되

어 있는 LDMOSFET으로부터 발생한 열을, 영역 AR1 및 영역 AR3에 형성된 고열전도율막 HCF로부터 효율적으로 방산시킬 수 있다. 특히, 본 변형예에 의하면, LDMOSFET이 형성되어 있는 영역 AR1의 표면에 요철 형상이 형성되어 있으므로, LDMOSFET에 의해 발생한 열을 충분히 방산할 수 있는 효과가 얻어진다.

[0130] <본 실시 형태 3에 있어서의 반도체 장치의 제조 방법>

[0131] 본 실시 형태 3에 있어서의 반도체 장치는 상기와 같이 구성되어 있으며, 이하에, 그 제조 방법에 대하여 도면을 참조하면서 설명한다. 우선, 도 34에 도시한 바와 같이, 통상의 반도체 제조 기술을 사용함으로써, 반도체 기판(1S) 위에 에피택셜층 EPI를 형성한 후, 반도체 기판(1S)의 영역 AR1에 LDMOSFET을 형성한다. 그리고, LDMOSFET을 형성한 영역 AR1 및 박막 압전 벌크파 공진기 BAW를 형성하는 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL1을 형성하고, 영역 AR1에 형성되어 있는 층간 절연막 IL1에 LDMOSFET과 전기적으로 접속되는 플러그를 형성한다. 그 후, 영역 AR1에 형성되어 있는 층간 절연막 IL1 위에, 예를 들어 알루미늄막으로 이루어지는 제1층 배선을 형성한 후, 영역 AR1 및 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에 형성되어 있는 층간 절연막 IL1 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL2를 형성한다. 이어서, 영역 AR1에 형성되어 있는 층간 절연막 IL2에 플러그를 형성한 후, 영역 AR1에 형성되어 있는 층간 절연막 IL2 위에, 예를 들어 알루미늄막으로 이루어지는 제2층 배선을 형성한다. 그리고, 영역 AR1 및 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에 형성되어 있는 층간 절연막 IL2 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN을 형성한다. 계속해서, 영역 AR1에 형성되어 있는 층간 절연막 ILN에 패드 PD를 형성한 후, 영역 AR1 및 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에, 예를 들어 질화실리콘막으로 이루어지는 패시베이션막 PAS를 형성한다.

[0132] 그 후, 도 35에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR2에 형성되어 있는 패시베이션막 PAS로부터 하층에 형성되어 있는 층간 절연막 ILN에 달하는 복수의 홈 DIT를 형성한다. 또한, 본 실시 형태 3에서는, 이 공정에서, 영역 AR3에도, 패시베이션막 PAS의 표면으로부터 하층에 형성되어 있는 층간 절연막 ILN에 달하는 복수의 홈 DIT2를 형성한다. 이때, 예를 들어 영역 AR3에 형성되어 있는 홈 DIT2의 밀도는, 영역 AR2에 형성되어 있는 홈 DIT보다도 고밀도로 형성된다. 이에 의해, 영역 AR3에 형성되어 있는 패시베이션막 PAS의 표면에 요철 형상을 형성할 수 있다.

[0133] 다음으로, 도 36에 도시한 바와 같이, 복수의 홈 DIT 및 홈 DIT2를 형성한 패시베이션막 PAS 위에 층간 절연막 ILN보다도 열전도율이 높은 고열전도율막 HCF를 형성한다. 구체적으로는, 복수의 홈 DIT를 형성한 영역 AR2의 패시베이션막 PAS로부터, 복수의 홈 DIT2를 형성한 영역 AR3의 패시베이션막 PAS를 통하여, 나아가, 영역 AR1에 형성되어 있는 패시베이션막 PAS까지의 반도체 기판(1S)의 주면 전체면에 고열전도율막 HCF를 형성한다. 이때, 홈 DIT의 내벽 및 홈 DIT2의 내벽을 따라 고열전도율막 HCF가 형성된다. 이 고열전도율막 HCF는, 예를 들어 질화알루미늄막이나 산화마그네슘막 등의 열전도율이 양호한 막으로 형성되어 있으며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 특히, 고열전도율막 HCF를 질화알루미늄막으로 형성하는 경우에는, 질소를 포함하는 분위기 중에서 타깃을 알루미늄으로 한 반응성 스퍼터링법에 의해 질화알루미늄막을 형성할 수 있다.

[0134] 계속해서, 도 37에 도시한 바와 같이, 영역 AR1, 홈 DIT를 형성한 영역 AR2 및 홈 DIT2를 형성한 영역 AR3을 포함하는 반도체 기판(1S)의 주면 전체면에 형성된 고열전도율막 HCF 위에 고열전도율막 HCF보다도 열전도율이 낮은 저열전도율막 LCF를 형성한다. 이 저열전도율막 LCF는, 예를 들어 질화실리콘막이나 산화알루미늄막으로 형성되어 있으며, 예를 들어 CVD법이나 스퍼터링법을 사용함으로써 형성할 수 있다.

[0135] 그리고, 도 38에 도시한 바와 같이, 영역 AR2에 형성된 홈 DIT 내 및 영역 AR3에 형성된 홈 DIT2 내를 포함하는 저열전도율막 LCF 위에 희생층을 형성한 후, 저열전도율막 LCF 위에 형성되어 있는 불필요한 희생층을, 예를 들어 화학적 기계적 연마법(CMP: Chemical Mechanical Polishing)에 의해 제거한다. 이에 의해, 홈 DIT의 내부 및 홈 DIT2의 내부에만 희생층 SCL을 매립할 수 있다. 구체적으로, 이 희생층 SCL은, 예를 들어 산화실리콘막으로 형성되어 있다. 이어서, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR1 및 영역 AR3에 형성되어 있는 저열전도율막 LCF를 제거한다.

[0136] 그 후, 도 39에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR3의 홈 DIT2의 내부에 매립되어 있는 희생층 SCL을, 예를 들어 불산에 의한 에칭으로 제거한다. 이때, 층간 절연막 ILN은 희생층 SCL과 동일한 산화실리콘막으로 형성되어 있지만, 본 실시 형태 3에 의하면, 층간 절연막 ILN과 희생층 SCL의 사이에, 예를 들어 산화실리콘막과의 에칭 선택비가 해석되는 고열전도율막 HCF가 형성되어 있다. 이러한 점에서, 고열전도율막 HCF가 희생층 SCL을 에칭할 때의 에칭 스토퍼로서 기능하기 때문에, 층간 절연막 ILN을 보호할 수 있다.

[0137] 그리고, 도 40에 도시한 바와 같이, 영역 AR1로부터 영역 AR3에 걸치는 반도체 기판(1S)의 주면 전체면에 시드층 SDL을 형성하고, 이 시드층 SDL 위에 제1 도체막을 형성한다. 시드층 SDL은, 예를 들어 질화알루미늄막으로 형성되며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 또한, 제1 도체막은, 예를 들어 몰리브덴막(Mo)으로 형성되어 있으며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 이어서, 포토리소그래피 기술 및 에칭 기술을 사용하여 제1 도체막을 가공함으로써, 영역 AR2에 하부 전극 BTE를 형성한다.

[0138] 다음으로, 도 41에 도시한 바와 같이, 영역 AR1 및 영역 AR2 및 영역 AR3에 걸치는 반도체 기판(1S)의 주면 전체면에 압전막을 형성하고, 이 압전막 위에 제2 도체막을 형성한다. 구체적으로, 압전막은, 예를 들어 질화알루미늄막으로 형성되고, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 또한, 제2 도체막은, 예를 들어 몰리브덴막(Mo)으로 형성되어 있으며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 계속해서, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 제2 도체막 및 압전막을 가공함으로써, 영역 AR2에, 제2 도체막으로 이루어지는 상부 전극 UPE를 형성하고, 압전막으로 이루어지는 압전층 PZL을 형성한다. 또한, 도체막으로 이루어지는 션트 전극 SHE를 형성한다. 또한, 영역 AR1에 대해서는 제2 도체막을 제거함으로써 표면에 압전막 PZF를 노출시키고, 영역 AR2의 압전막 PZF를 가공하는 공정에서, 영역 AR1의 패드 PD를 개구하는 영역에서도 압전막 PZF를 제거한다. 또한, 영역 AR1의 시드층 SDL 및 압전막 PZF는 고열전도율막 HCF와 마찬가지의 기능을 갖는다.

[0139] 그 후, 도 42에 도시한 바와 같이, 영역 AR2에 형성되어 있는 홈 DIT에 매립되어 있는 희생층 SCL을 제거하여 공동부 CAV를 형성한다. 이때, 예를 들어 희생층 SCL은, 산화실리콘막으로 형성되는 한편, 저열전도율막 LCF는, 예를 들어 질화실리콘막이나 산화알루미늄막으로 형성되어 있다. 따라서, 저열전도율막 LCF는, 희생층 SCL을 에칭할 때의 에칭 스토퍼로서 기능하게 된다. 또한, 본 실시 형태 3에서는, 저열전도율막 LCF의 하층에, 예를 들어 질화알루미늄막으로 형성되어 있는 고열전도율막 HCF가 형성되어 있다. 이로 인해, 고열전도율막 HCF의 하층에, 희생층 SCL과 동일한 산화실리콘막으로 형성되는 층간 절연막 ILN이 형성되어 있지만, 희생층 SCL을 에칭할 때, 이 저열전도율막 LCF 및 고열전도율막 HCF가 에칭 스토퍼로서 기능하기 때문에, 층간 절연막 ILN을 보호할 수 있다.

[0140] 그 후, 도 43에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR1에 형성되어 있는 고열전도율막 HCF 및 패시베이션막 PAS에 개구부를 형성한다. 이에 의해, 영역 AR1에 형성되어 있는 패드 PD의 표면을 노출시킬 수 있다. 이상과 같이 하여, 본 실시 형태 3에 있어서의 반도체 장치를 제조할 수 있다.

[0141] (실시 형태 4)

[0142] 본 실시 형태 4에서는, LDMOSFET이 형성되어 있는 영역 AR1을 둘러싸는 영역 AR0에, 패시베이션막 PAS로부터 반도체 기판(1S)으로까지 관통하는 방열 플러그를 형성하는 예에 대하여 설명한다.

[0143] <본 실시 형태 4에 있어서의 반도체 장치의 디바이스 구조>

[0144] 도 44는, 본 실시 형태 4에 있어서의 반도체 장치의 디바이스 구조를 나타내는 단면도이다. 도 44에서는, 반도체 기판(1S)의 영역 AR1, 영역 AR2 및 영역 AR1의 주변 영역인 영역 AR0의 구조가 도시되어 있다. 영역 AR1은, 전력 증폭기 PA를 구성하는 LDMOSFET이 형성되어 있는 영역이며, 영역 AR2는, 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역이다. 즉, 본 실시 형태 2에서도, 동일한 반도체 기판(1S) 위에 LDMOSFET과 박막 압전 벌크파 공진기 BAW가 형성되어 있다. 그리고, 영역 AR1을 둘러싸는 주변에 영역 AR0이 형성되어 있다. 여기서, 영역 AR1에 형성되어 있는 LDMOSFET의 디바이스 구조는, 상기 실시 형태 1 내지 3과 마찬가지이기 때문에, 그 설명을 생략한다. 또한, 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW의 디바이스 구조도, 상기 실시 형태 2나 상기 실시 형태 3과 마찬가지이기 때문에, 주로 영역 AR0의 구조에 대하여 설명한다.

[0145] 도 44에 있어서, 반도체 기판(1S)의 영역 AR0에는, 에피택셜층 EPI가 형성되어 있으며, 이 에피택셜층 EPI 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL1이 형성되어 있다. 그리고, 층간 절연막 IL1 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL2가 형성되어 있으며, 이 층간 절연막 IL2 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN이 형성되어 있다. 이 층간 절연막 ILN 위에는, 예를 들어 질화실리콘막으로 이루어지는 패시베이션막 PAS가 형성되어 있으며, 패시베이션막 PAS의 표면으로부터 반도체 기판(1S)에 달하는 관통 홈 TH가 형성되어 있다. 그리고, 이 관통 홈 TH에는 도전 재료가 매립되어 방열 플러그 TPLG가 형성되어 있다. 이 방열 플러그 TPLG를 형성한 패시베이션막 PAS 위에는 고열전도율막 HCF가 형성되어 있다. 또한, 고열전도율막 HCF 위에는, 예를 들어 질화알루미늄막으로 이루어지는 시드층 SDL 및 압전막

PZF가 형성되어 있다.

[0146] 여기서, 본 실시 형태 4의 특징점은, LDMOSFET이 형성되어 있는 영역 AR1의 주변에 형성되어 있는 영역 AR0에 방열 플러그 TPLG를 형성하고 있는 점에 있다. 즉, 본 실시 형태 4에서는, 영역 AR0에 형성되어 있는 패시베이션막 PAS로부터 반도체 기판(1S)에 달하는 방열 플러그 TPLG가 형성되어 있다. 그리고, 이 방열 플러그 TPLG는, 그 상부에 있어서, 고열전도율막 HCF와 직접 접촉하고 있다. 이에 의해, LDMOSFET에 의해 발생한 열은, 영역 AR1에 형성되어 있는 고열전도율막 HCF로부터, 영역 AR0에 형성되어 있는 고열전도율막 HCF로 전해진다. 그 후, 영역 AR0에 형성되어 있는 고열전도율막 HCF에 전해진 열의 일부는, 고열전도율막 HCF와 직접 접촉하고 있는 방열 플러그 TPLG를 통하여, 반도체 기판(1S)으로부터 방산된다. 따라서, 본 실시 형태 4에 의하면, 영역 AR1에 인접하는 영역 AR0에 방열 플러그 TPLG를 설치하였기 때문에, 이 방열 플러그 TPLG로부터 효율 좋게 열을 방산시킬 수 있다. 즉, 본 실시 형태 4에 의하면, LDMOSFET에 의해 발생한 열이, 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW에 도달하기 전에, 열의 일부가 방열 플러그 TPLG로부터 방산되기 때문에, 동일한 반도체 기판(1S) 위에 형성한 LDMOSFET의 발열에 기인하는 박막 압전 벌크파 공진기 BAW의 온도 상승을 억제할 수 있다.

[0147] 특히, 본 실시 형태 4에 있어서의 방열 플러그 TPLG는, 예를 들어 텅스텐(W) 등으로 이루어지는 열전도율이 비교적 높은 금속막을 관통 홈 TH에 매립함으로써 형성되어 있으므로, 방열 플러그 TPLG로부터의 방열 효율을 향상시킬 수 있다.

[0148] <본 실시 형태 4에 있어서의 반도체 장치의 제조 방법>

[0149] 본 실시 형태 4에 있어서의 반도체 장치는 상기와 같이 구성되어 있으며, 이하에, 그 제조 방법에 대하여 도면을 참조하면서 설명한다. 우선, 도 45에 도시한 바와 같이, 통상의 반도체 제조 기술을 사용함으로써, 반도체 기판(1S) 위에 에피택셜층 EPI를 형성한 후, 반도체 기판(1S)의 영역 AR1에 LDMOSFET을 형성한다. 그리고, LDMOSFET을 형성한 영역 AR1, 박막 압전 벌크파 공진기 BAW를 형성하는 영역 AR2 및 영역 AR1에 인접하는 영역 AR0을 포함하는 반도체 기판(1S)의 주면 전체면에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL1을 형성하고, 영역 AR1에 형성되어 있는 층간 절연막 IL1에 LDMOSFET과 전기적으로 접속되는 플러그를 형성한다. 그 후, 영역 AR1에 형성되어 있는 층간 절연막 IL1 위에, 예를 들어 알루미늄막으로 이루어지는 제1층 배선을 형성한 후, 영역 AR1 및 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에 형성되어 있는 층간 절연막 IL1 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL2를 형성한다. 이어서, 영역 AR1에 형성되어 있는 층간 절연막 IL2에 플러그를 형성한 후, 영역 AR1에 형성되어 있는 층간 절연막 IL2 위에, 예를 들어 알루미늄막으로 이루어지는 제2층 배선을 형성한다. 그리고, 영역 AR1 및 영역 AR2를 포함하는 반도체 기판(1S)의 주면 전체면에 형성되어 있는 층간 절연막 IL2 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN을 형성한다. 계속해서, 영역 AR1에 형성되어 있는 층간 절연막 ILN에 패드 PD를 형성한 후, 영역 AR1, 영역 AR2 및 영역 AR0을 포함하는 반도체 기판(1S)의 주면 전체면에, 예를 들어 질화실리콘막으로 이루어지는 패시베이션막 PAS를 형성한다.

[0150] 다음으로, 도 46에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR0에 형성되어 있는 패시베이션막 PAS의 표면으로부터 반도체 기판(1S)에 달하는 관통 홈 TH를 형성한다. 그리고, 이 관통 홈 TH를 형성한 패시베이션막 PAS의 표면 위에, 예를 들어 텅스텐막으로 이루어지는 금속막을 형성한다. 이때, 금속막은 관통 홈 TH의 내부에도 매립되도록 형성한다. 그 후, 예를 들어 CMP법을 사용함으로써, 패시베이션막 PAS 위에 형성되어 있는 불필요한 금속막을 제거한다. 이에 의해, 관통 홈 TH의 내부에만 금속막을 매립한 방열 플러그 TPLG를 형성할 수 있다.

[0151] 그 후, 도 47에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR2에 형성되어 있는 패시베이션막 PAS로부터 하층에 형성되어 있는 층간 절연막 ILN에 달하는 복수의 홈 DIT를 형성한다.

[0152] 이어서, 도 48에 도시한 바와 같이, 복수의 홈 DIT를 형성한 패시베이션막 PAS 위에 층간 절연막 ILN보다도 열전도율이 높은 고열전도율막 HCF를 형성한다. 구체적으로는, 복수의 홈 DIT를 형성한 영역 AR2의 패시베이션막 PAS로부터, 영역 AR0에 형성되어 있는 패시베이션막 PAS를 통하여, 영역 AR1에 형성되어 있는 패시베이션막 PAS까지의 반도체 기판(1S)의 주면 전체면에 고열전도율막 HCF를 형성한다. 이때, 홈 DIT의 내벽을 따라 고열전도율막 HCF가 형성된다. 이 고열전도율막 HCF는, 예를 들어 질화알루미늄막이나 산화마그네슘막 등의 열전도율이 양호한 막으로 형성되어 있으며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 특히, 고열전도율막 HCF를 질화알루미늄막으로 형성되는 경우에는, 질소를 포함하는 분위기 중에서 타깃을 알루미늄으로 한 반응성 스퍼터링법에 의해, 질화알루미늄막을 형성할 수 있다.

[0153] 계속해서, 영역 AR1, 홈 DIT를 형성한 영역 AR2 및 영역 AR1에 인접한 영역 AR0을 포함하는 반도체 기판(1S)의 주면 전체면에 형성된 고열전도율막 HCF 위에 고열전도율막 HCF보다도 열전도율이 낮은 저열전도율막 LCF를 형성한다. 이 저열전도율막 LCF는, 예를 들어 질화실리콘막이나 산화알루미늄막으로 형성되어 있으며, 예를 들어 CVD법이나 스퍼터링법을 사용함으로써 형성할 수 있다.

[0154] 그리고, 도 49에 도시한 바와 같이, 영역 AR2에 형성된 홈 DIT 내를 포함하는 저열전도율막 LCF 위에 희생층을 형성한 후, 저열전도율막 LCF 위에 형성되어 있는 불필요한 희생층을, 예를 들어 화학적 기계적 연마법(CMP: Chemical Mechanical Polishing)에 의해 제거한다. 이에 의해, 홈 DIT의 내부에만 희생층 SCL을 매립할 수 있다. 구체적으로, 이 희생층 SCL은, 예를 들어 산화실리콘막으로 형성되어 있다.

[0155] 다음으로, 도 50에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR1 및 영역 AR3에 형성되어 있는 저열전도율막 LCF를 제거한다.

[0156] 그리고, 도 51에 도시한 바와 같이, 영역 AR0 및 영역 AR1 및 영역 AR2에 걸친 반도체 기판(1S)의 주면 전체면에 시드층 SDL을 형성하고, 이 시드층 SDL 위에 제1 도체막을 형성한다. 시드층 SDL은, 예를 들어 질화알루미늄막으로 형성되며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 또한, 제1 도체막은, 예를 들어 몰리브덴막(Mo)으로 형성되어 있으며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 이어서, 포토리소그래피 기술 및 에칭 기술을 사용하여 제1 도체막을 가공함으로써, 영역 AR2에 하부 전극 BTE를 형성한다.

[0157] 다음으로, 도 52에 도시한 바와 같이, 영역 AR0 및 영역 AR1 및 영역 AR2에 걸치는 반도체 기판(1S)의 주면 전체면에 압전막을 형성하고, 이 압전막 위에 제2 도체막을 형성한다. 구체적으로, 압전막은, 예를 들어 질화알루미늄막으로 형성되며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 또한, 제2 도체막은, 예를 들어 몰리브덴막(Mo)으로 형성되어 있으며, 예를 들어 스퍼터링법을 사용함으로써 형성할 수 있다. 계속해서, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 제2 도체막 및 압전막을 가공함으로써, 영역 AR2에, 제2 도체막으로 이루어지는 상부 전극 UPE를 형성하고, 압전막으로 이루어지는 압전층 PZL을 형성한다. 또한, 도체막으로 이루어지는 션트 전극 SHE를 형성한다. 또한 영역 AR1에 대해서는 제2 도체막을 제거함으로써 표면에 압전막 PZF를 노출시키고, 영역 AR2의 압전막 PZF를 가공하는 공정에 의해, 영역 AR1의 패드 PD를 개구하는 영역에서도 압전막 PZF를 제거한다. 또한, 영역 AR1의 시드층 SDL 및 압전막 PZF는 고열전도율막 HCF와 마찬가지의 기능을 갖는다.

[0158] 그 후, 도 53에 도시한 바와 같이, 영역 AR2에 형성되어 있는 홈 DIT에 매립되어 있는 희생층 SCL을 제거하여 공동부 CAV를 형성한다. 이때, 예를 들어 희생층 SCL은, 산화실리콘막으로 형성되는 한편, 저열전도율막 LCF는, 예를 들어 질화실리콘막이나 산화알루미늄막으로 형성되어 있다. 따라서, 저열전도율막 LCF는, 희생층 SCL을 에칭할 때의 에칭 스토퍼로서 기능하게 된다. 또한, 본 실시 형태 4에서는, 저열전도율막 LCF의 하층에, 예를 들어 질화알루미늄막으로 형성되어 있는 고열전도율막 HCF가 형성되어 있다. 이로 인해, 고열전도율막 HCF의 하층에, 희생층 SCL과 동일한 산화실리콘막으로 형성되는 층간 절연막 ILN이 형성되어 있지만, 희생층 SCL을 에칭할 때, 이 저열전도율막 LCF 및 고열전도율막 HCF가 에칭 스토퍼로서 기능하기 때문에, 층간 절연막 ILN을 보호할 수 있다.

[0159] 그 후, 도 54에 도시한 바와 같이, 포토리소그래피 기술 및 에칭 기술을 사용함으로써, 영역 AR1에 형성되어 있는 고열전도율막 HCF 및 패시베이션막 PAS에 개구부를 형성한다. 이에 의해, 영역 AR1에 형성되어 있는 패드 PD의 표면을 노출시킬 수 있다. 이상과 같이 하여, 본 실시 형태 4에 있어서의 반도체 장치를 제조할 수 있다.

[0160] (실시 형태 5)

[0161] 본 실시 형태 5에서는, 전력 증폭기 PA를 구성하는 반도체 소자로서, 헤테로 접합 바이폴라 트랜지스터(HBT)를 사용하는 예에 대하여 설명한다. 즉, 본 실시 형태 5에서는, 동일한 반절연성 기판(본 명세서에서는, 반절연성 기판도 반도체 기판에 포함되는 것으로 함)에, HBT와 박막 압전 벌크파 공진기 BAW를 형성하는 예에 대하여 설명한다.

[0162] 예를 들어, 갈륨비소(GaAs) 등의 Ⅲ-Ⅴ족 화합물 반도체를 사용한 반도체 소자가 있다. 화합물 반도체는 실리콘(Si)에 비하여 이동도가 커서, 반절연성 결정이 얻어지는 특징을 갖는다. 또한, 화합물 반도체는 혼정을 만드는 것이 가능하며, 헤테로 접합을 형성할 수 있다.

[0163] 헤테로 접합을 사용한 반도체 소자로서, 헤테로 접합형 바이폴라 트랜지스터(이하, 'HBT(Heterojunction Bipolar Transistor)'라고 함)이 있다. 이 HBT는, 갈륨비소를 베이스층에 이용하고, 인듐갈륨인화물(InGaP) 또

는 알루미늄갈륨비소(AlGaAs) 등을 이미터층에 이용한 바이폴라 트랜지스터이다. 즉, HBT는, 베이스층과 이미터층으로 서로 다른 반도체 재료를 사용하여 헤테로 접합을 형성한 바이폴라 트랜지스터이다.

[0164] 이 헤테로 접합에 의해, 베이스 이미터 접합에서의 이미터의 금제대 폭을 베이스의 금제대 폭보다 크게 할 수 있다. 따라서, 이미터로부터 베이스로의 캐리어의 주입을 베이스로부터 이미터로의 역 전하의 캐리어의 주입에 비하여 매우 크게 할 수 있으므로, HBT의 전류 증폭률은 매우 크게 되는 특징이 있다. HBT는, 전술한 바와 같이 전류 증폭률이 매우 크게 되기 때문에, 예를 들어 휴대 전화기에 탑재되는 전력 증폭기 PA에 사용되고 있다. 이하에, 이 HBT의 디바이스 구조에 대하여 설명한다.

[0165] <HBT의 디바이스 구조>

[0166] 도 55는, HBT의 디바이스 구조를 나타내는 단면도이다. 도 55에 도시한 바와 같이, 반절연성의 GaAs 기판(1GS: 반절연성 기판)의 이면에는, 금막 등으로 이루어지는 이면 전극 BE가 형성되어 있으며, GaAs 기판(1GS)의 표면(주면)에 HBT가 형성되어 있다. GaAs 기판(1GS)의 표면에는, 서브 콜렉터층 SC가 형성되어 있으며, 이 서브 콜렉터층 SC 위에 콜렉터 전극 CE 및 콜렉터 메사 CM이 형성되어 있다. 콜렉터 메사 CM 위에는, 베이스 메사 BM이 형성되어 있고, 베이스 메사 BM의 주변부에 베이스 전극 BAE가 형성되어 있다. 또한, 베이스 메사 BM의 중앙부에는, 이미터층 EL이 형성되고, 이 이미터층 EL 위에 이미터 전극 EE가 형성되어 있다. 이와 같이 구성된 HBT 위에는, 예를 들어 산화실리콘막에 편파적인 층간 절연막 IL1이 형성되어 있다. 그리고, 이 층간 절연막 IL1을 관통하여 이미터 전극 EE에 달하는 접속 구멍 CNT3이 형성되어 있다. 접속 구멍 CNT3 내를 포함하는 층간 절연막 IL1 위에는 이미터 배선을 구성하는 금 배선 L1a 및 금 배선 L1b로 이루어지는 제1층 배선 L1이 형성되어 있다. 그리고, 제1층 배선 L1 위에는, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL2가 형성되어 있다.

[0167] 이와 같이 구성된 HBT에 의하면, 헤테로 접합에 의해, 베이스 이미터 접합에 있어서의 이미터의 금제대 폭을 베이스의 금제대 폭보다 크게 할 수 있다. 따라서, 이미터로부터 베이스로의 캐리어의 주입을 베이스로부터 이미터로의 역 전하의 캐리어의 주입에 비하여 매우 크게 할 수 있으므로, HBT의 전류 증폭률은 매우 크게 되는 특징이 있다. 이로 인해, 전력 증폭기 PA에 HBT를 사용할 수도 있다. 또한, 도 55에 도시한 HBT가 복수개 병렬로 접속되고, 예를 들어 도 2에 도시한 증폭부 FAMP, 증폭부 SAMP나 증폭부 TAMP가 형성된다.

[0168] <본 실시 형태 5에 있어서의 반도체 장치의 디바이스 구조>

[0169] 다음으로, 본 실시 형태 5에 있어서의 반도체 장치의 디바이스 구조에 대하여 설명한다. 도 56은, 본 실시 형태 5에 있어서의 반도체 장치의 구성을 나타내는 단면도이다. 도 56에서는, GaAs 기판(1GS)의 영역 AR1과 영역 AR2에 형성되어 있는 구조가 도시되어 있다. 영역 AR1은, 전력 증폭기 PA를 구성하는 HBT가 형성되어 있는 영역이며, 영역 AR2는, 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역이다. 즉, 본 실시 형태 5에서는, 동일한 GaAs 기판(1GS) 위에 HBT와 박막 압전 벌크파 공진기 BAW가 형성되어 있다.

[0170] 우선, GaAs 기판(1GS)의 영역 AR1에 형성되어 있는 구조에 대하여, 도 56을 참조하면서 설명한다. 도 56에 있어서, GaAs 기판(1GS)의 영역 AR1에는, 예를 들어 도 55에 도시한 구조를 갖는 HBT가 형성되어 있으며, 이 HBT 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막이 형성되어 있다. 그리고, 층간 절연막 위에, 예를 들어 금막으로 이루어지는 복수의 배선층이 형성되고, 이 배선층 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL2가 형성되어 있다. 이 층간 절연막 IL2 위에는, 예를 들어 질화실리콘막으로 이루어지는 패시베이션막(표면 보호막) PAS가 형성되어 있다. 그리고, 패시베이션막 PAS 위에는, 층간 절연막 IL2보다도 열전도율이 높은 고열전도율막 HCF가 형성되어 있다. 이 고열전도율막 HCF는, 예를 들어 질화알루미늄막(열전도율 150W/m·K), 또는 산화마그네슘막(열전도율 59W/m·K)으로 구성되어 있다. 또한, 고열전도율막 HCF 위에는, 예를 들어 질화알루미늄막으로 이루어지는 시드층 SDL 및 압전막 PZF가 형성되어 있다.

[0171] 계속해서, GaAs 기판(1GS)의 영역 AR2에 형성되어 있는 구조에 대하여, 도 5 6을 참조하면서 설명한다. 도 56에 있어서, GaAs 기판(1GS) 위에는, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL1이 형성되어 있다. 이 층간 절연막 IL1 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL2가 형성되어 있다. 그리고, 층간 절연막 IL2 위에, 예를 들어 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기 BAW가 형성되어 있다. 또한, 이 박막 압전 벌크파 공진기 BAW의 구성은, 상기 실시 형태 1과 마찬가지이기 때문에, 그 설명은 생략한다.

[0172] 본 실시 형태 5에 있어서의 반도체 장치는 상기와 같이 구성되어 있으며, 이하에, 그 특징점에 대하여

설명한다. 본 실시 형태 5에 있어서의 특징점은, 예를 들어 도 56에 도시한 바와 같이, 패시베이션막 PAS 위에 층간 절연막 IL2보다도 열전도율이 높은 고열전도율막 HCF를 형성하고 있는 점에 있다. 즉, 본 실시 형태 5에서는, HBT가 형성되어 있는 영역 AR1 및 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역 AR2를 포함하는 GaAs 기판(1GS)의 전체 영역에서, 패시베이션막 PAS 위에 고열전도율막 HCF를 형성하고 있는 점에 특징점이 있다. 이에 의해, 주로 HBT에 의해 발생한 열이, GaAs 기판(1GS)의 전체면에 형성되어 있는 고열전도율막 HCF에 의해, 효율 좋게 사방팔방으로 방산된다. 이 결과, HBT가 형성되어 있는 영역 AR1의 온도를 낮출 수 있기 때문에, 영역 AR1에 형성되어 있는 HBT로부터의 발열에 기인하는 박막 압전 벌크파 공진기 BAW의 온도 상승을 억제할 수 있다. 따라서, 본 실시 형태 5에 의하면, 예를 들어 박막 압전 벌크파 공진기 BAW와 HBT를 동일한 GaAs 기판(1GS)에 탑재하는 경우에도, HBT로부터의 발열에 의한 박막 압전 벌크파 공진기 BAW의 온도 상승을 충분히 억제할 수 있어, 이에 의해, 박막 압전 벌크파 공진기 BAW로 구성되는 송신 필터 TXF나 수신 필터 RXF의 필터 특성(전기적 특성)의 열화를 억제할 수 있다.

[0173] (실시 형태 6)

[0174] 본 실시 형태 6에서는, 송신 필터 TXF 또는 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기 BAW, 안테나 스위치를 구성하는 MOSFET, 및 전력 증폭기 PA를 구성하는 LDMOSFET을 동일한 SOI 기판에 형성하는 예에 대하여 설명한다.

[0175] 최근의 휴대 전화기에서는 음성 통화 기능뿐만 아니라 다양한 어플리케이션 기능이 추가되어 있다. 즉, 휴대 전화기를 이용한 배신 음악의 시청, 동화상 전송, 데이터 전송 등의 음성 통화 기능 이외의 기능이 휴대 전화기에 추가되어 있다. 이러한 휴대 전화기의 다기능화에 수반하여, 세계 각국에서의 주파수대(GSM(등록상표)(Global System for Mobile communications)대, PCS(Personal Communication Services)대 등)나 변조 방식(GSM, EDGE(Enhanced Data rates for GSM Evolution), WCDMA(Wideband Code Division Multiplex Access) 등)가 다수 존재하게 된다. 따라서, 휴대 전화기에서는, 복수의 다른 주파수대나 서로 다른 변조 방식에 대응한 송수신 신호에 대응할 필요가 있다. 이러한 점에서, 휴대 전화기에서는, 이들 송수신 신호의 송신과 수신을 1개의 안테나로 공용하고, 안테나 스위치에 의해 안테나와의 접속을 전환하는 것이 행해지고 있다.

[0176] 예를 들어, 도 57은, 휴대 전화기의 송수신부의 구성을 나타내는 블록도이다. 도 57에 도시한 바와 같이, 본 실시 형태 6에 있어서의 휴대 전화기는, 기저 대역부 BBU, 고주파 집적 회로부 RFICU, 전력 증폭기 PA, 송신 필터 TXF, 수신 필터 RXF, 이상기 PH, 저잡음 증폭기, 안테나 스위치 ASW, 및 안테나 ANT를 갖고 있다.

[0177] 이와 같이 구성되어 있는 본 실시 형태 6에 있어서의 휴대 전화기에서는, 복수의 송신 경로가 안테나 스위치 ASW로 전환할 수 있도록 구성되어 있음과 함께, 복수의 수신 경로가 안테나 스위치 ASW로 전환할 수 있도록 구성되어 있다.

[0178] <안테나 스위치의 디바이스 구조>

[0179] 이하에, 전술한 안테나 스위치 ASW를 구성하는 MOSFET의 구조에 대하여 설명한다. 안테나 스위치 ASW에는, 대전력의 송신 신호의 고품질성을 확보하면서, 다른 주파수대의 통신에 악영향을 주는 방해파(고차고조파)의 발생을 저감하는 성능이 요구된다. 이로 인해, 안테나 스위치 ASW를 구성하는 스위칭 소자로서 전계 효과 트랜지스터를 사용하는 경우, 이 전계 효과 트랜지스터에는, 고내압성뿐만 아니라, 고차고조파 왜곡을 저감할 수 있는 성능이 요구된다.

[0180] 이러한 점에서, 안테나 스위치 ASW를 구성하는 전계 효과 트랜지스터는, 저손실이나 저고조파 왜곡을 실현하기 위해서, 기생 용량이 적고, 선형성이 우수한 GaAs 기판이나 사파이어 기판 위에 형성되는 전계 효과 트랜지스터(예를 들어, HEMT(High Electron Mobility Transistor))가 사용되고 있다. 그러나, 고주파 특성이 우수한 화합물 반도체 기판은, 고가이어서 안테나 스위치의 비용 저하의 관점에서 바람직하다고는 할 수 없다. 안테나 스위치의 비용 저하를 실현하기 위해서는, 저렴한 실리콘 기판 위에 형성된 전계 효과 트랜지스터를 사용하는 것이 효과적이다. 그러나, 저렴한 실리콘 기판은, 고가인 화합물 반도체 기판에 비하여 기생 용량이 크고, 화합물 반도체 기판 위에 형성된 전계 효과 트랜지스터보다도 고조파 왜곡이 커진다.

[0181] 따라서, 본 실시 형태 6에서는, 안테나 스위치의 비용 삭감을 도모하는 관점에서, 예를 들어 SOI(silicon on insulator) 기판 위에 형성된 MOSFET으로부터 안테나 스위치 ASW를 구성하는 예에 대하여 설명한다.

[0182] 도 58은, MOSFET의 단면을 나타내는 단면도이다. 도 58에 있어서, 반도체 기판(지지 기판) SUB 위에는, 매립 절연층 BOX가 형성되어 있으며, 이 매립 절연층 BOX 위에 실리콘층이 형성되어 있다. 이 반도체 기판 SUB와 매립 절연층 BOX와 실리콘층에 의해 SOI 기판이 형성되어 있다. 그리고, 이 SOI 기판 위에 MOSFET이 형성되어 있

다. SOI 기판의 실리콘층에는, 보디 영역 BD가 형성되어 있다. 이 보디 영역 BD는, 예를 들어 p형 불순물인 붕소 등을 도입한 p형 반도체 영역으로 형성되어 있다. 보디 영역 BD 위에는 게이트 절연막 GOX1이 형성되어 있으며, 이 게이트 절연막 GOX1 위에 게이트 전극 G가 형성되어 있다. 게이트 절연막 GOX1은, 예를 들어 산화실리콘막으로 형성되어 있다. 한편, 게이트 전극 G는, 폴리실리콘막 PF와 코발트 실리사이드막 CS의 적층막으로 형성되어 있다. 게이트 전극 G의 일부를 구성하는 코발트 실리사이드막 CS는, 게이트 전극 G의 저저항화를 위해 형성되어 있다.

[0183] 계속해서, 게이트 전극 G의 양측 측벽에는 사이드 월 SW가 형성되어 있으며, 이 사이드 월 SW의 하층에 있는 실리콘층 내에는 저농도 불순물 확산 영역 EX1s, EX1d가 형성되어 있다. 이 저농도 불순물 확산 영역 EX1s, EX1d는 게이트 전극 G에 정합하여 형성되어 있다. 그리고, 저농도 불순물 확산 영역 EX1s의 외측에는, 고농도 불순물 확산 영역 NR1s가 형성되고, 저농도 불순물 확산 영역 EX1d의 외측에는, 고농도 불순물 확산 영역 NR1d가 형성되어 있다. 고농도 불순물 확산 영역 NR1s, NR1d는, 사이드 월 SW에 정합하여 형성되어 있다. 또한, 고농도 불순물 확산 영역 NR1s, NR1d의 표면에는 코발트 실리사이드막 CS가 형성되어 있다. 저농도 불순물 확산 영역 EX1s와 고농도 불순물 확산 영역 NR1s와 코발트 실리사이드막 CS에 의해 소스 영역 SR이 형성되고, 저농도 불순물 확산 영역 EX1d와 고농도 불순물 확산 영역 NR1d와 코발트 실리사이드막 CS에 의해 드레인 영역 DR이 형성된다.

[0184] 저농도 불순물 확산 영역 EX1s, EX1d 및 고농도 불순물 확산 영역 NR1s, NR1d는 모두, 예를 들어 인이나 비소 등의 n형 불순물을 도입한 반도체 영역이며, 저농도 불순물 확산 영역 EX1s, EX1d에 도입되어 있는 불순물의 농도는, 고농도 불순물 확산 영역 NR1s, NR1d에 도입되어 있는 불순물의 농도보다도 적어졌다.

[0185] 본 실시 형태 6에 있어서의 MOSFET은 상기와 같이 구성되어 있으며, 이하에, MOSFET 위에 형성되는 배선 구조에 대하여 설명한다. 도 58에 있어서, 본 실시 형태 6에 있어서의 MOSFET을 덮도록 층간 절연막 IL이 형성되어 있다. 이 층간 절연막 IL은, 예를 들어 산화실리콘막으로 형성되어 있다. 그리고, 층간 절연막 IL에는 소스 영역 SR에 달하는 콘택트 홀 CNT나, 드레인 영역 DR에 달하는 콘택트 홀 CNT가 형성되어 있다. 그리고, 콘택트 홀 CNT 내에 티타늄/질화티타늄막 및 텅스텐막이 매립되어 플러그 PLG1, PLG2가 형성되어 있다. 플러그 PLG1 및 플러그 PLG2를 형성한 층간 절연막 IL 위에는 제1층 배선 L1(소스 배선 SL, 드레인 배선 DL)이 형성되어 있다. 예를 들어, 제1층 배선 L1은, 티타늄/질화티타늄막, 알루미늄막 및 티타늄/질화티타늄막의 적층막으로 형성된다. 또한, 이 제1층 배선 L1 위에 다층 배선이 형성되지만, 도 58에서는 생략하고 있다. 이상과 같이 하여, 본 실시 형태 6에 있어서의 MOSFET이 형성되어 있다.

[0186] <본 실시 형태 6에 있어서의 반도체 장치의 디바이스 구조>

[0187] 다음으로, 본 실시 형태 6에 있어서의 반도체 장치의 디바이스 구조에 대하여 설명한다. 도 59는, 본 실시 형태 6에 있어서의 반도체 장치의 구성을 나타내는 단면도이다. 도 59에서는, SOI 기판의 영역 AR1과 영역 AR2와 영역 AR4에 형성되어 있는 구조가 도시되어 있다. 영역 AR1은, 전력 증폭기 PA를 구성하는 LDMOSFET이 형성되어 있는 영역이며, 영역 AR2는, 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역이다. 또한, 영역 AR4는, 안테나 스위치 ASW를 구성하는 MOSFET이 형성되어 있는 영역이다. 즉, 본 실시 형태 6에서는, 동일한 SOI 기판 위에 LDMOSFET과 박막 압전 벌크파 공진기 BAW와 MOSFET이 형성되어 있다.

[0188] 우선, SOI 기판의 영역 AR1에 형성되어 있는 구조에 대하여, 도 59를 참조하면서 설명한다. 도 59에 있어서, SOI 기판의 영역 AR1에는, 예를 들어 도 3에 도시한 구조를 갖는 LDMOSFET이 형성되어 있으며, 이 LDMOSFET 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막이 형성되어 있다. 그리고, 층간 절연막 위에, 예를 들어 알루미늄막으로 이루어지는 복수의 배선층이 형성되고, 이 배선층 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN이 형성되어 있다. 이 층간 절연막 ILN의 표면에는, 패드 PD가 형성되어 있다. 패드 PD는, 외부 접속 단자로서 기능하며, 예를 들어 본딩 와이어가 접속된다.

[0189] 패드 PD가 형성된 층간 절연막 ILN 위에는, 예를 들어 질화실리콘막으로 이루어지는 패시베이션막(표면 보호막) PAS가 형성되어 있다. 패드 PD 위에 형성되어 있는 패시베이션막 PAS에는, 개구부가 형성되고, 이 개구부로부터 패드 PD가 노출되어 있다. 그리고, 패시베이션막 PAS 위에는, 층간 절연막 ILN보다도 열전도율이 높은 고열전도율막 HCF가 형성되어 있다. 이 고열전도율막 HCF는, 예를 들어 질화알루미늄막(열전도율 150W/m·K), 또는 산화마그네슘막(열전도율 59W/m·K)으로 구성되어 있다. 이 고열전도율막 HCF에도 개구부가 형성되어 있으며, 이 개구부로부터 패드 PD가 노출되도록 되어 있다. 그리고, 패시베이션막 PAS 위에는 시드층 SDL 및 압전막 PZF가 형성되어 있다. 시드층 SDL 및 압전막 PZF는, 예를 들어 질화알루미늄막으로 구성되어 있기 때문에, 고

열전도율막 HCF와 동등한 기능을 갖는다. 이 시드층 SDL 및 압전막 PZF에도 개구부가 형성되어 있으며, 이 개구부로부터 패드 PD가 노출되도록 되어 있다.

[0190] 계속해서, SOI 기판의 영역 AR2에 형성되어 있는 구조에 대하여, 도 59를 참조하면서 설명한다. 도 59에 있어서, SOI 기판 위에는, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL1이 형성되어 있다. 이 층간 절연막 IL1 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL2가 형성되어 있다. 그리고, 층간 절연막 IL2 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN이 형성되어 있으며, 이 층간 절연막 ILN 위에 송신 필터 TXF나 수신 필터 RXF를 구성하는 박막 압전 벌크파 공진기 BAW가 형성되어 있다. 또한, 이 박막 압전 벌크파 공진기 BAW의 구성은, 상기 실시 형태 1과 마찬가지이기 때문에, 그 설명은 생략한다.

[0191] 다음으로, SOI 기판의 영역 AR4에 형성되어 있는 구조에 대하여, 도 59를 참조하면서 설명한다. 도 59에 있어서, SOI 기판 위에는, 예를 들어 안테나 스위치 ASW를 구성하는 MOSFET(도 58 참조)이 형성되어 있으며, 이 MOSFET을 덮도록, 산화실리콘막으로 이루어지는 층간 절연막 IL1이 형성되어 있다. 이 층간 절연막 IL1 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 IL2가 형성되어 있다. 그리고, 층간 절연막 IL2 위에, 예를 들어 산화실리콘막으로 이루어지는 층간 절연막 ILN이 형성되어 있으며, 이 층간 절연막 ILN 위에 패시베이션막 PAS가 형성되고, 이 패시베이션막 PAS 위에 고열전도율막 HCF가 형성되어 있다. 그리고, 패시베이션막 PAS 위에는 시드층 SDL 및 압전막 PZF가 형성되어 있다. 시드층 SDL 및 압전막 PZF는, 예를 들어 질화알루미늄막으로 구성되어 있기 때문에, 고열전도율막 HCF와 동등한 기능을 갖는다.

[0192] 본 실시 형태 6에 있어서의 반도체 장치는 상기와 같이 구성되어 있으며, 이하에 그 특징점에 대하여 설명한다. 본 실시 형태 6에 있어서의 특징점은, 예를 들어 도 59에 도시한 바와 같이, 패시베이션막 PAS 위에 층간 절연막 ILN보다도 열전도율이 높은 고열전도율막 HCF를 형성하고 있는 점에 있다. 즉, 본 실시 형태 6에서는, LDMOSFET이 형성되어 있는 영역 AR1, 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역 AR2 및 MOSFET이 형성되어 있는 영역 AR4를 포함하는 SOI 기판의 전체 영역에 있어서, 패시베이션막 PAS 위에 고열전도율막 HCF를 형성하고 있는 점에 특징점이 있다. 이에 의해, 주로 LDMOSFET에 의해 발생한 열이, SOI 기판의 전체면에 형성되어 있는 고열전도율막 HCF에 의해, 효율 좋게 사방팔방으로 방산된다. 이 결과, LDMOSFET이 형성되어 있는 영역 AR1의 온도를 낮출 수 있기 때문에, 영역 AR1에 형성되어 있는 LDMOSFET으로부터의 발열에 기인하는 박막 압전 벌크파 공진기 BAW의 온도 상승을 억제할 수 있다. 따라서, 본 실시 형태 6에 의하면, 예를 들어 박막 압전 벌크파 공진기 BAW와 LDMOSFET과 MOSFET을 동일한 SOI 기판에 탑재하는 경우에도, LDMOSFET으로부터의 발열에 의한 박막 압전 벌크파 공진기 BAW의 온도 상승을 충분히 억제할 수 있어, 이에 의해, 박막 압전 벌크파 공진기 BAW로 구성되는 송신 필터 TXF나 수신 필터 RXF의 필터 특성(전기적 특성)의 열화를 억제할 수 있다.

[0193] 특히, 본 실시 형태 6에서는, 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역 AR2와, LDMOSFET이 형성되어 있는 영역 AR1의 사이에, MOSFET이 형성되어 있는 영역 AR4를 형성하는 것이 바람직하다. 왜냐하면, 영역 AR1과 영역 AR2의 사이에 영역 AR4를 형성함으로써, 영역 AR1에 형성되어 있는 LDMOSFET에 의해 발생한 열의 영향이, 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW에 미치는 것을 억제할 수 있기 때문이다. 즉, 영역 AR1과 영역 AR2가 인접하고 있는 경우, 영역 AR1에 형성되어 있는 LDMOSFET으로부터의 열의 영향이, 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW에 미치기 쉽지만, 영역 AR1과 영역 AR2의 사이에 영역 AR4를 형성함으로써, 영역 AR1과 영역 AR2의 사이의 거리를 이격할 수 있다. 이 결과, 영역 AR1에 형성되어 있는 LDMOSFET에 의해 발생한 열의 영향이, 영역 AR2에 형성되어 있는 박막 압전 벌크파 공진기 BAW에 미치는 것을 효과적으로 억제할 수 있다.

[0194] <본 실시 형태 6의 변형예>

[0195] 전술한 상기 실시 형태 6에서는, 예를 들어 안테나 스위치 ASW를 SOI 기판 위에 형성된 MOSFET으로 구성하는 경우에 대하여 설명하였지만, 안테나 스위치 ASW를 HEMT로 구성하는 경우에도 본 발명의 기술적 사상을 적용할 수 있다.

[0196] 예를 들어, HEMT는, 반절연성 기판(GaAs 기판) 위에 형성되기 때문에, 전력 증폭기 PA를 HBT로 구성함으로써, HEMT와, HBT와, 박막 압전 벌크파 공진기 BAW를 동일한 반절연성 기판(GaAs 기판) 위에 형성할 수 있다. 그리고, HBT가 형성되어 있는 영역 AR1, 박막 압전 벌크파 공진기 BAW가 형성되어 있는 영역 AR2 및 HEMT가 형성되어 있는 영역 AR4를 포함하는 반절연성 기판의 전체 영역에 있어서, 패시베이션막 PAS 위에 고열전도율막 HCF를 형성하는 구성을 취할 수 있다. 이에 의해, 주로 HBT에 의해 발생한 열이, 반절연성 기판의 전체면에 형성되어 있는 고열전도율막 HCF에 의해, 효율 좋게 사방팔방으로 방산된다. 이 결과, HBT가 형성되어 있는 영역 AR1의 온도를 낮출 수 있기 때문에, 영역 AR1에 형성되어 있는 HBT로부터의 발열에 기인하는 박막 압전 벌크파 공진기

BAW의 온도 상승을 억제할 수 있다.

[0197] 이상, 본 발명자에 의해 이루어진 발명을 그 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

산업상 이용가능성

[0198] 본 발명은 반도체 장치를 제조하는 제조업에 폭넓게 이용할 수 있다.

부호의 설명

[0199] 1GS: GaAs 기판

1S: 반도체 기판

ANT: 안테나

ANT(OUT): 안테나 단자

AR0: 영역

AR1: 영역

AR2: 영역

AR3: 영역

AR4: 영역

ASW: 안테나 스위치

A1: 주파수

A2: 주파수

BAE: 베이스 전극

BAW: 박막 압전 벌크파 공진기

BAW1: 박막 압전 벌크파 공진기

BAW2: 박막 압전 벌크파 공진기

BAW3: 박막 압전 벌크파 공진기

BAW4: 박막 압전 벌크파 공진기

BAW5: 박막 압전 벌크파 공진기

BAW6: 박막 압전 벌크파 공진기

BAW7: 박막 압전 벌크파 공진기

BBU: 기저 대역부

BD: 보디 영역

BE: 이면 전극

BM: 베이스 메사

BOX: 매립 절연층

BTE: 하부 전극

CAP: 캡 절연막

CAV: 공동부

CE: 콜렉터 전극

CF1: 제1 도체막

CF2: 제2 도체막

CM: 콜렉터 메사

CNT: 콘택트 홀

CNT1: 콘택트 홀

CNT2: 접속 구멍

CNT3: 접속 구멍

CS: 코발트 실리사이드막

CU: 제어 회로

DIT: 홈

DIT2: 홈

DIT3: 홈

DL: 드레인 배선

DR: 드레인 영역

DR1: n^+형 드레인 영역

DT: 홈

EE: 이미터 전극

EL: 이미터층

EPI: 에피택셜층

EX1d: 저농도 불순물 확산 영역

EX1s: 저농도 불순물 확산 영역

FAMP: 증폭부

G: 게이트 전극

GOX: 게이트 절연막

GOX1: 게이트 절연막

HALO: p형 할로 영역

HCF: 고열전도율막

HINP: 고음향 임피던스막

IL: 층간 절연막

IL1: 층간 절연막

IL2: 층간 절연막

ILN: 층간 절연막

LCF: 저열전도율막

LIMP: 저음향 임피던스막

LNA: 저잡음 증폭기

L1: 제1층 배선

L1a: 금 배선

L1b: 금 배선

L2: 제2층 배선

NR1d: 고농도 불순물 확산 영역

NR1s: 고농도 불순물 확산 영역

ODR1: n^-형 오프셋 드레인 영역

ODR2: n형 오프셋 드레인 영역

PA: 전력 증폭기

PAS: 패시베이션막

PD: 패드

PF: 폴리실리콘막

PH: 이상기

Pin(GSM): 입력 전력

PL: p형 펀칭층

PLG1: 플러그

PLG2: 플러그

Pout(GSM): 출력 신호

PR1: p^+형 반도체 영역

PWL: p형 웰

PZF: 압전막

PZL: 압전층

RFICU: 고주파 집적 회로부

RX: 수신 단자

RXF: 수신 필터

RXMIX: 수신 믹서

SAMP: 증폭부

SC: 서브 콜렉터층

SCL: 희생층

SDL: 시드층

SHE: 션트 전극

SL: 소스 배선

SN: 질화실리콘막

SR: 소스 영역

SR1: n^-형 소스 영역

SR2: n^+형 소스 영역

SUB: 반도체 기판

SW: 사이드 월

SYN: 신시사이저

TAMP: 증폭부

TH: 관통 홈

TPLG: 방열 플러그

TX: 송신 단자

TXF: 송신 필터

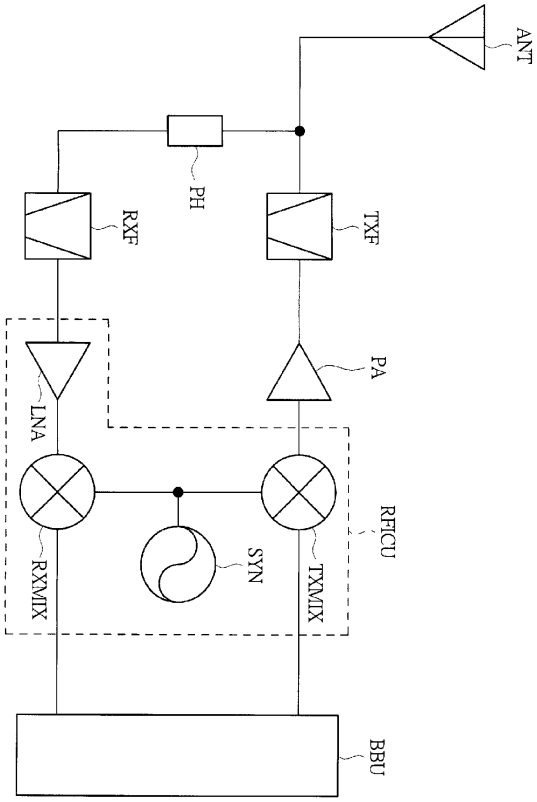
TXMIX: 송신 믹서

UPE: 상부 전극

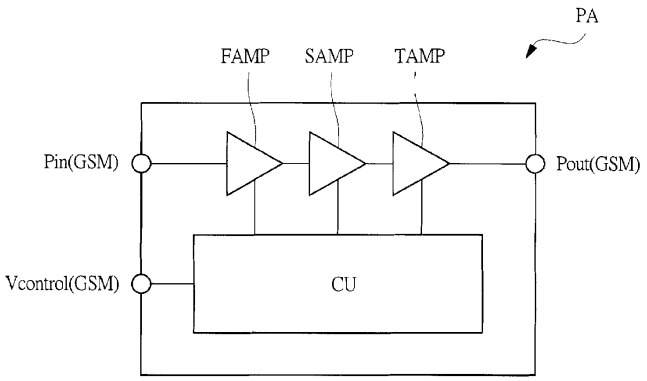
Vcontrol(GSM): 제어 신호

도면

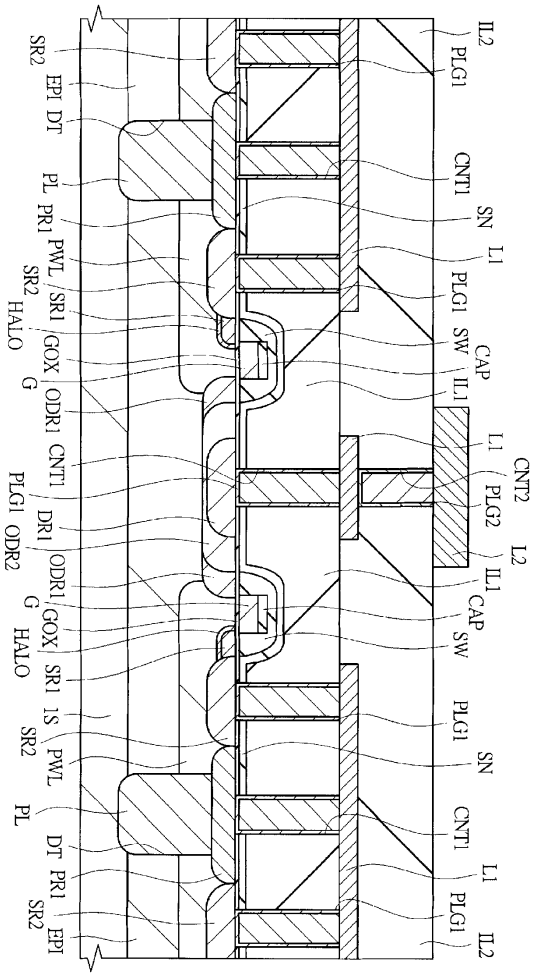
도면1



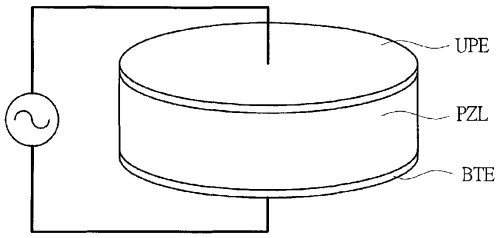
도면2


PA
FAMP
SAMP
TAMP
Pin(GSM)
Pout(GSM)
Vcontrol(GSM)
CU

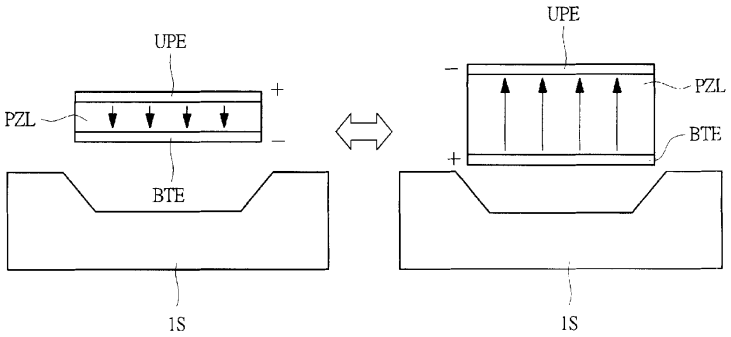
도면3


IL2
PLG1
CNT1
SN
L1
PLG1
SW
CAP
IL1
L1
CNT2
PLG2
L2
IL1
CAP
SW
PLG1
SN
CNT1
L1
PLG1
IL2
SR2
EPI
DT
PL
PR1
PWL
SR1
GOX
ODR1
CNT1
DR1
ODR1
GOX
SR1
1S
PWL
DT
PR1
SR2
EPI
SR2
HALO
G
PLG1
ODR2
G
HALO
SR2
PL

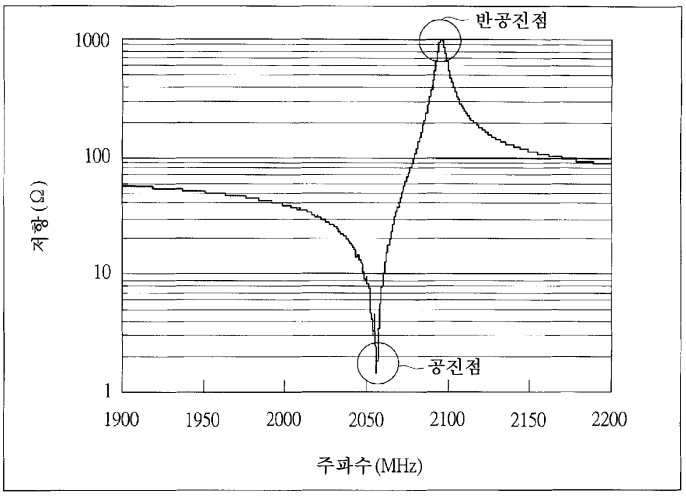
도면4


UPE
PZL
BTE

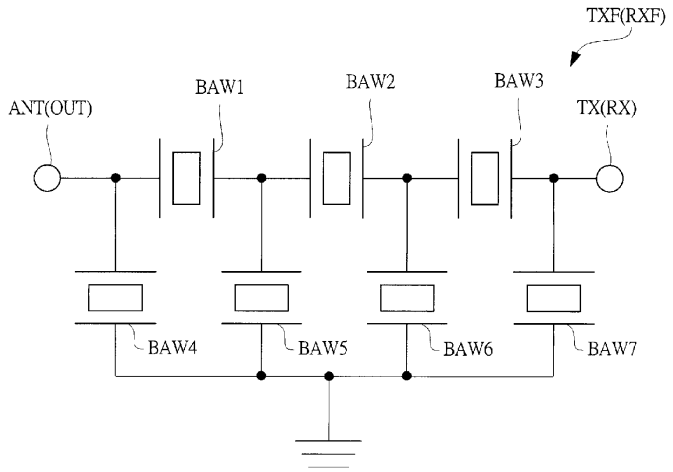
도면5


UPE
PZL
+
−
BTE
1S
UPE
−
PZL
BTE
+
1S

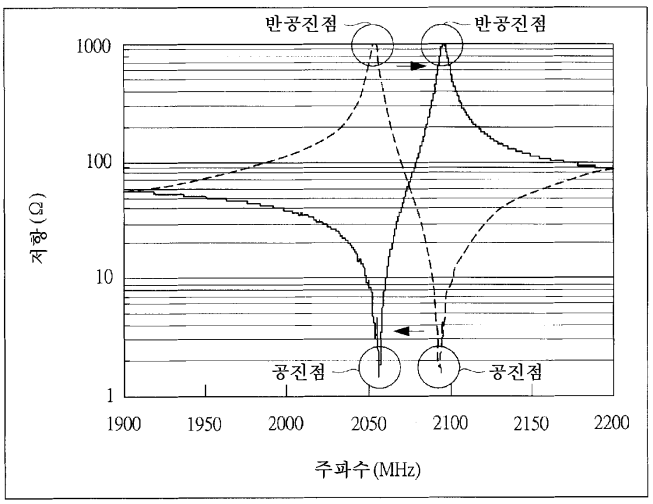
도면6


반공진점
공진점
1000
100
10
1
저항(Ω)
1900
1950
2000
2050
2100
2150
2200
주파수(MHz)

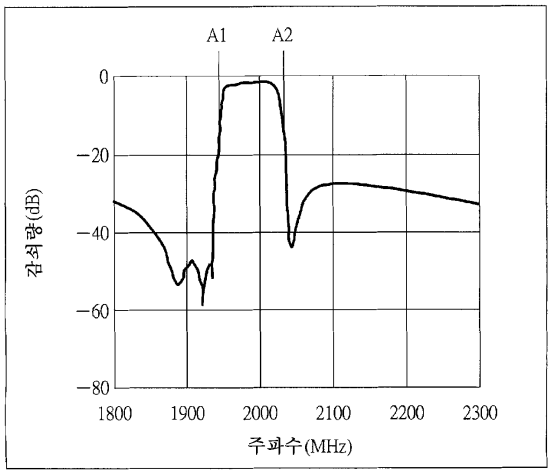
도면7


TXF(RXF)
ANT(OUT)
BAW1
BAW2
BAW3
TX(RX)
BAW4
BAW5
BAW6
BAW7

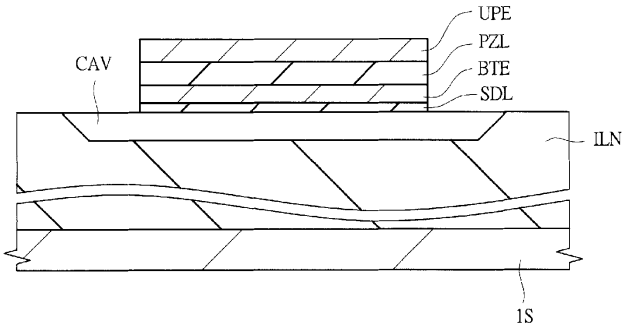
도면8


반공진점
반공진점
1000
100
10
1
저항(Ω)
공진점
공진점
1900
1950
2000
2050
2100
2150
2200
주파수(MHz)

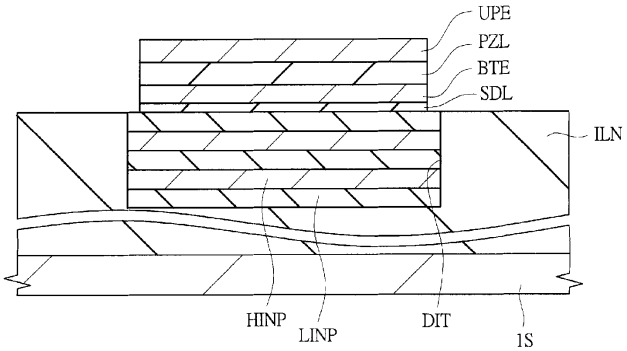
도면9


A1
A2
0
−20
−40
−60
−80
감쇠량(dB)
1800
1900
2000
2100
2200
2300
주파수(MHz)

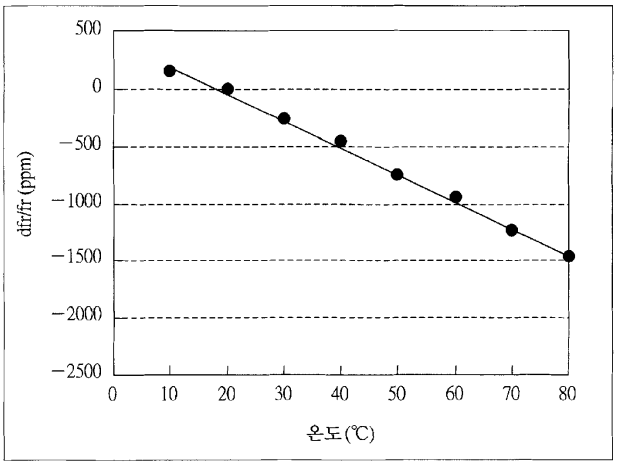
도면10



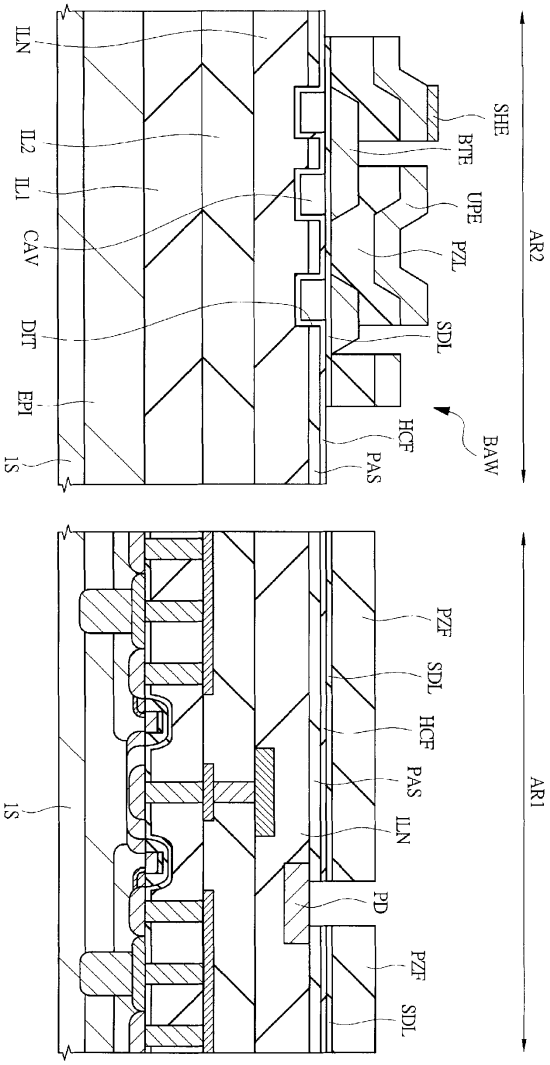
도면11



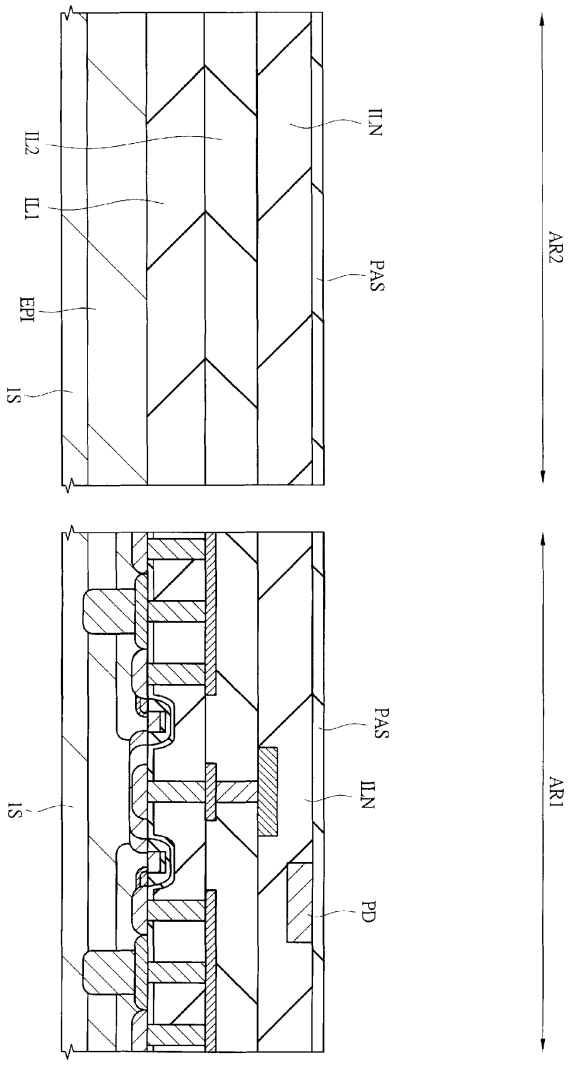
도면12



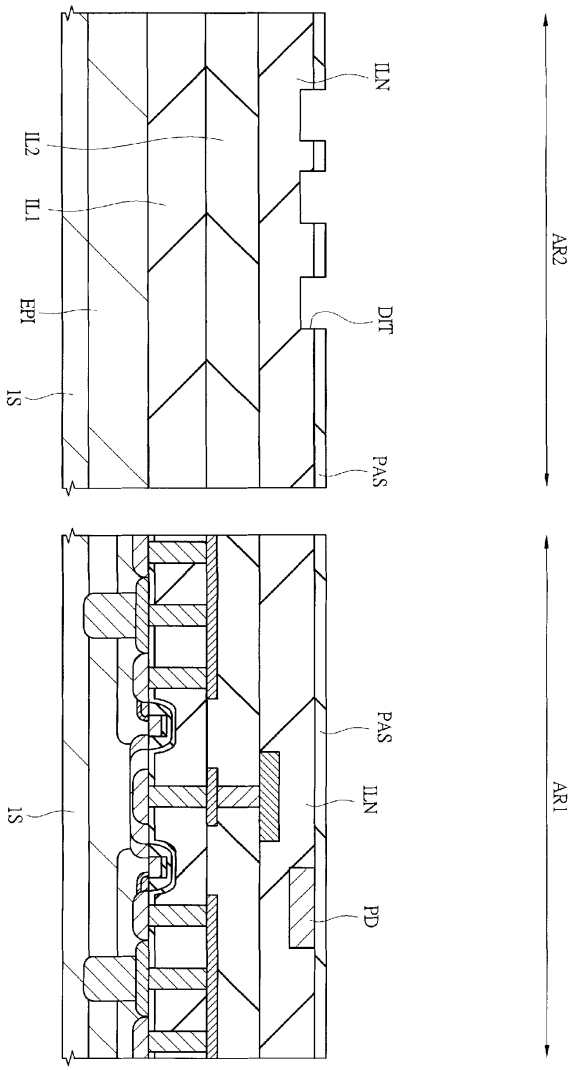
도면13


AR2
SHE
BTE
UPE
PZL
SDL
BAW
HCF
PAS
ILN
IL2
IL1
CAV
DIT
EPI
1S
AR1
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
1S

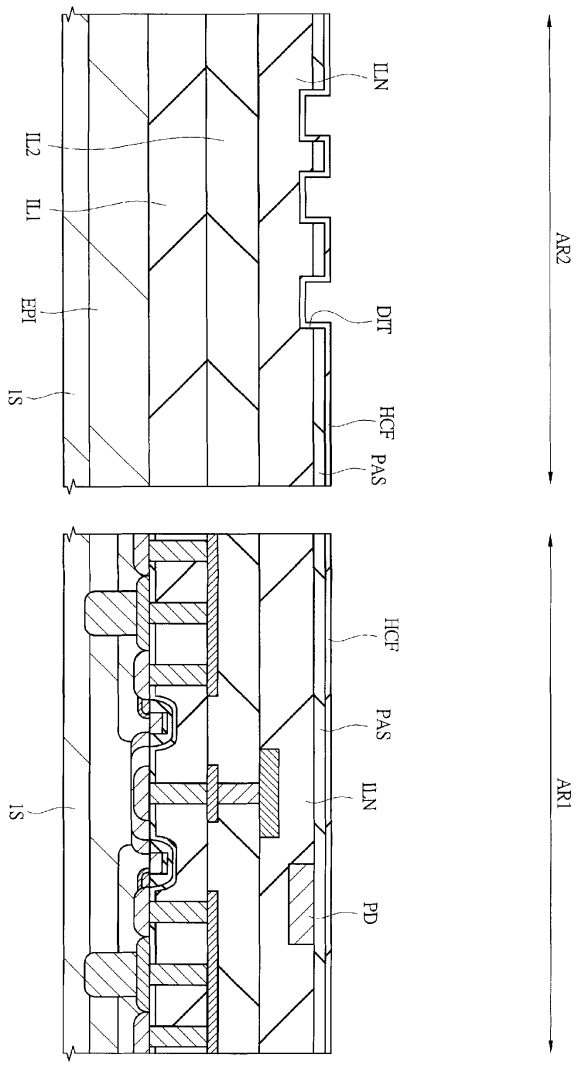
도면14



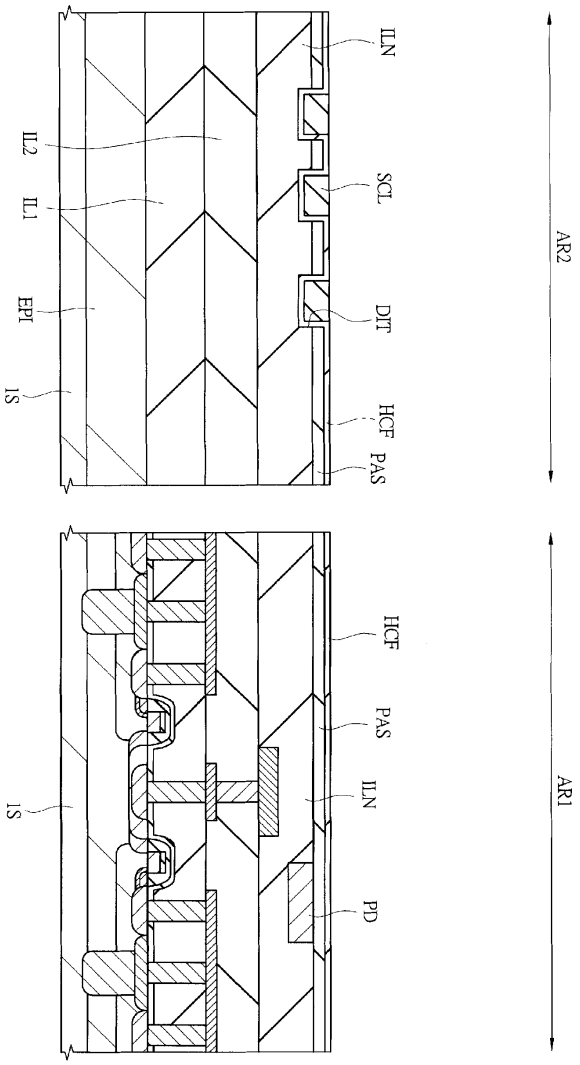
도면15



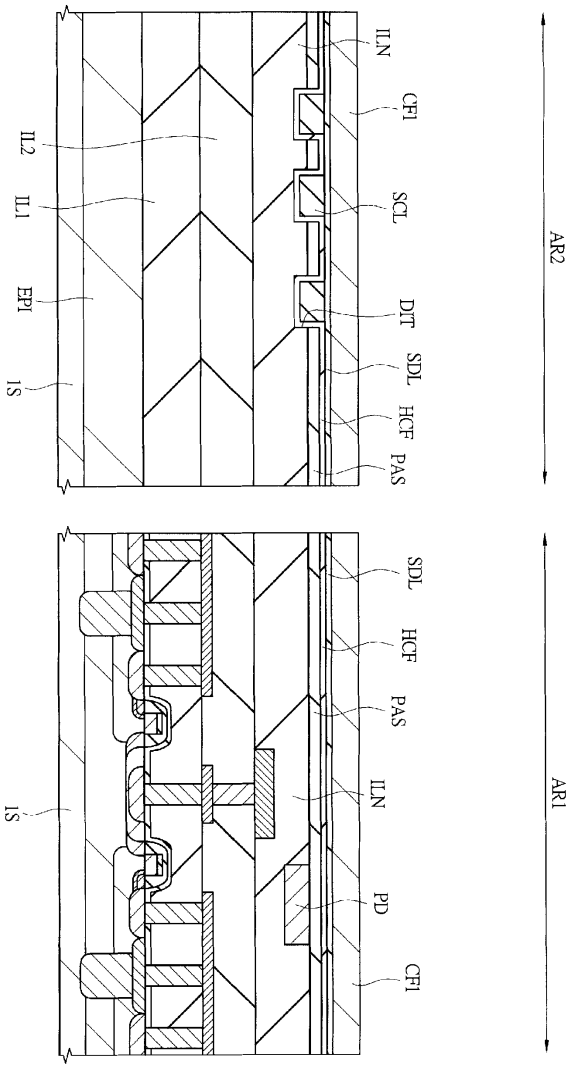
도면16



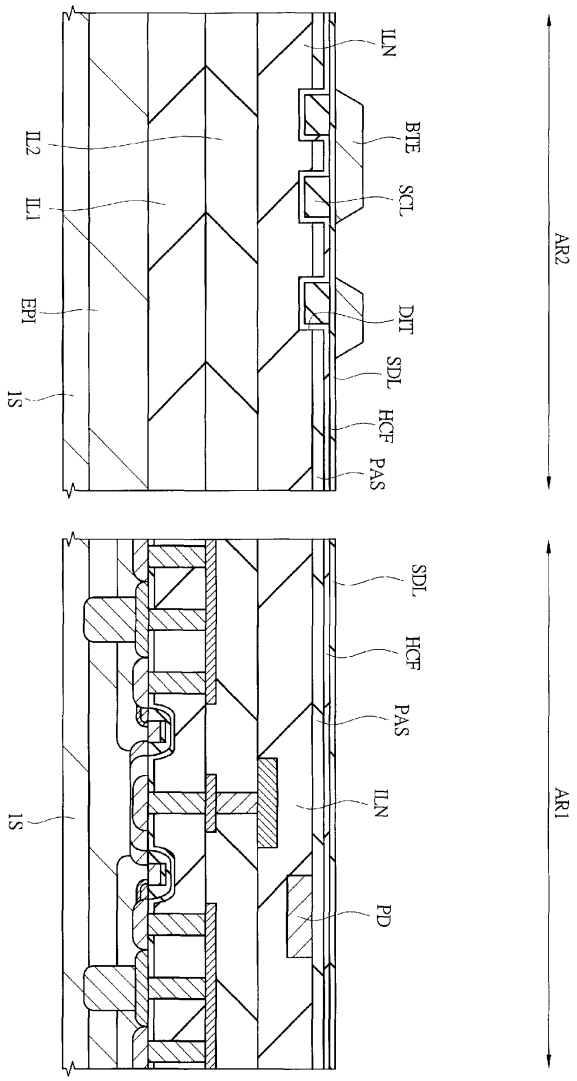
도면17



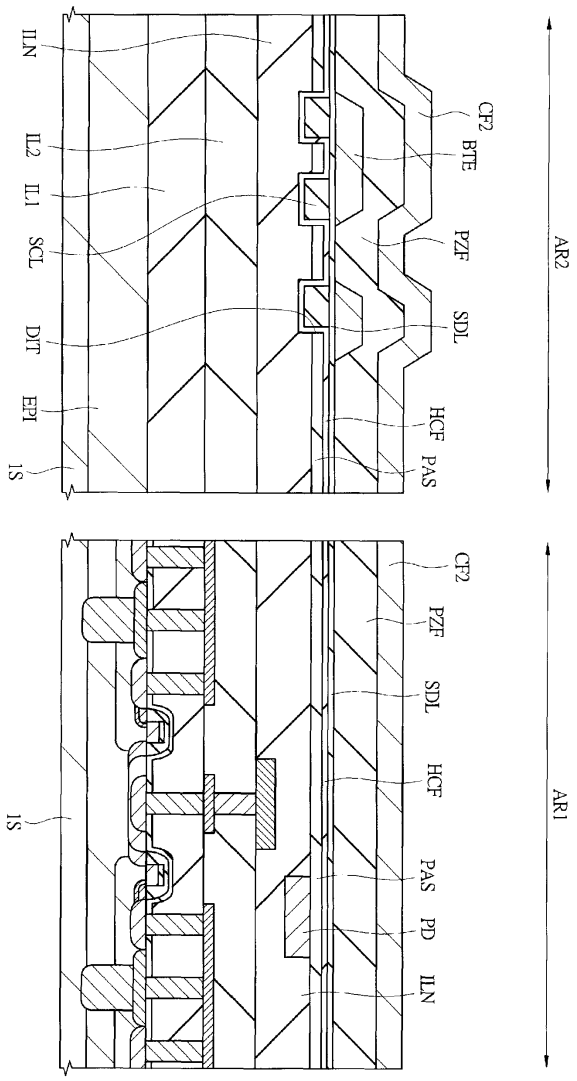
도면18


ILN
CF1
SCL
DIT
SDL
HCF
PAS
AR2
IL2
IL1
EPI
IS
SDL
HCF
PAS
ILN
PD
CF1
AR1
IS

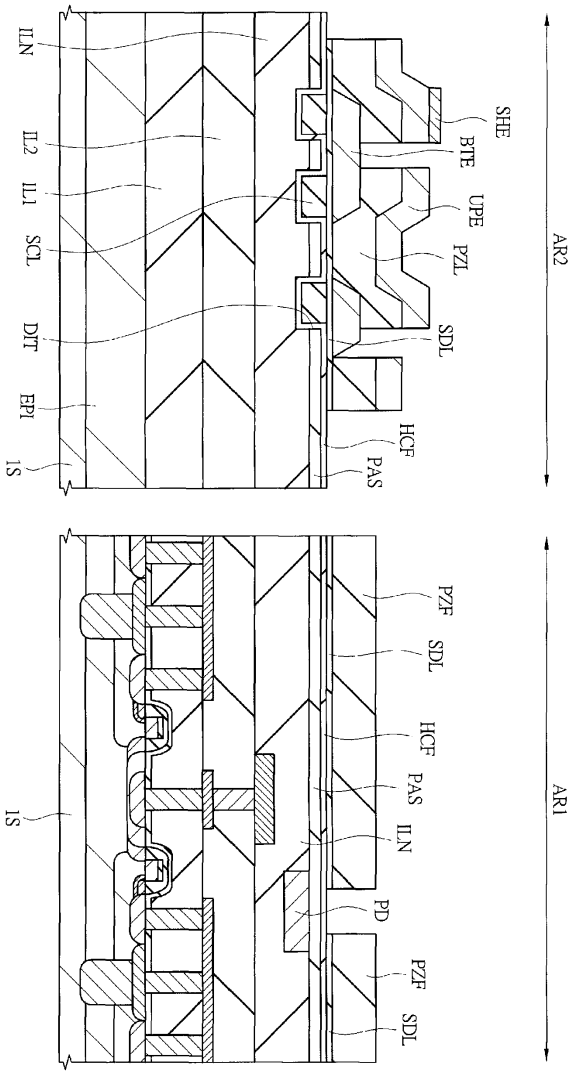
도면19


ILN
BTE
SCL
DIT
SDL
HCF
PAS
AR2
IL2
IL1
EPI
1S
SDL
HCF
PAS
ILN
PD
AR1
1S

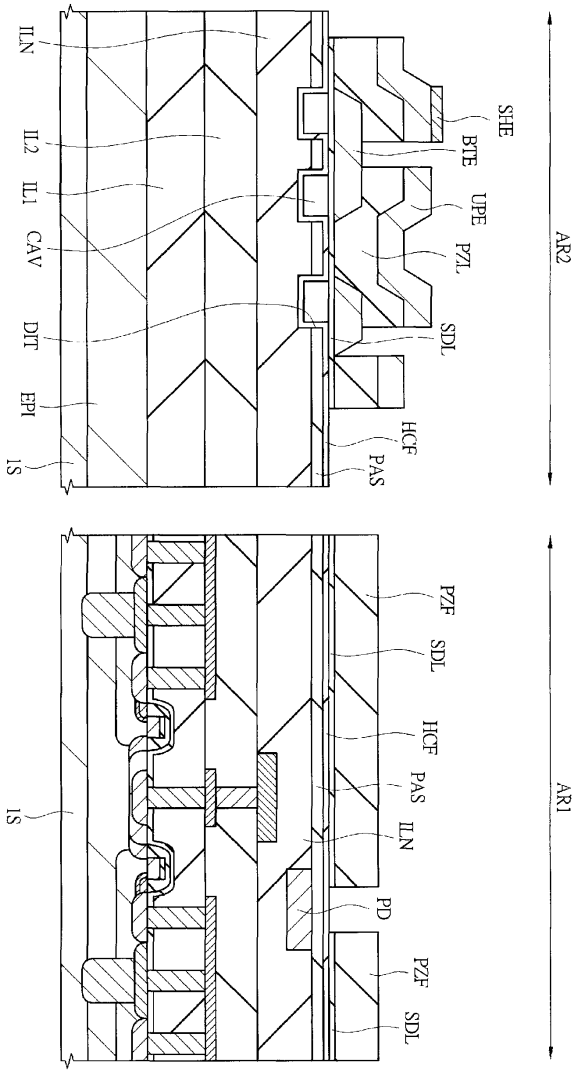
도면20


ILN
IL2
IL1
SCL
DIT
EPI
1S
CF2
BTE
PZF
SDL
HCF
PAS
AR2
1S
CF2
PZF
SDL
HCF
PAS
PD
ILN
AR1

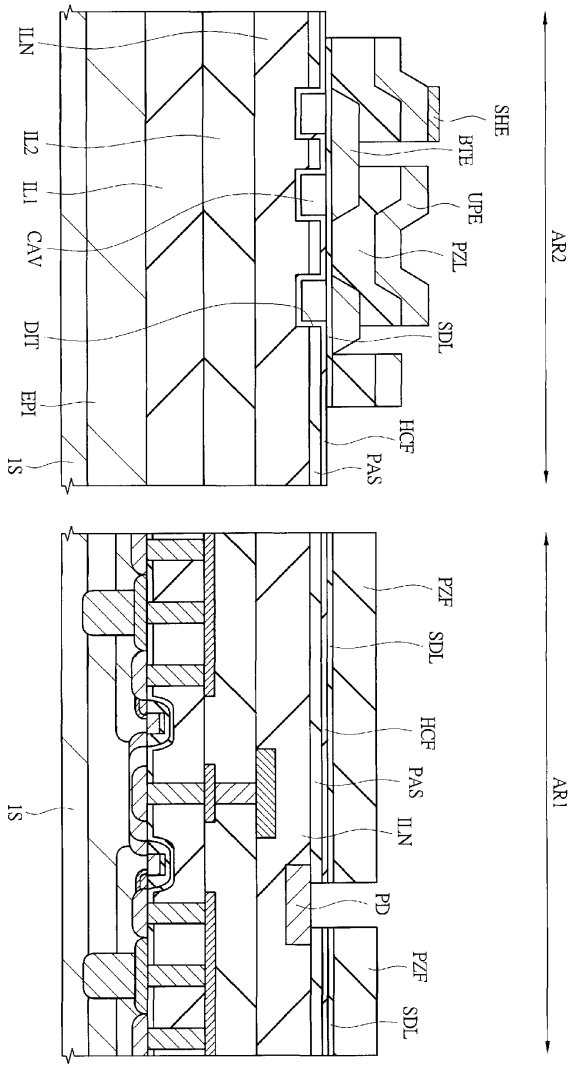
도면21


AR2
SHE
BTE
UPE
PZL
SDL
HCF
PAS
ILN
IL2
IL1
SCL
DIT
EPI
1S
AR1
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
1S

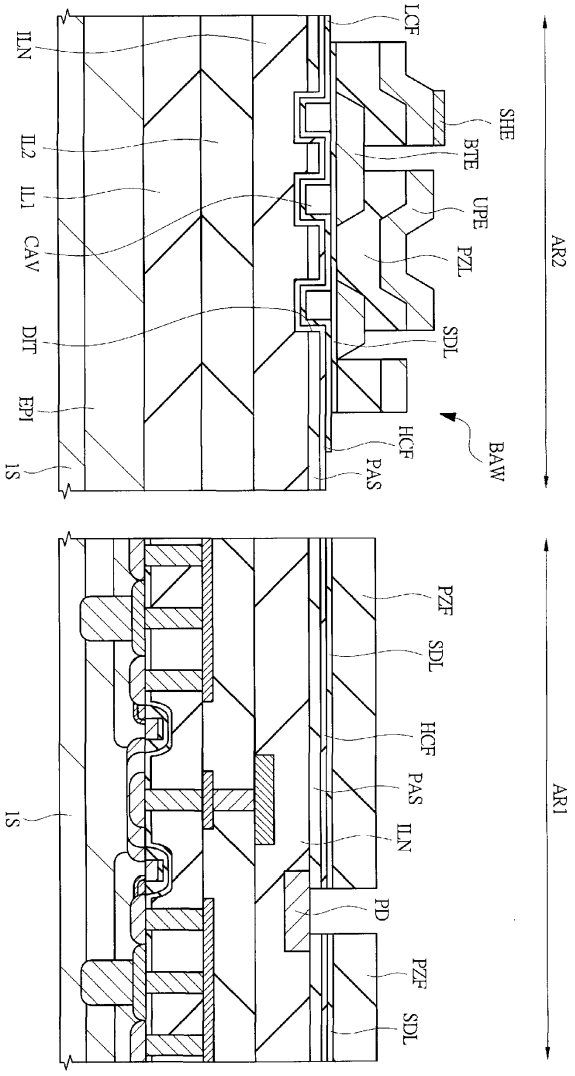
도면22


AR2
SHE
BTE
UPE
PZL
SDL
HCF
PAS
ILN
IL2
IL1
CAV
DIT
EPI
1S
AR1
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
1S

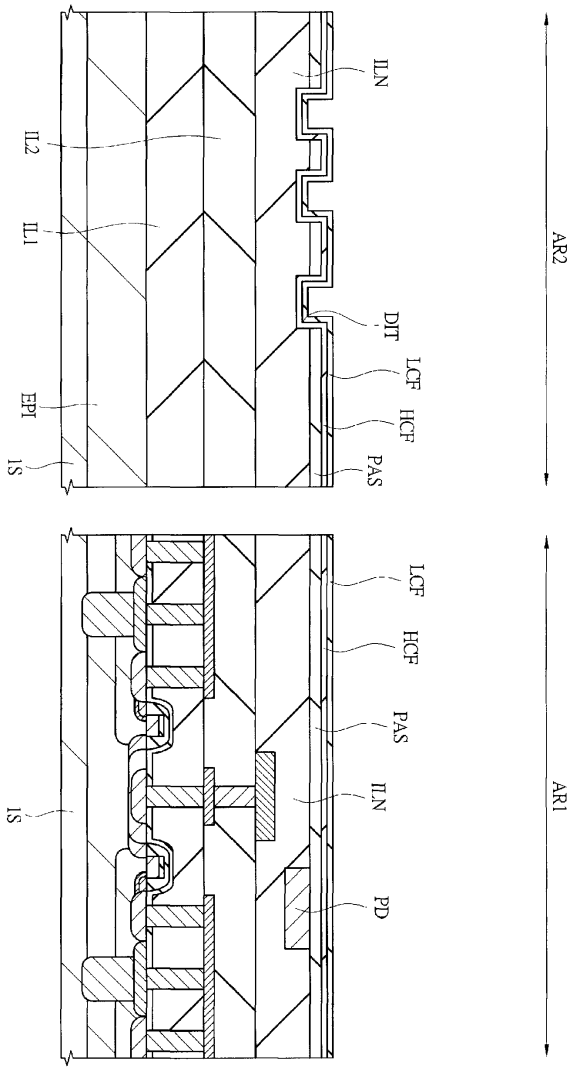
도면23


AR2
SHE
BTE
UPE
PZL
SDL
HCF
PAS
ILN
IL2
IL1
CAV
DIT
EPI
1S
AR1
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
1S

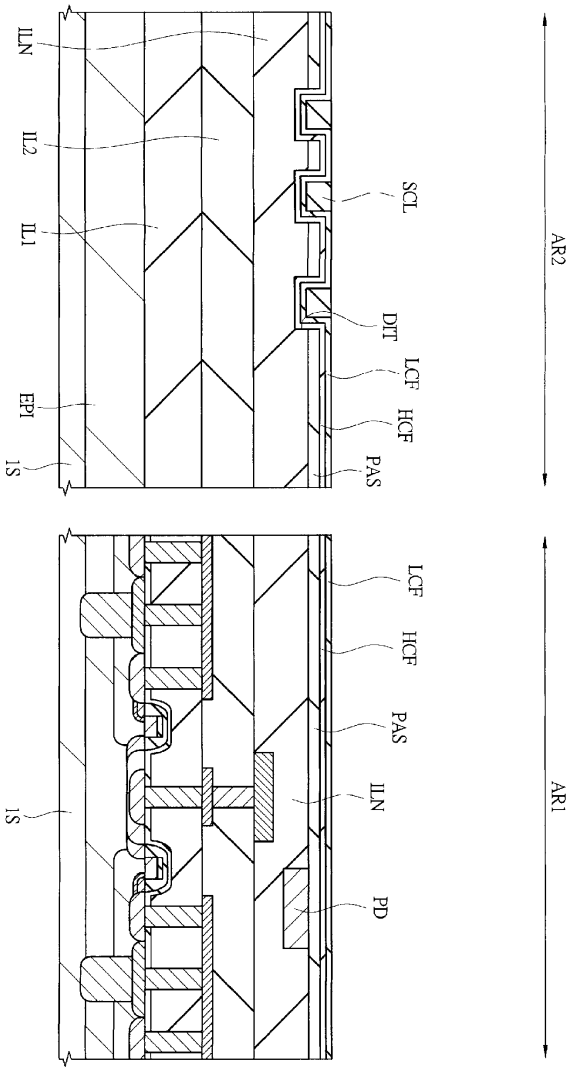
도면24


LCF
SHE
BTE
UPE
PZL
SDL
HCF
PAS
BAW
AR2
ILN
IL2
IL1
CAV
DIT
EPI
1S
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
AR1
1S

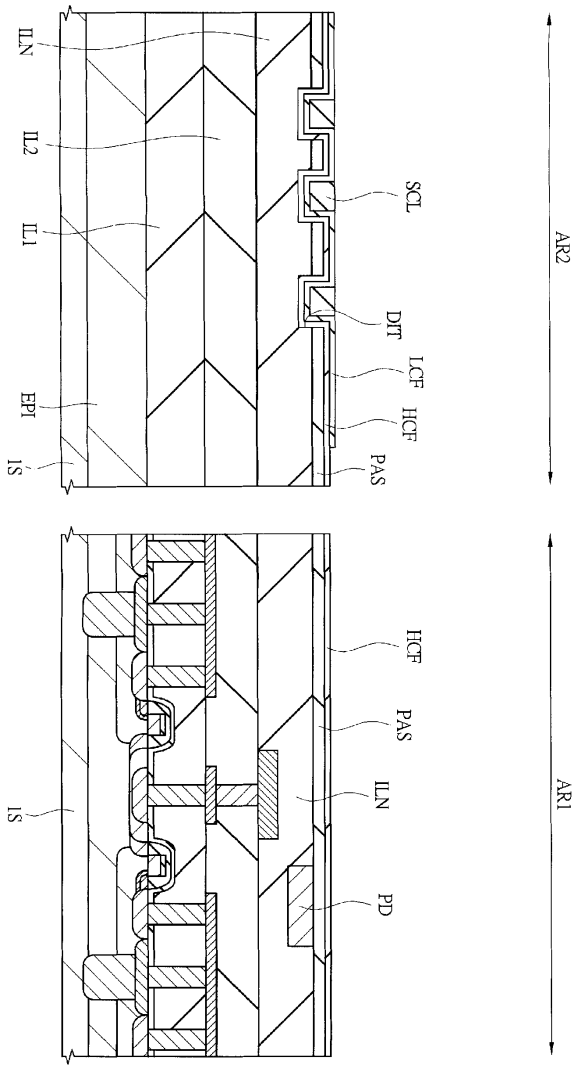
도면25



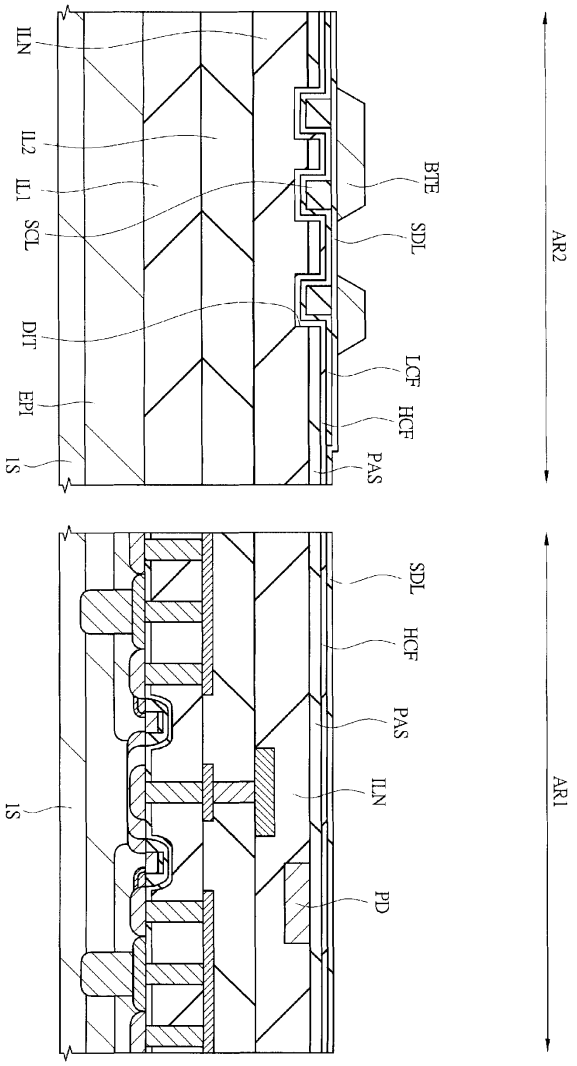
도면26


ILN
IL2
IL1
EPI
1S
SCL
DIT
LCF
HCF
PAS
AR2
1S
LCF
HCF
PAS
ILN
PD
AR1

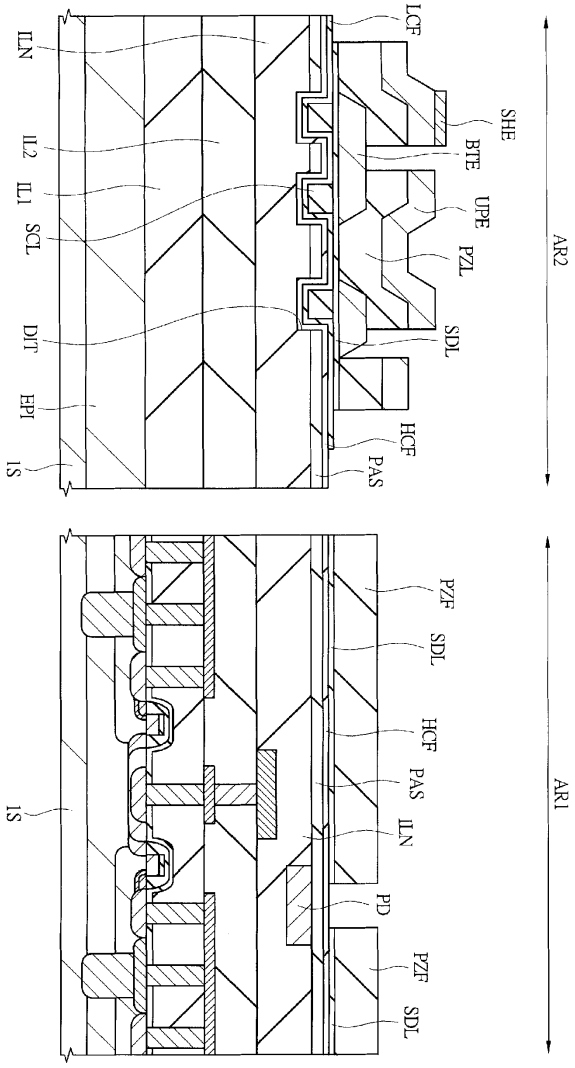
도면27



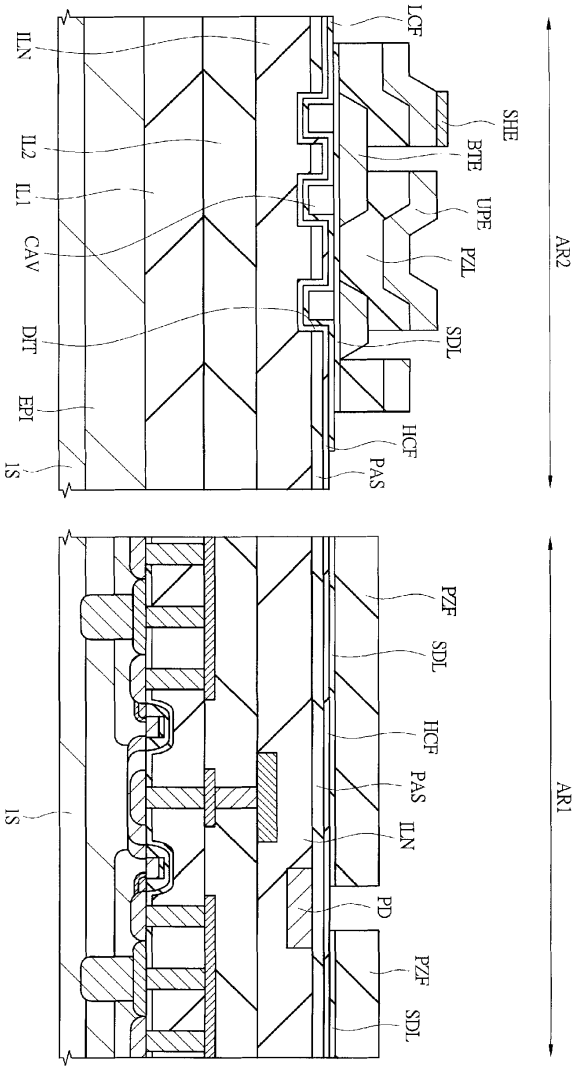
도면28


ILN
IL2
IL1
SCL
DIT
EPI
IS
BTE
SDL
LCF
HCF
PAS
AR2
IS
SDL
HCF
PAS
ILN
PD
AR1

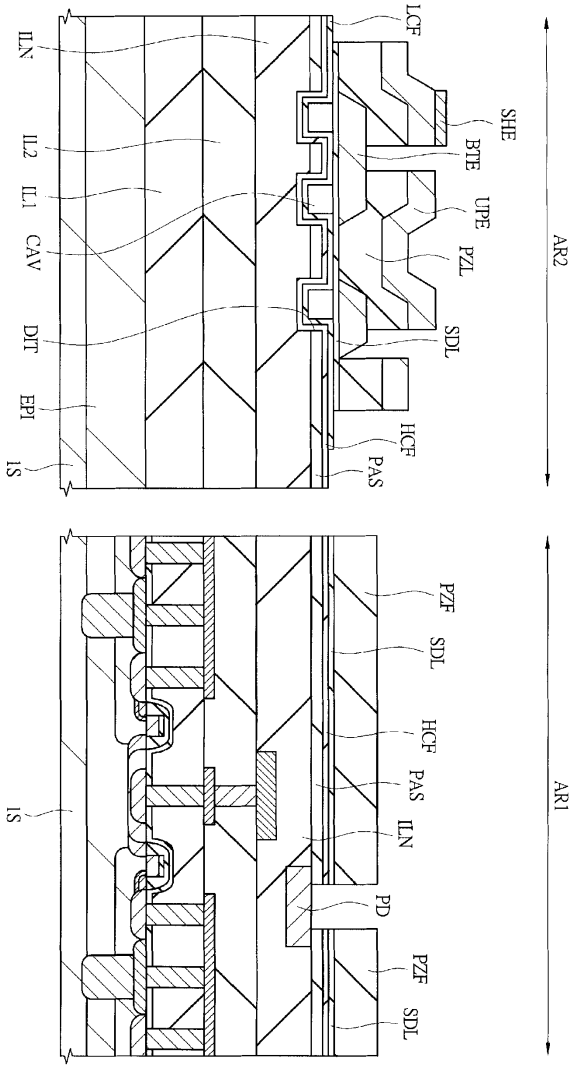
도면29


LCF
SHE
BTE
UPE
PZL
SDL
HCF
PAS
AR2
ILN
IL2
IL1
SCL
DIT
EPI
IS
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
AR1
IS

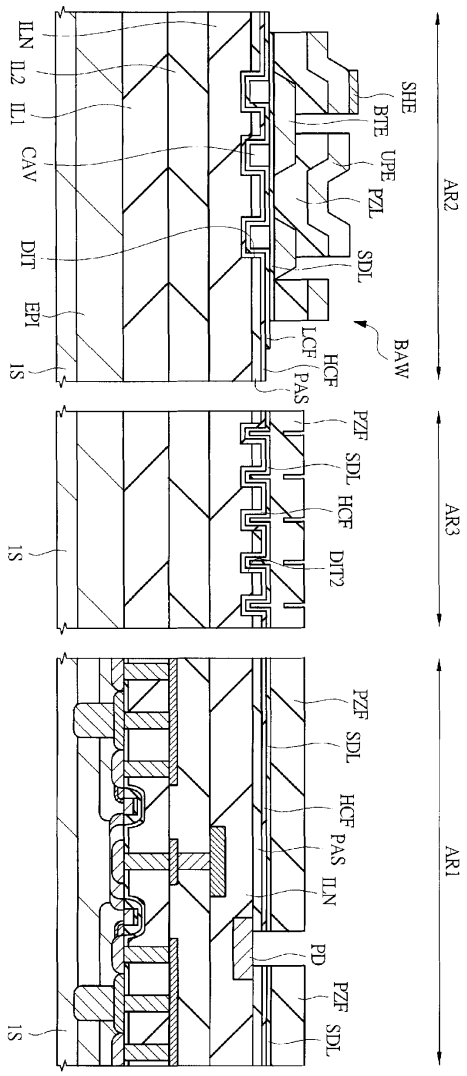
도면30


LCF
SHE
BTE
UPE
PZL
SDL
HCF
PAS
AR2
ILN
IL2
IL1
CAV
DIT
EPI
1S
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
AR1
1S

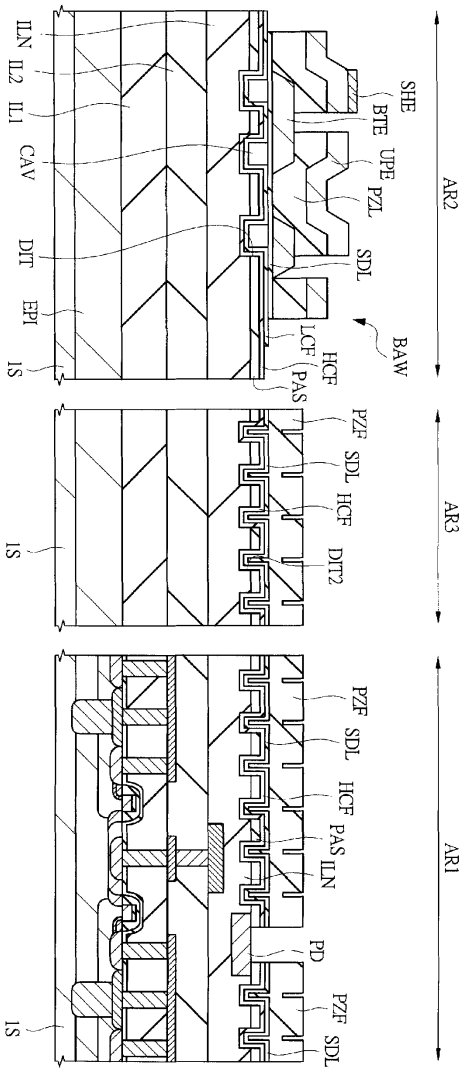
도면31


LCF
SHE
BTE
UPE
PZL
SDL
HCF
PAS
AR2
ILN
IL2
IL1
CAV
DIT
EPI
IS
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
AR1
IS

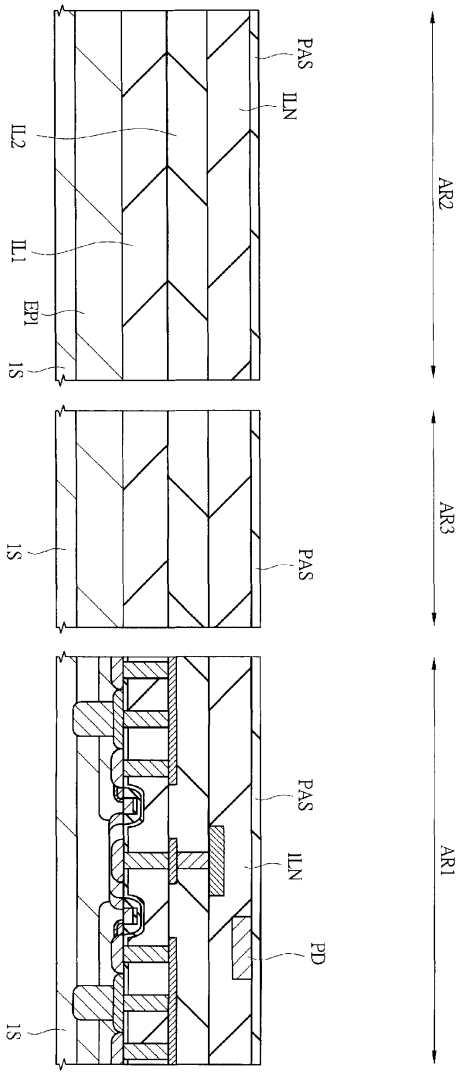
도면32


AR2
AR3
AR1
SHE
BTE
UPE
PZL
SDL
BAW
HCF
LCF
PAS
ILN
IL2
IL1
CAV
DIT
EPI
IS
PZF
SDL
HCF
DIT2
IS
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
IS

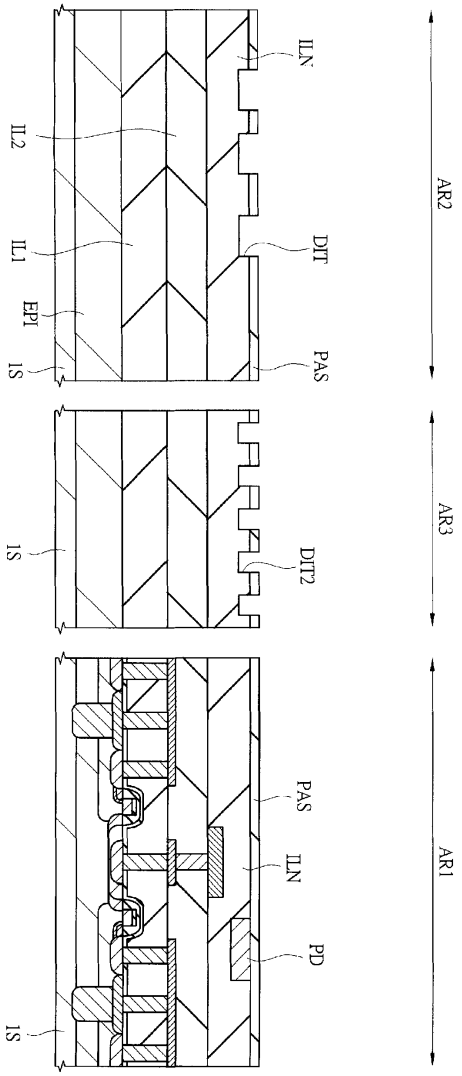
도면33


AR2
AR3
AR1
SHE
BTE
UPE
PZL
SDL
BAW
HCF
LCF
PAS
ILN
IL2
IL1
CAV
DIT
EPI
IS
PZF
SDL
HCF
DIT2
IS
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
IS

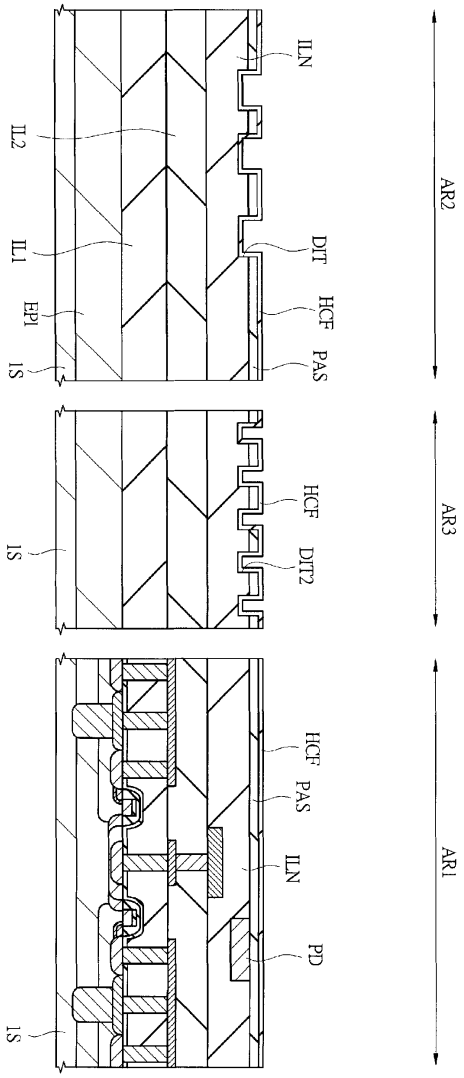
도면34



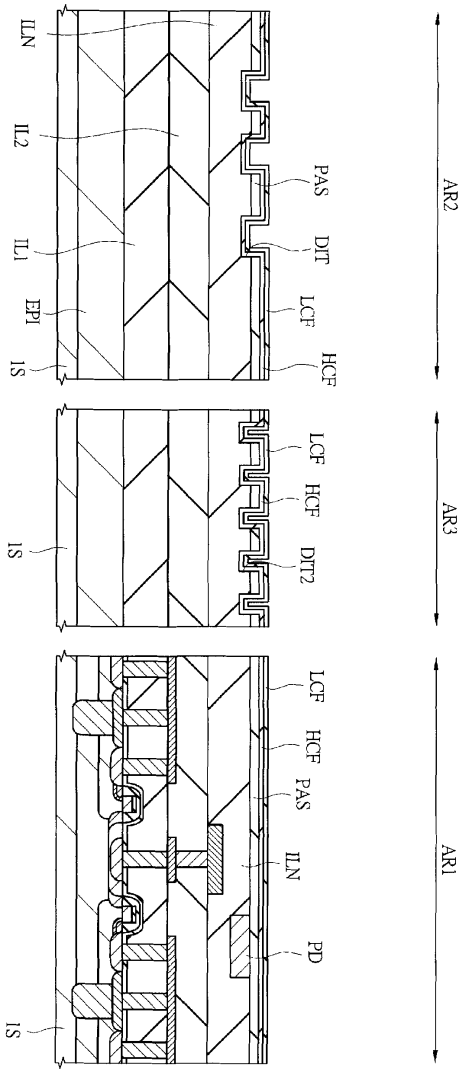
도면35



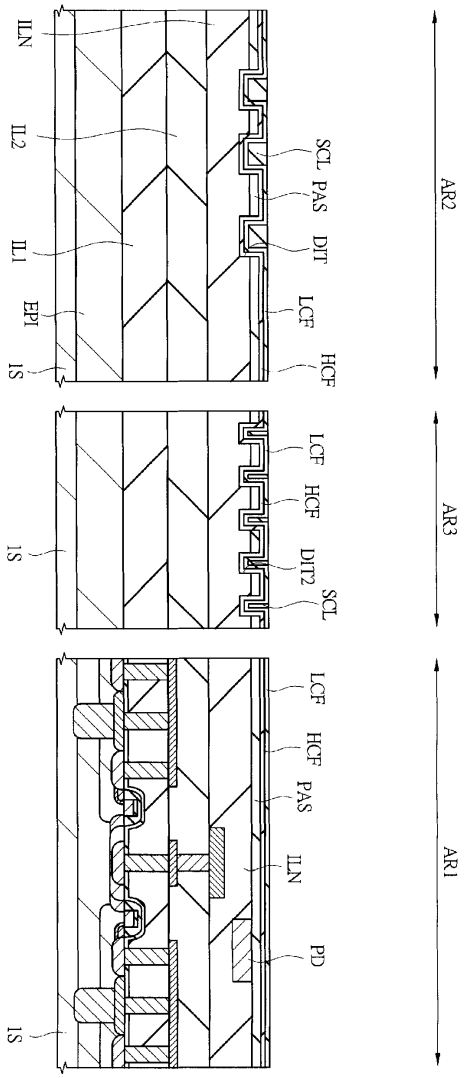
도면36


AR1
AR3
AR2
HCF
PAS
ILN
PD
HCF
DIT2
ILN
DIT
HCF
PAS
IL2
IL1
EPI
1S
1S
1S

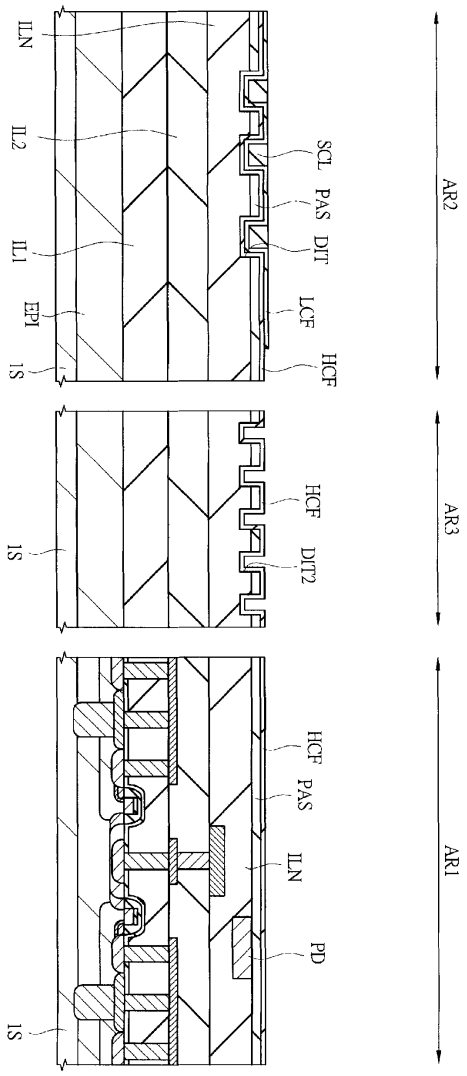
도면37


AR1
AR3
AR2
LCF
HCF
PAS
ILN
PD
LCF
HCF
DIT2
PAS
DIT
LCF
HCF
ILN
IL2
IL1
EPI
1S
1S
1S

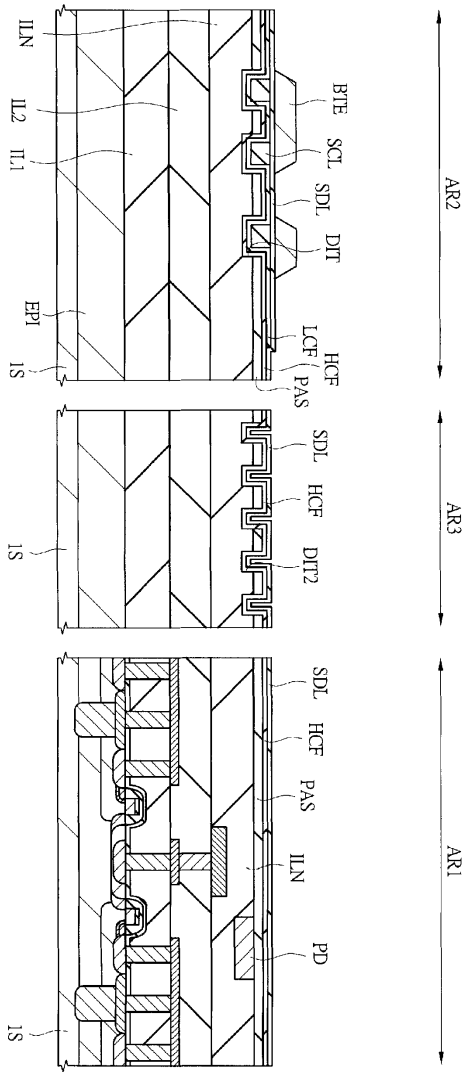
도면38


AR1
AR3
AR2
LCF
HCF
PAS
ILN
PD
SCL
DIT2
SCL
PAS
DIT
LCF
HCF
ILN
IL2
IL1
EPI
IS
IS
IS

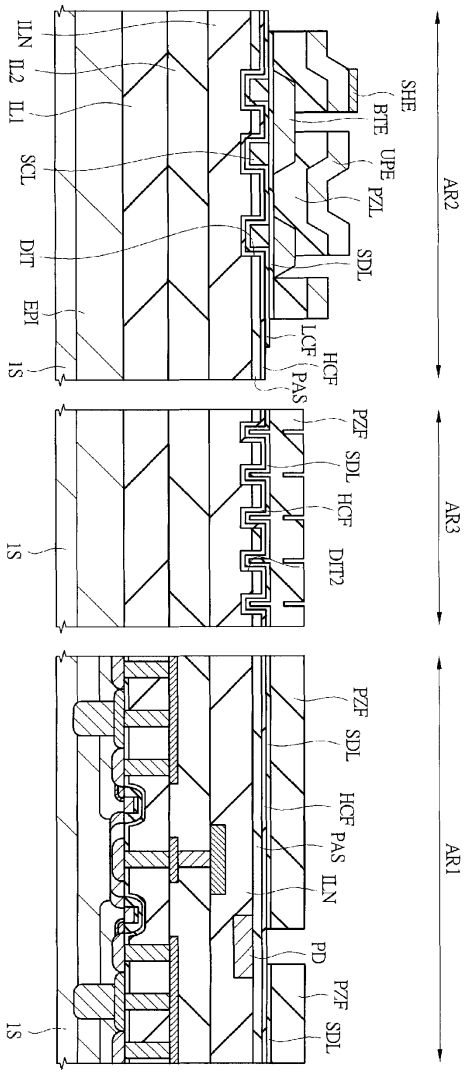
도면39


AR1
AR3
AR2
HCF
PAS
ILN
PD
HCF
DIT2
SCL
PAS
DIT
LCF
HCF
ILN
IL2
IL1
EPI
1S
1S
1S

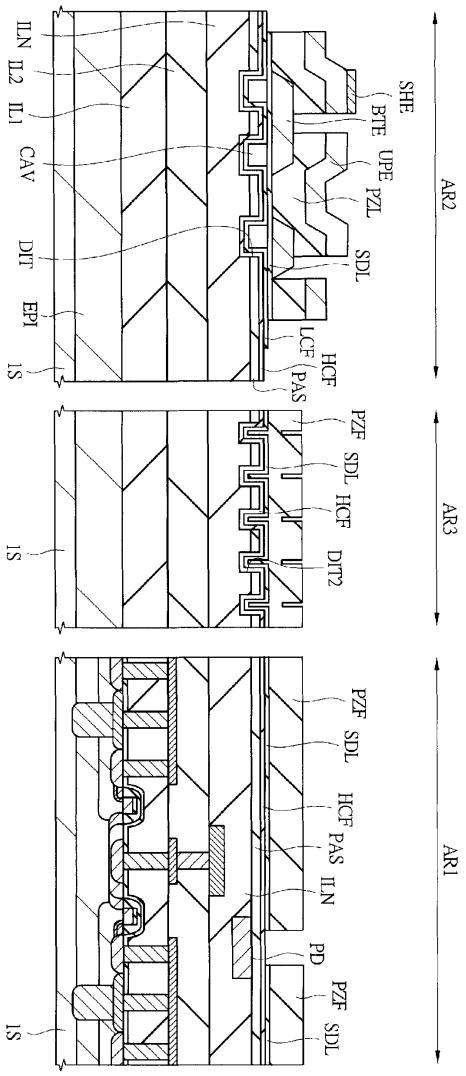
도면40


AR2
AR3
AR1
BTE
SCL
SDL
DIT
HCF
LCF
PAS
ILN
IL2
IL1
EPI
1S
SDL
HCF
DIT2
1S
SDL
HCF
PAS
ILN
PD
1S

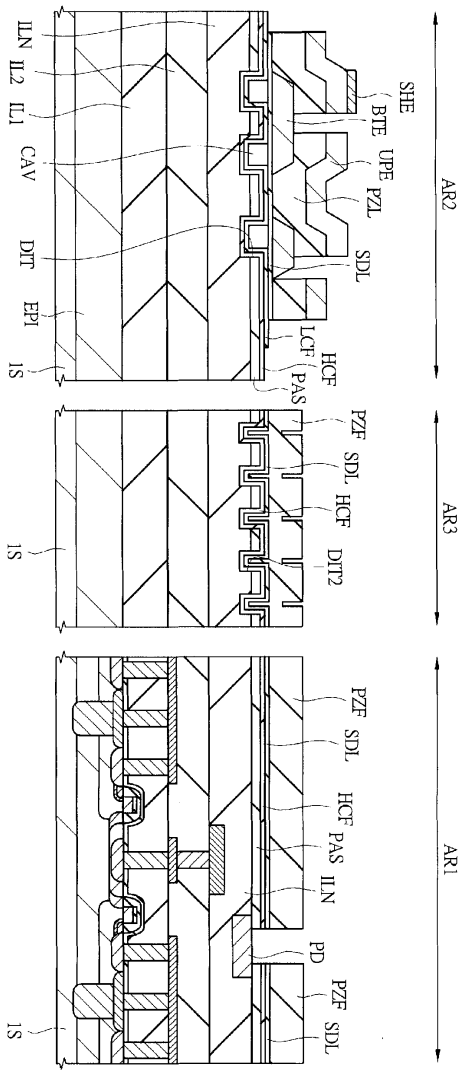
도면41


AR2
AR3
AR1
SHE
BTE
UPE
PZL
SDL
LCF
HCF
PAS
ILN
IL2
IL1
SCL
DIT
EPI
1S
PZF
SDL
HCF
DIT2
1S
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
1S

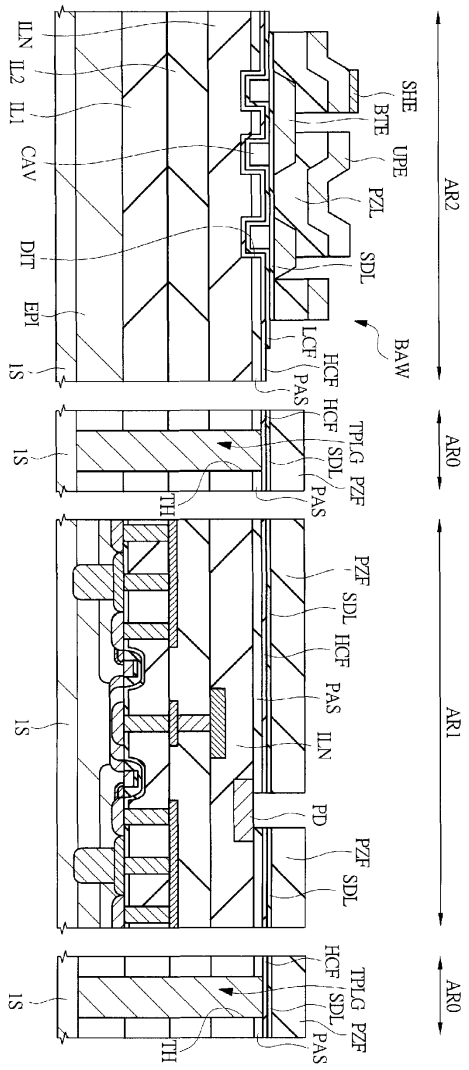
도면42


AR1
AR3
AR2
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
PZF
SDL
HCF
DIT2
SHE
BTE
UPE
PZL
SDL
LCF
HCF
PAS
ILN
IL2
IL1
CAV
DIT
EPI
1S
1S
1S

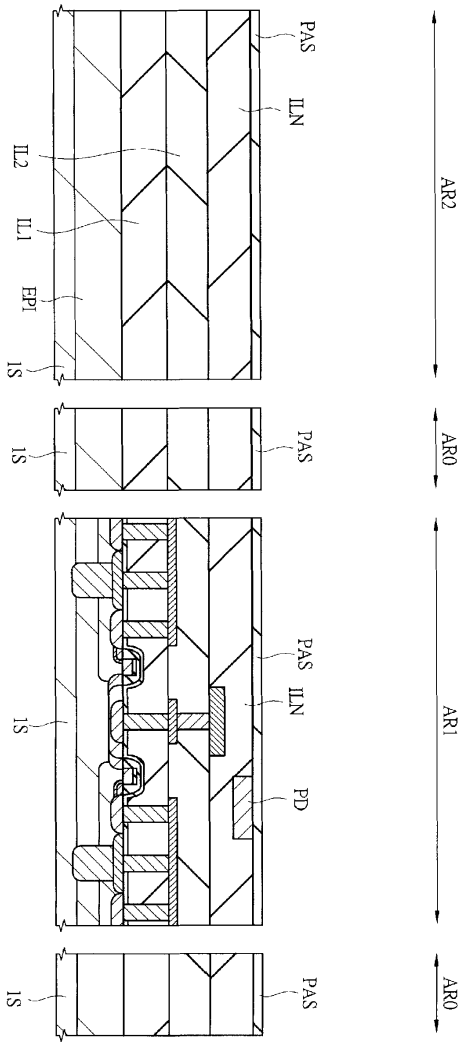
도면43


AR2
AR3
AR1
SHE
BTE
UPE
PZL
SDL
LCF
HCF
PAS
ILN
IL2
IL1
CAV
DIT
EPI
1S
PZF
SDL
HCF
DIT2
1S
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
1S

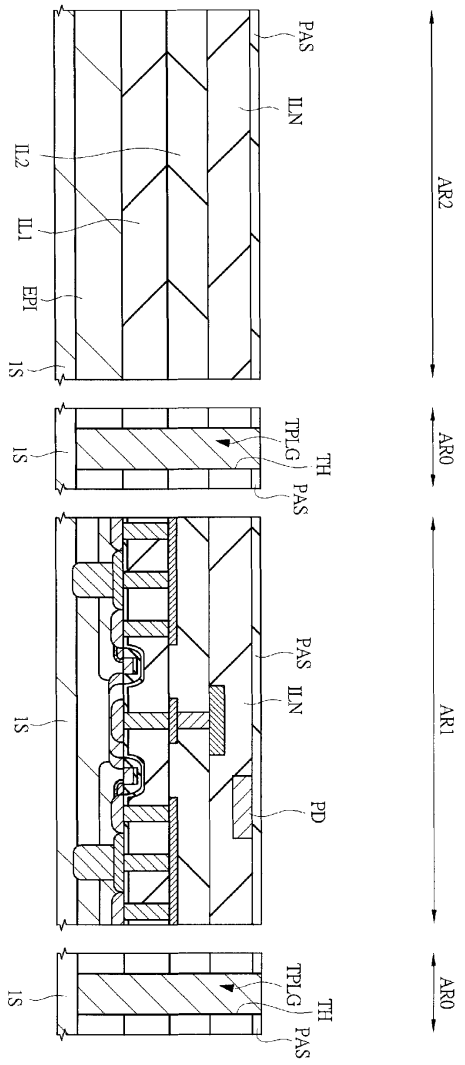
도면44


AR2
AR0
AR1
AR0
SHE
BTE
UPE
PZL
SDL
BAW
LCF
HCF
PAS
TPLG
PZF
TH
ILN
PD
IL2
IL1
CAV
DIT
EPI
1S

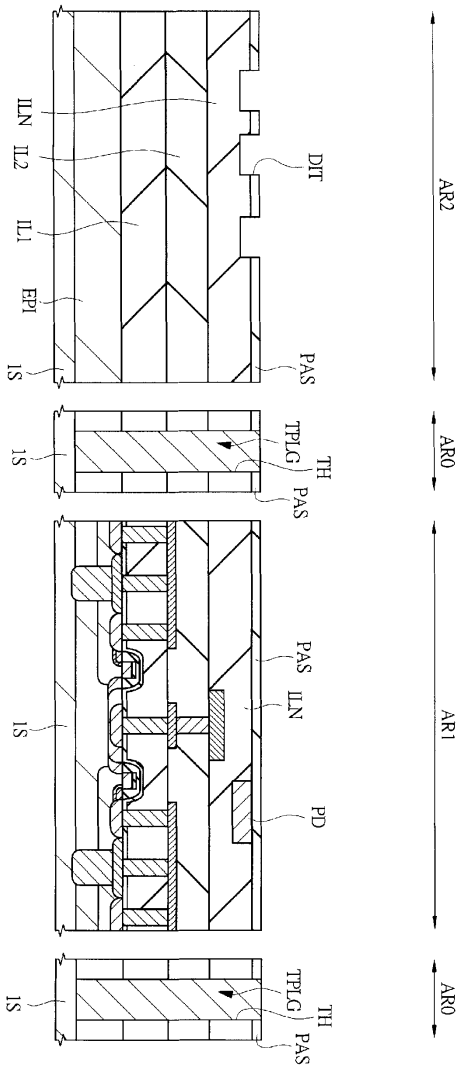
도면45



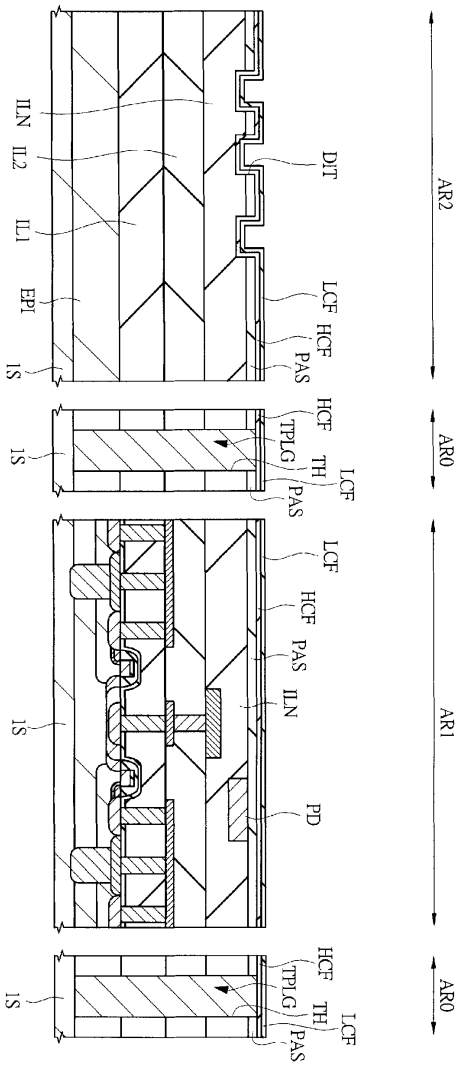
도면46


AR2
AR0
AR1
AR0
PAS
ILN
IL2
IL1
EPI
IS
TH
TPLG
PAS
PAS
ILN
PD
IS
TH
TPLG
PAS
IS

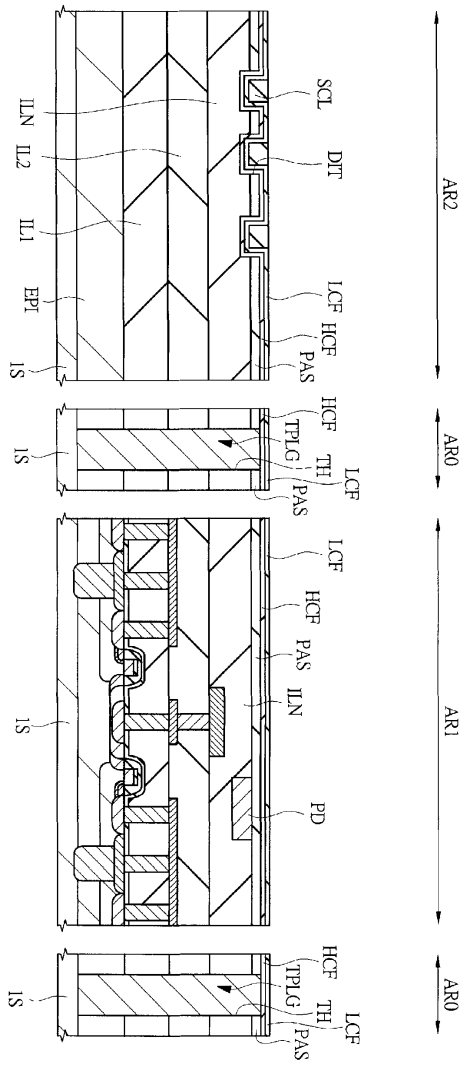
도면47


AR2
AR0
AR1
AR0
DIT
PAS
TH
TPLG
PAS
PAS
ILN
PD
TH
TPLG
PAS
ILN
IL2
IL1
EPI
IS
IS
IS
IS

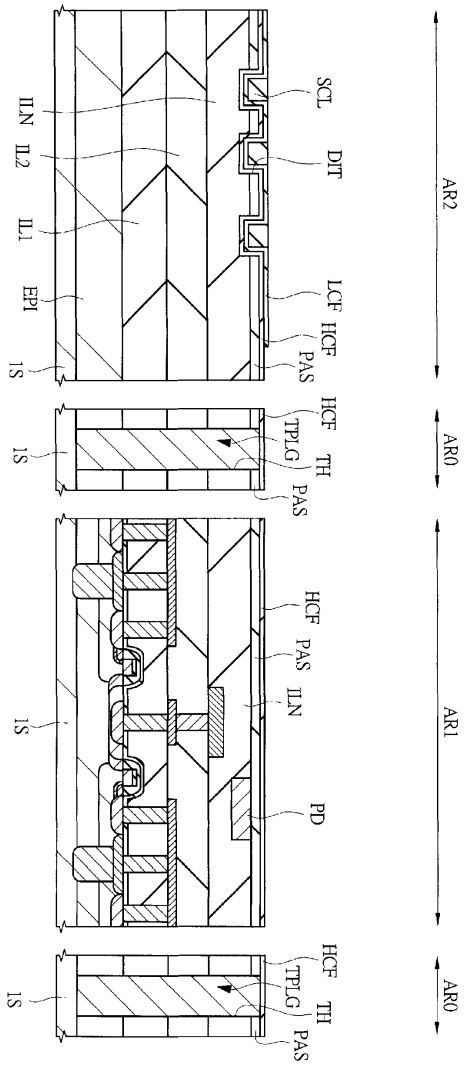
도면48


AR2
AR0
AR1
AR0
DIT
LCF
HCF
PAS
ILN
IL2
IL1
EPI
1S
HCF
TPLG
TH
LCF
PAS
1S
LCF
HCF
PAS
ILN
PD
1S
HCF
TPLG
TH
LCF
PAS
1S

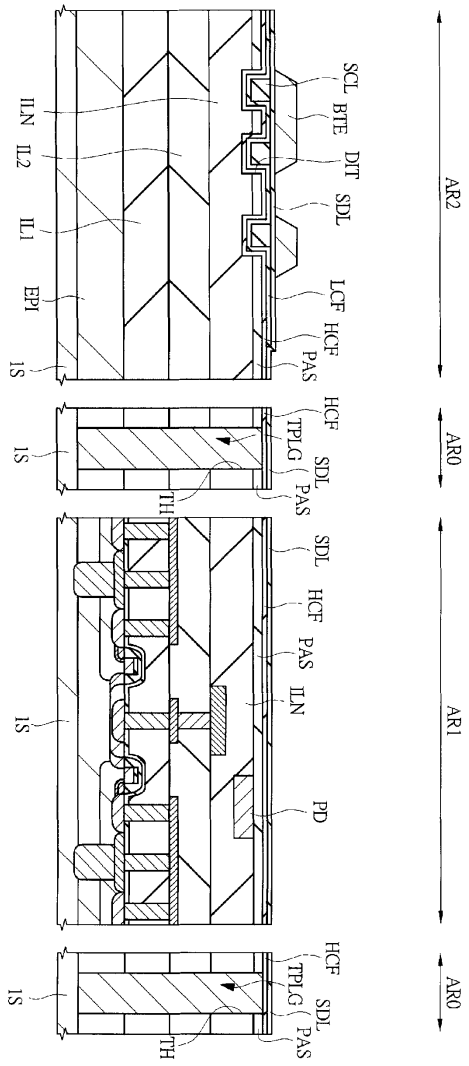
도면49


AR2
AR0
AR1
AR0
SCL
DIT
LCF
HCF
PAS
ILN
IL2
IL1
EPI
1S
HCF
TPLG
TH
LCF
PAS
1S
LCF
HCF
PAS
ILN
PD
1S
HCF
TPLG
TH
LCF
PAS
1S

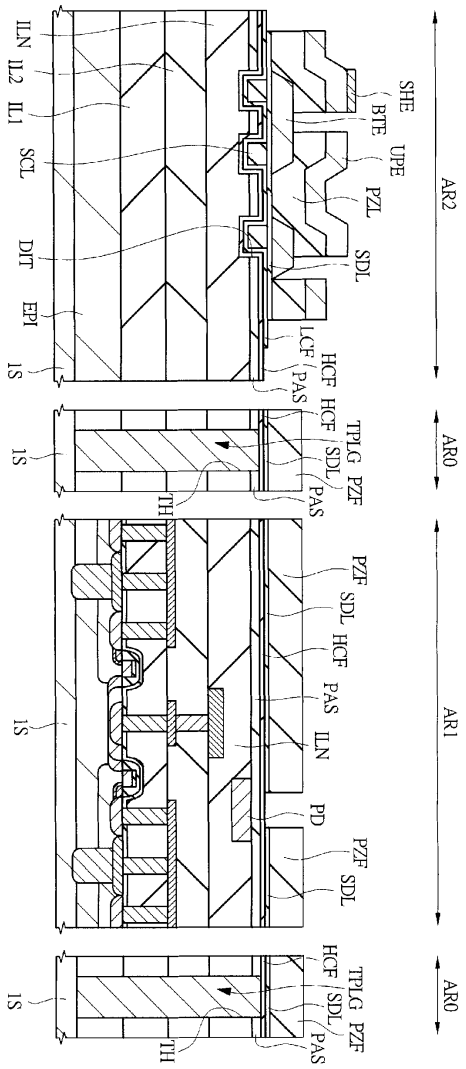
도면50


AR2
AR0
AR1
AR0
SCL
DIT
LCF
HCF
PAS
ILN
IL2
IL1
EPI
1S
HCF
TPLG
TH
PAS
HCF
PAS
ILN
PD
HCF
TPLG
TH
PAS
1S
1S
1S

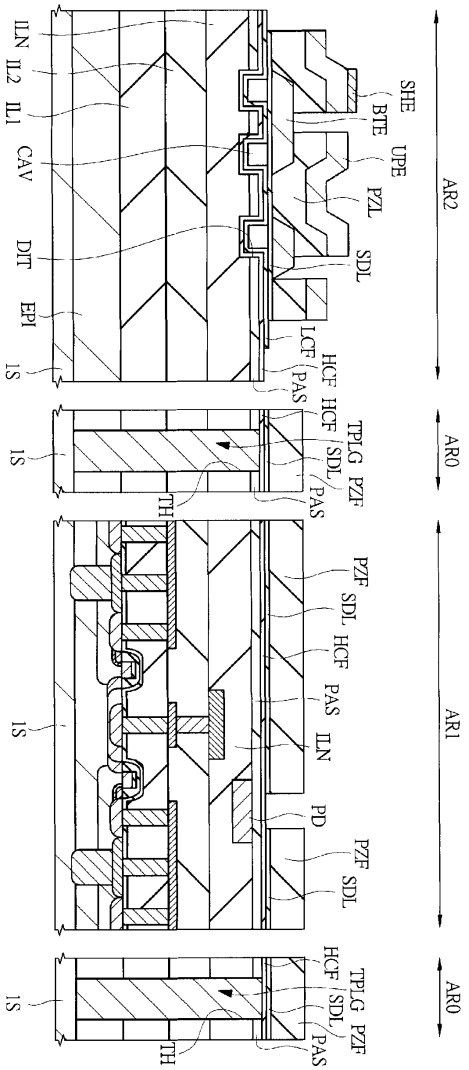
도면51


AR2
AR0
AR1
AR0
SCL
BTE
DIT
SDL
LCF
HCF
PAS
ILN
IL2
IL1
EPI
1S
HCF
TPLG
SDL
PAS
TH
SDL
HCF
PAS
ILN
PD
1S
HCF
TPLG
SDL
PAS
TH
1S

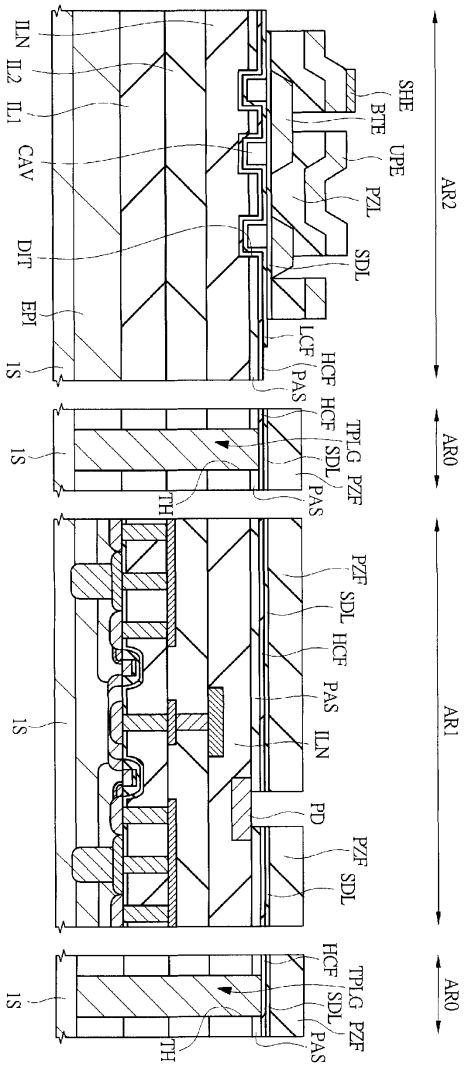
도면52


AR2
AR0
AR1
AR0
SHE
BTE
UPE
PZL
SDL
HCF
LCF
PAS
TPLG
PZF
ILN
PD
TH
1S
EPI
DIT
SCL
IL1
IL2

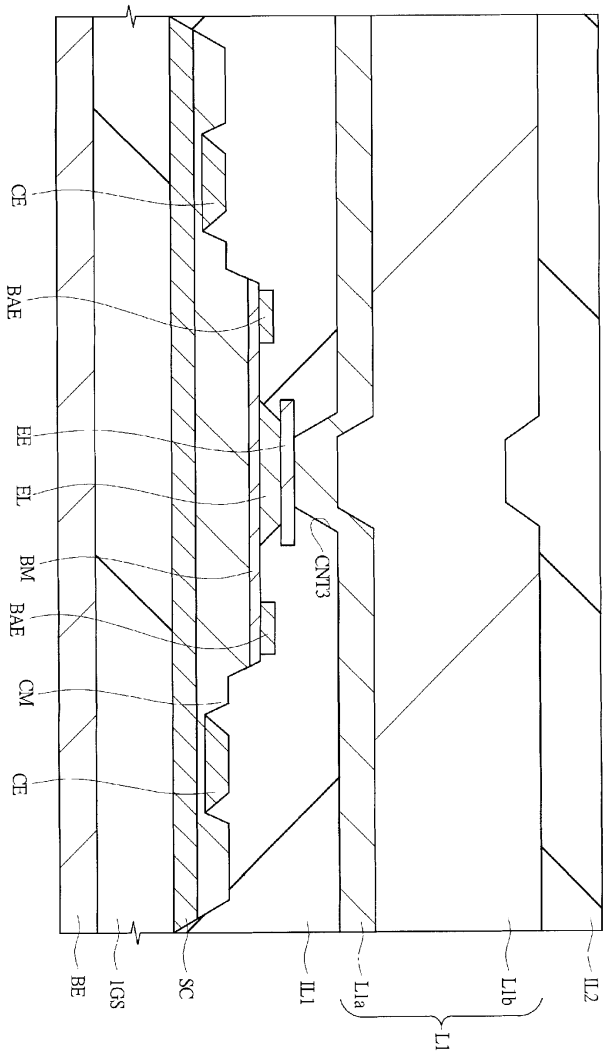
도면53


AR2
AR0
AR1
AR0
SHE
BTE
UPE
PZL
SDL
LCF
HCF
PAS
TPLG
PZF
TH
ILN
IL2
IL1
CAV
DIT
EPI
1S
PD

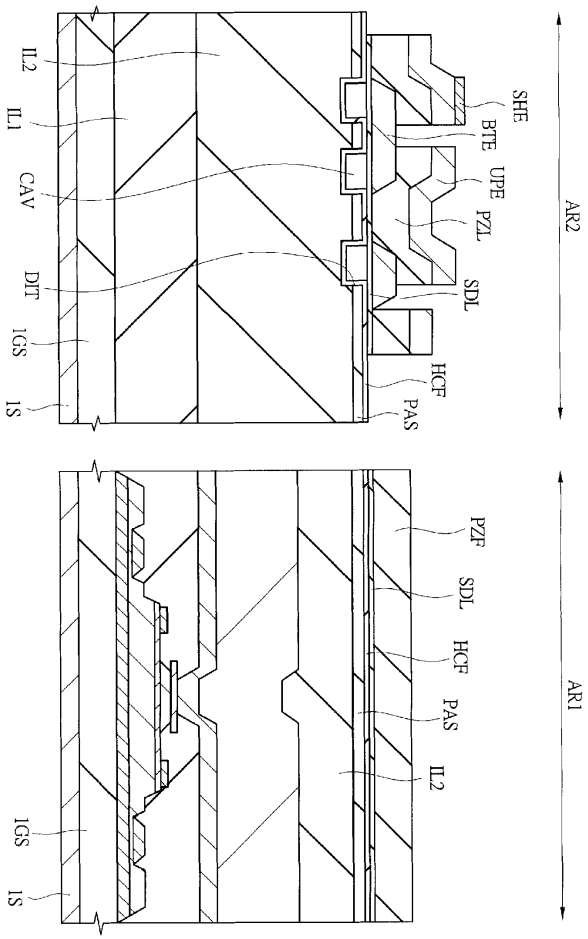
도면54


AR2
AR0
AR1
AR0
SHE
BTE
UPE
PZL
SDL
LCF
HCF
PAS
ILN
IL2
IL1
CAV
DIT
EPI
1S
TPLG
PZF
TH
PD

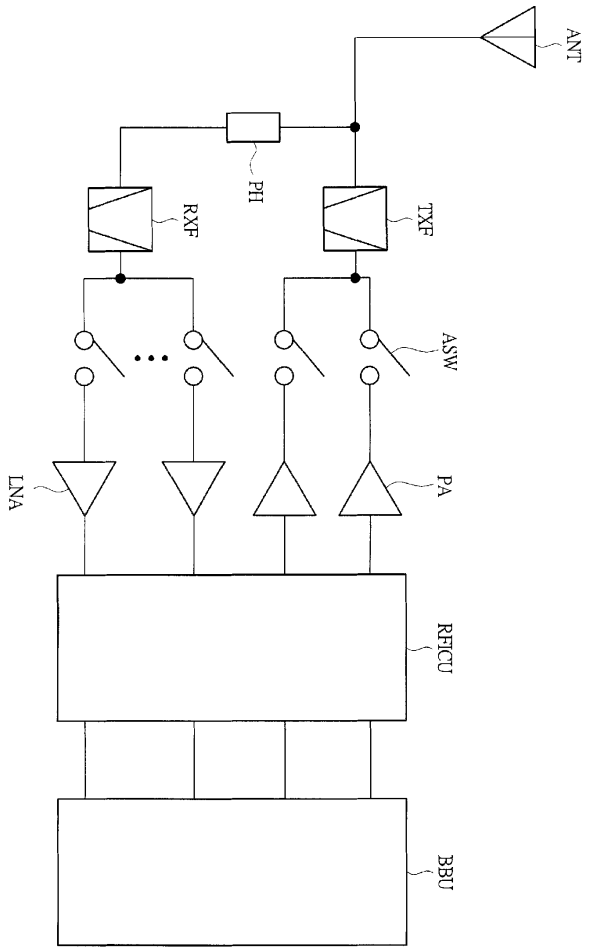
도면55



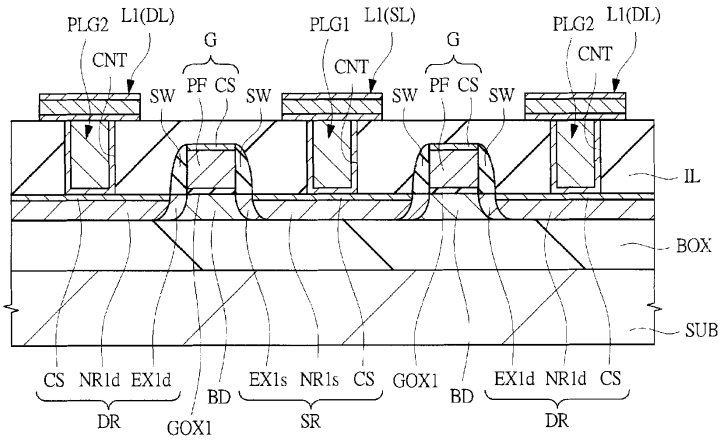
도면56


AR2
SHE
BTE
UPE
PZL
SDL
HCF
PAS
IL2
IL1
CAV
DIT
IGS
IS
AR1
PZF
SDL
HCF
PAS
IL2
IGS
IS

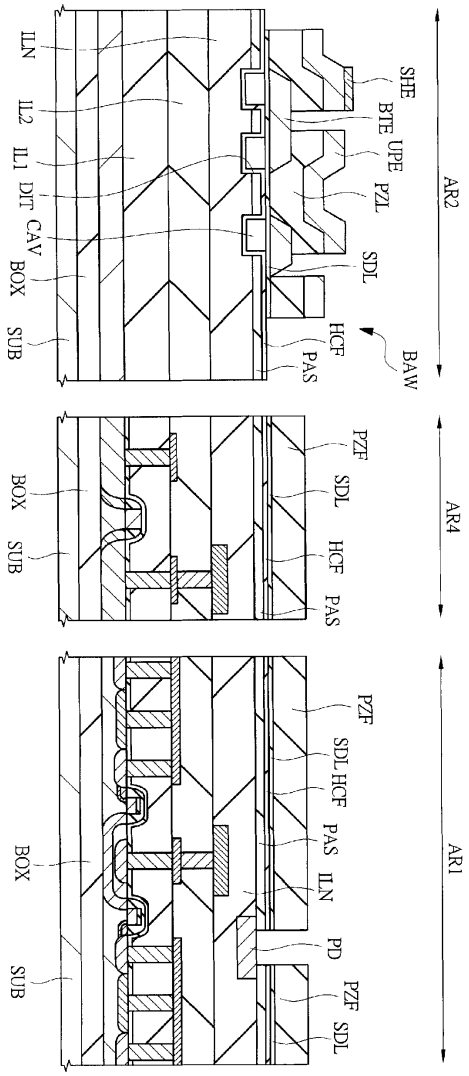
도면57


ANT
PH
RXF
TXF
ASW
LNA
PA
RFICU
BBU

도면58


PLG2
L1(DL)
CNT
G
PF CS
SW
PLG1
L1(SL)
IL
BOX
SUB
CS NR1d EX1d
DR
GOX1
BD
EX1s NR1s CS
SR
GOX1
BD
EX1d NR1d CS
DR

도면59


AR2
SHE
BTE
UPE
PZL
SDL
HCF
PAS
BAW
ILN
IL2
IL1
DIT
CAV
BOX
SUB
AR4
PZF
SDL
HCF
PAS
BOX
SUB
AR1
PZF
SDL
HCF
PAS
ILN
PD
PZF
SDL
BOX
SUB