



(12) 实用新型专利

(10) 授权公告号 CN 214540753 U

(45) 授权公告日 2021. 10. 29

(21) 申请号 202120492215.5

(22) 申请日 2021.03.08

(73) 专利权人 深圳市天易成科技有限公司
地址 518000 广东省深圳市宝安区西乡固
戍南太创之谷厂房202

(72) 发明人 云惟耀 韩广生

(74) 专利代理机构 深圳中细软知识产权代理有
限公司 44528
代理人 王志强

(51) Int. Cl.
G06F 13/42 (2006.01)
G06F 13/40 (2006.01)

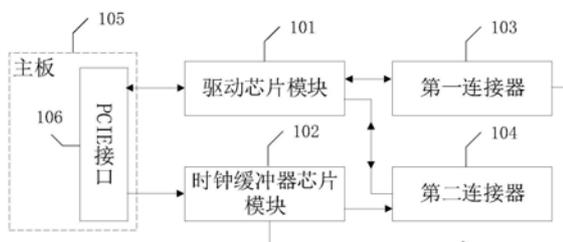
权利要求书2页 说明书9页 附图2页

(54) 实用新型名称

PCIE扩展电路及扩展卡

(57) 摘要

本实用新型实施例公开了一种PCIE扩展电路及扩展卡,通过在PCIE扩展电路中设置驱动芯片模块,实现了将输入到PCIE扩展电路中的PCIE控制信号分成两路PCIE控制信号并分别输出到第一连接器和第二连接器的目的,进而达到了对主板的PCIE接口发送到PCIE扩展电路中的PCIE控制信号进行扩展的效果;通过在PCIE扩展电路中设置时钟缓冲器芯片模块,实现了将输入到PCIE扩展电路中的时钟信号分成两路时钟信号并分别输出到第一连接器和第二连接器的目的,进而达到了对主板的PCIE接口发送到PCIE扩展电路中的时钟信号进行扩展的效果。最终达到了对主板的PCIE接口进行扩展的效果。



1. 一种PCIE扩展电路,其特征在于,所述PCIE扩展电路包括:驱动芯片模块、时钟缓冲器芯片模块、第一连接器和第二连接器;

所述第一连接器和所述第二连接器均与所述驱动芯片模块电连接;

所述第一连接器和所述第二连接器均与所述时钟缓冲器芯片模块电连接;

其中,所述驱动芯片模块还与主板的PCIE接口电连接,用于接收所述PCIE接口传输的PCIE控制信号,将所述PCIE控制信号分成第一PCIE控制信号和第二PCIE控制信号,将所述第一PCIE控制信号发送给所述第一连接器并将所述第二PCIE控制信号发送给所述第二连接器;

其中,所述时钟缓冲器芯片模块还与所述PCIE接口电连接,用于接收所述PCIE接口传输的时钟信号,将所述时钟信号分成第一时钟信号和第二时钟信号,将所述第一时钟信号发送给所述第一连接器并将所述第二时钟信号发送给所述第二连接器。

2. 根据权利要求1所述的PCIE扩展电路,其特征在于,所述驱动芯片模块包括:驱动芯片,所述驱动芯片用于增强所述PCIE控制信号的驱动能力;所述驱动芯片包括第一输入接口、第一输出接口、第二输出接口、第二输入接口、第三输入接口和第三输出接口;

所述第一输入接口和所述第三输出接口均与所述PCIE接口电连接;

所述第一输出接口和所述第二输入接口均与所述第一连接器电连接;

所述第二输出接口和所述第三输入接口均与所述第二连接器电连接。

3. 根据权利要求2所述的PCIE扩展电路,其特征在于,所述驱动芯片模块还包括:第一滤波电路;

所述第一滤波电路的第一端与所述驱动芯片电连接,所述第一滤波电路的第二端为第一预设电压输入端。

4. 根据权利要求2所述的PCIE扩展电路,其特征在于,所述驱动芯片模块还包括:第二滤波电路、第三滤波电路、第四滤波电路和第五滤波电路;

所述第二滤波电路的一端与所述第一输出接口电连接,所述第二滤波电路的另一端与所述第一连接器电连接;

所述第三滤波电路的一端与所述第二输出接口电连接,所述第三滤波电路的另一端与所述第二连接器电连接;

所述第四滤波电路的一端与所述第二输入接口电连接,所述第四滤波电路的另一端与所述第一连接器电连接;

所述第五滤波电路的一端与所述第三输入接口电连接,所述第五滤波电路的另一端与所述第二连接器电连接。

5. 根据权利要求1所述的PCIE扩展电路,其特征在于,所述时钟缓冲器芯片模块包括:时钟缓冲器芯片,所述时钟缓冲器芯片用于增强所述时钟信号的驱动能力;所述时钟缓冲器芯片包括:第四输入接口、第四输出接口和第五输出接口;

所述第四输入接口与所述PCIE接口电连接;

所述第四输出接口与所述第一连接器电连接;

所述第五输出接口与所述第二连接器电连接。

6. 根据权利要求5所述的PCIE扩展电路,其特征在于,所述时钟缓冲器芯片模块还包括:第六滤波电路;

所述第六滤波电路的第一端与所述时钟缓冲器芯片电连接,所述第六滤波电路的第二端为第二预设电压输入端。

7. 根据权利要求5所述的PCIE扩展电路,其特征在于,所述时钟缓冲器芯片模块还包括:第一匹配电阻电路、第二匹配电阻电路和第三匹配电阻电路;

所述第一匹配电阻电路的一端与所述第四输入接口电连接,所述第一匹配电阻电路的另一端与所述PCIE接口电连接;

所述第二匹配电阻电路的一端与所述第四输出接口电连接,所述第二匹配电阻电路的另一端与所述第一连接器电连接;

所述第三匹配电阻电路的一端与所述第五输出接口电连接,所述第三匹配电阻电路的另一端与所述第二连接器电连接。

8. 根据权利要求1所述的PCIE扩展电路,其特征在于,所述PCIE扩展电路还包括:第一金手指接口和第二金手指接口;

所述驱动芯片模块、所述第一金手指接口和所述PCIE接口依次电连接;

所述时钟缓冲器芯片模块、所述第二金手指接口和所述PCIE接口依次电连接。

9. 根据权利要求1所述的PCIE扩展电路,其特征在于,所述第一连接器与第一外部设备卡电连接,所述第二连接器与第二外部设备卡电连接。

10. 一种PCIE扩展卡,其特征在于,所述PCIE扩展卡包括如权利要求1至9中任意一种所述PCIE扩展电路,并且所述PCIE扩展卡为L形。

PCIE扩展电路及扩展卡

技术领域

[0001] 本实用新型涉及板卡设计技术领域,尤其涉及一种PCIE(peripheral component interconnect express,高速串行计算机扩展总线标准)扩展电路及扩展卡。

背景技术

[0002] 基于网络安全行业对数据信息安全的重视,对于网闸的整机方案,在实际应用中存在的问题为:整机网口数量少,或者整机没有可扩展的高速率传输接口。

发明内容

[0003] 基于此,有必要针对上述问题,提出了一种PCIE扩展电路及扩展卡,本实用新型目的是通过在PCIE扩展电路中设置驱动芯片模块和时钟缓冲器芯片模块,并通过驱动芯片模块和时钟缓冲器芯片模块将主板的PCIE接口发送的一路PCIE控制信号和一路时钟信号分别分为两路PCIE控制信号和两路时钟信号并分别发送给第一连接器和第二连接器,进而实现了对输入PCIE扩展电路中的PCIE控制信号和时钟信号进行扩展的目的,最终达到了对主板的PCIE接口进行扩展的效果。

[0004] 在第一方面,本申请提供了一种PCIE扩展电路,所述PCIE扩展电路包括:驱动芯片模块、时钟缓冲器芯片模块、第一连接器和第二连接器;

[0005] 所述第一连接器和所述第二连接器均与所述驱动芯片模块电连接;

[0006] 所述第一连接器和所述第二连接器均与所述时钟缓冲器芯片模块电连接;

[0007] 其中,所述驱动芯片模块还与主板的PCIE接口电连接,用于接收所述PCIE接口传输的PCIE控制信号,将所述PCIE控制信号分成第一PCIE控制信号和第二PCIE控制信号,将所述第一PCIE控制信号发送给所述第一连接器并将所述第二PCIE控制信号发送给所述第二连接器;

[0008] 其中,所述时钟缓冲器芯片模块还与所述PCIE接口电连接,用于接收所述PCIE接口传输的时钟信号,将所述时钟信号分成第一时钟信号和第二时钟信号,将所述第一时钟信号发送给所述第一连接器并将所述第二时钟信号发送给所述第二连接器。

[0009] 在其中一种实施例中,所述驱动芯片模块包括:驱动芯片,所述驱动芯片用于增强所述PCIE控制信号的驱动能力;所述驱动芯片包括第一输入接口、第一输出接口、第二输出接口、第二输入接口、第三输入接口和第三输出接口;

[0010] 所述第一输入接口和所述第三输出接口均与所述PCIE接口电连接;

[0011] 所述第一输出接口和所述第二输入接口均与所述第一连接器电连接;

[0012] 所述第二输出接口和所述第三输入接口均与所述第二连接器电连接。

[0013] 在其中一种实施例中,所述驱动芯片模块还包括:第一滤波电路;

[0014] 所述第一滤波电路的第一端与所述驱动芯片电连接,所述第一滤波电路的第二端为第一预设电压输入端。

[0015] 在其中一种实施例中,所述驱动芯片模块还包括:第二滤波电路、第三滤波电路、

第四滤波电路和第五滤波电路；

[0016] 所述第二滤波电路的一端与所述第一输出接口电连接，所述第二滤波电路的另一端与所述第一连接器电连接；

[0017] 所述第三滤波电路的一端与所述第二输出接口电连接，所述第三滤波电路的另一端与所述第二连接器电连接；

[0018] 所述第四滤波电路的一端与所述第二输入接口电连接，所述第四滤波电路的另一端与所述第一连接器电连接；

[0019] 所述第五滤波电路的一端与所述第三输入接口电连接，所述第五滤波电路的另一端与所述第二连接器电连接。

[0020] 在其中一种实施例中，所述时钟缓冲器芯片模块包括：时钟缓冲器芯片，所述时钟缓冲器芯片用于增强所述时钟信号的驱动能力；所述时钟缓冲器芯片包括：第四输入接口、第四输出接口和第五输出接口；

[0021] 所述第四输入接口与所述PCIE接口电连接；

[0022] 所述第四输出接口与所述第一连接器电连接；

[0023] 所述第五输出接口与所述第二连接器电连接。

[0024] 在其中一种实施例中，所述时钟缓冲器芯片模块还包括：第六滤波电路；

[0025] 所述第六滤波电路的第一端与所述时钟缓冲器芯片电连接，所述第六滤波电路的第二端为第二预设电压输入端。

[0026] 在其中一种实施例中，所述时钟缓冲器芯片模块还包括：第一匹配电阻电路、第二匹配电阻电路和第三匹配电阻电路；

[0027] 所述第一匹配电阻电路的一端与所述第四输入接口电连接，所述第一匹配电阻电路的另一端与所述PCIE接口电连接；

[0028] 所述第二匹配电阻电路的一端与所述第四输出接口电连接，所述第二匹配电阻电路的另一端与所述第一连接器电连接；

[0029] 所述第三匹配电阻电路的一端与所述第五输出接口电连接，所述第三匹配电阻电路的另一端与所述第二连接器电连接。

[0030] 在其中一种实施例中，所述PCIE扩展电路还包括：第一金手指接口和第二金手指接口；

[0031] 所述驱动芯片模块、所述第一金手指接口和所述PCIE接口依次电连接；

[0032] 所述时钟缓冲器芯片模块、所述第二金手指接口和所述PCIE接口依次电连接。

[0033] 在其中一种实施例中，所述第一连接器与第一外部设备卡电连接，所述第二连接器与第二外部设备卡电连接。

[0034] 在第二方面，本申请提供了一种PCIE扩展卡，所述PCIE扩展卡包括如上所述实施例中任意一种所述PCIE扩展电路，并且所述PCIE扩展卡为L形。

[0035] 采用本实用新型实施例，具有如下有益效果：

[0036] 采用本实用新型的一种PCIE扩展电路及扩展卡，通过在PCIE扩展电路中设置驱动芯片模块，实现了将输入到PCIE扩展电路中的PCIE控制信号分成两路PCIE控制信号并分别输出到第一连接器和第二连接器的目的，进而达到了对主板的PCIE接口发送到PCIE扩展电路中的PCIE控制信号进行扩展的效果；通过在PCIE扩展电路中设置时钟缓冲器芯片模块，

实现了将输入到PCIE扩展电路中的时钟信号分成两路时钟信号并分别输出到第一连接器和第二连接器的目的,进而达到了对主板的PCIE接口发送到PCIE扩展电路中的时钟信号进行扩展的效果。最终达到了对主板的PCIE接口进行扩展的效果。

附图说明

[0037] 为了更清楚地说明本实用新型实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0038] 其中:

[0039] 图1为本申请实施例中PCIE扩展电路的结构框图;

[0040] 图2为本申请实施例中PCIE扩展电路的另一结构框图;

[0041] 图3为本申请实施例中驱动芯片模块的电路图;

[0042] 图4为本申请实施例中时钟缓冲器芯片模块的电路图。

具体实施方式

[0043] 下面将结合本实用新型实施例中的附图,对本实用新型实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本实用新型一部分实施例,而不是全部的实施例。基于本实用新型中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本实用新型保护的范围。

[0044] 请参阅图1,为本申请实施例中PCIE扩展电路的结构框图,该PCIE扩展电路包括:驱动芯片模块101、时钟缓冲器芯片模块102、第一连接器103和第二连接器104;第一连接器103和第二连接器104均与驱动芯片模块101电连接;第一连接器103和第二连接器104均与时钟缓冲器芯片模块102电连接;其中,驱动芯片模块101还与主板105的PCIE接口106电连接,用于接收PCIE接口106传输的PCIE控制信号,将PCIE控制信号分成第一PCIE控制信号和第二PCIE控制信号,将第一PCIE控制信号发送给第一连接器103并将第二PCIE控制信号发送给第二连接器104;其中,时钟缓冲器芯片模块102还与PCIE接口106电连接,用于接收PCIE接口106传输的时钟信号,将时钟信号分成第一时钟信号和第二时钟信号,将第一时钟信号发送给第一连接器103并将第二时钟信号发送给第二连接器104。

[0045] 在本申请实施例中,PCIE是一种高速串行计算机扩展总线标准,它原来的名称为“3GIO”,是由英特尔在2001年提出的,旨在替代旧的PCI,PCI-X和AGP总线标准。PCIE属于高速串行点对点双通道高带宽传输,所连接的设备分配独享通道带宽,不共享总线带宽,主要支持主动电源管理,错误报告,端对端的可靠性传输,热插拔以及服务质量(QoS)等功能。PCIE接口有很多规格,具体包括:x1带宽模式、x4带宽模式、x8带宽模式以及x16带宽模式等,不同规格的PCIE接口的1到11对引脚都是一样的,剩下的引脚分别为PCIE控制信号线和时钟信号线,并且该PCIE控制信号和时钟信号均为高速差分信号。

[0046] 在一种可行的实现方式中,本申请中的主板105的PCIE接口106为x8带宽模式,驱动芯片模块101与PCIE接口106中的PCIE控制信号线电连接,用于接收PCIE接口106传输的x8带宽模式的PCIE控制信号,驱动芯片模块101在接收到x8带宽模式的PCIE控制信号之后,

通过驱动芯片模块101对PCIE控制信号输出接口的重新分配,会将接收到的x8带宽模式的PCIE控制信号分成两路PCIE控制信号,一路为第一PCIE控制信号,另一路为第二PCIE控制信号,而第一PCIE控制信号和第二PCIE控制信号均为x4带宽模式的PCIE控制信号,驱动芯片模块101会将第一PCIE控制信号对应的x4带宽模式的PCIE控制信号发送给第一连接器103,将第二PCIE控制信号对应的x4带宽模式的PCIE控制信号发送给第二连接器104。

[0047] 同时,时钟缓冲器芯片模块102与PCIE接口106中的时钟信号线电连接,用于接收PCIE接口106传输的时钟信号,时钟缓冲器芯片模块102接收到时钟信号之后,会对时钟信号进行扩展,将接收到的时钟信号扩展成两路时钟信号,一路为第一时钟信号,另一路为第二时钟信号,时钟缓冲器芯片模块102会将第一时钟信号发送给第一连接器103,将第二时钟信号发送给第二连接器104。

[0048] 可以理解的是,第一连接器103能够接收到x4带宽模式的PCIE控制信号和时钟信号,第二连接器104也能够接收到x4带宽模式的PCIE控制信号和时钟信号,因此第一连接器103和第二连接器104均相当于x4带宽模式的PCIE接口的功能。

[0049] 具体的,在本申请实施例中,第一连接器103为PCIE连接器或者欧式连接器,第二连接器104为miniPCIE连接器。

[0050] 需要说明的是,上述仅为本申请实施例中的一种可行的实现方式,对于主板105的PCIE接口106的带宽模式以及第一连接器103和第二连接器104的具体类型,此处不做限定。

[0051] 在本申请实施例中,通过在PCIE扩展电路中设置驱动芯片模块101,实现了将输入到PCIE扩展电路中的PCIE控制信号分成两路PCIE控制信号并分别输出到第一连接器103和第二连接器104的目的,进而达到了对主板105的PCIE接口106发送到PCIE扩展电路中的PCIE控制信号进行扩展的效果;通过在PCIE扩展电路中设置时钟缓冲器芯片模块102,实现了将输入到PCIE扩展电路中的时钟信号分成两路时钟信号并分别输出到第一连接器103和第二连接器104的目的,进而达到了对主板105的PCIE接口106发送到PCIE扩展电路中的时钟信号进行扩展的效果。最终达到了对主板105的PCIE接口106进行扩展的效果。

[0052] 请参阅图2,为本申请实施例中PCIE扩展电路的另一结构框图,该驱动芯片模块101包括:驱动芯片201,驱动芯片201用于增强PCIE控制信号的驱动能力;驱动芯片201包括第一输入接口202、第一输出接口203、第二输出接口204、第二输入接口205、第三输入接口206和第三输出接口207;第一输入接口202和第三输出接口207均与PCIE接口106电连接;第一输出接口203和第二输入接口205均与第一连接器103电连接;第二输出接口204和第三输入接口206均与第二连接器104电连接。

[0053] 具体的,请参阅图3,为本申请实施例中驱动芯片模块的电路图,驱动芯片201为驱动芯片U2,该驱动芯片U2采用的是型号为DS80PCI800SQF的TI (Texas Instruments) 驱动芯片,该驱动芯片能够增强PCIE控制信号的驱动能力。其中,第一输入接口202具体包括驱动芯片U2中的IB_0+接口、IB_0-接口、IB_1+接口、IB_1-接口、IB_2+接口、IB_2-接口、IB_3+接口和IB_3-接口,上述驱动芯片U2中的信号输入接口作为第一输入接口202与PCIE接口106中的PCIE控制信号线电连接,用于接收PCIE接口106发送的PCIE控制信号,驱动芯片U2对接收到的PCIE控制信号执行增强驱动能力的操作;第一输出接口203具体包括驱动芯片U2中的OB_0+接口、OB_0-接口、OB_1+接口和OB_1-接口,驱动芯片U2将增强后的PCIE接口106发送的PCIE控制信号分成两路PCIE控制信号,并将其中一路PCIE控制信号对应的第一PCIE控

制信号发送到上述驱动芯片U2中的信号输出接口,并将第一PCIE控制信号发送到与上述驱动芯片U2中的信号输出接口电连接的第一连接器103;第二输出接口204具体包括驱动芯片U2中的OB_2+接口、OB_2-接口、OB_3+接口和OB_3-接口,驱动芯片U2将另一路PCIE控制信号对应的第二PCIE控制信号发送到上述驱动芯片U2中的信号输出接口,并将第二PCIE控制信号发送到与上述驱动芯片U2中的信号输出接口电连接的第二连接器104。

[0054] 其中,具体的,第二输入接口205具体包括驱动芯片U2中的OA_0+接口、OA_0-接口、OA_1+接口和OA_1-接口,驱动芯片U2通过上述信号输入接口接收第一连接器103反馈的PCIE控制信号;第三输入接口206具体包括驱动芯片U2中的OA_2+接口、OA_2-接口、OA_3+接口和OA_3-接口,驱动芯片U2通过上述信号输入接口接收第二连接器104反馈的PCIE控制信号;第三输出接口207具体包括驱动芯片U2中的IA_0+接口、IA_0-接口、IA_1+接口、IA_1-接口、IA_2+接口、IA_2-接口、IA_3+接口和IA_3-接口,驱动芯片U2将通过第二输入接口205和第三输入接口206接收到的第一连接器103和第二连接器104反馈的PCIE控制信号执行增强驱动能力的操作后发送给第三输出接口207,进而第三输出接口207能够将第一连接器103和第二连接器104反馈的增强后的PCIE控制信号发送给与其电连接的PCIE接口106,达到了将第一连接器103和第二连接器104反馈的PCIE控制信号进行驱动能力增强并发送给主板105的效果。

[0055] 在本申请实施例中,通过在PCIE扩展电路中设置包括驱动芯片201的驱动芯片模块101,驱动芯片201实现了增强主板105的PCIE接口106发送的PCIE控制信号的驱动能力的目的,同时驱动芯片201还能够对接收到的主板105的PCIE接口106发送的PCIE控制信号进行扩展,实现了对主板105的PCIE接口106进行扩展的目的。并且驱动芯片201还实现了增强反馈给主板105的PCIE控制信号的驱动能力的目的,进而增强了主板105通过PCIE接口106进行通讯时PCIE控制信号的驱动能力。

[0056] 需要说明的是,上述实施例仅为一种驱动芯片201可行的实现方式,此处不做限定。

[0057] 请参阅图3,为本申请实施例中驱动芯片模块的电路图,驱动芯片模块101还包括:第一滤波电路301;第一滤波电路301的第一端与驱动芯片201电连接,第一滤波电路301的第二端为第一预设电压输入端P3V3。

[0058] 具体的,驱动芯片201为驱动芯片U2,第一滤波电路301包括:电容C34和电容C35,电容C34的一端同时与电容C35的一端和驱动芯片U2电连接,电容C34的一端还为第一预设电压输入端P3V3;电容C34的另一端与电容C35的另一端电连接并接地。

[0059] 在本申请实施例中,通过在驱动芯片201与第一预设电压输入端P3V3之间设置第一滤波电路301,实现了为驱动芯片201提供稳定的电源电压的目的。

[0060] 需要说明的是,上述实施例仅为第一滤波电路301中的电容的数量和连接方式的一种情况,此处不做限定,在实际应用中,包括其他数量的电容以及这些电容的连接方式的具有滤波功能的滤波电路也属于本申请的保护范围。

[0061] 请参阅图2,为本申请实施例中PCIE扩展电路的另一结构框图,该驱动芯片模块101还包括:第二滤波电路208、第三滤波电路209、第四滤波电路210和第五滤波电路211;第二滤波电路208的一端与第一输出接口203电连接,第二滤波电路208的另一端与第一连接器103电连接;第三滤波电路209的一端与第二输出接口204电连接,第三滤波电路209的另

一端与第二连接器104电连接;第四滤波电路210的一端与第二输入接口205电连接,第四滤波电路210的另一端与第一连接器103电连接;第五滤波电路211的一端与第三输入接口206电连接,第五滤波电路211的另一端与第二连接器104电连接。

[0062] 具体的,请参阅图3,为本申请实施例中驱动芯片模块的电路图,第二滤波电路208包括:电容C31、电容C30、电容C29和电容C28;电容C31的一端与0B_0+接口电连接,电容C31的另一端与第一连接器103电连接;电容C30的一端与0B_0-接口电连接,电容C30的另一端与第一连接器103电连接;电容C29的一端与0B_1+接口电连接,电容C29的另一端与第一连接器103电连接;电容C28的一端与0B_1-接口电连接,电容C28的另一端与第一连接器103电连接。

[0063] 具体的,请参阅图3,为本申请实施例中驱动芯片模块的电路图,第三滤波电路209包括:电容C27、电容C26、电容C25和电容C24;电容C27的一端与0B_2+接口电连接,电容C27的另一端与第二连接器104电连接;电容C26的一端与0B_2-接口电连接,电容C26的另一端与第二连接器104电连接;电容C25的一端与0B_3+接口电连接,电容C25的另一端与第二连接器104电连接;电容C24的一端与0B_3-接口电连接,电容C24的另一端与第二连接器104电连接。

[0064] 具体的,请参阅图3,为本申请实施例中驱动芯片模块的电路图,第四滤波电路210包括:电容C23、电容C22、电容C21和电容C20;电容C23的一端与0A_0+接口电连接,电容C23的另一端与第一连接器103电连接;电容C22的一端与0A_0-接口电连接,电容C22的另一端与第一连接器103电连接;电容C21的一端与0A_1+接口电连接,电容C21的另一端与第一连接器103电连接;电容C20的一端与0A_1-接口电连接,电容C20的另一端与第一连接器103电连接。

[0065] 具体的,请参阅图3,为本申请实施例中驱动芯片模块的电路图,第五滤波电路211包括:电容C19、电容C18、电容C17和电容C16;电容C19的一端与0A_2+接口电连接,电容C19的另一端与第二连接器104电连接;电容C18的一端与0A_2-接口电连接,电容C18的另一端与第二连接器104电连接;电容C17的一端与0A_3+接口电连接,电容C17的另一端与第二连接器104电连接;电容C16的一端与0A_3-接口电连接,电容C16的另一端与第二连接器104电连接。

[0066] 在本申请实施例中,通过在驱动芯片201的信号输入输出接口处设置第二滤波电路208、第三滤波电路209、第四滤波电路210和第五滤波电路211,达到了提高驱动芯片201输出到第一连接器103和第二连接器104的相应的PCIE控制信号的品质效果,同时也达到了提高驱动芯片201接收到的第一连接器103和第二连接器104反馈的相应的PCIE控制信号的品质效果。

[0067] 需要说明的是,上述实施例仅为第二滤波电路208、第三滤波电路209、第四滤波电路210和第五滤波电路211中的电容的数量和连接方式的一种情况,此处不做限定,在实际应用中,包括其他数量的电容以及这些电容的连接方式的具有滤波功能的滤波电路也属于本申请的保护范围。

[0068] 请参阅图2,为本申请实施例中PCIE扩展电路的另一结构框图,时钟缓冲器芯片模块102包括:时钟缓冲器芯片212,时钟缓冲器芯片212用于增强时钟信号的驱动能力;时钟缓冲器芯片212包括:第四输入接口213、第四输出接口214和第五输出接口215;第四输入接

口213与PCIE接口106电连接;第四输出接口214与第一连接器103电连接;第五输出接口215与第二连接器104电连接。

[0069] 具体的,请参阅图4,为本申请实施例中时钟缓冲器芯片模块的电路图,时钟缓冲器芯片212为时钟缓冲器芯片U1,该时钟缓冲器芯片U1采用的是型号为CY28400-2的时钟缓冲器芯片,该时钟缓冲器芯片能够增强时钟信号的驱动能力。其中,第四输入接口213具体包括时钟缓冲器芯片U1中的SRC_IN接口和SRC_IN#接口,上述时钟缓冲器芯片U1中的信号输入接口作为第四输入接口213与PCIE接口106中的时钟信号线电连接,用于接收PCIE接口106发送的时钟信号,时钟缓冲器芯片U1对接收到的时钟信号执行增强驱动能力的操作;第四输出接口214具体包括时钟缓冲器芯片U1中的DIFT1接口和DIFC1接口,时钟缓冲器芯片U1将增强后的PCIE接口106发送的时钟信号分成两路时钟信号,并将其中一路时钟信号对应的第一时钟信号发送到上述时钟缓冲器芯片U1中的信号输出接口,并将第一时钟信号发送到与上述时钟缓冲器芯片U1中的信号输出接口电连接的第一连接器103;第五输出接口215具体包括时钟缓冲器芯片U1中的DIFT2接口和DIFC2接口,时钟缓冲器芯片U1将另一路时钟信号对应的第二时钟信号发送到上述时钟缓冲器芯片U1中的信号输出接口,并将第二时钟信号发送到与上述时钟缓冲器芯片U1中的信号输出接口电连接的第二连接器104。

[0070] 在本申请实施例中,通过在PCIE扩展电路中设置包括时钟缓冲器芯片212的时钟缓冲器芯片模块102,时钟缓冲器芯片212实现了增强主板105的PCIE接口106发送的时钟信号的驱动能力的目的,同时时钟缓冲器芯片212还能够对接收到的主板105的PCIE接口106发送的时钟信号进行扩展,实现了对主板105的PCIE接口106进行扩展的目的。

[0071] 需要说明的是,上述实施例仅为一种时钟缓冲器芯片212可行的实现方式,此处不做限定。

[0072] 请参阅图4,为本申请实施例中时钟缓冲器芯片模块的电路图,时钟缓冲器芯片模块102还包括:第六滤波电路401;第六滤波电路401的第一端与时钟缓冲器芯片212电连接,第六滤波电路401的第二端为第二预设电压输入端VCC3_3。

[0073] 具体的,时钟缓冲器芯片212为时钟缓冲器芯片U1,第六滤波电路401包括:电容C22、电容C23、电容C24、电容C25、电容C26、电容C27和电阻R31;电容C22的一端同时与电容C23的一端、电容C24的一端、电容C25的一端、电阻R31的一端和时钟缓冲器芯片U1电连接;电容C22的一端还为第二预设电压输入端VCC3_3;电容C22的另一端同时与电容C23的另一端、电容C24的另一端和电容C25的另一端电连接并接地;电阻R31的另一端同时与电容C26的一端、电容C27的一端和时钟缓冲器芯片U1电连接;电容C26的另一端与电容C27的另一端电连接并接地。

[0074] 在本申请实施例中,通过在时钟缓冲器芯片212与第二预设电压输入端VCC3_3之间设置第六滤波电路401,实现了为时钟缓冲器芯片212提供稳定的电源电压的目的。

[0075] 需要说明的是,上述实施例仅为第六滤波电路401中的电阻和电容的数量以及连接方式的一种情况,此处不做限定,在实际应用中,包括其他数量的电阻和电容以及这些电阻和电容的连接方式的具有滤波功能的滤波电路也属于本申请的保护范围。

[0076] 请参阅图2,为本申请实施例中PCIE扩展电路的另一结构框图,时钟缓冲器芯片模块102还包括:第一匹配电阻电路216、第二匹配电阻电路217和第三匹配电阻电路218;第一匹配电阻电路216的一端与第四输入接口213电连接,第一匹配电阻电路216的另一端与

PCIE接口106电连接;第二匹配电阻电路217的一端与第四输出接口214电连接,第二匹配电阻电路217的另一端与第一连接器103电连接;第三匹配电阻电路218的一端与第五输出接口215电连接,第三匹配电阻电路218的另一端与第二连接器104电连接。

[0077] 具体的,请参阅图4,为本申请实施例中时钟缓冲器芯片模块的电路图,第一匹配电阻电路216包括:电阻R42和电阻R43;电阻R42的一端与SRC_IN接口电连接,电阻R42的另一端与PCIE接口106的时钟信号线电连接;电阻R43的一端与SRC_IN#接口电连接,电阻R43的另一端与PCIE接口106的时钟信号线电连接。

[0078] 具体的,请参阅图4,为本申请实施例中时钟缓冲器芯片模块的电路图,第二匹配电阻电路217包括:电阻R32、电阻R33、电阻R34、电阻R35、电阻R36和电阻R37;电阻R32的一端与DIFT1接口电连接,电阻R32的另一端同时与电阻R36的一端和电阻R33的一端电连接;电阻R33的另一端与第一连接器103电连接;电阻R36的另一端与电阻R37的一端电连接并接地;电阻R37的另一端同时与电阻R34的一端和电阻R35的一端电连接;电阻R34的另一端与DIFC1接口电连接;电阻R35的另一端与第一连接器103电连接。

[0079] 具体的,请参阅图4,为本申请实施例中时钟缓冲器芯片模块的电路图,第三匹配电阻电路218包括:电阻R38、电阻R39、电阻R40、电阻R41、电阻R45和电阻R46;电阻R38的一端与DIFT2接口电连接,电阻R38的另一端同时与电阻R40的一端和电阻R39的一端电连接;电阻R39的另一端与第二连接器104电连接;电阻R40的另一端与电阻R41的一端电连接并接地;电阻R41的另一端同时与电阻R45的一端和电阻R46的一端电连接;电阻R45的另一端与DIFC2接口电连接;电阻R46的另一端与第二连接器104电连接。

[0080] 在本申请实施例中,通过在时钟缓冲器芯片模块102的信号输入输出接口处设置第一匹配电阻电路216、第二匹配电阻电路217和第三匹配电阻电路218,达到了提高时钟缓冲器芯片模块102输出到第一连接器103和第二连接器104的相应的时钟信号的品质的效果。

[0081] 需要说明的是,上述实施例仅为第一匹配电阻电路216、第二匹配电阻电路217和第三匹配电阻电路218中的电阻的数量和连接方式的一种情况,此处不做限定,在实际应用中,包括其他数量的电阻以及这些电阻的连接方式的匹配电阻电路也属于本申请的保护范围。

[0082] 请参阅图2,为本申请实施例中PCIE扩展电路的另一结构框图,PCIE扩展电路还包括:第一金手指接口219和第二金手指接口220;驱动芯片模块101、第一金手指接口219和PCIE接口106依次电连接;时钟缓冲器芯片模块102、第二金手指接口220和PCIE接口106依次电连接。

[0083] 在一种可行的实现方式中,第一连接器103与第一外部设备卡221电连接,第二连接器104与第二外部设备卡222电连接。

[0084] 上述实施例仅为一种可行的实现方式,不对PCIE扩展电路能够连接的外部设备卡的数量做限定。

[0085] 在一种可行的实现方式中,本申请还提供了一种PCIE扩展卡,该PCIE扩展卡包括如图1至4中任意一种PCIE扩展电路,并且该PCIE扩展卡为L形。

[0086] 在本申请实施例中,通过将具有PCIE扩展电路的PCIE扩展卡做成L形,使得PCIE扩展卡在实现对主板105的PCIE接口106进行扩展以及增强PCIE控制信号和时钟信号的驱动

能力的同时,还通过特有的L形使得该PCIE扩展卡在整机方案中进行使用时安装和拆除更加方便。

[0087] 上述实施例仅为一种可行的实现方式,在实际应用中,还可以根据整机方案的具体情况将PCIE扩展卡制作成其他形状,此处不做限定。

[0088] 以上实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0089] 以上所述实施例仅表达了本申请的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对本申请专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本申请构思的前提下,还可以做出若干变形和改进,这些都属于本申请的保护范围。因此,本申请专利的保护范围应以所附权利要求为准。

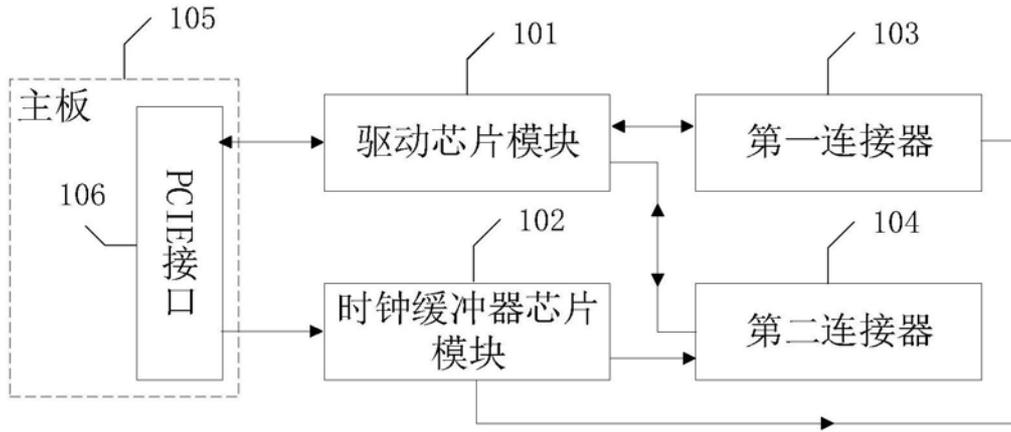


图1

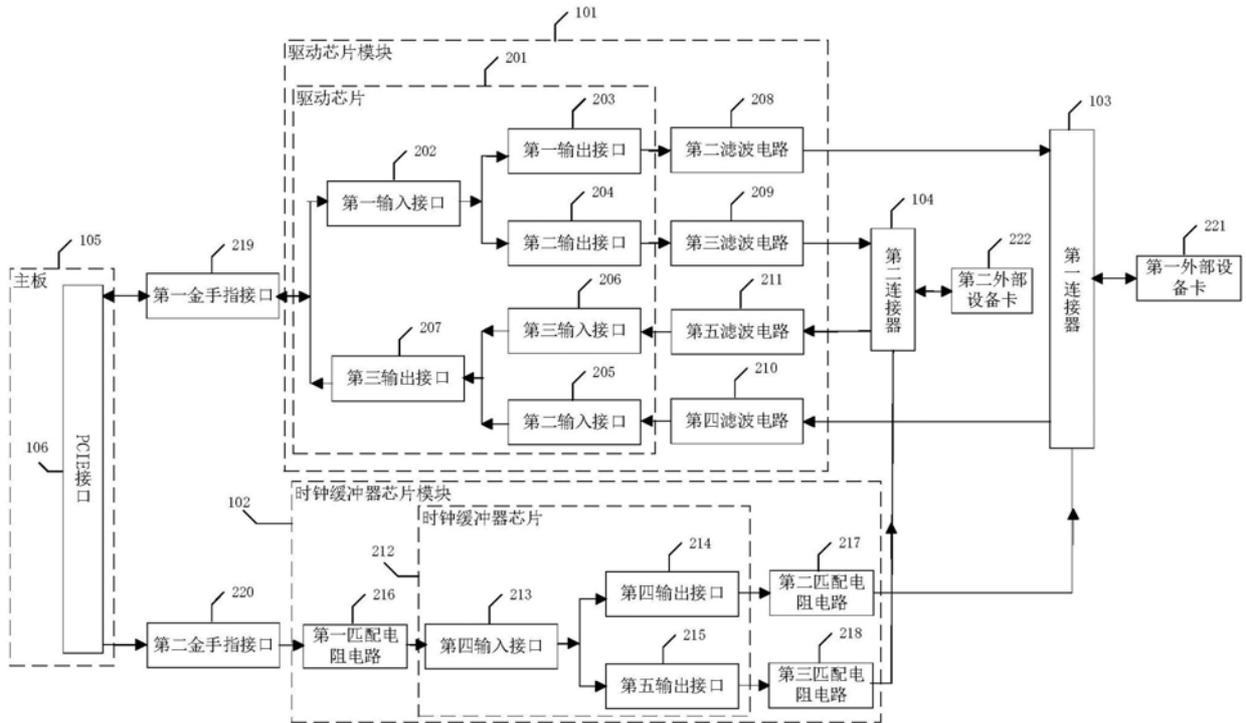


图2

