



# PATENTSCHRIFT 148 268

Patentbibliothek  
des AfEP

Wirtschaftspatent

Erteilt gemäß § 5 Absatz 1 des Änderungsgesetzes zum Patentgesetz

In der vom Anmelder eingereichten Fassung veröffentlicht

(11) 148 268 (44) 13.05.81 Int. Cl.<sup>3</sup> 3(51) G 06 F 11/22  
(21) WP G 06 F / 218 042 (22) 21.12.79

---

(71) siehe (72)

(72) Haupt, Wolf-Dieter, Dipl.-Ing.; Schulze, Wolfgang,  
Dipl.-Math., DD

(73) siehe (72)

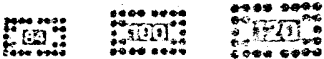
(74) Dipl.-Jur. Eberhard Böhme, VEB Robotron ZFT, FG Geräte,  
9010 Karl-Marx-Stadt, Ernst-Thälmann-Straße 7

---

(54) Schaltungsanordnung zur blockweisen Prüfung von  
Hauptspeichern

---

(57) Anwendung: Aus Blöcken bestehende Hauptspeicher (Halbleiter-  
speicher) in Datenverarbeitungsanlagen, wobei die  
Blöcke mit Festbereichen belegt sind. Ziel: Prüfbarkeit in vollem  
Umfang ohne Prüfgeräte. Aufgabe: Schaffung einer Schaltungsanordnung,  
die die *programmtechnische Prüfung ohne Zerstörung der Festbereiche*  
ermöglicht. Lösung: Einteilung des Speichers in zwei Gruppen von  
Blöcken, wobei dem „Gruppen“-Adreßbit des Adressenregisters eine  
Inverterschaltung nachgeschaltet ist, die vom Diagnosesystem  
gesteuert wird. - Figur -



218042

Titel der Erfindung

Schaltungsanordnung zur blockweisen Prüfung von Hauptspeichern

Anwendungsgebiet der Erfindung

Die Erfindung betrifft Datenverarbeitungsanlagen mit Haupt- oder Operativspeichern, die physisch aus mehreren Blöcken oder Modulen bestehen und bei denen bestimmte feste Adreßbereiche systembedingt mit Daten bzw. Steuerworten belegt sind (in der Folge Festbereiche genannt) und damit für eine programmtechnische Prüfung nicht zur Verfügung stehen.

Charakteristik der bekannten technischen Lösungen

Zur Prüfung von Speichern werden zwei sich grundsätzlich unterscheidende Typen von Algorithmen benutzt. Der erste Typ führt Funktionsprüfungen durch, d. h., es werden Belastungen nachgebildet, wie sie bei der Zusammenarbeit mit der Zentraleinheit auftreten. Diese Prüfungen lassen sich relativ leicht durch einfache Prüfgeräte oder verhältnismäßig einfache Testmikroprogramme nachbilden.

Besonders bei Halbleiterspeichern sind Prüfungen notwendig, die die innere Struktur des Speicherelementes berücksichtigen, da es sich hierbei um Speicherschaltkreise mit sehr hohem Integrationsgrad handelt. Diese Prüfungen erfolgen blockweise und sind daher nur sinnvoll, wenn der gesamte Block für die Prüfung zur Verfügung steht. Die Algorithmen dieser Prüfungen sind kompliziert. Daher sind umfangreiche Prüfgeräte erforderlich. Eine reine mikroprogrammtechnische Prüfung scheidet wegen des hohen Organisationsaufwandes im Mikroprogramm und auch wegen des hohen Mikroprogramm Speicherbedarfes in der gegenwärtigen Phase der technischen Entwicklung aus. Bei einer programmtechnischen oder einer gemischt programm- und mikroprogrammtechnischen Lösung sind die mit Festbereichen belegten Speicherblöcke nicht prüfbar, da diese Bereiche durch Prüf-

programme nicht verändert werden dürfen.

#### Ziel der Erfindung

Das Ziel der Erfindung ist, die Prüfbarkeit aller Blöcke des Speichers in vollem Umfang zu ermöglichen, ohne dafür Prüfgeräte zu benötigen, und den sonst für die strukturorientierte Prüfung erheblichen Mikroprogrammaufwand für Organisation im Test zu sparen.

#### Das Wesen der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zu schaffen, die die programmtechnische Prüfbarkeit des Speichers in vollem Umfang ermöglicht.

Erfindungsgemäß wird die Aufgabe so gelöst, daß alle Blöcke des Speichers in zwei Blockgruppen eingeteilt sind, daß die beiden Blockgruppen einer Stelle des Adreßregisters zugeordnet sind und daß dieser Stelle eine Invertierschaltung nachgeschaltet ist, die mit einem Steuertrigger verbunden ist, der an das Diagnosesystem angeschlossen ist.

#### Ausführungsbeispiel

Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels erläutert. Die zugehörige Zeichnung stellt das Blockschaltbild eines Hauptspeichers mit der erfindungsgemäßen Einrichtung zur Vertauschung von Speicherbereichen dar. Der Hauptspeicher besteht aus vier Speicherblöcken 1; 2; 3; 4, einem Datenregister 5, einem Adreßregister mit den Teilen 6; 7; 8, einem Steuertrigger 9 und der Invertierschaltung 10 zur Umkehrung der Wertigkeit des Adreßbits im Adreßregisterteil 7. Über das Datenregister 5 und die Adreßregisterteile 6; 7; 8 wird die Verbindung zur Zentraleinheit des Rechners hergestellt. Der Steuertrigger 9 wird von der Diagnoseeinrichtung des Rechners gestellt.

Im Beispiel sind vier Blöcke angegeben. Es sind jedoch auch andere Blockzahlen möglich, jedoch müssen mindestens zwei Blöcke vorhanden sein. Ein Block ist gemäß dieser Erfindung ein Bereich des Speichers, dessen Prüfung geschlossen erfolgen

muß, d. h., die vorgegebenen Prüfalgorithmen fordern, daß jeweils der gesamte Block für die Prüfung zur Verfügung steht. Die Größe des Blocks wird durch die Größe der verwendeten Speicherschaltkreise bestimmt. Da in der Regel bei einem Speicheraufruf mehr als ein Bit aktiviert wird, d. h., die Aufrufbreite z. B. ein Doppelwort betragen kann, gehören alle Speicherschaltkreise, die bei einem Speicheraufruf aktiviert und ausgelesen bzw. beschrieben werden, zu einem Block. Dem Block wird die Adreßinformation zugeführt, die er für die Auswahl der gewünschten Information aus seinen Speicherschaltkreisen benötigt. Außerdem wird ihm auch die übrige Adreßinformation zugeführt, aus der er bei einem Start über Leitung 18 entschlüsselt, ob dieser Start für ihn oder einen anderen Block gilt.

Besteht der Speicher aus mehr als zwei Blöcken, werden diese in zwei gleichgroße Blockgruppen (Blockgruppe 1: Block 1 und 2; Blockgruppe 2: Block 3 und 4) eingeteilt. Die Auswahl der Blockgruppe bzw. des Blockes bei nur zwei Blöcken erfolgt in Abhängigkeit von der Wertigkeit eines Bits der Adreßinformation auf der Leitung 14.

Die einzelnen Bits der dem Speicher von dem Rechner angebotenen Adresse haben eine unterschiedliche Bedeutung. Die niedrigwertigsten Bits aus dem Adreßregisterteil 6 werden den Speicherschaltkreisen über die Leitungen 11; 12; 13 direkt zugeführt. Die Anzahl dieser Adressenleitungen hängt damit vom Speichervolumen des verwendeten Speicherschaltkreises ab. Ihre Anzahl entspricht genau der dem Speicherschaltkreis zugeführten Adreßinformation.

Eine weitere Ein-Bit-Adreßinformation (im Adreßregisterteil 7 gespeichert) wird durch die Invertierschaltung 10 geführt und über die Leitung 14 an alle Blöcke angelegt. Ein Steuersignal auf der Leitung 16 steuert in Abhängigkeit von der Stellung des Steuertriggers 9, ob die Invertierschaltung die Adreßinformation mit der ihr über die Leitung 15 angebotenen Wertigkeit oder invertiert weitergibt.

Hat das Signal auf der Leitung 14 das Potential 'L', so wird die Blockgruppe, bestehend aus den Blöcken 1 und 2 ausgewählt. Ein Potential 'H' auf der Leitung 14 wählt die Blockgruppe mit den Blöcken 3 und 4 aus.

Es ergibt sich also folgender Zusammenhang (Potential Leitung 16 = 'L' - keine Invertierung; 'H' - Invertierung):

Leitung 16	Leitung 15	Leitung 14	Ausgewählte Blöcke
L	L	L	1 und 2
L	H	H	3 und 4
H	L	H	3 und 4
H	H	L	1 und 2

Daran wird erkennbar, daß ein Wechsel des Potentials auf der Leitung 16 zu einer Vertauschung der Adressen der Blockgruppen dient.

Eine beliebig große Anzahl weiterer Adreßsignale, die im Adreßregisterteil 8 gespeichert und über die Leitung(en) 17 zu den Blöcken geführt werden, dienen zur Auswahl des Blockes aus der Blockgruppe.

Die Prüfung wird folgendermaßen durchgeführt:

Die Information auf der Leitung 16 sei 'L', der Steuertrigger 9 ist ausgeschaltet. Jetzt wird ein Prüfprogramm in die Blöcke 1 und 2 geladen. Das bedeutet, daß während der Ladung des Programms die Adreßinformation auf der Leitung 15 und damit auch auf der Leitung 14 immer 'L' bleiben muß. Auch die Festwertbereiche befinden sich in den Blöcken 1 und 2.

Jetzt kann das Prüfprogramm gestartet werden. Es prüft nacheinander die Blöcke 3 und 4.

Ist die Prüfung erfolgreich abgeschlossen, wird der Inhalt der Blöcke 1 und 2 in die Blöcke 3 und 4 transportiert, und zwar so, daß sich seine Adressen nur in der Wertigkeit der Adressenleitung 14 unterscheiden.

Jetzt wird die Abarbeitung des Programmes unterbrochen und der Steuertrigger 9 und damit die Invertierschaltung 10 für die Adressenleitung 15 aktiviert. Da jetzt die Blöcke 3 und 4 ange-

sprochen werden, wenn die Adressenleitung 15 den Pegel 'L' führt, wird der als nächster aufgerufene Befehl aus den Blöcken 3 oder 4 gelesen. Das gilt auch für Zugriffe zu den Festwertbereichen. Demnach können jetzt mit den Prüfprogrammen, die in den Blöcken 3 und 4 stehen, die Blöcke 1 und 2 geprüft werden.

Am Schluß kann noch ein Rückladen des Programms und das Herstellen des Ausgangszustandes (Steuertrigger 9 = 'L') erfolgen. Die Forderung, daß sich alle Festbereiche in einer Blockgruppe befinden, kann entfallen, wenn die Zuordnung der Blöcke zu den Blockgruppen so erfolgt, daß bei der Transformation des mit Festbereichen belegten Blockes in die andere Blockgruppe nicht wieder auf einem mit Festbereichen belegten Block getroffen wird. Natürlich steigt bei einer solchen Lösung der Programmieraufwand.

Erfindungsanspruch

Schaltungsanordnung zur blockweisen Prüfung von zum Teil mit Festbereichen belegten Hauptspeichern einer Datenverarbeitungsanlage mit einem Diagnosesystem, dadurch gekennzeichnet, daß die Blöcke (1; 2; 3; 4) des Speichers in zwei Blockgruppen eingeteilt sind, daß die beiden Blockgruppen einer Stelle (7) des Adreßregisters (6; 7; 8) zugeordnet sind und daß dieser Stelle eine Invertierschaltung (10) nachgeschaltet ist, die mit einem Steuertrigger (9) verbunden ist, der an das Diagnosesystem angeschlossen ist.

Hierzu / Seite . Zeichnung . .

