



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4053434/24-24
(22) 10.04.86
(46) 07.09.87. Бюл. № 33
(72) В.Я. Нечаев, О.Н. Гаврилов
и Р.К. Хахимов
(53) 681.398(088.8)
(56) Тутевич В.Н. Телемеханика-М.:
Высшая школа, 1985, с. 229, рис. 9,
11.

Авторское свидетельство СССР
№ 857973, кл. G 06 F 5/04, 1979.

(54) ПРЕОБРАЗОВАТЕЛЬ ПАРАЛЛЕЛЬНОГО
ДВОИЧНОГО КОДА В ПОСЛЕДОВАТЕЛЬНЫЙ
КВАЗИТРОИЧНЫЙ КОД

(57) Изобретение относится к автома-
тике, вычислительной технике и может
использоваться в автономных системах
преобразования и кодирования информа-
ции. Целью изобретения является повы-
шение быстродействия устройства. Уст-
ройство преобразует параллельный дво-
ичный код единичного веса в последо-
вательный троичный код. Устройство
содержит элемент ИЛИ 1, формирователь
2 импульсов, элемент И 3, регистр 4 и
селекторные каналы 5, 6, каждый из ко-
торых выполнен на распределителе 7
импульсов, элементах И 8, 10 и эле-
менте ИЛИ 9, 2 ил.

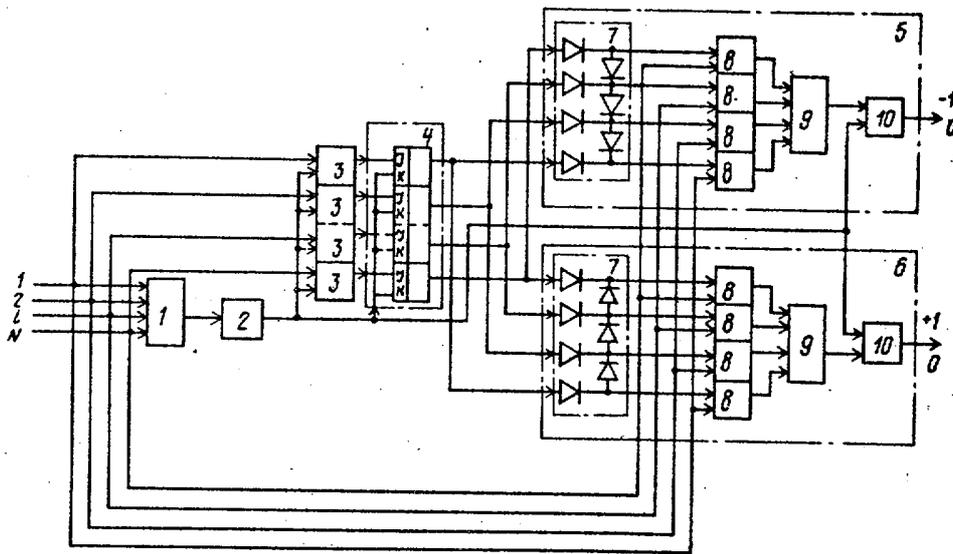


Fig. 1

Изобретение относится к автоматике, вычислительной технике и может использоваться в автономных системах преобразования и кодирования информации.

Целью изобретения является повышение быстродействия преобразователя.

На фиг. 1 показана функциональная схема преобразователя; на фиг. 2 - временные диаграммы, поясняющие его работу.

Преобразователь содержит элемент ИЛИ 1, формирователь 2 импульсов, элементы И 3, регистр 4 и первый, второй селекторные каналы 5 и 6, каждый из которых выполнен на распределителе 7 импульсов, элементах И 8, объединенных в группу, элементе ИЛИ 9 и элементе И 10.

Преобразователь работает следующим образом.

На входы преобразователя на каждом такте преобразования поступает N -значный параллельный двоичный код единичного веса.

Если сопоставить входной сигнал и его производную (соответственно эпюры 1 и 4 на фиг. 2), то участкам спадов аб, гд, жз будут соответствовать участки отрицательной полярности производной, участкам подъемов вг, еж - участки положительной полярности, а горизонтальным участкам - участки нулевого уровня на эпюре 4. Таким образом, знаковая функция производной входного сигнала представляет собой трехуровневую функцию, дискретизация которой тактовыми импульсами 1 - 29 на эпюре 1 приводит к последовательному троичному коду. Так как ЭВМ строят из двоичных элементов, то преобразователь должен содержать 2 канала: канал для селектирования символов "+1" и "0" (эпюра 3) и канал для символов "-1" и "0" (эпюра 2). Нетрудно видеть, что информация об индивидуальных особенностях входного сигнала сохраняется, поскольку суммирование символов на эпюрах 2 и 3 приводит к эпюре 4.

Структура преобразователя при сопряжении его с многоканальным выходом существенно упрощается, так как формирование трехуровневой знаковой функции производной входного сигнала осуществляется без предварительного дифференцирования и клиппирования сигнала. Чтобы в этом убедиться, дос-

таточно рассмотреть характер преобразований на одном из участков входного сигнала, например, на участке подъема.

В этом случае с каждым последующим тактом измерений амплитуда, т.е. номер входа преобразователя, в котором появляется импульс, растет. Например, при зондировании участка α_1 (эпюра 1) на тактах 9 - 16 номера уровней растут от 0 до $(i-2)$ и т.д. Поэтому достаточно отселектировать последовательность выходных импульсов на участках подъемов в один канал, а на участках спадов - в другой канал.

Суть преобразований, включающих дифференцирование, клиппирование, дискретизацию, заключается в следующем.

Пусть в первом такте измеренное значение входного сигнала соответствует i -му уровню. В этом случае на i -м входе появится импульс напряжения, который поступит одновременно через открытые элементы И 3 на i -вход i -го триггера регистра 4 и на вторые входы i -х элементов И. На первые входы последних в этом такте ничего не поступает, поэтому напряжение на выходах элементов И равно 0. Оно возникает только в последующих тактах, когда одновременно с появлением импульса на одном из информационных входов появится задержанный импульс на выходе триггера T_i регистра 4 и через диодные цепи распределителя 7 поступит на первые входы соответствующих элементов И 8.

Согласно эпюрам 1 и 2 во втором такте появится импульс на $(i-2)$ входе. В это же время появится импульс на выходе триггера T_i регистра 4, так как на его K -вход поступит тот же импульс через элемент ИЛИ 1, формирователь 2 и вернет триггер T_i регистра 4 в исходное состояние. Выходное напряжение этого триггера через диодные распределители 7 откроет по первым входам элементы И 8 с номерами ниже i -го в первом канале 5 и с номерами выше i -го во втором канале 6. Следовательно, выходной импульс появится в канале 5, который селектирует участки спадов функции.

Выходные импульсы в канале 5 будут появляться не только до момента окончания участка спада α_6 , но и в

течение всего горизонтального участка бв. Это обусловлено тем, что, если в соседних тактах измерен один и тот же уровень входного сигнала, то выходное напряжение появится в обоих каналах 5 и 6, как, например, на тактах 7 - 11 и 19 - 21 (эпюры 2 и 3). Соседние импульсы на выходе каждого канала 5 и 6 сливаются в единый импульс, образуя временные ворота для прохождения тактовых импульсов с выхода формирователя 2 через элементы И 10.

Таким образом, в соответствии с законом чередования подъемов, спадов и горизонтальных участков параллельный двоичный код, поступающий на входы 1 - N, будет преобразовываться в последовательный троичный код на выходах каналов 5 преобразователя. На эпюре 4 представлена суммарная информация об исходной функции в троичном коде. Символы "-1" появляются на участках спадов, символы "0" - на горизонтальных участках, а символы "+1" - на участках подъемов.

Повышение технико-экономической эффективности предлагаемого преобразователя по сравнению с известным обусловлено двумя факторами: сокращением объема аппаратуры благодаря совмещению ряда функций в одном преобразователе и сохранению качественных характеристик функционирования вне зависимости от наличия постоянной составляющей и величины ее случайного разброса в кодируемом сообщении.

Ф о р м у л а и з о б р е т е н и я

Преобразователь параллельного двоичного кода в последовательный квазитроичный код, содержащий элемент ИЛИ, элементы И и регистр, отличающийся тем, что, с целью повышения быстродействия преобразователя, в него введены формирователь импульсов и первый, второй селекторные каналы, каждый из которых выполнен на распределителе импульсов, группе элементов И, элементе ИЛИ и элементе И, выходы распределителя импульсов соединены с первыми входами соответствующих элементов И группы, выходы которых соединены с соответствующими входами элемента ИЛИ, выход которого соединен с первым входом элемента И, входы элемента ИЛИ объединены с первыми входами одноименных элементов И, вторыми входами одноименных элементов И групп селекторных каналов и являются входами преобразователя, выход элемента ИЛИ соединен через формирователь импульсов с вторыми входами элементов И, управляющим входом регистра и вторыми входами элементов И селекторных каналов, выходы элементов И соединены с соответствующими информационными входами регистра, выходы регистра соединены с соответствующими входами распределителей импульсов селекторных каналов, выходы элементов И селекторных каналов являются выходами преобразователя.

