

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 7 月 2 日(02.07.2015)



(10) 国際公開番号

WO 2015/098041 A1

- (51) 国際特許分類:
H03K 19/0185 (2006.01)
- (21) 国際出願番号: PCT/JP2014/006271
- (22) 国際出願日: 2014 年 12 月 16 日(16.12.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-267931 2013 年 12 月 25 日(25.12.2013) JP
- (71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 10 番 23 Kanagawa (JP).
- (72) 発明者: 渡辺 誠司(WATANABE, Seiji).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

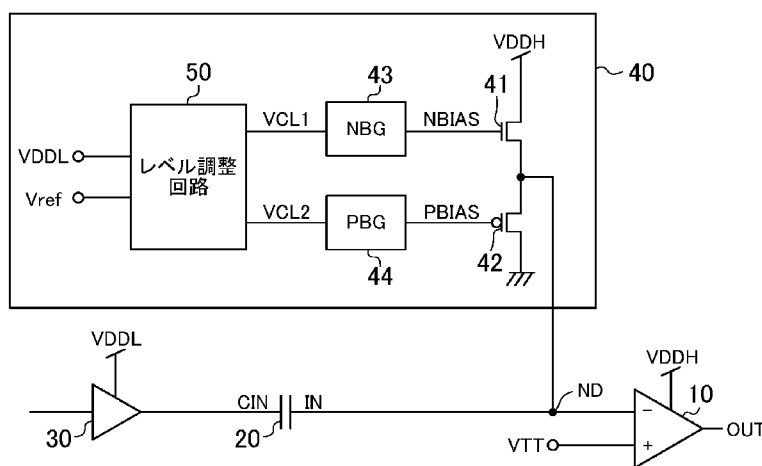
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SIGNAL POTENTIAL CONVERSION CIRCUIT

(54) 発明の名称: 信号電位変換回路



50 Level adjustment circuit

(57) Abstract: Disclosed is a signal potential conversion circuit, wherein a capacitor (20) has one end applied with input signals (CIN), and the other end connected to a terminal node (ND). A clamp circuit (40) specifies a potential (signal (IN)) of the terminal node (ND) within a range of a potential (VCL1) to a potential (VCL2). The clamp circuit (40) is provided with a level adjustment circuit (50) that adjusts the potential (VCL1) and/or the potential (VCL2) corresponding to a power supply potential (VDDL) of a circuit (30) that drives the input signals (CIN).

(57) 要約: 信号電位変換回路において、コンデンサ(20)は入力信号(CIN)が一端に与えられ、他端が終端ノード(ND)と接続されている。クランプ回路(40)は終端ノード(ND)の電位(信号IN)を、電位VCL1からVCL2までの範囲に規定する。クランプ回路(40)は、電位VCL1、VCL2のうち少なくともいずれか一方を、入力信号(CIN)を駆動する回路(30)の電源電位VDDLに応じて調整するレベル調整回路(50)を備えている。

明 細 書

発明の名称： 信号電位変換回路

技術分野

[0001] 本開示は、異電位信号の受け渡しのために、入力信号の電位を変換する信号電位変換回路に関する。

背景技術

[0002] 最近のトランジスタは、微細化に伴い、動作電圧の低電圧化が進んでいる。一方、外部インターフェースに関しては電圧規格が決まっており、集積回路は、旧来のデバイスとも接続できるように、例えば5 Vや3.3 Vで動作させなければならない。このため、微細トランジスタで駆動される信号と例えば5 Vや3.3 Vで駆動される信号とのやりとりのために、レベルシフト回路（信号電位変換回路）が用いられる。特に、高速信号の伝達のためには、コンデンサを用いたAC結合回路が有効である。

[0003] 特許文献1には、信号電位変換回路について、変換後の信号にジッタが発生しないように、終端ノードの電位の変動を抑制する構成が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2012/157031号

発明の概要

発明が解決しようとする課題

[0005] 特許文献1の構成では、AC結合後の終端ノードにおける信号に対して、上限電位と下限電位を設定し、クランプをかけている。このような構成では、クランプ電位差と信号の振幅とが一致しない場合には、変換後の信号にジッタが発生しやすくなる。

[0006] 例えば、図6（a）に示すように、信号振幅がクランプ電位差（ $V_{CLT} - V_{CLB}$ ）に比べて小さい場合は、信号レベルが安定しない。また、図6

(b) に示すように、信号振幅がクランプ電位差 ($V_{CLT} - V_{CLB}$) よりも大きい場合は、信号波形に歪みが生じる。いずれの場合も、変換後の信号にジッタが生じる原因になる。

[0007] このような課題を解決するためには、クランプ電位差を信号振幅に合わせればよい。ただし、信号振幅は、入力信号を生成する回路部分の電源電圧の影響を受ける。このため、入力側の電源電圧に応じて、クランプ電位を動的に調整する構成が必要になる。

[0008] 本開示は、入力側の電源電圧に応じてクランプ電位を動的に調整可能な構成を有する信号電位変換回路を提供する。

課題を解決するための手段

[0009] 本開示の一態様では、信号電位変換回路は、入力信号が一端に与えられ、他端が終端ノードと接続されたコンデンサと、終端ノードの電位を受けるクランプ回路とを備え、クランプ回路は、第1の電源と終端ノードとの間に設けられた第1の接続素子と、終端ノードと、電源電圧が第1の電源よりも低い第2の電源との間に設けられた第2の接続素子とを備え、第1の接続素子は、終端ノードの電位が、第2の電源の電源電圧よりも高い第1の電位よりも低くなったとき、インピーダンスが低下するものであり、第2の接続素子は、終端ノードの電位が、第1の電源の電源電圧よりも低く、かつ、第1の電位よりも高い第2の電位よりも高くなったとき、インピーダンスが低下するものであり、クランプ回路は、第1の電位および前記第2の電位のうち少なくともいずれか一方を、入力信号を駆動する回路の電源電圧に応じて、調整するレベル調整回路を備えている。

[0010] この態様によると、クランプ回路によって、終端ノードの電位が第1の電位から第2の電位までの範囲に規定される。また、第1の電位および第2の電位のうち少なくともいずれか一方は、レベル調整回路によって、入力信号を駆動する回路の電源電圧に応じて調整される。このため、入力信号を駆動する回路の電源電圧が変動し、入力信号の振幅が変動した場合であっても、これに応じてクランプ電位を動的に調整することができる。したがって、変

換後の信号にジッタが発生することを抑制することができる。

発明の効果

[0011] 本開示によると、入力側の電源電圧に応じてクランプ電位を動的に調整可能な構成を有する信号電位変換回路を提供することができる。

図面の簡単な説明

[0012] [図1]実施形態1に係る信号電位変換回路の構成を示す図である。

[図2]図1におけるクランプ回路の構成例である。

[図3]実施形態における、入力側の電源電圧の変化に伴うクランプ電位の変化を表すグラフである。

[図4]図2における電流および参照電圧を生成する構成の例である。

[図5]実施形態2に係る信号電位変換回路の構成を示す図である。

[図6] (a), (b) は課題を説明するための信号波形図である。

発明を実施するための形態

[0013] 以下の実施形態では、特に問題のない限りにおいて、電源とその電源電圧について同一の符号を用いて説明を行っている。

[0014] (実施形態1)

図1は実施形態1に係る信号電位変換回路とその前後の回路構成を示す図である。図1に示す信号電位変換回路はAC結合を利用したものである。図1において、10は終端ノードNDの信号INを受信し、出力信号OUTを生成する受信回路、20は入力信号CINが一端に与えられるとともに他端が終端ノードNDと接続されたコンデンサ、30は入力信号CINを駆動する信号駆動回路、40は終端ノードNDの電位(信号IN)を受けるクランプ回路である。コンデンサ20およびクランプ回路40によって、本実施形態に係る信号電位変換回路が構成されている。

[0015] 信号駆動回路30は、電源電圧VDDLが印加されており、振幅がVDDLである信号CINを出力する。受信回路10は、電源電圧VDDHが印加されており、基準電位VTTに対する信号INの電位を増幅して、振幅がVDDHの出力信号OUTを生成する。受信回路10が適正に動作するために

は、信号 I N が基準電位 V T T を中心にして振幅している必要がある。

[0016] クランプ回路 40 は、信号 I N が基準電位 V T T を中心にして振幅する信号になるように、信号電位の変更を行う機能を有する。すなわち、クランプ回路 40 は、信号 I N が第 1 の電位としてのクランプ電位 V C L 1 を下回ったときは信号 I N の電位を上げ、信号 I N が第 2 の電位としてのクランプ電位 V C L 2 を上回ったときは信号 I N の電位を下げる（ただし、接地電位 $< V C L 1 < V C L 2 < V D D H$ ）。これにより、信号 I N を電位 V C L 1 から電位 V C L 2 の範囲で確実に遷移させることができる。このため、入力信号 C I N を、そのデータ幅を変化させることなく、確実にレベル変換することが可能となる。

[0017] クランプ回路 40 は具体的には、ドレインが第 1 の電源としての電源 V D D H に接続されるとともに、ソースが終端ノード N D に接続された N M O S トランジスタ 41 と、ドレインが第 2 の電源としての接地電源に接続されるとともに、ソースが終端ノード N D に接続された P M O S トランジスタ 42 とを備えている。すなわち、第 1 の接続素子としての N M O S トランジスタ 41、および第 2 の接続素子としての P M O S トランジスタ 42 がそれぞれ、受信回路 10 の入力ノードを終端している。

[0018] また、クランプ回路 40 は、N M O S トランジスタ 41 のゲート電位 N B I A S を生成する制御電位発生回路 43（図では N B G と表記）と、P M O S トランジスタ 42 のゲート電位 P B I A S を生成する制御電位発生回路 44（図では P B G と表記）と、電位 V C L 1、V C L 2 のレベルを調整するレベル調整回路 50 とを備えている。制御電位発生回路 43 はレベル調整回路 50 から出力された電位 V C L 1 を受け、終端ノード N D の電位が電位 V C L 1 よりも低くなったときに N M O S トランジスタ 41 が導通するように、ゲート電位 N B I A S を制御する。制御電位発生回路 44 はレベル調整回路 50 から出力された電位 V C L 2 を受け、終端ノード N D の電位が電位 V C L 2 よりも高くなったときに P M O S トランジスタ 42 が導通するように、ゲート電位 P B I A S を制御する。

[0019] レベル調整回路50は、入力信号CINを駆動する信号駆動回路30の電源電圧VDDLのレベルに応じて、電位VCL1, VCL2を調整する。レベル調整回路50は、電源電圧VDDと、所定の参照電位Vrefとを受け取る。

[0020] 図2はクランプ回路40の構成例である。図2の構成では、電流源45およびNMOSトランジスタ46によって制御電位発生回路43が構成されており、電流源47およびPMOSトランジスタ48によって制御電位発生回路44が構成されている。レベル調整回路50は、比較器51と、電流源53, 56と、抵抗54, 57とを備えている。電流源53および抵抗54によって減算部52が構成されており、電流源56および抵抗57によって加算部55が構成されている。減算部52から出力された電位VCL1はバッファ58を介して制御電位発生回路43に与えられており、加算部55から出力された電位VCL2はバッファ59を介して制御電位発生回路44に与えられている。

[0021] なお、バッファ58とバッファ59はアナログ入力電圧を低インピーダンスで出力するものであり、バッファ58は制御電位発生回路43から減算部52に電流が流入して電位VCL1に誤差が生じるのを防止しており、バッファ59は加算部55から制御電位発生回路44に電流が流出して電位VCL2に誤差が生じるのを防止している。バッファ58を挿入する代わりに、電流源45と同じ電流を減算部52の出力ノードから接地方向に流す電流源を入れても良い。また、バッファ59を挿入する代わりに、電流源44と同じ電流を電源から加算部55の出力ノードに流す電流源を入れても良い。

[0022] 比較部としての比較器51は、電源電圧VDDLと参照電位Vrefとを受け取る。そして、電源電圧VDDLと参照電位Vrefとの電位差すなわち $\Delta VDDL (= VDDL - Vref)$ を内蔵抵抗によって電流に変換し、出力する。内蔵抵抗の抵抗値を R_{in} とすると、比較器51の2個の電流出力 $I_{out}(N)$, $I_{out}(P)$ は、

$$I_{out}(N) = -\Delta VDDL / R_{in}$$

$$I_{out}(P) = \Delta V_{DDL} / R_{in}$$

となる。減算部52において、電流源53は電位VCL1の基準となる電位VCLBを電流に変換している。抵抗54に電流源53から出力された電流と比較器51の電流出力Iout(N)とが流れ、これにより電位VCL1が得られる。電流源53の電流値をVCLB/R、抵抗54の抵抗値をRとすると、

$$\begin{aligned} V_{CL1} &= R \times (V_{CLB} / R + I_{out}(N)) \\ &= V_{CLB} - \Delta V_{DDL} \times (R / R_{in}) \end{aligned}$$

となる。また、加算部55において、電流源56は電位VCL2の基準となる電位VCLTを電流に変換している。抵抗57に電流源56から出力された電流と比較器51の電流出力Iout(P)とが流れ、これにより電位VCL2が得られる。電流源56の電流値をVCLT/R、抵抗57の抵抗値をRとすると、

$$\begin{aligned} V_{CL2} &= R \times (V_{CLT} / R + I_{out}(P)) \\ &= V_{CLT} + \Delta V_{DDL} \times (R / R_{in}) \end{aligned}$$

となる。

- [0023] 図3は電源電圧VDDLの変化に伴うクランプ電位の変化を表すグラフである。図3に示すように、電源電圧VDDLが参照電位Vrefと等しいときは、クランプ電位VCL1、VCL2はそれぞれ、基準となる電位VCLB、VCLTと等しくなる。電源電圧VDDLが低下すると、クランプ電位VCL1は上昇し、クランプ電位VCL2は低下する。すなわち、電源電圧VDDLの低下に伴って入力信号CINの振幅が小さくなったとき、クランプ電位VCL1、VCL2の電位差が、これに追従して小さくなる。また、電源電圧VDDLが上昇すると、クランプ電位VCL1は低下し、クランプ電位VCL2は上昇する。すなわち、電源電圧VDDLの上昇に伴って入力信号CINの振幅が大きくなったとき、クランプ電位VCL1、VCL2の電位差が、これに追従して大きくなる。なお、クランプ電位VCL1、VCL2の追従の程度は、例えば、比較器51の内蔵抵抗の抵抗値Rinによっ

て調整することができる。

[0024] このように本実施形態によると、クランプ回路40によって、終端ノードNDの電位が電位VCL1から電位VCL2までの範囲に規定される。また、電位VCL1、VCL2は、レベル調整回路50によって、入力信号CINを駆動する回路30の電源電圧VDDLに応じて調整される。このため、入力信号CINを駆動する回路30の電源電圧VDDLが変動し、入力信号CINの振幅が変動した場合であっても、これに応じてクランプ電位VCL1、VCL2を動的に調整することができる。したがって、変換後の信号OUTにジッタが発生することを抑制することができる。

[0025] なお、本実施形態におけるレベル調整回路50において、電流源53、56の電流値や、参照電位Vrefは、例えば図4のような回路構成によって実現される。図4において、バンドギャップリファレンス回路61（図では「BGR」と表記）は、基準電圧Vbgrを生成出力する。オペアンプ62、トランジスタP1および抵抗63によるフィードバックループによって、基準電圧Vbgrを基にして、電流値 $Vbgr/R$ の基準電流が生成される。

[0026] トランジスタP2は、トランジスタP1とのカレントミラー比が、 $Vgbr : VCLB$ であるので、流れる電流の電流値は、 $VCLB/R (= (Vgbr/R) \times (VCLB/Vbgr))$ となる。すなわち、電流源53が実現される。また、トランジスタP3は、トランジスタP1とのカレントミラー比が、 $Vgbr : VCLT$ であるので、流れる電流の電流値は、 $VCLT/R (= (Vbgr/R) \times (VCLT/Vbgr))$ となる。すなわち、電流源56が実現される。

[0027] さらに、トランジスタP4は、トランジスタP1とのカレントミラー比が、 $Vgbr : Vref$ であるので、流れる電流の電流値は、 $Vref/R (= (Vbgr/R) \times (Vref/Vgbr))$ となる。この電流が抵抗64（抵抗値R）を流れることによって、参照電位Vrefが生成される。なお例えば、カレントミラー比を1:1とし、抵抗64の抵抗値を $R \times (Vr$

e f / V b g r)としてもよい。

[0028] なお、本実施形態では、NMOSトランジスタ41およびPMOSトランジスタ42を用いて終端ノードNDを終端するものとしたが、これに限られるものではない。すなわち、終端ノードNDの電位がVCL1よりも低くなったときインピーダンスが低下する接続素子であれば、NMOSトランジスタ41の代わりに用いることができるし、終端ノードNDの電位がVCL2よりも高くなったときインピーダンスが低下する接続素子であれば、PMOSトランジスタ42の代わりに用いることができる。

[0029] (実施形態2)

実施形態1では、信号が単相信号（シングルエンド）であるものとして説明を行った。本開示内容は、差動信号をレベル変換する構成にも適用可能である。

[0030] 図5は実施形態2に係る信号電位変換回路とその前後の回路構成を示す図である。図5の構成では、差動信号を構成する正信号および負信号のそれぞれについて、受信回路15a、15b、コンデンサ20a、20b、信号駆動回路30a、30b、およびクランプ回路40a、40bが設けられている。受信回路15a、15bによって、差動ドライバ回路15が構成されている。コンデンサ20a、20b、クランプ回路40a、40bによって、本実施形態に係る信号電位変換回路が構成されている。

[0031] 信号駆動回路30a、30bは、電源電圧VDDLが印加されており、振幅がVDDLである信号CINa、CINbを出力する。差動ドライバ回路15は、電源電圧VDDHが印加されており、信号INa、INbの電位を増幅して、振幅がVDDHの差動信号を生成する。

[0032] クランプ回路40aは、信号INaが電位VCL1を下回ったときは信号INaの電位を上げ、信号INaが電位VCL2を上回ったときは信号INaの電位を下げる。同様に、クランプ回路40bは、信号INbが電位VCL1を下回ったときは信号INbの電位を上げ、信号INbが電位VCL2を上回ったときは信号INbの電位を下げる。

[0033] クランプ回路40aは具体的には、ドレインが第1の電源としての電源VDDHに接続されるとともに、ソースが終端ノードNDaに接続された第1の接続素子としてのNMOSトランジスタ41aと、ドレインが第2の電源としての接地電源に接続されるとともに、ソースが終端ノードNDaに接続された第2の接続素子としてのPMOSトランジスタ42aとを備えている。また、クランプ回路40bは具体的には、ドレインが第1の電源としての電源VDDHに接続されるとともに、ソースが終端ノードNDbに接続された第1の接続素子としてのNMOSトランジスタ41bと、ドレインが第2の電源としての接地電源に接続されるとともに、ソースが終端ノードNDbに接続された第2の接続素子としてのPMOSトランジスタ42bとを備えている。さらに、クランプ回路40a, 40bは、NMOSトランジスタ41a, 41bのゲート電位を生成する制御電位発生回路43と、PMOSトランジスタ42a, 42bのゲート電位を生成する制御電位発生回路44とを共有している。

[0034] そしてクランプ回路40a, 40bは、電位VCL1, VCL2のレベルを調整するレベル調整回路50を共有している。制御電位発生回路43はレベル調整回路50から出力された電位VCL1を受け、終端ノードNDa, NDbの電位が電位VCL1を下回ったときにNMOSトランジスタ41a, 41bが導通するように、ゲート電位を制御する。制御電位発生回路44はレベル調整回路50から出力された電位VCL2を受け、終端ノードNDa, NDbの電位が電位VCL2を上回ったときにPMOSトランジスタ42a, 42bが導通するように、ゲート電位を制御する。レベル調整回路50は、入力信号CINa, CINbを駆動する信号駆動回路30a, 30bの電源電位VDDLのレベルに応じて、電位VCL1, VCL2を調整する。レベル調整回路50は、電源電位VDDと、所定の参照電位Vrefとを受ける。なお、レベル調整回路50の具体的な構成と動作については、実施形態1と同様であるため、ここではその説明を省略する。

[0035] 本実施形態においても、実施形態1と同様の作用効果が得られる。すなわ

ち、クランプ回路40a, 40bによって、終端ノードNDa, NDbの電位が電位VCL1から電位VCL2までの範囲に規定される。また、電位VCL1, VCL2は、レベル調整回路50によって、入力信号CINa, CINbを駆動する回路30a, 30bの電源電圧VDDLに応じて調整される。このため、入力信号CINa, CINbを駆動する回路30a, 30bの電源電圧VDDLが変動し、入力信号CINa, CINbの振幅が変動した場合であっても、これに応じてクランプ電位VCL1, VCL2を動的に調整することができる。したがって、変換後の差動出力にジッタが発生することを抑制することができる。

[0036] なお、制御電位発生回路43, 44およびレベル調整回路50は、クランプ回路40a, 40bのそれぞれに設けてもかまわないが、図5のように共有することによって、回路規模を小さくすることができる。

[0037] なお、本実施形態では、NMOSトランジスタ41a, 41bおよびPMOSトランジスタ42a, 42bを用いて終端ノードNDa, NDbを終端するものとしたが、これに限られるものではない。すなわち、終端ノードNDa, NDbの電位がVCL1よりも低くなったときインピーダンスが低下する接続素子であれば、NMOSトランジスタ41a, 41bの代わりに用いることができるし、終端ノードNDa, NDbの電位がVCL2よりも高くなったときインピーダンスが低下する接続素子であれば、PMOSトランジスタ42a, 42bの代わりに用いることができる。

[0038] なお、上述の各実施形態1, 2では、レベル調整回路50は、クランプ電位VCL1, VCL2の両方を、電源電圧VDDLに応じて調整するものとしたが、例えば、クランプ電位VCL1, VCL2の一方を電源電圧VDDLに応じて調整し、他方を固定値としてもかまわない。

産業上の利用可能性

[0039] 本開示に係る信号電位変換回路では、入力側の電源電圧に応じてクランプ電位を動的に調整可能なので、例えば、高速インターフェース回路に用いるのに有効である。

符号の説明

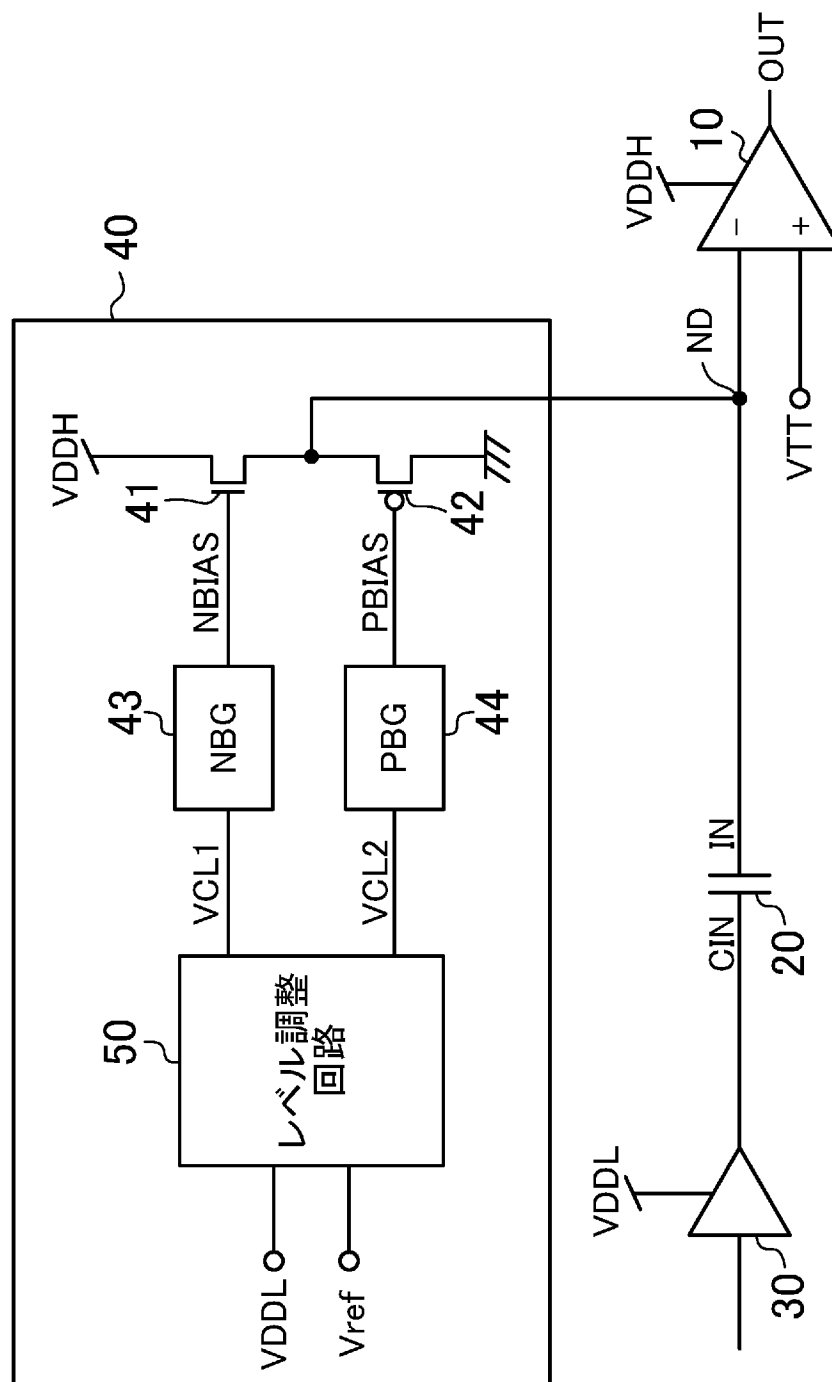
- [0040] C I N, C I N a, C I N b 入力信号
- N D, N D a, N D b 終端ノード
- V C L 1 第1の電位
- V C L 2 第2の電位
- V D D L 入力信号を駆動する回路の電源電圧
- V r e f 参照電位
- 2 0, 2 0 a, 2 0 b コンデンサ
- 4 0, 4 0 a, 4 0 b クランプ回路
- 4 1, 4 1 a, 4 1 b N M O S トランジスタ (第1の接続素子)
- 4 2, 4 2 a, 4 2 b P M O S トランジスタ (第2の接続素子)
- 4 3 制御電位生成回路
- 4 4 制御電位生成回路
- 5 0 レベル調整回路
- 5 1 比較器 (比較部)
- 5 2 減算部
- 5 5 加算部

請求の範囲

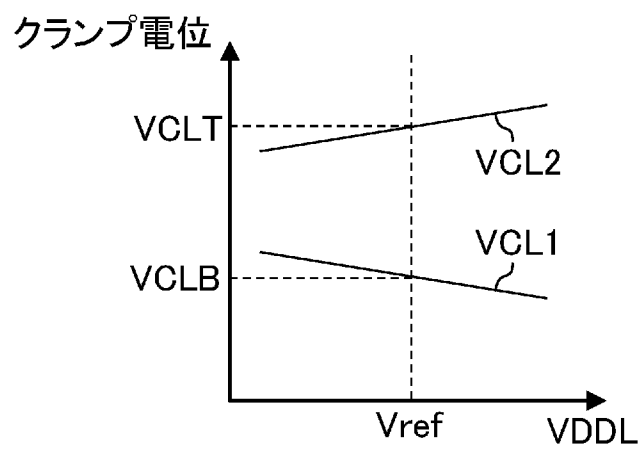
- [請求項1] 入力信号が一端に与えられ、他端が終端ノードと接続されたコンデンサと、
- 前記終端ノードの電位を受けるクランプ回路とを備え、
- 前記クランプ回路は、
- 第1の電源と前記終端ノードとの間に設けられた第1の接続素子と、
- 、
- 前記終端ノードと、電源電圧が前記第1の電源よりも低い第2の電源との間に設けられた第2の接続素子とを備え、
- 前記第1の接続素子は、前記終端ノードの電位が、前記第2の電源の電源電圧よりも高い第1の電位よりも低くなったとき、インピーダンスが低下するものであり、
- 前記第2の接続素子は、前記終端ノードの電位が、前記第1の電源の電源電圧よりも低く、かつ、前記第1の電位よりも高い第2の電位よりも高くなったとき、インピーダンスが低下するものであり、
- 前記クランプ回路は、前記第1の電位および前記第2の電位のうち少なくともいずれか一方を、前記入力信号を駆動する回路の電源電圧に応じて、調整するレベル調整回路を備えている
- ことを特徴とする信号電位変換回路。
- [請求項2] 請求項1記載の信号電位変換回路において、
- 前記レベル調整回路は、
- 前記入力信号を駆動する回路の電源電圧と、所定の参照電位との電位差を、電流に変換して出力する比較部と、
- 前記第1の電位の基準となる電位を電流に変換し、この電流から前記比較部の出力電流を減じ、減じた後の電流を電圧に変換して出力する減算部とを備え、
- 前記減算部の出力電圧が、前記第1の電位として用いられる
- ことを特徴とする信号電位変換回路。

- [請求項3] 請求項2記載の信号電位変換回路において、
前記クランプ回路は、
前記第1の接続素子として、ドレインが前記第1の電源に接続され
るとともに、ソースが前記終端ノードに接続されたNMOSトランジ
スタを備えており、かつ、
前記減算部の出力電圧を基にして、前記NMOSトランジスタのゲ
ートに与える制御電位を生成する制御電位発生回路を備えている
ことを特徴とする信号電位変換回路。
- [請求項4] 請求項1記載の信号電位変換回路において、
前記レベル調整回路は、
前記入力信号を駆動する回路の電源電圧と、所定の参照電位との電
位差を、電流に変換して出力する比較部と、
前記第2の電位の基準となる電位を電流に変換し、この電流に前記
比較部の出力電流を加え、加えた後の電流を電圧に変換して出力する
加算部とを備え、
前記加算部の出力電圧が、前記第2の電位として用いられる
ことを特徴とする信号電位変換回路。
- [請求項5] 請求項4記載の信号電位変換回路において、
前記クランプ回路は、
前記第2の接続素子として、ドレインが前記第2の電源に接続され
るとともに、ソースが前記終端ノードに接続されたPMOSトランジ
スタを備えており、かつ、
前記加算部の出力電圧を基にして、前記PMOSトランジスタのゲ
ートに与える制御電位を生成する制御電位発生回路を備えている
ことを特徴とする信号電位変換回路。

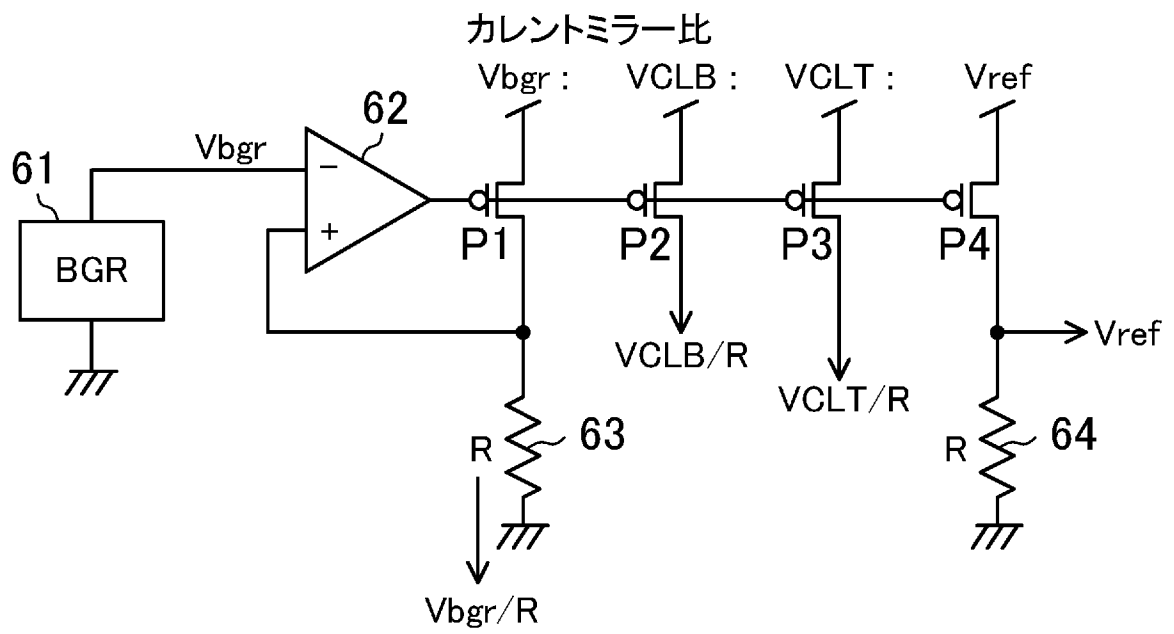
[図1]



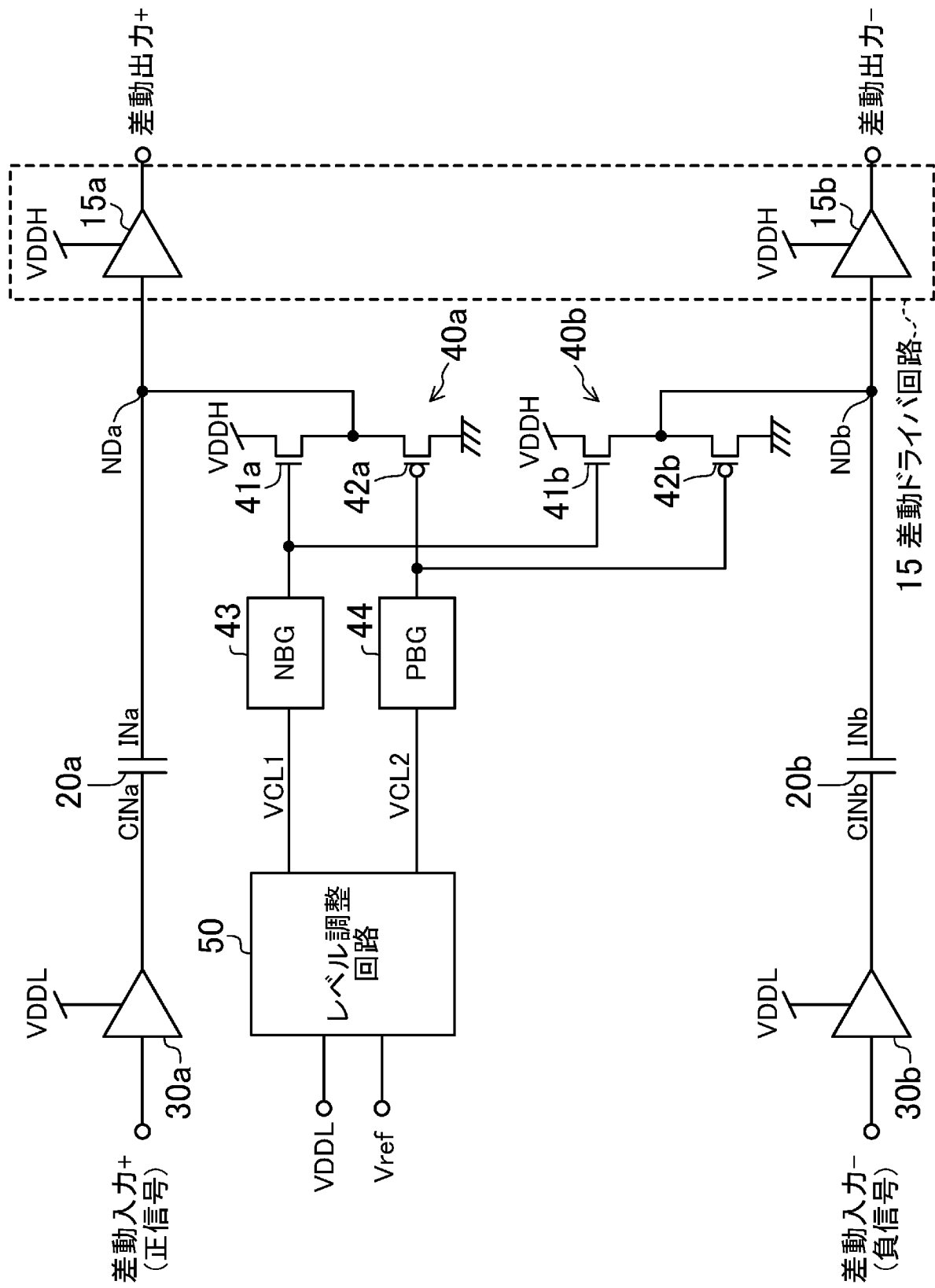
[図3]



[図4]

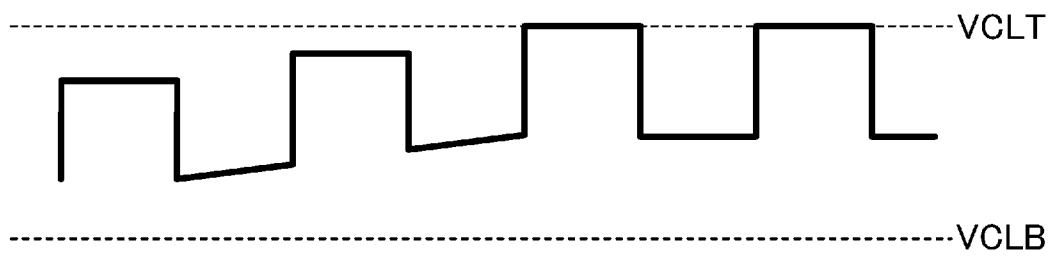


[図5]

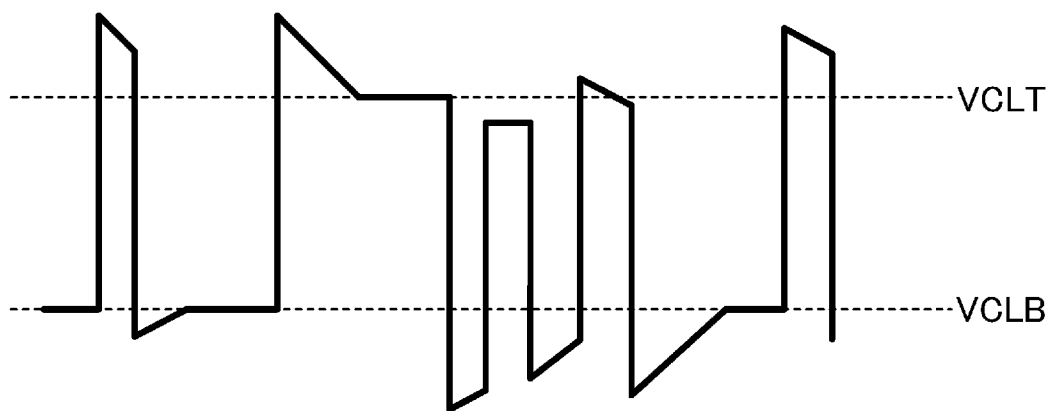


[図6]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006271

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/0185(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/0185

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2012/157031 A1 (Panasonic Corp.), 22 November 2012 (22.11.2012), paragraph [0051]; fig. 9 & US 2014/0043084 A1 & CN 103493375 A	1-5
A	JP 2009-44304 A (Denso Corp.), 26 February 2009 (26.02.2009), abstract; fig. 1, 4 (Family: none)	1-5
A	JP 2000-91902 A (NEC Corp.), 31 March 2000 (31.03.2000), paragraph [0036]; fig. 9 & US 6285209 B1 & KR 10-2000-0022948 A & CN 1250175 A	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 February 2015 (24.02.15)

Date of mailing of the international search report
10 March 2015 (10.03.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K19/0185 (2006. 01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K19/0185

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2012/157031 A1（パナソニック株式会社）2012. 11. 22, [0 0 5 1] 欄、図 9 & US 2014/0043084 A1 & CN 103493375 A	1 - 5
A	JP 2009-44304 A（株式会社デンソー）2009. 02. 26, 【要約】、図 1, 4（ファミリーなし）	1 - 5
A	JP 2000-91902 A（日本電気株式会社）2000. 03. 31, 【0 0 3 6】欄、図 9 & US 6285209 B1 & KR 10-2000-0022948 A & CN 1250175 A	1 - 5

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 2 . 2 0 1 5

国際調査報告の発送日

1 0 . 0 3 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

宮島 郁美

5 X

8 5 2 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6