(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년10월06일
(11) 등록번호 10-2162353
(24) 등록일자 2020년09월25일

(51) 국제특허분류(Int. Cl.)
H03M 1/38 (2006.01) *H03M 1/00* (2006.01)
H03M 1/06 (2006.01)
(52) CPC특허분류
H03M 1/38 (2013.01)
H03M 1/002 (2019.01)
(21) 출원번호 10-2019-0045522
(22) 출원일자 2019년04월18일
심사청구일자 2019년04월18일
(56) 선행기술조사문헌
US6124818 A
KR1020160072282 A

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김재준
울산광역시 울주군 언양읍 유니스트길 50 울산과학기술대학교
박경환
울산광역시 울주군 언양읍 유니스트길 50 울산과학기술대학교
(74) 대리인
제일특허법인(유)

전체 청구항 수 : 총 5 항 심사관 : 조춘근

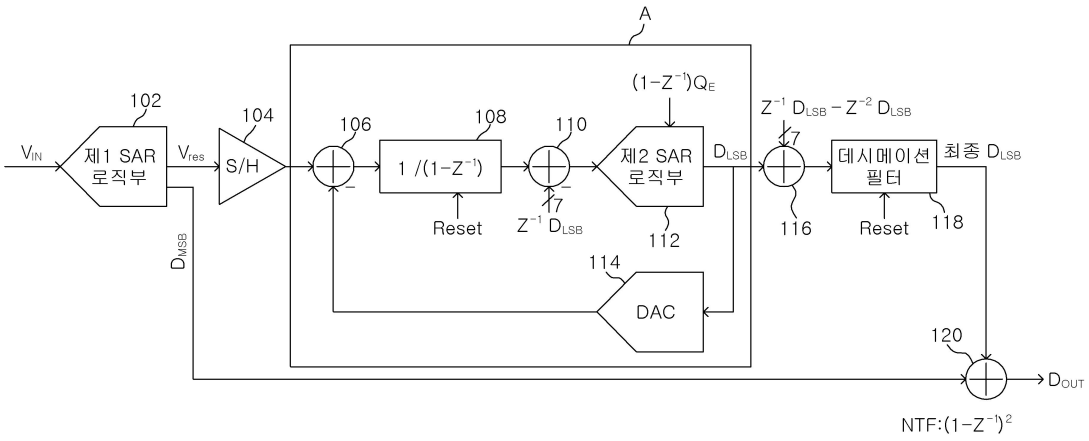
(54) 발명의 명칭 **증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기**

(57) 요 약

본 발명에 따른 증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기는, SAR(Success Approximation Register) 로직을 이용하여 입력신호(V_{IN})로부터 N 비트의 D_{MSB}(Most Significant Bit)를 생성하는 제 1 SAR 로직부와, 상기 제 1 SAR 로직부로부터 제공되는 잔여 전압(V_{res})을 저장하는 샘플앤홀드부와, 샘플링된 상기 잔여 전

(뒷면에 계속)

대 표 도



압의 연속적인 적분을 통해 M 비트의 D_{LSB}(Least Significant Bit)를 생성하는 시그마 델타 변조부(Sigma-Delta Modulation : SDM)와, 상기 M 비트의 D_{LSB}와 이전의 시그마 델타 루프에서 차감한 디지털 코드 $Z^{-1}D_{LSB}$ ~ $Z^{-2}D_{LSB}$를 가감산하는 - 상기 $Z^{-1}D_{LSB}$는 가산되는 이전 디지털 코드이고, 상기 $Z^{-2}D_{LSB}$는 감산되는 전전 디지털 코드임 - 가감산기와, 상기 가감산기의 가감산 결과 값을 카운팅 및 필터링하여 디지털 코드인 최종 M 비트의 D_{LSB}를 생성하는 데시메이션 필터와, 생성된 상기 N 비트의 디지털 코드 D_{MSB}와 생성된 상기 최종 M 비트의 D_{LSB}를 가산하여, (M + N) 비트의 최종 디지털 출력(D_{OUT})을 생성하는 가산 및 레지스터를 포함할 수 있다.

(52) CPC특허분류
H03M 1/0626 (2013.01)
H03M 3/478 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711082165(세부과제번호:2017M1A2A2087833)
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	기후변화대응기술개발(R&D)
연구과제명	태양전지-이차전지 모노리틱 전원 기반 저전력 올인원 센서 인터페이스 개발
기 여 율	1/1
과제수행기관명	울산과학기술원
연구기간	2019.01.20 ~ 2020.01.19

명 세 서

청구범위

청구항 1

SAR(Success Approximation Register) 로직을 이용하여 입력신호(V_{IN})로부터 N 비트의 D_{MSB}(Most Significant Bit)를 생성하는 제 1 SAR 로직부와,

상기 제 1 SAR 로직부로부터 제공되는 잔여 전압(V_{res})을 저장하는 샘플앤홀드부와,

샘플링된 상기 잔여 전압의 연속적인 적분을 통해 M 비트의 D_{LSB}(Least Significant Bit)를 생성하는 시그마 델타 변조부(Sigma-Delta Modulation : SDM)와,

상기 M 비트의 D_{LSB}와 이전의 시그마 델타 루프에서 차감한 디지털 코드 $Z^{-1}D_{LSB}$ ~ $Z^{-2}D_{LSB}$를 가감산하는 - 상기 $Z^{-1}D_{LSB}$는 가산되는 이전 디지털 코드이고, 상기 $Z^{-2}D_{LSB}$는 감산되는 전전 디지털 코드임 - 가감산기와,

상기 가감산기의 가감산 결과 값을 카운팅 및 필터링하여 디지털 코드인 최종 M 비트의 D_{LSB}를 생성하는 데시메이션 필터와,

생성된 상기 N 비트의 디지털 코드 D_{MSB}와 생성된 상기 최종 M 비트의 D_{LSB}를 가산하여, (M + N) 비트의 최종 디지털 출력(D_{OUT})을 생성하는 가산 및 레지스터를 포함하는

증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기.

청구항 2

제 1 항에 있어서,

상기 SAR 로직은,

SAR ADC를 통해 수행되며, 상기 SAR ADC는,

N 비트를 기준 전압과 비교하는 코어스 스텝(coarse step)을 수행해서 상기 N 비트의 D_{MSB}를 생성하는

증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기.

청구항 3

제 2 항에 있어서,

상기 제 1 SAR 로직부는,

8비트의 상기 D_{MSB}를 생성하는

증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기.

청구항 4

제 1 항에 있어서,

상기 시그마 델타 변조부는,

생성된 상기 M 비트의 D_{LSB}를 아날로그 값으로 변환하는 디지털 아날로그 변환부와,

샘플링된 상기 잔여 전압을 변환된 상기 아날로그 값으로 감산하는 제 1 감산기와,

상기 제 1 감산기로부터 출력되는 감산 결과 값을 적분하는 적분기와,

상기 적분기로부터 출력되는 적분 결과 값에서 상기 이전 디지털 코드 $Z^{-1}D_{LSB}$를 감산하는 제 2 감산기와,

상기 제 2 감산기의 출력 값과 기준 전압간의 비교에 기반하는 양자화를 통해 상기 M 비트의 D_{LSB}를 생성하는 제 2 SAR 로직부

를 포함하는 증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기.

청구항 5

제 4 항에 있어서,

상기 제 2 SAR 로직부는,

8비트의 상기 D_{LSB}를 생성하는

증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기.

발명의 설명

기 술 분 야

[0001] 본 발명은 아날로그 디지털 변환기(ADC)에 관한 것으로, 더욱 상세하게는 증가형 델타 시그마 변조(Incremental Delta Sigma Modulation) 방식을 기반으로 하여 아날로그 디지털 변환을 실현할 수 있는 증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 통신 네트워크의 계측기 분야, 자동 분석기의 계측기 분야, 센서 분야 등에 사용되는 전자기기에는 고해상도와 저전력 등의 기능을 충족시킬 수 있는 아날로그 디지털 변환기가 요구되고 있다.

[0003] 종래의 줌(zoom) 아날로그 디지털 변환기(ADC)는 입력 주파수보다 매우 높은 샘플링 주파수를 이용하기 때문에 기존의 다른 ADC보다 상대적으로 높은 비트(bit)를 구현할 수 있으며, 이러한 기술 특성으로 인해 비교적 낮은 주파수의 DC 신호를 디지털로 변환하는데 주로 이용되고 있다.

[0004] 종래의 줌 ADC의 경우, MSB(most significant bit)에 대해서는 SAR(success approximation register) 구조를 이용하고, LSB(least significant bit)에 대해서는 증가형 동작을 이용하는데, 이러한 기술 특성으로 인해 종래의 줌 ADC는 고해상도(High Resolution)의 ADC를 구현하기 위해 상대적으로 높은 오버샘플링비(Over-sampling Ratio)가 요구되는 문제가 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국등록특허 제10-1681948호(공고일: 2016. 12. 06.)

발명의 내용

해결하려는 과제

[0006] 본 발명은 상대적으로 높은 차수의 적분기 및 필터를 사용함으로써, 고해상도의 ADC를 구현할 수 있는 증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기를 제공하고자 한다.

[0007] 본 발명이 해결하고자 하는 과제는 상기에서 언급한 것으로 제한되지 않으며, 언급되지 않은 또 다른 해결하고자 하는 과제는 아래의 기재들로부터 본 발명이 속하는 통상의 지식을 가진 자에 의해 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 본 발명은, 일 관점에 따라, SAR(Success Approximation Register) 로직을 이용하여 입력신호(V_{IN})로부터 N 비트의 D_{MSB}(Most Significant Bit)를 생성하는 제 1 SAR 로직부와, 상기 제 1 SAR 로직부로부터 제공되는 잔여 전압(V_{res})을 저장하는 샘플앤홀드부와, 샘플링된 상기 잔여 전압의 연속적인 적분을 통해 M 비트의 D_{LSB}(Least Significant Bit)를 생성하는 시그마 델타 변조부(Sigma-Delta Modulation : SDM)와, 상기 M 비트의 D_{LSB}와 이전의 시그마 델타 루프에서 차감한 디지털 코드 $Z^{-1}D_{LSB}$ ~ $Z^{-2}D_{LSB}$를 가감산하는 - 상기 $Z^{-1}D_{LSB}$는 가산되는 이전 디지털 코드이고, 상기 $Z^{-2}D_{LSB}$는 감산되는 전전 디지털 코드임 - 가감산기와, 상기 가감산기의 가감산 결과 값을 카운팅 및 필터링하여 디지털 코드인 최종 M 비트의 D_{LSB}를 생성하는 데시메이션 필터와, 생성된 상기 N 비트의 디지털 코드 D_{MSB}와 생성된 상기 최종 M 비트의 D_{LSB}를 가산하여, (M + N) 비트의 최종 디지털 출력(D_{OUT})을 생성하는 가산 및 레지스터를 포함하는 증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기를 제공할 수 있다.

[0009] 본 발명의 상기 N 비트의 D_{MSB}는, SAR ADC를 이용하여 N 비트를 기준 전압과 비교하는 코어스 스텝(coarse step)의 수행을 통해 생성될 수 있다.

[0010] 본 발명의 상기 제 1 SAR 로직부는, 8비트의 상기 D_{MSB}를 생성할 수 있다.

[0011] 본 발명의 상기 시그마 델타 변조부는, 생성된 상기 M 비트의 D_{LSB}를 아날로그 값으로 변환하는 디지털 아날로그 변환부와, 샘플링된 상기 잔여 전압과 변환된 상기 아날로그 값을 감산하는 제 1 감산기와, 상기 제 1 가산기로부터 출력되는 가산 결과 값을 적분하는 적분기와, 상기 적분기로부터 출력되는 적분 결과 값에서 상기 이전 디지털 코드 $Z^{-1}D_{LSB}$를 감산하는 제 2 감산기와, 상기 제 2 감산기의 출력 값과 기준 전압간의 비교에 기반하는 양자화를 통해 상기 M 비트의 D_{LSB}를 생성하는 제 2 SAR 로직부를 포함할 수 있다.

[0012] 본 발명의 상기 제 2 SAR 로직부는, 8비트의 상기 D_{LSB}를 생성할 수 있다.

발명의 효과

[0013] 본 발명의 실시예에 따르면, N 비트의 SAR ADC를 이용하여 대략적인 범위를 확인하고, 이를 통해 잔여(residue) 전압의 범위를 줄일 수 있으며, N 비트 뒤의 증가형 ADC 동작 시 멀티비트 양자화기로 재사용이 가능하도록 함으로써, 구조 간소화 및 소모 전력의 절감을 실현할 수 있다.

[0014] 본 발명의 실시예에 따르면, 1차 구조로부터 2차 구조의 NTF(Noise Transfer Function)와 같은 노이즈 쉐이핑 효과를 낼 수 있고, 또한 필터 구조 역시 가산기와 1차 데시메이션 필터를 통해 간단히 구현이 가능하며, 이를 통해 N차 ADC의 구현 시에 N+1 차의 노이즈 쉐이핑 효과를 얻을 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 실시예에 따른 증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기에 대한 구성도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 먼저, 본 발명의 장점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되는 실시 예들을 참조하면 명확해질 것이다. 여기에서, 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 발명의 범주를 명확하게 이해할 수 있도록 하기 위해 예시적으로 제공되는 것이므로, 본 발명의 기술적 범위는 청구항들에 의해 정의되어야 할 것이다.

[0017] 아울러, 아래의 본 발명을 설명함에 있어서 공지 기능 또는 구성 등에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들인 것으로, 이는 사용자, 운용자 등의 의도 또는 관례 등에 따라 달라질 수 있음은 물론이다. 그러므로, 그 정의는 본 명세서의 전반에 걸쳐 기술되는 기술사상을 토대로 이루어져야 할 것이다.

[0018] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세하게 설명한다.

[0019] 도 1은 본 발명의 실시예에 따른 증가형 델타 시그마 변조 기반의 아날로그 디지털 변환기에 대한 구성도이다.

[0020] 도 1을 참조하면, 본 실시 예의 아날로그 디지털 변환기는 제 1 SAR(Success Approximation Register: 연속 근사 레지스터) 로직부(102), 샘플앤홀드부(Sample and Hold)(104), 제 1 감산기(106), 적분기(108), 제 2 감산기(110), 제 2 SAR 로직부(112), 디지털 아날로그 변환부(114), 가감산기(116), 데시메이션 필터(118), 가산 및 레지스터(120) 등을 포함할 수 있다.

[0021] 먼저, 제 1 SAR 로직부(102)는 SAR 로직을 이용하여 입력신호(V_{IN})로부터 처음 N비트(예컨대, 6비트, 8비트 등)의 D_{MSB}(Most Significant Bit)를 생성(출력)하는 등의 기능을 제공할 수 있으며, 여기에서 생성되는 N 비트의 D_{MSB}는 후술하는 가산 및 레지스터(120)의 일측 입력으로 제공될 수 있다.

[0022] 즉, 제 1 SAR 로직부(102)는 SAR ADC를 이용하여 N 비트를 기준 전압과 먼저 비교하는데, 이러한 일련의 과정을 코어스 스텝(coarse step)이라고 하며, 이러한 코어스 스텝을 수행하여 D_{MSB}의 N 비트를 생성할 수 있다.

[0023] 그러고, SAR 로직의 수행 후에 남은 잔여(residue) 전압(V_{res})은 다음단의 샘플앤홀드부(104)의 입력으로 제공되어 샘플앤홀드부(104)에 저장된다.

[0024] 여기에서, 본 발명의 실시예에 따르면, 제 1 SAR 로직부(102)와 샘플앤홀드부(104)는 2-스텝(코어스(coarse) 스텝과 파인(fine) 스텝)으로 이루어진 하이브리드(hybrid) ADC 구조로 정의될 수 있다.

[0025] 그리고, 시그마 델타 변조부(Sigma-delta modulation : SDM)(A)는 델타 시그마 루프를 이용하여 샘플앤홀드부(104)에 저장된 잔여 전압(V_{res})을 적분(또는 다단 적분)한 후 기준 전압과의 비교를 통해 추가적인 M 비트의 D_{LSB}(Least Significant Bit)을 생성(출력)하는데, 이를 위해 시그마 델타 변조부(A)는 제 1 감산기(Adder)(106), 적분기(Integrator)(108), 제 2 감산기(Subtractor)(110), 제 2 SAR 로직부(112) 및 디지털 아날로그 변환부(ADC)(114) 등을 포함할 수 있다.

[0026] 여기에서, 본 발명의 실시예에 따르면, 시그마 델타 루프는 샘플링된 전압을 계속해서(다단으로) 적분하는데, 기준 전압과의 비교를 통해 그 전압 값을 디지털 코드로 변환하는 적분기(108)의 차수에 따라 N차 SDM이라고 정의될 수 있다.

[0027] 예컨대, 1 비트 양자화기(Quantizer)를 사용하는 SDM 과정에서 적분 및 기준 전압과의 비교를 수행할 때, 높은 전압일수록 '1'이 많이 발생하고, 낮은 전압일수록 '0'의 비율이 높게 발생하는 점을 활용하여 아날로그 신호를 디지털로 변환할 수 있다.

[0028] 다시 도 1을 참조하면, 시그마 델타 변조부(A) 내의 제 1 감산기(106)는 기준 전압과의 비교에 의해 '1'이 발생할 때 적분기(108)를 통해 적분된 결과 값에서 기준 전압 값만큼 차감(감산)해 주기 위해 후술하는 디지털 아날로그 변환부(114)로부터 전달되는 아날로그 값을 적분 결과 값과 가산할 수 있으며, 이러한 제 1 감산기(106)의 출력 값은 적분기(108)의 입력으로 제공될 수 있다.

[0029] 그리고, 적분기(108)는 제 1 감산기(106)로부터 제공되는 감산 결과 값을 적분하고, 그 적분 결과 값을 제 2 감산기(110)의 일측 입력으로 제공하는데, 제 2 감산기(110)에서는 이전 디지털 코드 $Z^{-1}D_{LSB}$를 감산하는 과정을 통해 노이즈 변환 기능(NTF: Noise Transfer Function)을 부스팅(boosting)할 수 있다.

[0030] 다음에, 제 2 SAR 로직부(112)는, 예컨대 N 비트로 구성되는 양자화기(Quantizer)로 정의될 수 있는 것으로, 멀티비트 양자화기(Multi-bit Quantizer)로의 실현을 위해 제 1 SAR 로직부(102)가 재사용될 수 있다. 즉, 제 2 SAR 로직부(112)는 양자화를 통해 아날로그 값(제 2 감산기의 출력 값)을 기준 전압과 비교하여 디지털 코드(D_{LSB})를 생성할 수 있으며, 이와 같이 생성되는 디지털 코드 D_{LSB}는 디지털 아날로그 변환부(114) 및 가감산기(116)의 각 입력으로 각각 제공될 수 있다.

[0031] 이때, 제 2 감산기(110)를 통한 감산 과정에서 양자화 노이즈(Quantization noise)가 함께 차감(감산)되기 때문에 제 2 SAR 로직부(112)를 거친 최종의 양자화 노이즈는 $(1-Z^{-1})Q_E$로 되어, 최종 NTF는 $(1-Z^{-1})^2$ 가 되므로 1차의 적분기를 활용하여 2차의 노이즈 쉐이핑(Noise shaping) 효과를 얻을 수 있다.

[0032] 보다 상세하게, 이전 디지털 코드에는 이전 양자화 에러(quantization error)가 포함되어 있는데, 1차 적분기를 통해 적분된 값을 멀티비트 양자화기에서 샘플링할 때, 이전 디지털 코드를 빼서 샘플링하게 되면, 양자화 노이

즈는 $(1-Z^{-1})Q_E$ 가 양자화기에서 발생하여 최종 노이즈 전달 함수(NTF) $(1-Z^{-1})^2$이 되어 1차 적분기를 이용한 1차 SD ADC가 2차의 노이즈 쉐이핑 효과를 얻을 수 있다.

[0033] 즉, 본 발명의 실시예에 따르면, 노이즈 쉐이핑을 통해 필요한 인밴드(in-band)의 노이즈를 효과적으로 제거할 수 있으며, 이를 통해 ADC의 해상도를 더욱 향상시킬 수 있다.

[0034] 그리고, 디지털 아날로그 변환부(114)는 제 2 SAR 로직부(112)의 출력인 디지털 코드 D_{LSB}를 전달받아 아날로그 값으로 변환한 후 제 1 감산기(106)의 타측 입력으로 제공할 수 있다.

[0035] 다시, 가감산기(116)는 제 2 SAR 로직부(112)로부터 전달되는 출력 값(디지털 코드(D_{LSB}))에 제 2 감산기(110)를 통해 이전의 시그마 델타 루프에서 차감한 디지털 코드 $Z^{-1}D_{LSB}$ ~ $Z^{-2}D_{LSB}$를 가감산, 즉 이전 디지털 코드($Z^{-1}D_{LSB}$)는 가산하고, 전전 디지털 코드($Z^{-2}D_{LSB}$)는 감산해 주며, 그 가감산 결과 값을 데시메이션 필터(118)의 입력으로 제공하는 기능을 수행할 수 있다.

[0036] 또한, 데시메이션 필터(118)는 가감산기(116)로부터 전달되는 가산 결과 값을 카운팅 및 필터링하여 디지털 코드인 최종 M 비트의 D_{LSB}를 생성하며, 여기에서 생성되는 최종 디지털 코드 D_{LSB}는 가산 및 레지스터(120)의 타측 입력으로 제공된다.

[0037] 따라서, 가산 및 레지스터(120)에서는 제 1 SAR 로직부(102)로부터 일측 입력으로 전달되는 N 비트의 디지털 코드 D_{MSB}와 데시메이션 필터(118)로부터 타측 입역으로 전달되는 최종 M 비트의 D_{LSB}를 가산함으로써, 목표로 하는 (M + N) 비트의 최종 디지털 출력(예컨대, 16비트의 D_{OUT})을 생성, 저장 및 출력할 수 있다.

[0038] 이상의 설명은 본 발명의 기술사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경 등이 가능함을 쉽게 알 수 있을 것이다. 즉, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것으로서, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다.

[0039] 따라서, 본 발명의 보호 범위는 후술되는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0040] 102 : 제 1 SAR 로직부

104 : 샘플앤홀드부

106 : 제 1 감산기

108 : 적분기

110 : 제 2 감산기

112 : 제 2 SAR 로직부

114 : 디지털 아날로그 변환부

116 : 가감산기

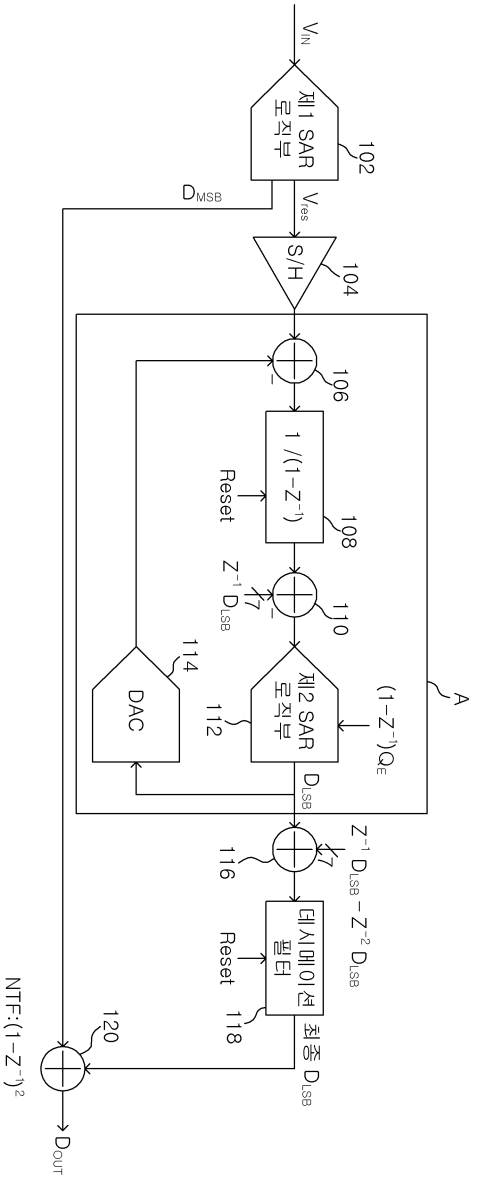
118 : 데시메이션 필터

120 : 가산 및 레지스터

A : 시그마 델타 변조부

도면

도면1


VIN
제1 SAR 로직부
102
DMSB
Vres
S/H
104
106
1 /(1−Z−1)
Reset
108
Z−1 DLSB
110
114
DAC
112
제2 SAR 로직부
(1−Z−1)QE
A
DLSB
Z−1 DLSB − Z−2 DLSB
116
데시메이션 필터
Reset
118
최종 DLSB
120
NTF:(1−Z−1)2
DOUT