



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201126690 A1

(43) 公開日：中華民國 100 (2011) 年 08 月 01 日

(21) 申請案號：099124300

(22) 申請日：中華民國 99 (2010) 年 07 月 23 日

(51) Int. Cl. :

H01L23/60 (2006.01)

H02H9/04 (2006.01)

(30) 優先權：2009/10/28 美國 61/255,548

2010/03/10 美國 12/721,172

(71) 申請人：英特希爾美國公司 (美國) INTERSIL AMERICAS INC. (US)

美國

(72) 發明人：克洛夫特 克雷格 D CROFT, GREGG D. (US)

(74) 代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：20 項 圖式數：15 共 44 頁

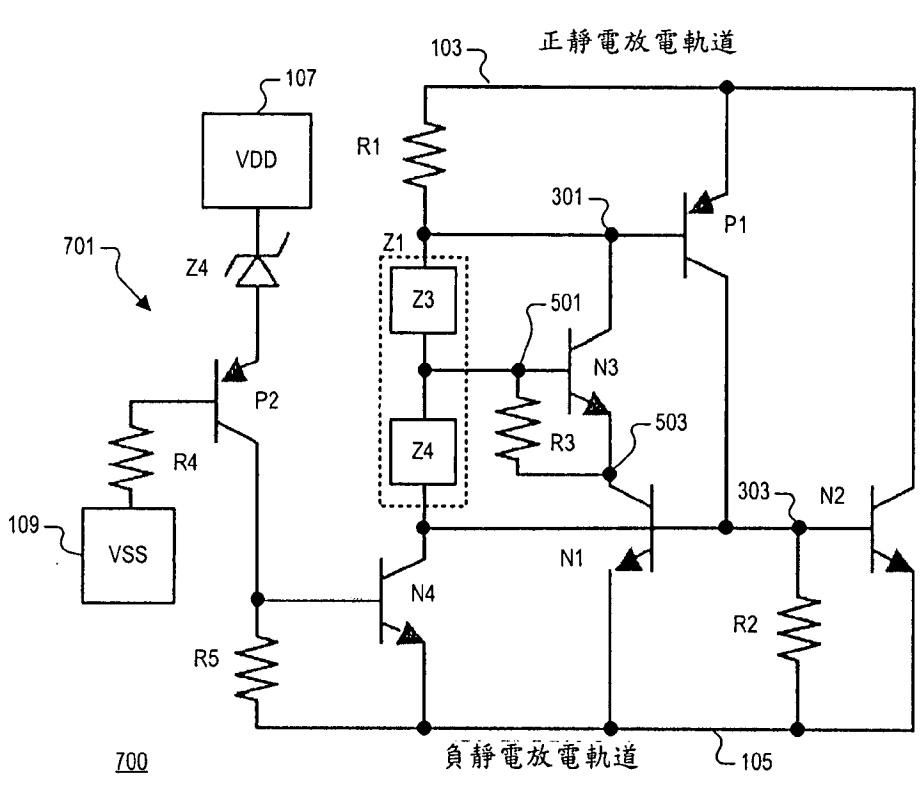
(54) 名稱

具有包含可選擇導通和關閉臨界電壓之受控遲滯的靜電放電箝位

ELECTROSTATIC DISCHARGE CLAMP WITH CONTROLLED HYSTERESIS INCLUDING
SELECTABLE TURN ON AND TURN OFF THRESHOLD VOLTAGES

(57) 摘要

本發明揭露一種靜電放電 (ESD) 箝位，其係用於耦合於第一與第二節點之間，以用來提供包括箝位電路與第一與第二電壓臨界電路的 ESD 保護。箝位電路當被觸發時會將第一與第二節點之間的操作電壓限制在最大位準。第一與第二電壓臨界電路每一個均具有一可選擇臨界電壓，其係譬如藉由將一或更多個電壓臨界裝置串聯耦合。當操作電壓增加到第一電壓臨界值以上時，第一電壓臨界電路會觸發以導通箝位電路。當箝位電路導通與關閉時，第二電壓臨界電路會觸發，以當操作電壓減少到第二臨界電壓時關閉箝位電路。第二臨界電壓可被選擇在標稱操作電壓以上的任何位準，以使箝位免於閃鎖。



- 103 : 正靜電放電軌道
- 105 : 負靜電放電軌道
- 107 : 源極電壓接腳
- 109 : 參考電壓接腳
- 301 : 節點
- 303 : 節點
- 501 : 節點
- 503 : 節點
- 700 : 靜電放電箱位電路
- 701 : 失效電路



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201126690 A1

(43)公開日：中華民國 100 (2011) 年 08 月 01 日

(21)申請案號：099124300

(22)申請日：中華民國 99 (2010) 年 07 月 23 日

(51)Int. Cl. : *H01L23/60 (2006.01)* *H02H9/04 (2006.01)*

(30)優先權：2009/10/28 美國 61/255,548

2010/03/10 美國 12/721,172

(71)申請人：英特希爾美國公司 (美國) INTERSIL AMERICAS INC. (US)
美國

(72)發明人：克洛夫特 克雷格 D CROFT, GREGG D. (US)

(74)代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：20 項 圖式數：15 共 44 頁

(54)名稱

具有包含可選擇導通和關閉臨界電壓之受控遲滯的靜電放電箝位

ELECTROSTATIC DISCHARGE CLAMP WITH CONTROLLED HYSTERESIS INCLUDING
SELECTABLE TURN ON AND TURN OFF THRESHOLD VOLTAGES

(57)摘要

本發明揭露一種靜電放電 (ESD) 箝位，其係用於耦合於第一與第二節點之間，以用來提供包括箝位電路與第一與第二電壓臨界電路的 ESD 保護。箝位電路當被觸發時會將第一與第二節點之間的操作電壓限制在最大位準。第一與第二電壓臨界電路每一個均具有一可選擇臨界電壓，其係譬如藉由將一或更多個電壓臨界裝置串聯耦合。當操作電壓增加到第一電壓臨界值以上時，第一電壓臨界電路會觸發以導通箝位電路。當箝位電路導通與關閉時，第二電壓臨界電路會觸發，以當操作電壓減少到第二臨界電壓時關閉箝位電路。第二臨界電壓可被選擇在標稱操作電壓以上的任何位準，以使箝位免於閃鎖。

六、發明說明：

【相關申請案之交互參照】

本申請案主張於 2009 年 10 月 28 日提出申請之第 61/255,548 號之美國臨時申請案的權益，為了所有意圖與目的，其係在此以引用的方式併入本文。

【發明所屬之技術領域】

根據在此所說明實施例而設計的靜電放電 (ESD) 箝位電路，其係應用到避免積體電路受到起因於靜電放電之損害的領域。

【先前技術】

靜電放電箝位電路一般被使用來限制經過易對來自 ESD 之損害敏感之積體電路 (IC) 面積所呈現的電壓。在此所說明的 ESD 箝位電路會平行耦合到它所保護之 IC 上的下層電路。在 ESD 事件內，ESD 箝位電路會導通並且限制電壓經過，並將該破壞電流轉向繞過 ESD 敏感電路。就以電壓觸發的 ESD 箝位電路而言，當達到相當高電壓臨界值以避免在正常操作內之不想要觸發時僅僅使該箝位導通 (最初啟發)，其係是令人希望的。然而，一旦啟發的話，令人希望的是，箝位電路會維持導通直到達到較低電壓臨界值以提供增加的保護使免於受到 ESD 損害。因此，ESD 箝位電路從關閉轉換到導通狀態的電壓量值會比箝位電路從導通狀態轉換到關閉狀態的電壓量值更大。

ESD 箝位電路係為已知，其係具有充分在標稱操作電壓位準以上的可配置導通電壓設定點。矽控整流器型態的

ESD 箝位電路，例如會在充分高的電壓位準上導通，但只要電流有效的話卻常常維持致動。因此，許多矽控整流器型態的 ESD 箝位電路會維持閉鎖並且沒有關閉，直到電壓位準達到相當低電壓為止，譬如低於標稱電壓位準以下。合併此些矽控整流器型態箝位電路的裝置必須被切斷電源，以重新設定箝位電路並允許正常操作。在電壓往回向下降到標稱操作電壓位準以避開閉鎖情況並且避免 ESD 暴露同時致能正常操作以前，確保 ESD 箝位電路關閉通常是令人希望的。具有遲滯的 ESD 箝位電路係為已知，其係在導通設定點以下的某點上具有關閉或“保持”或“迅速跳回”電壓。然而，特定保持電壓難以被配置，其係並且經常以一件接一件為基礎來設計。例如，特定關閉點不會被保證，其係並且可各元件地或以不同操作情況來變化。同樣地，特定的關閉點可被設計用於明確的操作電壓範圍，其係並且需要額外的工程設計以用於不同的電壓位準或用於為了不同客戶而設計的不同部件。因此，習知的 ESD 箝位電路不具有受控遲滯。

【發明內容】

本發明係關於一種用於耦合於第一與第二節點之間的靜電放電箝位、一種積體電路、以及一種用於將發生於第一與第二節點之間的靜電放電脈衝加以耗散的方法。

在一些實施例中，一種用於耦合於第一與第二節點之間的靜電放電箝位包含：一箝位電路，其係用於當導通時，將第一與第二節點之間的電壓限制在預定最大位準；一第

一電壓臨界電路，其係耦合到該箝位電路並具有一可選擇的第一臨界電壓，其中當第一與第二節點之間的該電壓增加到該第一電壓臨界值以上時，該第一電壓臨界電路會觸發，以導通該箝位電路；以及一第二電壓臨界電路，其係被耦合到該箝位電路並具有一可選擇的第二臨界電壓，其中當該箝位電路導通時，該第二電壓臨界電路會觸發，並且當在第一與第二節點之間的該電壓減少到小於該第一臨界電壓的該第二臨界電壓時會被關閉，以關閉該箝位電路。

在一些進一步實施例中，一種積體電路包含：一正靜電放電軌道；一負靜電放電軌道；以及一靜電放電箝位電路。該靜電放電箝位電路包含：一箝位電路，其係耦合於該正與負靜電放電軌道之間，其係當導通時將該正與負靜電負電軌道之間的電壓限制在預定最大位準；一第一電壓臨界電路，其係耦合到該箝位電路並具有一可選擇第一臨界電壓，其中當在該正與負靜電放電軌道之間的該電壓增加到該第一電壓臨界值以上時，該第一電壓臨界電路會觸發，以導通該箝位電路；以及一第二電壓臨界電路，其係耦合到該箝位電路並具有一可選擇第二臨界電壓，其中當該箝位電路導通時，該第二電壓臨界電路會觸發，並且當在正與負靜電放電軌道之間的該電壓減少到小於該第一臨界電壓的該第二臨界電壓時會被關閉，以關閉該箝位電路。

在一些額外的實施例中，一種將發生於第一與第二節點之間之靜電放電脈衝加以耗散的方法，包含：將箝位電路耦合於第一與第二節點之間，其中該箝位電路會被配

置，以當導通時，將在第一與第二節點之間的電壓限制在預定最大位準；以具有可選擇第一臨界電壓的第一電壓臨界電路使箝位電路產生偏壓，其中當在第一與第二節點之間的電壓增加到第一電壓臨界值以上時，第一電壓臨界電路會觸發以導通箝位電路；以及將具有可選擇第二臨界電壓的第二電壓臨界電路耦合到箝位電路，其中當該箝位電路導通時，第二電壓臨界電路會觸發，並且當在第一與第二節點之間的電壓減少到小於該第一臨界電壓的第二臨界電壓時被關閉，以關閉該箝位電路。

【實施方式】

本發明的優勢、特徵與優點將相關於以下說明與附圖而變得更有利於理解。

以下說明係被呈獻以致使一般熟諳該技藝者能夠製造與使用在特定應用與其需求規格之背景內所提供的本發明。然而，對較佳實施例的種種修改將為那些熟諳該技藝者所明瞭，且在此所定義的普通原理可被應用到其它實施例。因此，本發明不打算受限於在此所顯示與說明的特定實施例，但卻符合與在此所揭露原理與新特徵一致的最寬範圍。

根據種種實施例所設計的 ESD 箝位電路包括受控遲滯。在此所使用的詞“遲滯”意味著，ESD 箝位電路會依據它從關閉狀態轉換成導通狀態或者從導通狀態轉換成關閉狀態而有不同反應。在此所使用的詞“受控遲滯”意味著導通與關閉兩設定點會被個別定制或選擇。

圖 1 係為根據一種實施例所實施之合併具有受控遲滯之 ESD 箝位電路 101 之積體電路 (IC) 100 的概要與方塊圖。IC 100 使用一 ESD 保護配置，其係稱為雙二極體保護或上/下二極體保護。ESD 箝位電路 101 係被耦合於正 ESD 軌道 103 與負 ESD 軌道 105 之間。在此情形中，正 ESD 軌道 103 會被耦合到 VDD 源極電壓接腳 107，且負 ESD 軌道 105 會被耦合到 VSS 參考電壓接腳 109。那些熟諳該技藝者會理解到，軌道 103 與 105 可被直接耦合到在 IC 100 內的源極電壓墊或電壓面，而不是直接到接腳 107 與 109。IC 100 進一步包括任何數目的輸入/輸出 (I/O) 接腳 111，其係各自以 PIN 1、PIN 2、PIN 3...、PIN X 顯示。一對二極體可被連接於每一接腳與源極電壓接腳 107 與 109 之間。如圖所示，第一組二極體 D1、D3、D5...、D7 它們的陰極會耦合到正 ESD 軌道 103，且第二組二極體 D2、D4、D6...、D8 它們的陽極會耦合到負 ESD 軌道 105。每一個二極體 D1、D3、D5...、D7 它的陽極會耦合到接腳 PIN 1、PIN 2、PIN 3...、PIN X 的個別其中一個，且每一個二極體 D2、D4、D6...、D8 它的陰極會耦合到接腳 PIN 1、PIN 2、PIN 3...、PIN X 的個別其中一個。

雙二極體保護結構意指該對二極體連接到 IC 101 的每一接腳。這些二極體會被使用來將 ESD 事件所產生的大電流導入到所有接腳所共享的 ESD 箝位電路 101。在 ESD 事件內，ESD 箝位電路 101 導通並且關閉電流，同時將晶片上電壓降最小化。一旦 ESD 脈衝離開的話，ESD 箝位電路

101 會關閉，以避開在 IC 100 之正常操作中的干擾。舉例來說，從 PIN 1 施加到 PIN 2 的正 ESD 脈衝會造成電流脈衝向上行進經過二極體 D1，如箭頭 102 所示，向下經過 ESD 箝位電路 101，如箭頭 104 所示，並且隨後向上經過二極體 D4，如箭頭 106 所示。相同的路徑會存在於 IC 100 的所有 I/O 接腳對之間。此排列係設計成使得二極體僅僅引導 ESD 電流呈順向方向。這會使它們的面積被做成比在反向方向中操縱相同數量電流所另外需要者還小很多。二極體面積的此種減少亦會將它們的電容量與漏電流最小化。在正常操作期間內，來自上二極體的漏電流會流向接腳，同時來自下二極體的漏電流會流出該接腳。這些相反漏電流傾向於彼此部份取消，以進一步減少起因於在 IC 100 接腳上所看到 ESD 網路的淨漏電流。

圖 2 係為合併 ESD 箝位電路 101 之 IC 200 的概要與方塊圖，其係使用類似圖 1 的雙二極體 ESD 保護配置，除了具有浮動 ESD 軌道以外。在此情形中，I/O 接腳 111 與 ESD 箝位電路 101，其係以與圖 1 實質相同的方式被包括且耦合於正與負 ESD 軌道 103 與 105 之間。然而，在此情形中，源極電壓接腳 107 被耦合到二極體 D5 的陽極以及二極體 D6 的陰極，且參考電壓接腳 109 被耦合到二極體 D7 的陽極以及二極體 D8 的陰極。D7 的陰極被耦合到正 ESD 軌道 103，且二極體 D8 的陽極被耦合到負 ESD 軌道 105。圖 2 的結構可被使用於一應用，其中輸入/輸出接腳係在正常供應範圍以外的電壓上操作。例如，在正常操作內，假如輸

入訊號必須超過正供應電壓源極電壓數個伏特的話，那麼正 ESD 軌道 103 則會浮動於源極電壓以上。在正常操作下，正 ESD 軌道 103 會充電到非常接近源極電壓的電壓。然而，當該輸入被拉到比源極電壓更高時，在正 ESD 軌道 103 上的電壓則能夠隨著它而上升。這事件會造成非常小的直流電流流動，其係因為正 ESD 軌道 103 沒有直接連結到源極電壓但卻反而經由反向偏壓二極體 D5 連結到源極電壓。此相同技術可以負 ESD 軌道 105 來使用，以使訊號到負供應參考電壓下面。

在此所說明具有包括可選擇導通與關閉臨界電壓之受控遲滯的靜電放電箝位，其係特別有利於保護積體電路與晶片，但卻不侷限於積體實施例，其係並且可使用不連續邏輯或裝置與元件來實施。在積體實施例中的 ESD 保護裝置與結構會對佈局敏感。

通常可採取措施來將 ESD 放電路徑的串聯電阻最小化，譬如使用非常大的電晶體、二極體與金屬匯流排線以傳導電流。要小心避免電流集中或群聚在一裝置的任一個面積中；反而，可採取措施，以儘可能均勻地將放電電流展開。許多這些佈局技術係為那些一般熟諳該技藝者所已知。

圖 3 係為根據一種實施例所設計之具有受控遲滯之 ESD 箝位電路 300 的概要圖，其係可被使用當作 ESD 箝位電路 101。PNP 雙極性接面電晶體 (BJT) P1 它的射極耦合到正 ESD 軌道 103，它的基極耦合到節點 301，且它的集極

耦合到節點 303。電阻器 R1 被耦合於軌道 103 與節點 301 之間。NPN BJT N1 它的基極耦合到節點 303，且它的射極耦合到負 ESD 軌道 105。電阻器 R2 係耦合於節點 303 與軌道 105 之間。第一電壓臨界 (VT) 電路 Z1 耦合於節點 301 與軌道 105 之間，且第二 VT 電路 Z2 耦合於節點 301 與 N1 的集極之間。在正常操作內，正 ESD 軌道 103 正常下會被維持在大約源極電壓的電壓，或者它可在譬如圖 2 所示的浮動配置中稍微浮動地更高。在正常操作內，負 ESD 軌道 105 正常下會被維持在大約參考電壓的電壓，或者它可在浮動配置中稍微浮動地更低。如以下所進一步說明地，每一 VT 電路 Z1 與 Z2 的臨界電壓可被選擇或定制，以將 ESD 箝位電路 300 的導通與關閉設定點程式化。

在正常操作內，標稱電壓位準可被施加於軌道 103 與 105 之間，其中標稱電壓位準會比 Z1 與 Z2 的電壓臨界值更低。以此方式，Z1 與 Z2 會關閉，以允許一些或沒有任何電流流動。因此，電阻器 R1 與 R2 會具有一些或不具有任何電流流動，以致於節點 301 會被拉到軌道 103 的電壓，且節點 303 會被向下拉到軌道 105 的電壓。以此方式，P1 正常下會藉由電阻器 R1 而維持關閉，且 N1 正常下會藉由電阻器 R2 而維持關閉。在施加高電壓 ESD 脈衝的 ESD 事件內，正與負 ESD 軌道 103 與 105 之間的電壓會增加。當 ESD 脈衝的電壓達到 Z1 的電壓臨界值時，電流會開始流動經過 R1 與 Z1。當 ESD 脈衝的電壓上升時，電流會增加，直到最後經過 R1 的電壓降會使 P1 的基極至射極接面產生順向

偏壓，以造成它導通。箝位觸發電壓係為 P1 的基極至射極電壓 (VBE) 加上 Z1 的電壓臨界值。P1 的集極電流會造成 R2 的電壓降，其係會使 N1 的基極-射極接面產生順向偏壓，而導致它亦同樣地導通。假如 Z2 的擊穿電壓小於 Z1 的話，那麼電流會同樣地流經 Z2 與 N1。此電流當做 P1 用的額外基極電流，以造成額外集極電流流經 P1，其係進一步地當做 N1 用的額外基極電流。以此方式，正反饋迴路發生在電晶體 P1 與 N1 之間，以驅動其中兩者成為硬式傳導。因此，數個電流路徑會被開路，以釋放 ESD 脈衝的電壓。主要電流路徑係為 P1 的集極至射極 + N1 的基極至射極。額外的電流路徑係經過 Z1 與 Z2 地設置 (其中，電流數量取決於 Z1 與 Z2 的特定配置)，其係包括 P1 的射極至基極 + Z1，以及 P1+Z2+N1 的集極至射極。額外的限流路徑則存在經過電阻器 R1 與 R2。

當 ESD 脈衝被釋放時，經過正至負 ESD 軌道 103 與 105 的電壓則會減少。在某點上，此電壓會減少到足以使 Z1 離開擊穿。然而，由 P1、N1 與 N2 所形成的正反饋迴路則會持續使 P1 與 N1 兩者導通。當經過 Z2 的電壓進一步下降到它的臨界電壓時，Z2 會關閉，其係會結束 P1 的基極電流流動。Z2 的關閉會中斷正反饋迴路且 P1 與 N1 兩者會關閉，以致於 ESD 箝位電路 300 會在實質耗散 ESD 脈衝以後關閉。

ESD 箝位電路 300 的遲滯會受到 Z1 與 Z2 所控制。Z1 的臨界電壓加上 P1 的 VBE 會將電壓設定在 ESD 箝位電路 300 從關閉狀態轉換到導通狀態處，以有效地定義 ESD 脈

衝的最大可允許電壓位準。雖然 P1 之 VBE 的準確值不為已知，但是 P1 的 VBE 通常會落入已知範圍內。再者，相較於 Z1 的基本臨界電壓，VBE 的任何不確定性係為相當小。例如，BJT 的 VBE 一般落在大約 0.5V 至大約 1V 的範圍內。Z1 的臨界電壓會被選出並因此被明確配置，以定制 ESD 箝位電路 300 的導通電壓。Z2 的臨界電壓，加上 P1 的 VBE 以及 N1 的飽和電壓 (VSAT)，其係會將電壓設定在 ESD 箝位電路 300 從導通狀態轉換到關閉狀態之處。再者，N1 的飽和電壓 VSAT 一般同樣地會落在已知範圍內，譬如 BJT 的大約 0.1V 至大約 0.5V。因為 P1 的電壓範圍 VBE 以及 N1 的 VSAT 兩者均為已知並且相當小，所以 Z2 的臨界電壓會被選出並因此被明確配置，以定制 ESD 箝位電路 300 的關閉電壓。在一種實施例中，導通與關閉電壓兩者會被選擇為比軌道 103 與 105 的正常操作電壓範圍更大，以安全地耗散 ESD 脈衝並且確保免於損壞的保護，並且進一步確保 ESD 箝位電路 300 在 IC 的正常操作電壓範圍以上關閉。以此方式，當 IC 在一電路中操作時，ESD 閃鎖電路 300 沒有閃鎖，其係並且因而允許正常操作在耗散 ESD 脈衝以後持續。

圖 4 係為根據另一實施例所設計之具有受控遲滯之 ESD 箝位電路 400 的概要圖，其係可被使用當作 ESD 箝位電路 101。ESD 箝位電路 400 具有與 ESD 箝位電路 300 相似的特徵，其中相似的元件會採取相同的參考數字。在此情形中，NPN BJT N2 會被添加，以提供額外的放電路徑給

ESD 電流。N2 的集極會被耦合到正 ESD 軌道 103，其射極會被耦合到負 ESD 軌道 105，且其基極會被耦合到節點 303。在此配置中，P1 提供基極電流給 N2 以及 N1。N2 的電流路徑會被直接連接通過正與負 ESD 軌道 103 與 105，以提供低阻抗 ESD 放電路徑。ESD 箝位電路 400 的另一差別係為 Z1 沒有耦合到負 ESD 軌道 105，但卻替代地耦合於節點 301 與 303 之間。這會允許觸發電流在 ESD 事件內流動經過 Z1，以產生經過 R1 與 R2 兩者的電壓降，以觸發 P1 與 N1 兩者而非僅僅 P1。

ESD 箝位電路 400 的操作類似 ESD 箝位電路 300。在正常操作下，標稱電壓位準會被施加在軌道 103 與 105 之間，以致於無法達到 Z1 與 Z2 的電壓臨界值，且在有些許或沒有任何電流流動之下，它們兩者均會被關閉。電阻器 R1 會將節點 301 往高處推，以維持 P1 關閉，且電阻器 R2 會將節點 303 往低處推，以維持 N1 與 N2 兩者關閉。在此情形中，Z1 的臨界電壓加上 P1 的 VBE 以及 N1 與 N2 兩者的 VBE，其係會將電壓平行設定在 ESD 箝位電路 400 從關閉狀態轉換至導通狀態之處，以有效地定義 ESD 脈衝的最大可允許電壓位準。因應具有電壓上升到最大位準的 ESD 脈衝，Z1 會開始將電流牽引經過電阻器 R1 與 R2 兩者。最終，經過 R1 的電壓降會使 P1 的基極-射極接面產生順向偏壓，以導致它導通，且經過 R2 的電壓降（來自經過 Z1 與 P1 的電流）會使 N1 與 N2 基極-射極接面產生順向偏壓，以將它們兩者導通。假如 Z2 的電壓臨界值比 Z1 更低的話，

那麼 Z2 則會導通，且 N1 會牽引電流經過 Z1，以提供額外的基極電流給 P1。發生於電晶體 P1 與 N1 之間的正反饋迴路，其係會將它們兩者連同 N2 驅動到硬式傳導。ESD 脈衝會被釋放經過數個個別電流路徑，其係包括 N2 的集極至射極路徑、P1 的集極至射極 + N1 與 N2 的基極至射極路徑、 $P1+Z1+(N1 \text{ 與 } N2)$ 、以及 $P1+Z2+N1$ 。額外的限流路徑則存在經過電阻器 R1 與 R2。

當 ESD 脈衝被釋放時，經過正至負 ESD 軌道 103 與 105 的電壓會減少。在某點上，這電壓會減少到足以使 Z1 離開擊穿並且停止電流流動。假定 Z2 的電壓臨界值比 Z1 更低的話，P1、N1 與 Z2 所形成的正反饋迴路會持續使 P1 與 N1 兩者維持導通。Z2 的臨界電壓加上 P1 的 V_{BE} 以及 N1 的飽和電壓 V_{SAT} ，其係會將電壓設定在 ESD 箝位電流 300 從導通狀態轉換到關閉狀態之處。當經過軌道 103 與 105 的電壓減少到此位準時，經過 Z2 的電壓則會下降到它的臨界電壓且 Z2 會關閉，以停止 P1 之基極電流的電流流動。Z2 關閉會中斷迴路且 P1、N1 與 N2 會關閉，以致於 ESD 箝位電路 400 會在耗散 ESD 脈衝以後關閉。

因為 P1、N1 與 N2 的 V_{BEs} 是在相當小的已知電壓範圍內，所以 Z1 的臨界電壓會被選擇或者另外被配置，以定制 ESD 箝位電路 400 的導通電壓。因為 N1 的 V_{SAT} 同樣相當小並且在已知電壓範圍內，所以 Z2 的臨界電壓會被選擇或者另外被配置，以定制 ESD 箝位電路 400 的關閉電壓。在一種實施例中，導通與關閉電壓兩者會被選擇為比軌道

103 與 105 的正常操作電壓範圍更大，以確保受到保護免於受到由 ESD 脈衝所另外引起的傷害，並且確保 ESD 箝位電路 400 關閉以及不會閃鎖，以便允許正常操作在 ESD 脈衝被耗散以後仍持續。

圖 5 係為根據另一實施例所設計之具有受控遲滯之 ESD 箝位電路 500 的概要圖，其係可被使用當作 ESD 箝位電路 101。ESD 箝位電路 500 具有與 ESD 箝位電路 400 相似的特徵，其中相似的元件採取相同的參考數字。就 ESD 箝位電路 500 而言，VT 電路 Z1 會被分為兩 VT 電路 Z3 與 Z4，其係具有耦合到節點 501 的中間接面。ESD 箝位電路 400 的 VT 電路 Z2 會被 NPN 電晶體 N3 所替代，它的基極耦合到節點 501，它的集極耦合到節點 301，且它的射極進一步耦合到 N1 之集極的節點 503。電阻器 R3 係耦合於 N3 的基極與射極之間。依據 Z2 的配置，NPN 電晶體 N3 會比 Z2 更適合處理在 ESD 事件內流到 N1 集極內的相當大電流。例如，假如 Z2 另外以一疊的一或更多反向或齊納二極體來實施的話，那麼齊納二極體的電阻性特性則會傾向於限制電流在 ESD 事件內流到 N1。N3 具有比齊納二極體明顯更小的電阻，以致於它會在被導通時允許更大的電流流到 N1。

在 ESD 事件內，ESD 箝位電路 500 以與 ESD 箝位電路 400 類似的方式來操作。用於 ESD 箝位電路 500 的導通電壓係由 Z1 的臨界電壓(其係為 Z3 加上 Z4 的合併臨界電壓)加上 P1 的 VBE 加上 N1 的 VBE(或者平行 N1&N2 的 VBEs，

其係與任一者的 VBE 實質相同) 之總和所設定。一旦 ESD 箝位電路 500 被促動的話，ESD 脈衝會經過數個個別電流路徑被釋放，包括 $N2$ 、 $P1 + (N1 \text{ 與 } N2)$ 、 $P1 + N3 + N1$ 、 $P1 + Z3 + Z4 + (N1 \text{ 與 } N2)$ 、 $P1 + Z3 + N3 + N1$ ，其係伴隨結合電阻器 $R1$ 、 $R2$ 與 $R3$ 的數個限流路徑。關閉電壓係藉由 $Z3$ 的臨界電壓加上 $P1$ 與 $N3$ 的 VBEs 加上 $N1$ 的 VSAT 所設定。 $R3$ 會被包括以確保 $N3$ 關閉。因為 $P1$ 與 $N1-N3$ 的 VBEs 以及 $N1$ 的 VSAT 相當小並且在已知電壓範圍內，所以導通與關閉電壓可藉由定制 $Z3$ 與 $Z4$ 臨界電壓被輕易地程式化。 $Z3 + Z4$ (或 $Z1$) 的組合臨界電壓決定導通電壓，且 $Z3$ 的臨界電壓則會單獨決定關閉電壓。在一種實施例中，VT 電路 $Z1$ 係以一疊電壓臨界裝置來實施，如以下所進一步實施地，其中節點 503 會被耦合到該堆疊的所選中間界面。

在 ESD 事件內，如先前所說明的，相對於負 ESD 軌道 105，正 ESD 軌道 103 的電壓會增加。ESD 脈衝電壓出現於 $Z3$ 與 $Z4$ 的串聯組合，且當 $Z3$ 與 $Z4$ 的組合臨界電壓達到時，電流會向下流動經過 $R1$ 而到 $Z3$ 與 $Z4$ 內，以及經過 $R2$ 而流出。這會對 $P1$ 、 $N1$ 與 $N2$ 的基極射極界面產生順向偏壓。當 $N1$ 來到 $N3$ 之基極-射極接面上時，順向偏壓會造成它傳導。 $N1$ 與 $N3$ 的集極電流會提供基極電流給 $P1$ 。 $P1$ 的集極電流隨後則提供額外的基極電流給 $N1$ 與 $N2$ 。

一旦被觸發的話，由 $P1$ 、 $N1$ 與 $N3$ 製成的正反饋迴路則會傳導，只要電壓與電流能夠有效地將它維持導通的話。此動作同樣提供驅動給大型 NPN 電晶體 $N2$ ，其係進一

步將經過 ESD 軌道 103 與 105 的電壓箝位。當經過 ESD 軌道的電壓下降到最初觸發電壓以下時，Z4 會擺脫擊穿。然而，正反饋動作會將箝位電路 500 維持導通，以將電壓拉到甚至比較低處。最終，該電壓會被向下拉到一點，以達到 Z3 的臨界電壓，以致於經過 Z3 的電流能夠停止。在此點上，N3 會關閉，以中斷電晶體 P1 與 N1 所形成的正反饋迴路並且關閉 ESD 箝位電路 500。在一種實施例中，箝位 500 的保持電壓會大於標稱操作電壓，該標稱操作電壓能夠確保當該裝置以其正常供應電壓來電力啟動時箝位 500 沒有維持在門鎖。總之，ESD 箝位電路 500 的導通電壓係藉由 Z3 加 Z4 來設定，且關閉或保持電壓則僅僅藉由 Z3 所設定。這兩電壓設定點係藉由選擇 Z3 與 Z4 的臨界電壓所配置。

圖 6 係為根據另一實施例所設計之使用金屬氧化物半導體 (MOS) 裝置之具有受控遲滯之 ESD 箝位電路 600 的概要圖，其係可被使用當作 ESD 箝位電路 101。ESD 箝位電路 600 實質類似 ESD 箝位電路 300，除了 PNP BJT P1 以 P 型金屬氧化物半導體 P1 替代，NPN BJT N1 以 N 型金屬氧化物半導體 N1 替代，且 N 型金屬氧化物半導體裝置 N2 以與將 N2 添加以用於 ESD 箝位電路 400 的類似方式來添加以外。因此，P1 的源極耦合到正 ESD 軌道 103，它的閘極耦合到節點 301，且它的汲極耦合到節點 303。N1 的汲極會耦合到 Z2、它的閘極會耦合到節點 303，且它的源極耦合到負 ESD 軌道 105。N2 的汲極耦合到正 ESD 軌道 103、

它的源極耦合到負 ESD 軌道 105 且它的閘極耦合到節點 303。電阻器 R1 與 R2 會以相同的方式被包括與耦合，雖然它們的電阻值根據金屬氧化物半導體操作來調整的話。

如以前，Z1 設定導通電壓，Z2 設定關閉電壓，P1 與 N1 形成反饋迴路，且 N2 係為主要箝位元件。該導通電壓係由 P1 的閘極至源極臨界電壓 (VGS) 加上 Z1 的臨界電壓所決定。該關閉電壓係藉由 P1 的 VGS 加上 Z2 的臨界電壓加上 N1 的汲極-源極飽和電壓 ($V_{DS\text{飽和}}$) 所決定。

圖 7 係為根據另一實施例所設計之具有受控遲滯的 ESD 箝位電路 700 的概要圖，其係包括失效電路 701。ESD 箝位電路 700 類似 ESD 箝位電路 500，其中失效電路 701 耦合到負 ESD 軌道 105、節點 303 以及源極電壓接腳 107 與 109。失效電路包括齊納二極體 Z4、PNP BJT P2、NPN BJT N4、以及一對電阻器 R4 與 R5。Z4 它的陰極耦合到源極電壓接腳 107，且它的陽極耦合到 P2 的射極。P2 它的基極耦合到電阻器 R4 的一個端點，且它的集極耦合到電阻器 R5 的一個端點以及 N4 的基極。電阻器 R4 的另一端點耦合到參考電壓接腳 109。電阻器 R5 的其它端點以及 N4 的射極兩者均耦合到負 ESD 軌道 105。

雖然沒有顯示，ESD 箝位電路 700 對使用高電壓氧化物隔離互補雙極性製程來製造的正交型二極體橋接超音波切換器有用。在一種實施例中，該裝置的供應電壓係為 +/-5 伏特。然而，在某種情況下，切換器會阻擋超音波轉換器脈衝，其係為具有 10 奈秒 (ns) 上升與下降時間的 +/-80

伏特。提供 ESD 保護電路給晶片，並因此僅僅回應真實的 ESD 事件，同時忽視相當大且快速的超音波脈衝，其係是令人希望的。然而，因為超音波脈衝具有與人體模型 (HBM) ESD 事件相同的上升時間，所以便難以在 ESD 事件與超音波脈衝之間進行區分。雖然超音波脈衝的量值沒有與 ESD 脈衝一樣大，但是兩者均會充分地正常供應電壓以上並且難以區分。

ESD 箝位電路 700 使用供應電壓的存在或不在，以決定操作模式。超音波脈衝可被決定僅僅存在於該部件被電力啟動時。另一方面，ESD 事件，其係幾乎有可能會當該部件被電源中斷時發生。在 ESD 箝位電路 700 中，Z4、P2 與 R1 共同檢測 +/-5 伏特供應是否存在。假如供應存在的話，P1 會導通並且提供基極電流給 N2。當 N2 導通時，它會將 N1 與 N2 的基極向下拉，以難以導通這些裝置並因而使 ESD 箝位電路 700 失效。在此方式中，+/-80 伏特超音波轉換脈衝可被施加到切換器輸入接腳，而不需要藉由 ESD 箝位電路 700 將它箝位。

在一種實施例中，Z3 與 Z4 兩者均藉由將數個 5V 齊納二極體串聯地放置來配置。例如，Z3 合併 3 個 5V 齊納，且 Z4 合併 13 個 5V 齊納二極體，以用於全部 16 個齊納二極體。Z3+Z4 齊納堆疊的全部擊穿會稍微超過 80V。此電壓會被選為高於 80V 超音波脈衝。在此實施例中，箝位 700 的保持電壓大體上約 15V (其係由 3.5V 齊納二極體串聯耦合以形成 Z3 來決定)，其係確保當該裝置以它的正常 10V

供應器來電力啟動時箝位 700 並沒有繼續閉鎖。總之，ESD 箝位電路 700 的崩潰電壓係由 Z3 加上 Z4 所設定，且保持電壓係僅僅由 Z3 所設定。

在一種實施例中，在此所說明的任一 ESD 箝位電路的每一個 VT 電路 Z1—Z4，其係以配置以具有特定臨界電壓位準的至少一個裝置來實施。舉例來說，齊納二極體係以一受控擊穿電壓來設計，以致於當等於或大於擊穿電壓的反向偏壓電壓被施加時，齊納二極體能夠展現擊穿電壓的電壓降。齊納二極體可以許多不同的電壓位準來配置，譬如 3.2 伏特 (V)、5V、5.6V 等等。一些普通的互補式金屬氧化物半導體 (CMOS) 製程不會提供具有希望擊穿電壓位準的齊納二極體。甚至在此製程中，可能可藉由將 P+ 源極汲極植入連接到 N+ 源極汲極植入並且提供接點在每一側上來配置此一裝置。一些類比互補式金屬氧化物半導體製程會提供隱藏的齊納，其係被設計以使用當作閘極氧化物保護二極體。此裝置一般具有大約 5V 的擊穿。大部分的雙極性製程會提供 5V 至 7V 範圍的齊納二極體。在任何事件中，Z1—Z4 元件可從任何裝置組合製成，其係可被使用來建立一參考電壓，譬如順向二極體或二極體連接金屬氧化物半導體電晶體。

在替代性實施例中，在此所說明之任一 ESD 箝位電路之 VT 電路 Z1-Z4 的任一個或更多個，其係可以一串聯耦合堆疊的電壓臨界 (VT) 裝置來實施。每一個 VT 裝置皆具有相關的電壓臨界位準，以致於該疊串聯耦合 VT 裝置能夠

具有一全電壓臨界值位準，其係藉由將個別裝置的臨界電壓加在一起所決定。每一個 VT 電路係藉由選擇電壓臨界裝置的型態與數目而被配置，以將希望的電壓臨界值程式化。種種型態的 VT 裝置可被預期，譬如圖 8 所示的反向二極體或齊納二極體、圖 9 所示的順向二極體、圖 10 所示的達林頓連接 PNP 電晶體、圖 11 所示的二極體連接 PNP 電晶體、圖 12 所示的二極體連接 NPN 電晶體、圖 13 所示的二極體連接 N 型金屬氧化物半導體（或 N 型場效電晶體）電晶體、圖 14 所示的二極體連接 P 型金屬氧化物半導體（或 P 型場效電晶體）電晶體等等。

在此所說明之任一 ESD 箝位電路的 VT 電路 Z1—Z4 可進一步藉由結合不同電壓位準的 VT 裝置來實施。圖 15 係為根據一種實施例所設計之事先配置以實施可定制 VT 電路 ZX 之積體電路 1500 的精簡概要圖。5V 齊納二極體之堆疊 1502 以及 0.7V 順向二極體的另一堆疊 1504 會被整合在 IC 1500 上。在齊納二極體堆疊 1502 底部上的參考節點 1501 會形成 VT 電路 ZX 的第一端點。齊納二極體堆疊 1502 的中間節點 1503 會被選擇以包括 4 個 5V 齊納二極體，且在順向二極體堆疊 1504 的底部上，導體 1505 會從節點 1503 路由到節點 1507。順向二極體堆疊 1504 的中間節點 1509 會被選擇以添加 3 個 0.7V 順向二極體，且導體 1511 會形成 VT 電路 ZX 的第二端點。以此方式，VT 電路 ZX 會在第一端點 1501 與第二端點 1511 之間形成具有大約 23V 的選擇臨界電壓。替代性連接會被進行以定制具有任何選擇臨

界電壓位準的任何部件。在另一實施例中，個別電壓臨界裝置不會被事先連接到一堆疊結構內，但相反地卻獨立進行且沒有彼此連接。在此情形中，電壓臨界電壓會以任何適當的順序被耦合在一起，以程式化一或更多個 VT 電路，以使用於 ESD 箝位電路中。

在此所說明的靜電放電箝位係被耦合於電子電路的任一第一與第二節點之間，其中將電壓限制於預定最大位準以保護其它電子電路是令人希望的。因此，靜電放電箝位電路會導通，以將呈現在該些節點之間之 ESD 脈衝電壓耗散。靜電放電箝位電路包括箝位電路以及第一與第二電壓臨界電路。箝位電路一般包括 P-型與 N-型裝置，譬如 NPN 與 PNP 雙極性接面電晶體、P-通道與 N-通道場效電晶體、P-通道與 N-通道金屬氧化物半導體電晶體等等。每一 P-型或 N-型裝置可以平行耦合的一或更多裝置來實施（例如共用汲極、源極與閘極、或者共用集極、射極與基極、或類似物），以增加載流量容量。

箝位電路亦可包括偏壓裝置，譬如電阻性裝置與類似物，其係以電壓臨界電路來操作，以使該箝位產生偏壓，以在所選的臨界電壓上導通與關閉。該箝位電路仍維持關閉，同時經過第一與第二節點的電壓則是在標稱操作電壓以下。標稱操作電壓一般由源極電壓位準所決定，譬如源極電壓與參考電壓或任何其它對源極電壓。第一與第二節點可被允許在標稱操作電壓內的更高電壓範圍內浮動。第一電壓臨界電路係以所選第一臨界電壓被配置，並且操作

以當第一與第二節點之間的電壓增加到第一電壓臨界值以上時觸發與導通箝位電路。在特定實施例中，經過節點的電壓會上升到箝位電路的第一電壓臨界值以上，其係相差一或更多個電晶體接面電壓。在一種實施例中，當箝位電路導通時，它會形成正反饋迴路，以將 N-型與 P-型裝置放置在硬式傳導中，以快速耗散 ESD 脈衝。第二電壓臨界電路係以小於第一臨界電壓的所選第二臨界電壓來配置，以致於當箝位電路導通時，它能夠導通並且牽引電流。當箝位電路導通時，它會形成複數個電流路徑，其係包括經過第一與第二電壓臨界電路的電流路徑，以耗散 ESD 脈衝。

當經過節點的電壓減少到第一臨界電壓以下時，即使第一電壓臨界電路可被關閉且不再牽引電流的話，箝位電路則仍會維持偏壓導通，直到電壓減少到第二臨界電壓為止。在此點上，第二電壓臨界電路會關閉，其係關閉整個靜電放電箝位。因為第一與第二臨界電壓可被定制或選擇或程式化或類似情形，第二臨界電壓則可被配置在比標稱操作電壓更大的任何希望電壓位準上。以此方式，靜電放電箝位不僅僅提供 ESD 保護，它將完全關閉並且沒有門鎖，其係因此在 ESD 脈衝被耗散以後允許電路恢復正常操作。

第一與第二電壓臨界電路的每一個均包括一或更多個電壓臨界裝置。電壓臨界裝置的非限制性實例包括反向二極體、順向二極體、達林頓連接 NPN 或 PNP BJTs、二極體連接 P-型或 N-型裝置，譬如雙極性接面電晶體、場效電晶

體、金屬氧化物半導體電晶體、金屬氧化物半導體場效電晶體等等。兩或更多相同或不同型態的電壓臨界裝置可被並聯耦合，以形成一疊裝置，以形成電壓臨界電路。在此所揭露的靜電放電箝位可被實施於 IC 上，並且耦合於正與負 ESD 軌道之間，其係可被浮動或直接耦合到相應的源極電壓。IC 包括複數個電壓臨界裝置，其係可被耦合在一起，以形成一或更多個電壓臨界電路。因此，每一 IC 的上與下臨界電壓，其係可根據包括不同源極電壓範圍的特定規格或需求而被定制。

雖然本發明係參考特定較佳版本而被相當詳細地說明，但是其它版本與變化仍有可能並在考慮範圍內。那些熟諳該技藝者應該理解，它們可輕易地使用所揭露的概念與特定實施例做為用來設計或修改其它結構的基礎，以用來提出本發明的相同目的而不背離以下申請專利範圍所定義的本發明精神與範圍。

【圖式簡單說明】

圖 1 係為根據一種實施例所實施之合併具有受控遲滯之 ESD 箝位電路之積體電路 (IC) 的概要與方塊圖；

圖 2 係為合併圖 1 之 ESD 箝位電路之 IC 的概要與方塊圖，其係使用類似圖 1 的雙二極體 ESD 保護結構，除了具有浮動 ESD 軌道以外；

圖 3 到圖 6 係為根據相應實施例所設計之具有受控遲滯之 ESD 箝位電路的概要圖式，其係可被使用當作圖 1 的 ESD 箝位電路；

圖 7 係為根據類似圖 5 所示另一實施例所設計之具有受控遲滯之 ESD 箝位電路的概要圖式，其係並且包括當提供源極電壓時用來使箝位電路失效的失效電路；

圖 8 到圖 14 顯示電壓臨界裝置的種種實施例，其係可被使用於圖 1 到圖 7 的任何 ESD 箝位電路中；以及

圖 15 係為根據一種實施例所設計之事先配置以實施可定制 VT 電路 ZX 之積體電路的精簡概要圖。

【主要元件符號說明】

100	積體電路
101	靜電放電箝位電路
102	向上行進經過二極體 D1 的電流脈衝
103	正靜電放電軌道
104	向下行進經過靜電放電箝位電路的電流脈衝
105	負靜電放電軌道
106	向上行進經過二極體 D4 的電流脈衝
107	VDD 源極電壓接腳
109	VSS 參考電壓接腳
111	輸入/輸出接腳
200	積體電路
300	靜電放電箝位電路
301	節點
303	節點
400	靜電放電箝位電路
500	靜電放電箝位電路

501	節點
503	節點
600	靜電放電箝位電路
700	靜電放電箝位電路
701	失效電路
1500	積體電路
1501	參考節點
1502	齊納二極體堆疊
1503	中間節點
1504	順向二極體堆疊
1505	導體
1507	節點
1509	中間節點
1511	導體
D1 ~ D8	二極體
N1 ~ N4 NPN	雙極性接面電晶體
P1、P2 PNP	雙極性接面電晶體
R1 ~ R5	電阻器
Z1 ~ Z4	電壓臨界值電路

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99124300

※申請日：99.11.23

※IPC 分類：

H01L 23/60 (2006.01)

H01A 9/04 (2006.01)

一、發明名稱：(中文/英文)

具有包含可選擇導通和關閉臨界電壓之受控遲滯的
靜電放電箝位

ELECTROSTATIC DISCHARGE CLAMP WITH
CONTROLLED HYSTERESIS INCLUDING
SELECTABLE TURN ON AND TURN OFF THRESHOLD
VOLTAGES

二、中文發明摘要：

本發明揭露一種靜電放電 (ESD) 箝位，其係用於耦合於第一與第二節點之間，以用來提供包括箝位電路與第一與第二電壓臨界電路的 ESD 保護。箝位電路當被觸發時會將第一與第二節點之間的操作電壓限制在最大位準。第一與第二電壓臨界電路每一個均具有一可選擇臨界電壓，其係譬如藉由將一或更多個電壓臨界裝置串聯耦合。當操作電壓增加到第一電壓臨界值以上時，第一電壓臨界電路會觸發以導通箝位電路。當箝位電路導通與關閉時，第二電壓臨界電路會觸發，以當操作電壓減少到第二臨界電壓時關閉箝位電路。第二臨界電壓可被選擇在標稱操作電壓以上的任何位準，以使箝位免於閃鎖。

三、英文發明摘要：

An electrostatic discharge (ESD) clamp for coupling between first and second nodes for providing ESD protection including a clamp circuit and first and second voltage threshold circuits. The clamp circuit limits operating voltage between the first and second nodes to a maximum level when activated. The first and second voltage threshold circuits each have a selectable threshold voltage, such as by coupling one or more voltage threshold devices in series. The first voltage threshold circuit triggers to turn on the clamp circuit when the operating voltage increases above a first voltage threshold. The second voltage threshold circuit triggers when the clamp circuit is turned on and is turned off to turn off the clamp circuit when the operating voltage decreases to the second threshold voltage. The second threshold voltage may be selected at any level above the nominal operating voltage to prevent the clamp from latching.

七、申請專利範圍：

1. 一種用於耦合於第一與第二節點之間的靜電放電箝位，其係包含：

一箝位電路，用於當導通時，將第一與第二節點之間的電壓限制在一預定最大位準；

一第一電壓臨界電路，其係耦合到該箝位電路並且具有一可選擇第一臨界電壓，其中當第一與第二節點之間的該電壓增加到該第一電壓臨界值以上時，該第一電壓臨界電路會觸發以導通該箝位電路；以及

一第二電壓臨界電路，其係耦合到該箝位電路並且具有一可選擇的第二臨界電壓，其中該第二電壓臨界電路會當該箝位電路導通時觸發，並且當第一與第二節點之間的該電壓減少到小於該第一臨界電壓之該第二臨界電壓時會被關閉，以關閉該箝位電路。

2. 如申請專利範圍第 1 項之靜電放電箝位，其中該第一與第二電壓臨界電路每一個均包含一疊電壓臨界裝置。

3. 如申請專利範圍第 2 項之靜電放電箝位，其中該疊電壓臨界裝置包含至少一個二極體。

4. 如申請專利範圍第 1 項之靜電放電箝位，其中：

該箝位電路包含：

一第一電阻性裝置，具有用於耦合到第一節點的一第一端點並具有一第二端點；

一 P 型裝置，具有耦合到該第一電阻性裝置之該第一端點的一第一電流端點，具有耦合到該第一電阻性裝置之

該第二端點的一控制端點，以及具有一第二電流端點；

一第二電阻性裝置，具有用於耦合到第二節點的一第一端點，以及具有耦合到該 P 型裝置之該第二電流端點的一第二端點；以及

一第一 N 型裝置，具有耦合到該第二電阻性裝置之該第二端點的一控制端點，具有一第一電流端點，並且具有耦合到該第二電阻性裝置之該第一端點的一第二電流端點；以及

其中該第一電壓臨界電路係被耦合於該 P 型裝置的該控制端點與該第一 N 型裝置的該第二電流端點之間，且其中該第二電壓臨界電路係被耦合於該 P 型裝置之該控制端點與該第一 N 型裝置之該第一電流端點之間。

5.如申請專利範圍第 4 項之靜電放電箝位，進一步包含一第二 N 型裝置，其係具有耦合到該第一電阻性裝置之該第一端點的一第一電流端點，具有耦合到該第二電阻性裝置之該第一端點的一第二電流端點，以及具有耦合到該第一 N 型裝置之該控制端點的一控制端點。

6.如申請專利範圍第 1 項之靜電放電箝位，其中：

該箝位電路包含：

一第一電阻性裝置，具有用於耦合到第一節點的一第一端點並具有一第二端點；

一 P 型裝置，具有耦合到該第一電阻性裝置之該第一端點的一第一電流端點，具有耦合到該第一電阻性裝置之該第二端點的一控制端點，以及具有一第二電流端點；

一 第二電阻性裝置，具有用於耦合到第二節點的一第一端點，以及具有耦合到該 P 型裝置之該第二電流端點的一第二端點；

一 第一 N 型裝置，具有耦合到該第二電阻性裝置之該第二端點的一控制端點，具有一第一電流端點，並且具有耦合到該第二電阻性裝置之該第一端點的一第二電流端點；以及

一 第二 N 型裝置，具有耦合到該第一電阻性裝置之該第一端點的一第一電流端點，具有耦合到該第二電阻性裝置之該第一端點的一第二電流端點，以及具有耦合到該第一 N 型裝置之該控制端點的一控制端點；以及

其中該第一電壓臨界電路係被耦合於該 P 型裝置的該控制端點與該第一 N 型裝置的該控制端點之間，且其中該第二電壓臨界電路係被耦合於該 P 型裝置的該控制端點與該第一 N 型裝置的該第一電流端點之間。

7.如申請專利範圍第 1 項之靜電放電箝位，其中：

該箝位電路包含：

一 第一電阻性裝置，具有用於耦合到第一節點的一第一端點並具有一第二端點；

一 P 型裝置，具有耦合到該第一電阻性裝置之該第一端點的一第一電流端點，具有耦合到該第一電阻性裝置之該第二端點的一控制端點，以及具有一第二電流端點；

一 第二電阻性裝置，具有用於耦合到第二節點的一第一端點，以及具有耦合到該 P 型裝置之該第二電流端點的

一 第二端點；

一 第一 N 型裝置，具有耦合到該第二電阻性裝置之該第二端點的一控制端點，具有一第一電流端點，並且具有耦合到該第二電阻性裝置之該第一端點的一第二電流端點；

一 第二 N 型裝置，具有耦合到該第一電阻性裝置之該第一端點的一第一電流端點，具有耦合到該第二電阻性裝置之該第一端點的一第二電流端點，以及具有耦合到該第一 N 型裝置之該控制端點的一控制端點；

一 第三 N 型裝置，具有耦合到該 P 型裝置之該控制端點的一第一電流端點，具有一控制端點，以及具有耦合到該第一 N 型裝置之該第一電流端點的一第二電流端點；以及

一 第三電阻性裝置，耦合於該第三 N 型裝置的該控制端點與該第三 N 型裝置的該第二電流端點之間；以及

其中該第一電壓臨界電路係被耦合於該 P 型裝置的該控制端點與該第一 N 型裝置的該控制端點之間，且其中該第二電壓臨界電路係被耦合於該 P 型裝置的該控制端點與該第三 N 型裝置的該第一電流端點之間。

8.如申請專利範圍第 7 項之靜電放電箝位，其中該第二電壓臨界電路包含耦合於該 P 型裝置之該控制端點與該第三 N 型裝置之該控制端點之間的至少一個電壓臨界裝置，且其中該第一電壓臨界電路包含與耦合於該第三 N 型裝置的該控制端點和該第一 N 型裝置的該控制端點之間的至少

一個電壓臨界裝置相結合的該第一電壓臨界電路。

9.如申請專利範圍第7項之靜電放電箝位，其中該第一與第二電壓臨界電路包含複數個電壓臨界裝置，其係串聯耦合於該P型裝置的該控制端點與該第一N型裝置的該控制端點之間，且其中該複數個電壓臨界裝置具有耦合到該第三N型裝置之該控制端點的中間接合。

10.一種積體電路，包含：

一正靜電放電軌道；

一負靜電放電軌道；以及

一靜電放電箝位電路，其包含：

一箝位電路，耦合於該正與負靜電放電軌道之間，其係當導通時將該正與負靜電放電軌道之間的電壓限制在一預定最大位準；

一第一電壓臨界電路，耦合到該箝位電路並具有一可選擇第一臨界電壓，其中該第一電壓臨界電路觸發，以當該正與負靜電放電軌道之間的該電壓增加到該第一電壓臨界值以上時，導通該箝位電路；以及

一第二電壓臨界電路，耦合到該箝位電路並具有一可選擇第二臨界電壓，其中該第二電壓臨界電路會在當該箝位電路導通時觸發，並且當正與負靜電放電軌道之間的該電壓減少到小於該第一臨界電壓的該第二臨界電壓時會被關閉以關閉該箝位電路。

11.如申請專利範圍第10項之積體電路，其中：

該箝位電路包含：

一 第一電阻性裝置，具有耦合到該正靜電放電軌道的一第一端點並具有一第二端點；

一 P 型裝置，具有耦合到該正靜電放電軌道的一第一電流端點，具有耦合到該第一電阻性裝置之該第二端點的一控制端點，以及具有一第二電流端點；

一 第二電阻性裝置，具有耦合到該負靜電放電軌道的一第一端點以及具有耦合到該 P 型裝置之該第二電流端點的一第二端點；以及

一 第一 N 型裝置，具有耦合到該第二電阻性裝置之該第二端點的一控制端點，具有一第一電流端點，以及具有耦合到該負靜電放電軌道的一第二電流端點；以及

其中該第一電壓臨界電路耦合於該 P 型裝置的該控制端點與該負靜電放電軌道之間，且其中該第二電壓臨界電路耦合於該 P 型裝置的該控制端點與該第一 N 型裝置的該第一電流端點之間。

12.如申請專利範圍第 11 項之積體電路，進一步包含一第二 N 型裝置，其係具有耦合到該正靜電放電軌道的一第一電流端點，具有耦合到該負靜電放電軌道的一第二電流端點，以及具有耦合到該第一 N 型裝置之該控制端點的一控制端點。

13.如申請專利範圍第 10 項之積體電路，其中：

該箝位電路包含：

一 第一電阻性裝置，具有耦合到該正靜電放電軌道的一第一端點，以及具有一第二端點；

一 P 型裝置，具有耦合到該正靜電放電軌道的一第一電流端點，具有耦合到該第一電阻性裝置之該第二端點的一控制端點，以及具有一第二電流端點；

一第二電阻性裝置，具有耦合到該負靜電放電軌道的一第一端點，以及具有耦合到該 P 型裝置之該第二電流端點的一第二端點；

一第一 N 型裝置，具有耦合到該第二電阻性裝置之該第二端點的一控制端點，具有一第一電流端點，並且具有耦合到該負靜電放電軌道的一第二電流端點；以及

一第二 N 型裝置，具有耦合到該正靜電放電軌道的一第一電流端點，具有耦合到該負靜電放電軌道的一第二電流端點，以及具有耦合到該第一 N 型裝置之該控制端點的一控制端點；以及

其中該第一電壓臨界電路係被耦合於該 P 型裝置的該控制端點與該負靜電放電軌道之間，且其中該第二電壓臨界電路係被耦合於該 P 型裝置之該控制端點與該第一 N 型裝置的該第一電流端點之間。

14.如申請專利範圍第 10 項之積體電路，其中：

該箝位電路包含：

一第一電阻性裝置，具有耦合到該正靜電放電軌道的一第一端點，以及具有一第二端點；

一 P 型裝置，具有耦合到該正靜電放電軌道的一第一電流端點，具有耦合到該第一電阻性裝置之該第二端點的一控制端點，以及具有一第二電流端點；

一 第二電阻性裝置，具有耦合到該負靜電放電軌道的一第一端點，以及具有耦合到該 P 型裝置之該第二電流端點的一第二端點；

一 第一 N 型裝置，具有耦合到該第二電阻性裝置之該第二端點的一控制端點，具有一第一電流端點，並且具有耦合到該負靜電放電軌道的一第二電流端點；

一 第二 N 型裝置，具有耦合到該正靜電放電軌道的一第一電流端點，具有耦合到該負靜電放電軌道的一第二電流端點，以及具有耦合到該第一 N 型裝置之該控制端點的一控制端點；

一 第三 N 型裝置，具有耦合到該 P 型裝置之該控制端點的一第一電流端點，具有一控制端點，以及具有耦合到該第一 N 型裝置之該第一電流端點的一第二電流端點；以及

一 第三電阻性裝置，耦合於該第三 N 型裝置的該控制端點與該第三 N 型裝置的該第二電流端點之間；以及

其中該第一與第二電壓臨界電路包含複數個電壓臨界裝置，其係串聯耦合於該 P 型裝置的該控制端點與該第一 N 型裝置的該控制端點之間，且其中該複數個電壓臨界裝置具有耦合到該第三 N 型裝置之該控制端點的中間界面。

15.如申請專利範圍第 10 項之積體電路，進一步包含：

複數個電壓臨界裝置；以及

其中該第一與第二電壓臨界電路的至少其中一個包含所選定數目之該複數個電壓臨界裝置的一串聯耦合堆疊。

16.如申請專利範圍第 10 項之積體電路，其中該第一與第二電壓臨界電路的至少其中一個包含至少一個反向二極體。

17.如申請專利範圍第 10 項之積體電路，其中該第一與第二電壓臨界電路的至少其中一個包含至少一個順向二極體。

18.一種將在第一與第二節點之間發生的一靜電放電脈衝加以耗散的方法，包含：

將一箝位電路耦合於第一與第二節點之間，其中該箝位電路會被配置，以當被導通時將第一與第二節點之間的電壓限制在一預定最大位準；

以具有可選擇第一臨界電壓的一第一電壓臨界電路而使箝位電路產生偏壓，其中當第一與第二節點之間的電壓增加到第一電壓臨界值以上時，第一電壓臨界電路會觸發以導通該箝位電路；以及

將具有可選擇第二臨界電壓的一第二電壓臨界電路耦合到該箝位電路，其中第二電壓臨界電路會當該箝位電路導通時觸發，並且當在第一與第二節點之間的電壓減少到小於第一臨界電壓的第二臨界電壓時會被關閉，以關閉該箝位電路。

19.如申請專利範圍第 18 項之方法，進一步包含選擇第二臨界電壓，使其小於第一臨界電壓並且大於在第一與第二節點之間的標稱操作電壓位準。

20.如申請專利範圍第 18 項之方法，進一步包含藉由將

複數個電壓臨界裝置串聯耦合，而來形成第一與第二電壓臨界電路的至少其中一個。

八、圖式：

(如次頁)

複數個電壓臨界裝置串聯耦合，而來形成第一與第二電壓臨界電路的至少其中一個。

八、圖式：

(如次頁)

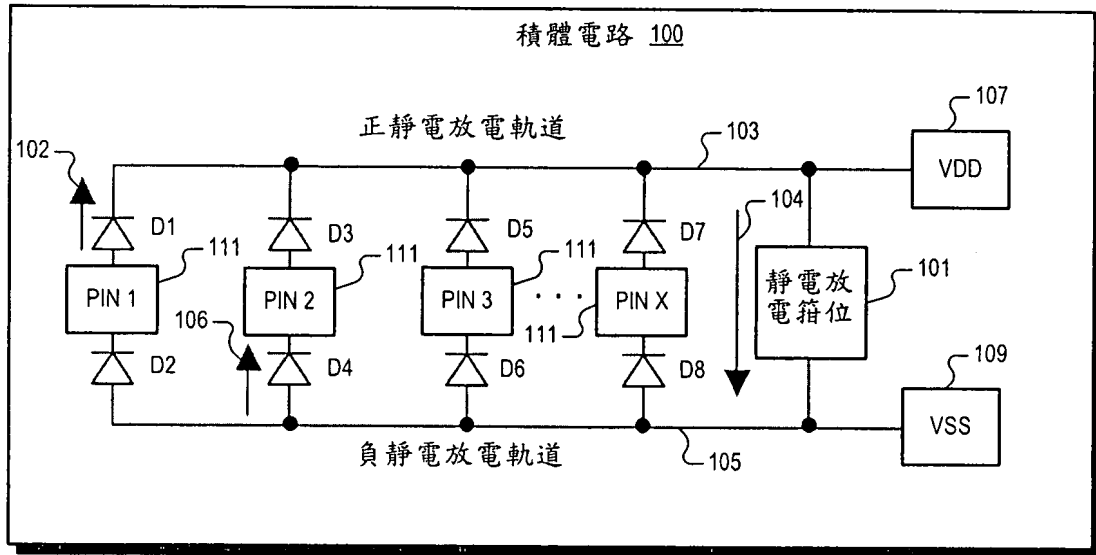


圖 1

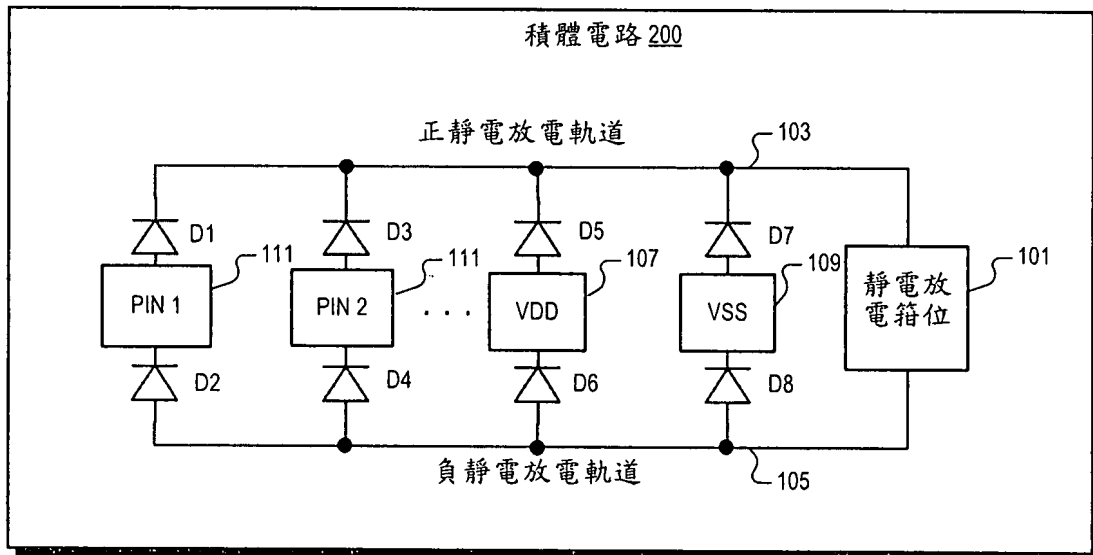


圖 2

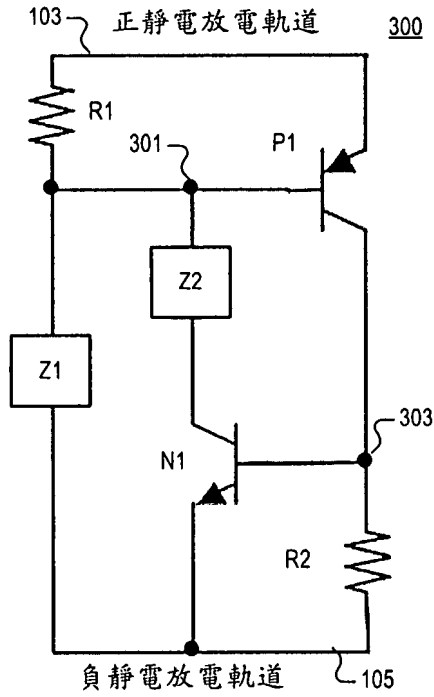


圖3

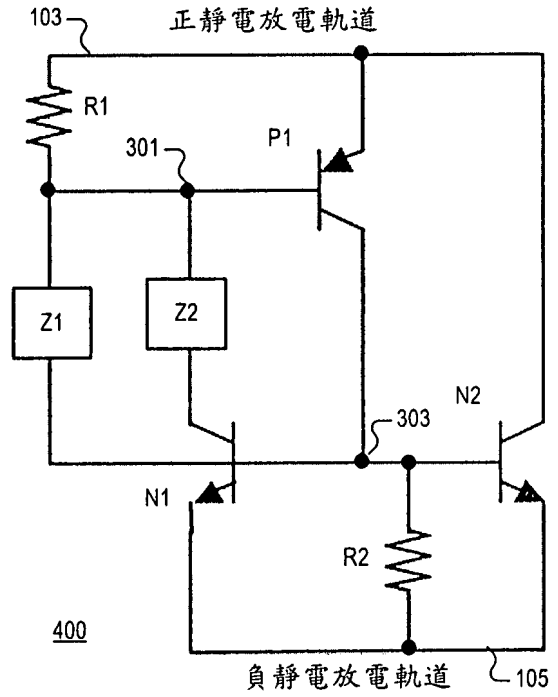


圖4

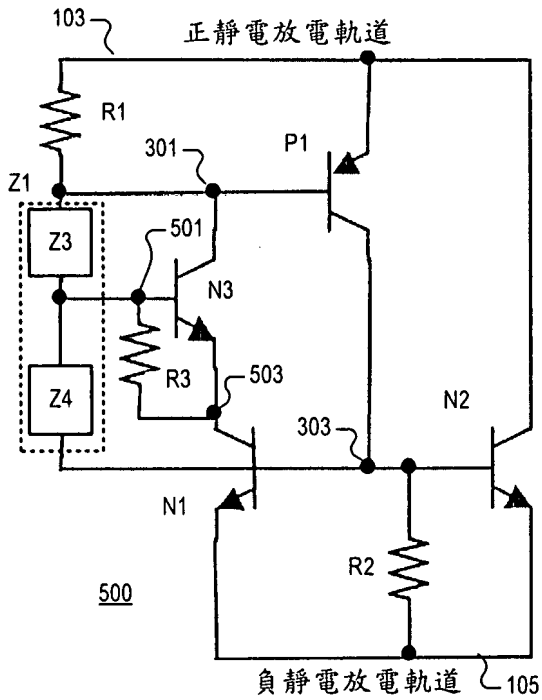


圖5

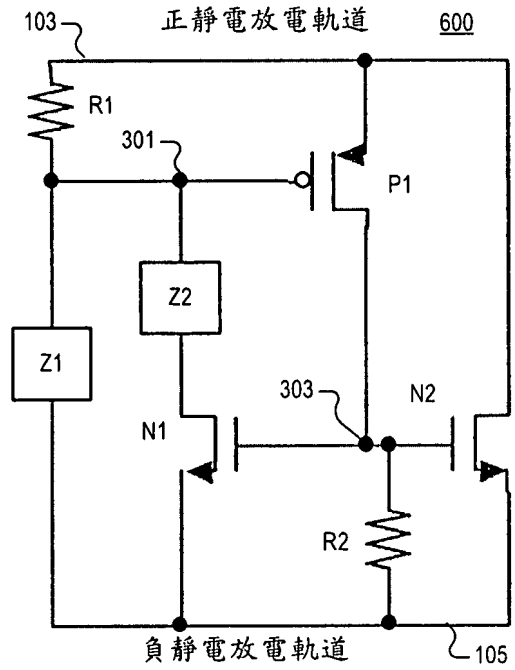


圖6

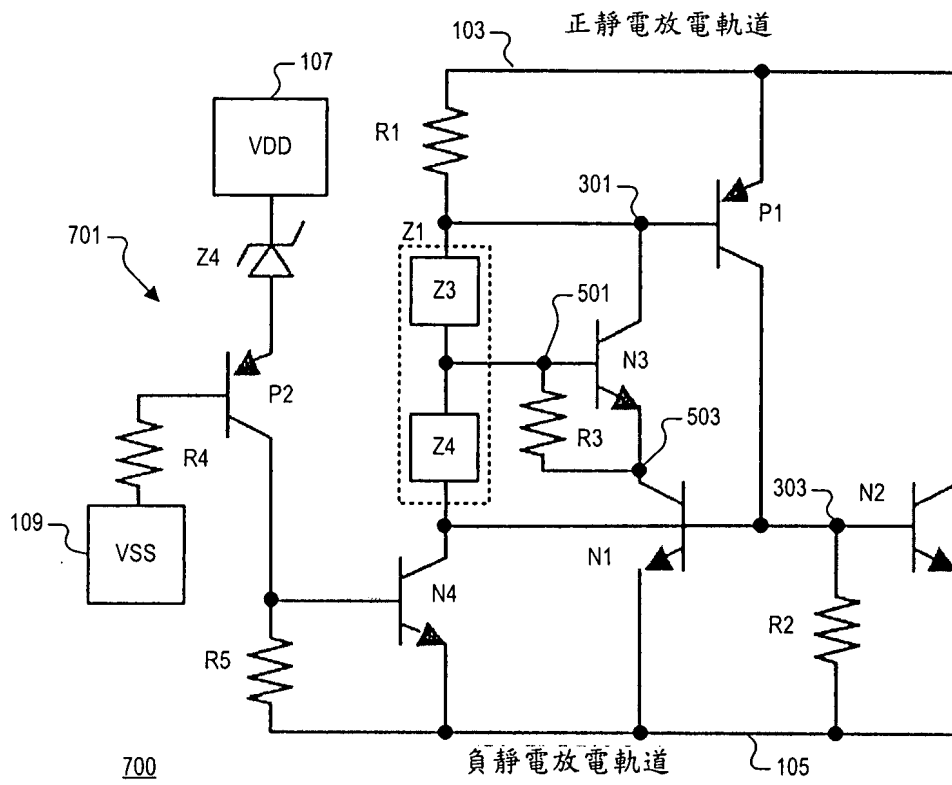


圖 7

+



圖 8

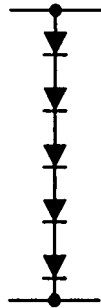


圖 9

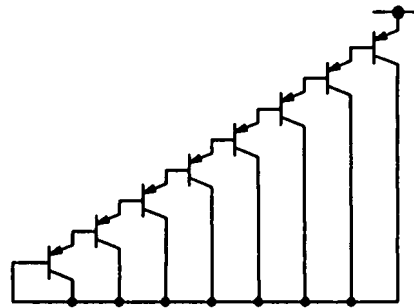


圖 10



圖 11



圖 12

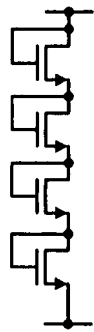


圖 13

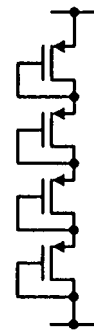
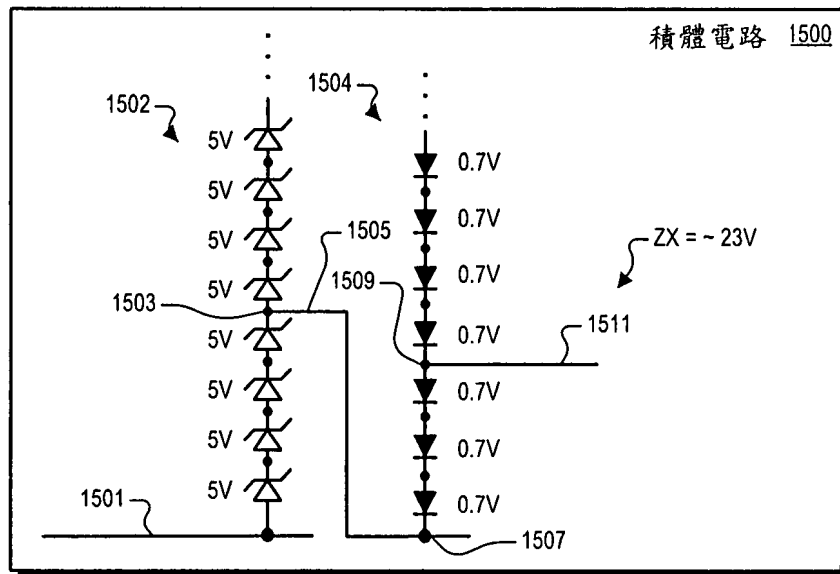


圖 14

圖 15



四、指定代表圖：

(一)本案指定代表圖為：圖 7。

(二)本代表圖之元件符號簡單說明：

700	靜電放電箝位電路
701	失效電路
103	正靜電放電軌道
105	負靜電放電軌道
107	源極電壓接腳
109	參考電壓接腳
301	節點
303	節點
501	節點
503	節點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無