

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月2日(02.01.2020)



(10) 国際公開番号

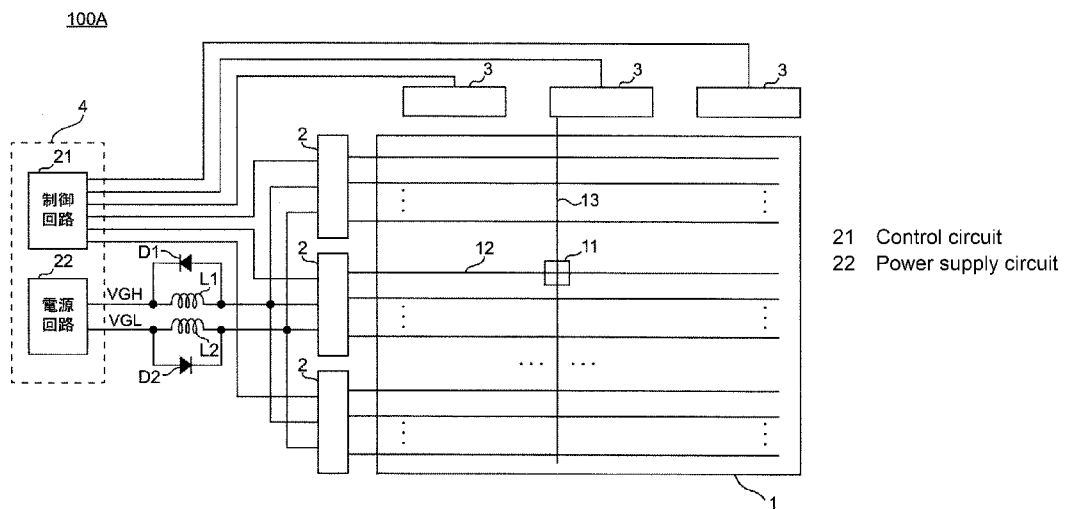
WO 2020/003518 A1

- (51) 国際特許分類:
G09G 3/20 (2006.01) *G09G 3/36* (2006.01)
- (21) 国際出願番号: PCT/JP2018/024903
- (22) 国際出願日: 2018年6月29日(29.06.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 堺ディスプレイプロダクト株式会社 (SAKAI DISPLAY PRODUCTS CORPORATION) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 中村 英治 (NAKAMURA, Eiji); 〒5908522 大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内 Osaka (JP).
- (74) 代理人: 鮫島 睦, 外 (SAMEJIMA, Mutsumi et al.); 〒5300017 大阪府大阪市北区角田町8番1号 梅田阪急ビルオフィスタワー 青山特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図7]



(57) Abstract: This display device (100) comprises: a plurality of pixels (11) arrayed along a plurality of rows and a plurality of columns; a plurality of signal lines (12) connected to the plurality of pixels (11) respectively for each row; a drive circuit (2) for generating a plurality of control signals to selectively turn the plurality of pixels (11) on and off by rows, the drive circuit applying the control signals to the signal lines (12); a power supply circuit (22) for supplying the drive circuit (2) with a voltage for generating each control signal; and at least one inductor (L1, L2) connected between

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

the power supply circuit (22) and the plurality of signal lines (12).

(57) 要約：表示装置（100）は、複数の行及び複数の列に沿って配列された複数の画素（11）と、行ごとに複数の画素（11）にそれぞれ接続された複数の信号線（12）と、複数の画素（11）を行ごとに選択的にオン及びオフする複数の制御信号を生成して各信号線（12）に印加する駆動回路（2）と、各制御信号を生成するための電圧を駆動回路（2）に供給する電源回路（22）と、電源回路（22）及び複数の信号線（12）の間に接続された少なくとも1つのインダクタ（L1，L2）とを備える。

明 細 書

発明の名称： 表示装置

技術分野

[0001] 本発明は、複数の行及び複数の列に沿って配列された複数の画素を有する表示装置に関する。

背景技術

[0002] 液晶表示装置などのフラットパネルディスプレイでは、FHD (Full High Definition)、4K、8Kなどのように、解像度のさらなる向上が取り組まれている。解像度を向上すること、すなわち走査線の本数を増大させることにより、各画素のスイッチング素子をより高速に駆動する必要が生じる。

[0003] 例えば特許文献1は、液晶素子を従来よりも高速に交流駆動すると共に、隣接配線の干渉ノイズを視覚上低減し、高品質な画像を表示する液晶表示装置を開示している。

先行技術文献

特許文献

[0004] 特許文献1：特開2011-028159号公報

発明の概要

発明が解決しようとする課題

[0005] 各画素のスイッチング素子は、所定のゲート容量を有する。また、各画素のスイッチング素子のゲートに接続されたゲート信号線は、所定の抵抗を有する。従って、スイッチング素子のゲート容量及び信号線の抵抗からCR回路が形成される。各画素のスイッチング素子をオン又はオフするとき、このCR回路が充電又は放電される。

[0006] CR回路の特性によれば、例えばCR回路に充電する場合、電源をオンする瞬間だけ大電流が流れて急速に回路が充電されるが、次第に充電速度が遅くなり、回路が電源の電位に到達するには長い時間がかかる。CR回路から放電する場合もまた、回路が接地電位に到達するには長い時間がかかる。

[0007] また、容量 C 及び抵抗 R を有する CR 回路では、電圧 V の電源から回路に充電するとき、容量 C に充電されるエネルギー $CV^2/2$ と、抵抗 R によって消費される損失エネルギー $R \cdot I_{(rms)}^2 = CV^2/2$ とが発生する。ここで、 $I_{(rms)}$ は電流の実効値を示す。

[0008] 本発明の目的は、従来技術に係る表示装置よりも高速に動作し、損失をより低減した表示装置を提供することにある。

課題を解決するための手段

[0009] 本発明の一態様に係る表示装置は、
複数の行及び複数の列に沿って配列された複数の画素と、
前記行ごとに前記複数の画素にそれぞれ接続された複数の信号線と、
前記複数の画素を前記行ごとに選択的にオン及びオフする複数の制御信号を生成して前記各信号線に印加する駆動回路と、
前記各制御信号を生成するための電圧を前記駆動回路に供給する電源回路と、
前記電源回路及び前記複数の信号線の間に接続された少なくとも1つのインダクタとを備える。

発明の効果

[0010] 本発明の一態様に係る表示装置によれば、インダクタを備えたことにより、従来技術に係る表示装置よりも高速に動作し、損失をより低減することができる。

図面の簡単な説明

[0011] [図1]第1の実施形態に係る表示装置の構成を示すブロック図である。
[図2]図1の各画素の詳細構成を示す回路図である。
[図3]図1のゲート信号線のうちの1つと、当該ゲート信号線に接続された複数の画素とを示す等価回路図である。
[図4]図1のゲート信号線のうちの1つにおいてゲート制御信号をローレベルからハイレベルに遷移させるときのゲート信号線の電圧及び電流の変化を示すグラフである。

[図5]図1のゲート信号線のうちの1つにおいてゲート制御信号をハイレベルからローレベルに遷移させるときのゲート信号線の電圧及び電流の変化を示すグラフである。

[図6]図1のインダクタのインダクタンスの最適値を示す表である。

[図7]第2の実施形態に係る表示装置の構成を示すブロック図である。

[図8]比較例に係る表示装置のゲート信号線のうちの1つにおいてゲート制御信号をローレベルからハイレベルに遷移させるときのゲート信号線の電圧及び電流の変化を示すグラフである。

[図9]図7のゲート信号線のうちの1つにおいてゲート制御信号をローレベルからハイレベルに遷移させるときのゲート信号線の電圧及び電流の変化を示すグラフである。

発明を実施するための形態

[0012] 以下、図面を参照して、本発明の各実施形態に係る表示装置について説明する。各図において、同じ符号は同様の構成要素を示す。

[0013] [第1の実施形態]

図1は、第1の実施形態に係る表示装置100の構成を示すブロック図である。表示装置100は、表示パネル1、1つ又は複数のゲート駆動回路2、1つ又は複数のソース駆動回路3、タイミングコントローラ4、及びインダクタL1、L2を備える。

[0014] 表示パネル1は、行方向（図1の水平方向）及び列方向（図1の垂直方向）に沿って配列された複数の画素11、複数の行に沿った複数のゲート信号線12と、複数の列に沿った複数のソース信号線13とを含む。各画素11は、ゲート信号線12及びソース信号線13にそれぞれ接続される。言い換えると、各画素11は複数の行及び複数の列に沿って配列され、各ゲート信号線12は行ごとに複数の画素11にそれぞれ接続され、各ソース信号線13は列ごとに複数の画素11にそれぞれ接続される。表示パネル1は、例えば液晶パネルである。

[0015] ゲート駆動回路2は、複数の画素11を行ごとに選択的にオン及びオフす

る複数のゲート制御信号を生成して各ゲート信号線 1 2 に印加する。各画素 1 1 をオンすることにより、画素 1 1 の内部のスイッチング素子（後述）がオンされ、画素 1 1 の内部のキャパシタ及び表示素子がソース信号線 1 3 に接続される。

[0016] ソース駆動回路 3 は、複数の行のうちの 1 つに沿った画像の各画素の階調を示す複数のソース制御信号を、複数のソース信号線 1 3 を介して各画素 1 1 に供給する。

[0017] タイミングコントローラ 4 は、制御回路 2 1 及び電源回路 2 2 を備える。制御回路 2 1 は、ゲート駆動回路 2 及びソース駆動回路 3 を制御する。電源回路 2 2 は、各ゲート制御信号を生成するための電圧 V_{GH} 、 V_{GL} をゲート駆動回路 2 に供給する。電圧 V_{GH} は各画素 1 1 をオンするしきい値電圧よりも高く、電圧 V_{GL} はしきい値電圧よりも低い。本明細書では、電圧 V_{GH} を「第 1 の電圧」ともいい、電圧 V_{GL} を「第 2 の電圧」ともいう。

[0018] インダクタンス L_1 、 L_2 は、電源回路 2 2 及び複数のゲート信号線 1 2 の間、特に、電源回路 2 2 及びゲート駆動回路 2 2 の間に接続される。電源回路 2 2 は、電圧 V_{GH} をインダクタ L_1 を介してゲート駆動回路 2 2 に供給し、電圧 V_{GL} をインダクタ L_2 を介してゲート駆動回路 2 2 に供給する。本明細書では、インダクタ L_1 を「第 1 のインダクタ」ともいい、インダクタ L_2 を「第 2 のインダクタ」ともいう。

[0019] 図 2 は、図 1 の各画素 1 1 の詳細構成を示す回路図である。画素 1 1 は、スイッチング素子 3 1、キャパシタ 3 2、及び表示素子 3 3 を備える。スイッチング素子 3 1 は、ゲート制御信号に応じてオン及びオフする。スイッチング素子 3 1 は、例えば薄膜トランジスタである。キャパシタ 3 2 及び表示素子 3 3 は、互いに並列接続され、それらの一端はスイッチング素子 3 1 を介してソース信号線 1 3 に接続され、それらの他端は所定の共通電圧 V_{com} の端子に接続される。キャパシタ 3 2 は、ソース制御信号の電圧に応じて充電される容量素子である。表示素子 3 3 は、キャパシタ 3 2 の両端電圧に応じて変化する光学的特性を有する。表示素子 3 3 は、例えば液晶である。

[0020] ゲート駆動回路 2 から表示パネル 1 に入力されたゲート制御信号は、ゲート信号線 1 2 を伝搬し、各画素 1 1 のスイッチング素子 3 1 のゲート端子に印加される。また、ソース駆動回路 3 から表示パネル 1 に入力されたソース制御信号は、ソース信号線 1 3 を伝搬し、各画素 1 1 のスイッチング素子 3 1 のドレイン端子に印加される。スイッチング素子 3 1 のゲート端子に印加されているゲート制御信号の電圧が上昇してスイッチング素子 3 1 のしきい値電圧 V_{th} を超えると、スイッチング素子 3 1 がオンしてドレイン・ソース間が導通する。このとき、スイッチング素子 3 1 のドレイン端子に印加されているソース制御信号の電圧がスイッチング素子 3 1 のソース端子を通過して画素 1 1 に供給され、ソース制御信号の電圧に応じてキャパシタ 3 2 が充電（又は放電）される。

[0021] 図 3 は、図 1 のゲート信号線 1 2 のうちの 1 つと、当該ゲート信号線 1 2 に接続された複数の画素 1 1 とを示す等価回路図である。ゲート駆動回路 2 は、ゲート信号線 1 2 ごとに、電圧 V_{GH} 、 V_{GL} のうち的一方を選択的にゲート信号線 1 2 に印加するスイッチング素子 4 1、4 2 を備える。各スイッチング素子 4 1、4 2 は、制御回路 2 1 からの制御信号に応じて動作する。図 3 を参照すると、 $R_1 \sim R_N$ は、1 つのゲート信号線 1 2 自体が有する抵抗を示す。また、 $C_1 \sim C_N$ は、1 つのゲート信号線 1 2 に接続された各画素 1 1 のスイッチング素子 3 1 のゲート容量を示す。

[0022] 前述のように、各画素 1 1 のスイッチング素子 3 1 のゲート容量及びゲート信号線 1 2 の抵抗から CR 回路が形成される。この CR 回路に起因して、ゲート制御信号をローレベルからハイレベルに遷移するとき、又はその逆に遷移するときの時間が長くなる。また、この CR 回路に起因して、ゲート容量へ電圧を印加して充電するとき、抵抗によって消費されるエネルギーが損失になる。これに対して、実施形態に係る表示装置 1 0 0 では、インダクタ L_1 、 L_2 を備えたことにより、以下に説明するように、従来技術に係る表示装置よりも高速に動作し、損失をより低減する。

[0023] 次に、図 4 及び図 5 を参照して、インダクタ L_1 、 L_2 を備えたことによ

る効果を示すシミュレーション結果について説明する。

[0024] 図4及び図5のシミュレーションでは、図3の等価回路において、1つのゲート信号線12に7個の画素11が接続された場合を想定した（すなわち、 $C_1 \sim C_7$ 、 $R_1 \sim R_7$ ）。ゲート容量 $C_1 \sim C_7$ をそれぞれ200 pFに設定した。抵抗 $R_1 \sim R_7$ をそれぞれ300 Ω に設定した。また、インダクタ L_1 、 L_2 のインダクタンスをそれぞれ120 μ Hに設定した。また、電圧 V_{GH} を35 Vに設定し、電圧 V_{GL} を-6 Vに設定した。シミュレーションでは、インダクタ L_1 、 L_2 を備えた実施例に係る表示装置100と、インダクタを持たない比較例に係る表示装置とについて、図3の等価回路における電圧 V_1 及び電流 I_0 の変化を調べた。

[0025] 図4は、図1のゲート信号線12のうちの1つにおいてゲート制御信号をローレベルからハイレベルに遷移させるときのゲート信号線12の電圧及び電流の変化を示すグラフである。

[0026] 図4を参照すると、比較例によれば、CR回路に起因して、スイッチング素子41、42の間のノードの電圧 V_0 がハイレベルに遷移した後、電圧 V_1 が電圧 V_0 の電位に近づくまでに長い時間がかかっている。例えば、各画素11のスイッチング素子31をオンするしきい値電圧を32 Vであると仮定すると、電圧 V_0 がハイレベルに遷移してから電圧 V_1 が32 Vに到達する（点B）までに1.8マイクロ秒かかっている。一方、実施例によれば、インダクタ L_1 を備えたことにより、電圧 V_0 がハイレベルに遷移した後、比較例の場合よりも短い時間で、電圧 V_1 が電圧 V_0 の電位に近づいている。例えば、電圧 V_0 がハイレベルに遷移してから電圧 V_1 が32 Vに到達する（点A）までの時間は0.6マイクロ秒に短縮されている。

[0027] また、図4を参照すると、比較例によれば、電圧 V_0 がハイレベルに遷移した瞬間、急激に、非常に大きな電流 I_0 が流れている。一方、実施例によれば、インダクタ L_1 を備えたことにより、電圧 V_0 がハイレベルに遷移した後、比較例の場合よりも電流 I_0 の増大は小さくなっている。

[0028] 図5は、図1のゲート信号線12のうちの1つにおいてゲート制御信号を

ハイレベルからローレベルに遷移させるときのゲート信号線 1 2 の電圧及び電流の変化を示すグラフである。

[0029] 図 5 を参照すると、比較例によれば、C R 回路に起因して、電圧 V_0 がローレベルに遷移した後、電圧 V_1 が電圧 V_0 の電位に近づくまでに長い時間がかかっている。一方、実施例によれば、インダクタ L_2 を備えたことにより、電圧 V_0 がローレベルに遷移した後、比較例の場合よりも短い時間で、電圧 V_1 が電圧 V_0 の電位に近づいている。

[0030] また、図 5 を参照すると、比較例によれば、電圧 V_0 がローレベルに遷移した瞬間、急激に、非常に大きな電流 I_0 が流れている。一方、実施例によれば、インダクタ L_2 を備えたことにより、電圧 V_0 がローレベルに遷移した後、比較例の場合よりも電流 I_0 の増大は小さくなっている。

[0031] 図 4 及び図 5 によれば、実施例に係る表示装置 100 は、インダクタ L_1 , L_2 を備えたことにより、比較例に係る表示装置よりも高速に動作できることがわかる。また、図 4 及び図 5 によれば、実施例に係る表示装置 100 は、インダクタ L_1 , L_2 を備えたことにより、ピーク電流を大幅に低減し、ゲート信号線 1 2 の抵抗によって生じる損失をより低減できることがわかる。

[0032] 実施例に係る表示装置 100 では、各画素 11 のスイッチング素子 31 のゲート容量、ゲート信号線 1 2 の抵抗、及びインダクタ L_1 , L_2 から、L C R 回路を形成される。

[0033] 本願の発明者の研究によれば、各画素 11 のスイッチング素子 31 のゲート容量に対する充電及び放電の時間を短縮するためには、インダクタ L_1 , L_2 が以下のようなインダクタンスを有することが好ましいことがわかった。ゲート駆動回路 2 が、常に、1 つのみのゲート信号線 1 2 にハイレベルのゲート制御信号を印加し、他のゲート信号線 1 2 にはローレベルのゲート制御信号を印加することを想定する。インダクタ L_1 , L_2 のインダクタンスは、1 つのゲート信号線 1 2 の抵抗 R_{sum} の 2 乗と、1 つのゲート信号線 1 2 に接続された各画素 11 のスイッチング素子 31 のゲート容量の総和 C

s u mとの積に対して、例えば $10^{-7} \sim 10^{-6}$ 倍のオーダーになるように設定される。

[0034] 図6は、図1のインダクタ L_1 、 L_2 のインダクタンスの最適値を示す表である。本願の発明者の研究によれば、インダクタ L_1 、 L_2 のインダクタンスが、抵抗 R_{sum} の2乗と容量 C_{sum} との積に対して $1/2830000$ になるように設定されたとき、各画素11のスイッチング素子31のゲート容量に対する充電及び放電の時間を最短化できることがわかった。このとき、インダクタ L_1 、 L_2 のインダクタンスは最適値 $L_{opt} = R_{sum}^2 \times C_{sum} / 2830000$ になる。本願の発明者は、シミュレーションにより、インダクタ L_1 、 L_2 のインダクタンスを $0 \mu H$ から図6の最適値 L_{opt} の3倍まで変化させ、インダクタ L_1 、 L_2 が最適値 L_{opt} のインダクタンスを有するときに充電及び放電の時間を最短化することを確認した。従って、さまざまな抵抗 R_{sum} 及びさまざまな容量 C_{sum} の条件下で、比例定数「 $1/2830000$ 」を含む上述の式がよく成り立つことがわかった。

[0035] ゲート駆動回路2が、複数のゲート信号線12にハイレベルのゲート制御信号を同時に印加する場合には、ゲート駆動回路2にかかる負荷（すなわち、各画素11のスイッチング素子31のゲート容量及びゲート信号線12の抵抗）は増大する。この場合であっても、インダクタ L_1 、 L_2 のインダクタンスの最適値 L_{opt} は、ゲート駆動回路2にかかる負荷の大きさに従って適宜に決定可能である。

[0036] [第2の実施形態]

図7は、第2の実施形態に係る表示装置100Aの構成を示すブロック図である。図7の表示装置100Aは、図1の表示装置100の各構成要素に加えて、ダイオード D_1 、 D_2 を備える。

[0037] 図8は、比較例に係る表示装置のゲート信号線12のうちの1つにおいてゲート制御信号をローレベルからハイレベルに遷移させるときのゲート信号線12の電圧及び電流の変化を示すグラフである。ここで、比較例Aは、図

1のようにインダクタ L_1 、 L_2 を備え、ダイオードを持たない表示装置を示す。また、比較例Bは、図4及び図5で参照した比較例のように、インダクタ及びダイオードの両方を持たない表示装置を示す。図1のようにインダクタ L_1 、 L_2 を備えたことにより、ゲート制御信号のオーバーシュートが生じることがある。比較例Aによれば、インダクタ L_1 を備えたことにより、電圧 V_1 が一時的に電圧 V_0 （すなわち電源回路の電圧 V_{GH} ）を超えて増大している。

[0038] 同様に、ゲート制御信号をハイレベルからローレベルに遷移させるときもまた、インダクタ L_2 を備えたことにより、電圧 V_1 が一時的に電圧 V_0 （すなわち電源回路の電圧 V_{GL} ）よりも減少する。

[0039] 表示装置100Aは、このようなオーバーシュートを生じにくくするために、ダイオード D_1 、 D_2 を備える。ダイオード D_1 は、電源回路22の電圧 V_{GH} を基準として各ゲート制御信号の電圧のオーバーシュートを解消する向きに、すなわち各ゲート信号線12から電源回路22に向かって電流が流れるように、インダクタ L_1 に並列に接続される。ダイオード D_2 は、電源回路22の電圧 V_{GL} を基準として各ゲート制御信号の電圧のオーバーシュートを解消する向きに、すなわち電源回路22から各ゲート信号線12に向かって電流が流れるように、インダクタ L_2 に並列に接続される。

[0040] 図9は、図7のゲート信号線12のうちの1つにおいてゲート制御信号をローレベルからハイレベルに遷移させるときのゲート信号線12の電圧及び電流の変化を示すグラフである。ここで、実施例は、インダクタ L_1 、 L_2 及びダイオード D_1 、 D_2 の両方を備えた表示装置100Aを示す。また、比較例Cは、図4及び図5で参照した比較例のように、インダクタ及びダイオードの両方を持たない表示装置を示す。図9によれば、ダイオード D_1 を備えたことにより、電圧 V_1 は電源回路の電圧 V_{GH} に等しくなり、ゲート制御信号のオーバーシュートが解消されていることがわかる。

[0041] ゲート制御信号をハイレベルからローレベルに遷移させるときもまた、ダイオード D_2 を備えたことにより、電圧 V_1 は電源回路の電圧 V_{GL} に等し

くなり、ゲート制御信号のオーバーシュートを解消することができる。

[0042] [変形例]

インダクタは、電源回路 2 2 及び各ゲート信号線 1 2 の間に限らず、各画素 1 1 のスイッチング素子 3 1 のゲート容量及びゲート信号線 1 2 の抵抗とともに L C R 回路を形成するのであれば、他の任意の位置に設けられてもよい。例えば、インダクタはゲート信号線 1 2 ごとに個別に設けられてもよい。この場合、各インダクタは、ゲート駆動回路 2 の内部に設けられてもよく、表示パネル 1 に設けられてもよく、又は、ゲート駆動回路 2 及び表示パネル 1 の間に設けられてもよい。

[0043] 表示装置は、各ゲート信号線 1 2 の一方の側だけではなく、両側にゲート駆動回路を備えてもよい。この場合もまた、本明細書で説明した各実施形態と同様に、電源回路と各ゲート駆動回路との間に（又は他の位置に）インダクタを設けることができる。

産業上の利用可能性

[0044] 本発明によれば、従来技術に係る表示装置よりも高速に動作し、損失をより低減した表示装置を提供することができる。

符号の説明

[0045] 1 …表示パネル、
2 …ゲート駆動回路、
3 …ソース駆動回路、
4 …タイミングコントローラ、
1 1 …画素、
1 2 …ゲート信号線、
1 3 …ソース信号線、
2 1 …制御回路、
2 2 …電源回路、
3 1 …スイッチング素子、
3 2 …キャパシタ、

3 3 …表示素子、
4 1, 4 2 …スイッチング素子、
1 0 0, 1 0 0 A …表示装置、
C 1 ~ C N …ゲート容量、
D 1, D 2 …ダイオード、
L 1, L 2 …インダクタ、
R 1 ~ R N …抵抗。

請求の範囲

- [請求項1] 複数の行及び複数の列に沿って配列された複数の画素と、
前記行ごとに前記複数の画素にそれぞれ接続された複数の信号線と、
、
前記複数の画素を前記行ごとに選択的にオン及びオフする複数の制御信号を生成して前記各信号線に印加する駆動回路と、
前記各制御信号を生成するための電圧を前記駆動回路に供給する電源回路と、
前記電源回路及び前記複数の信号線の間接続された少なくとも1つのインダクタとを備えた、
表示装置。
- [請求項2] 前記各画素は所定のゲート容量を有し、
前記インダクタは、前記複数の信号線のうちの各1つの信号線の抵抗の2乗と、当該1つの信号線に接続された前記各画素のゲート容量の総和との積に対して、 $10^{-7} \sim 10^{-6}$ 倍のオーダーのインダクタンスを有する、
請求項1記載の表示装置。
- [請求項3] 前記インダクタは、前記複数の信号線のうちの各1つの信号線の抵抗の2乗と、当該1つの信号線に接続された前記各画素のゲート容量の総和との積に対して、 $1/2830000$ 倍のインダクタンスを有する、
請求項2記載の表示装置。
- [請求項4] 前記電源回路の電圧を基準として前記各制御信号の電圧のオーバーシュートを解消する向きに電流が流れるように、前記インダクタに並列に接続されたダイオードをさらに備えた、
請求項1～3のうちの1つに記載の表示装置。
- [請求項5] 前記インダクタは、前記電源回路及び前記駆動回路の間接続された、

請求項 1 ～ 4 のうちの 1 つに記載の表示装置。

[請求項6]

前記表示装置は第 1 及び第 2 のインダクタを備え、

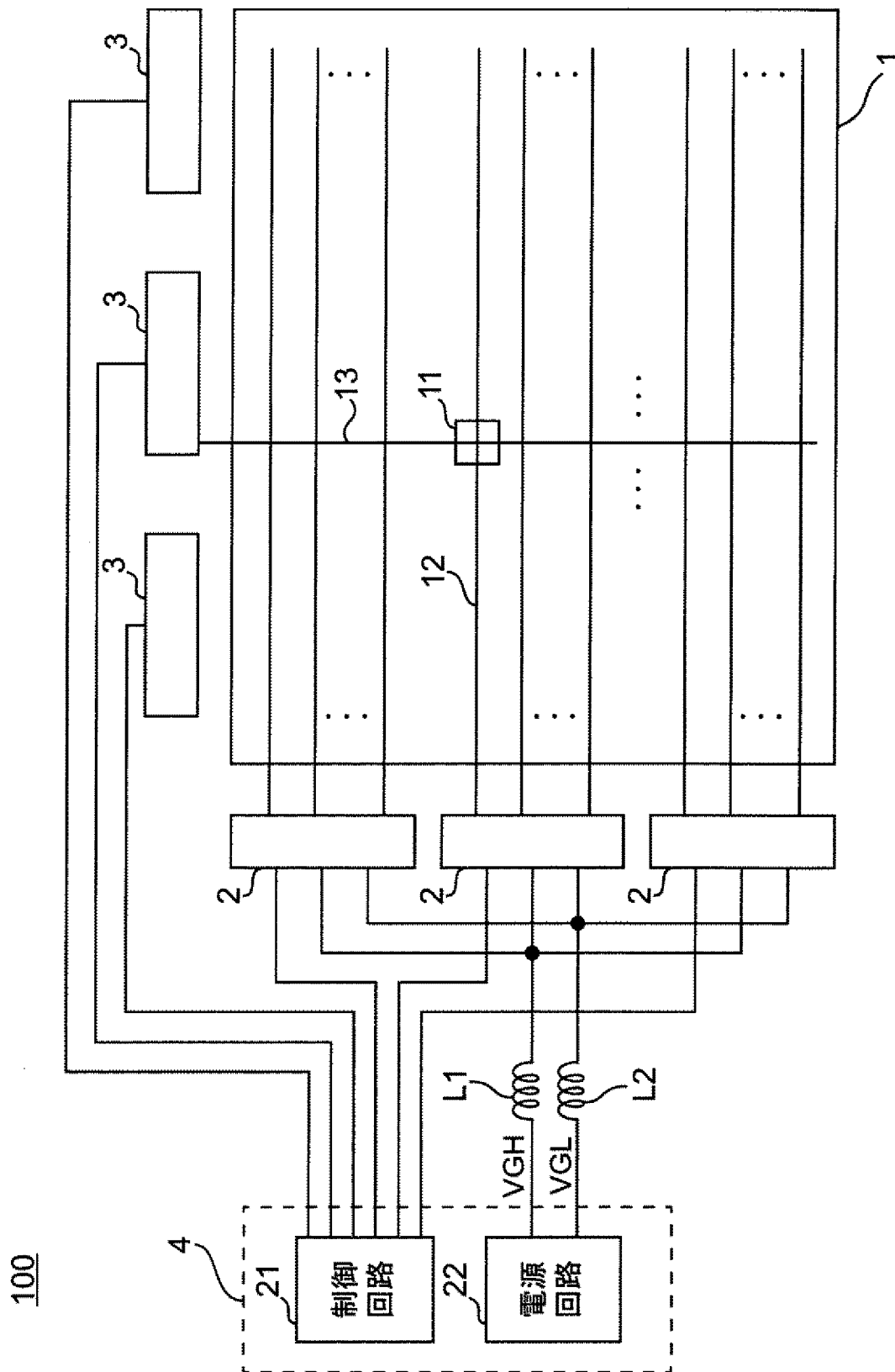
前記電源回路は、

前記各画素をオンするしきい値電圧よりも高い第 1 の電圧を前記第 1 のインダクタを介して前記駆動回路に供給し、

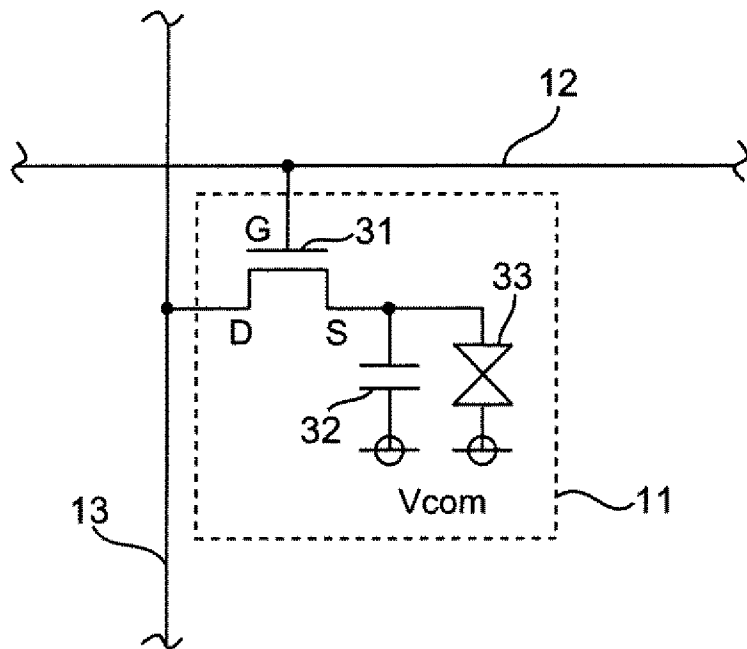
前記しきい値電圧よりも低い第 2 の電圧を前記第 2 のインダクタを介して前記駆動回路に供給する、

請求項 5 記載の表示装置。

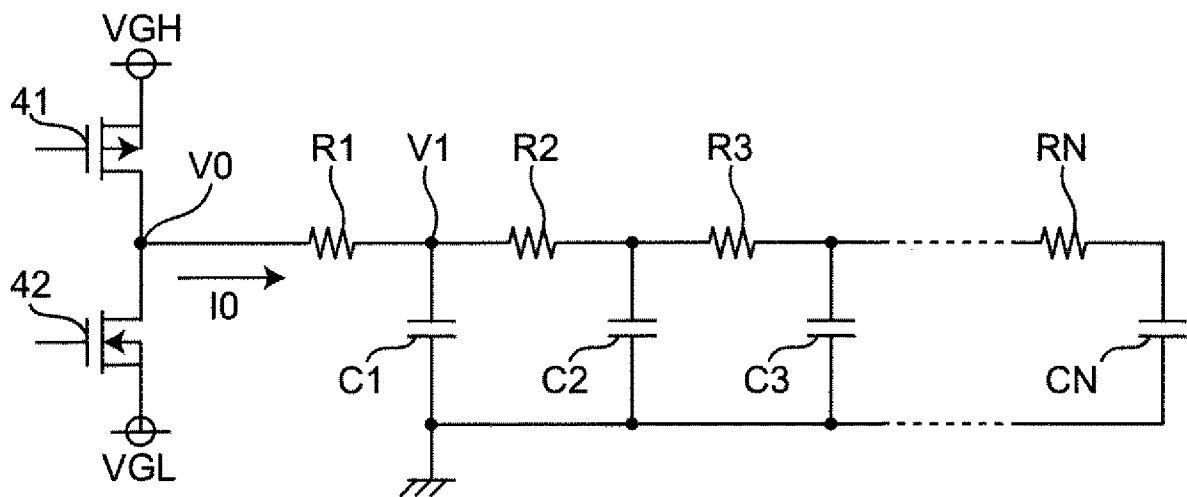
[図1]



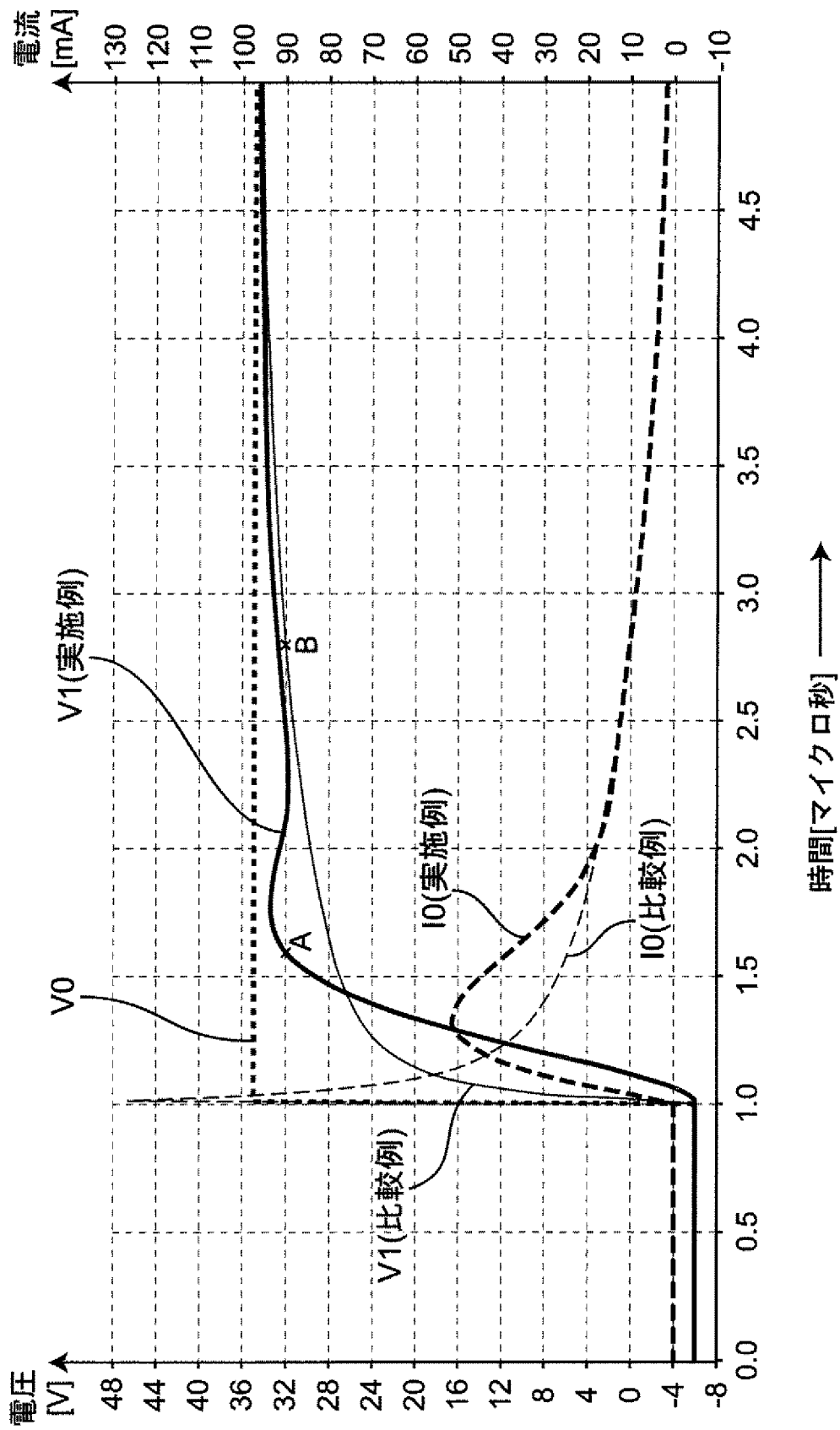
[図2]



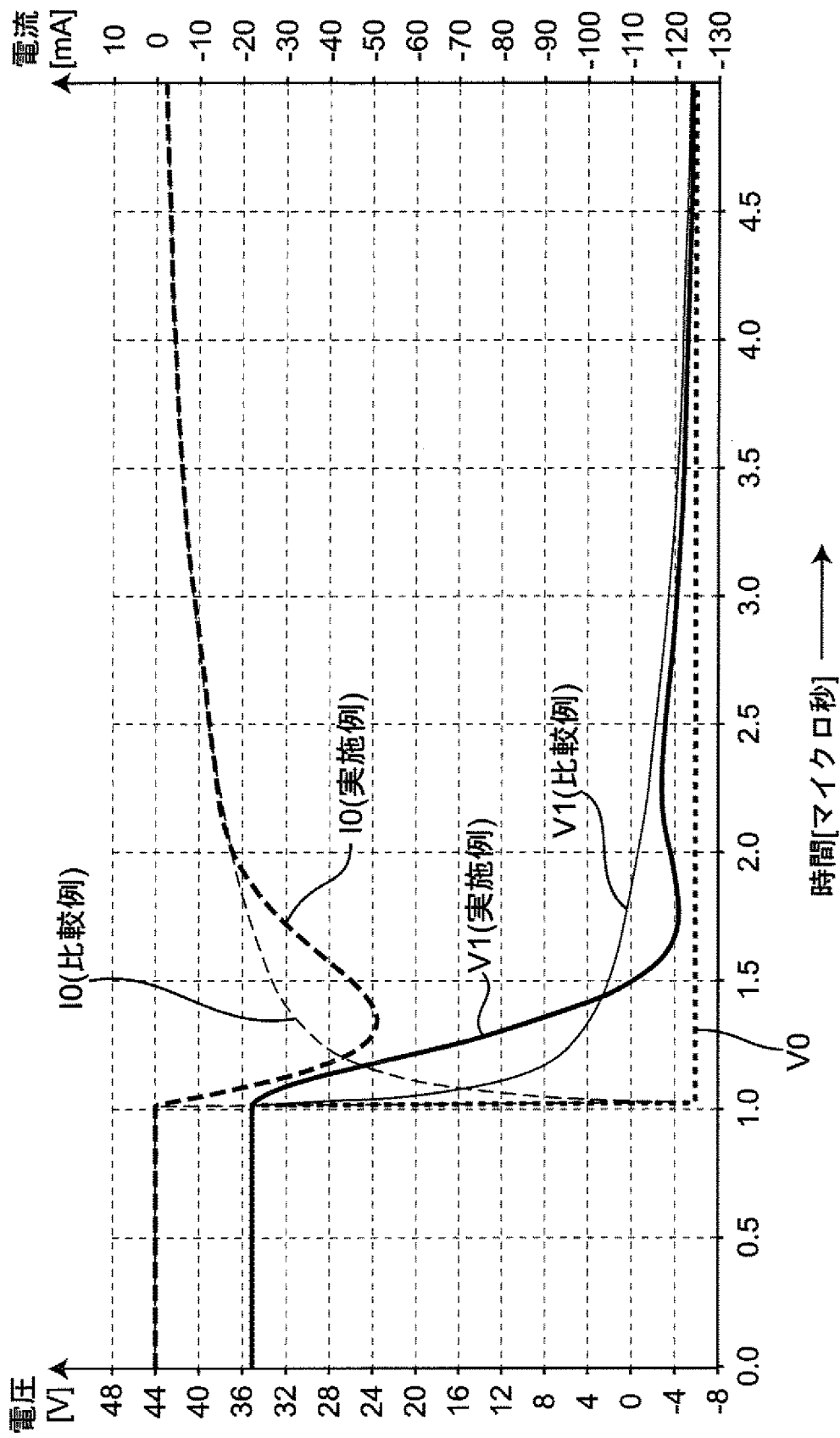
[図3]



[図4]



[図5]

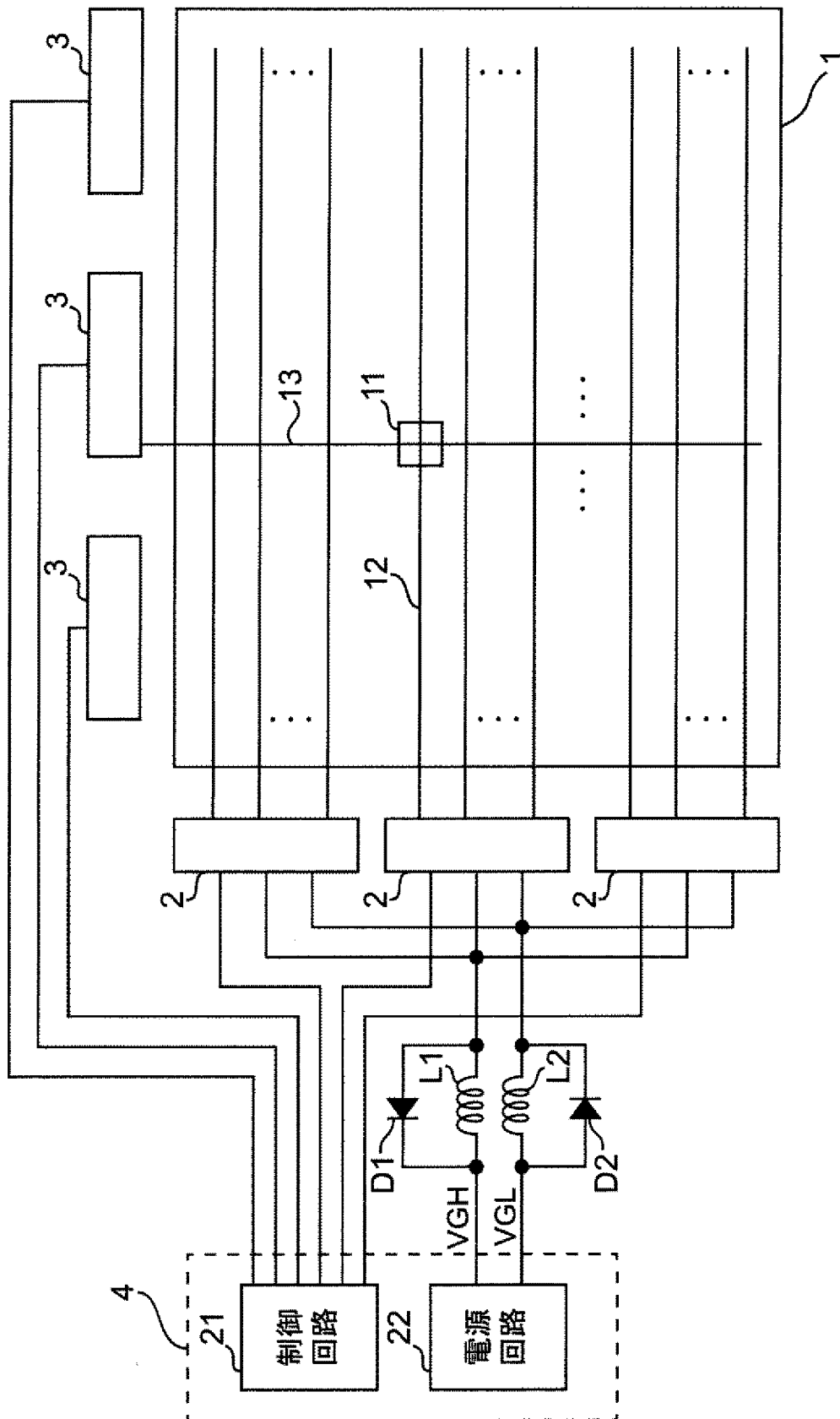


[図6]

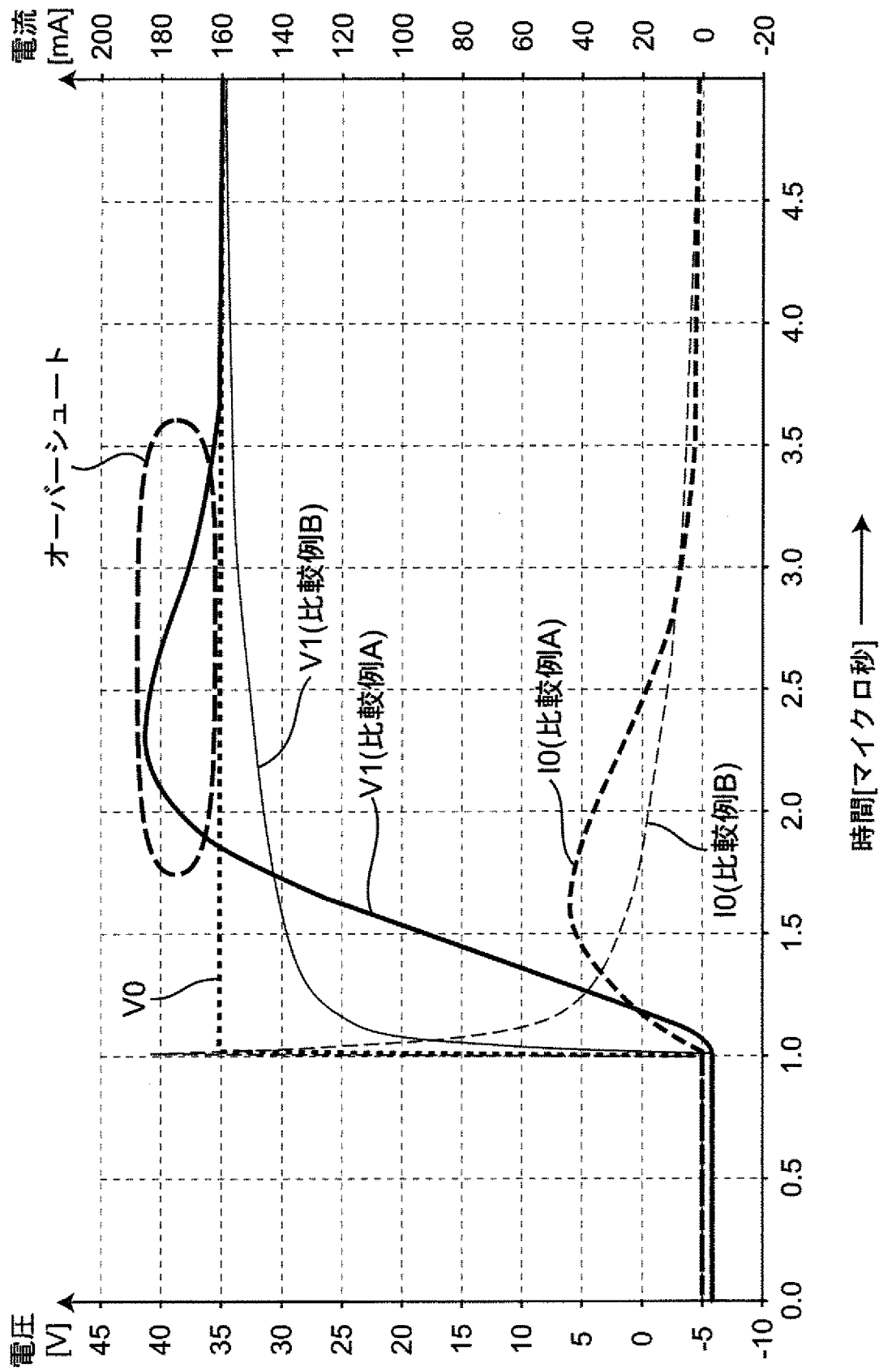
Rsum[Ω]	Csum[pF]	Lopt[μ H]
125	1000	5.5
125	2000	11
125	3000	16
250	1000	22
250	2000	43
250	3000	68
500	1000	90
500	2000	180
500	3000	270

[図7]

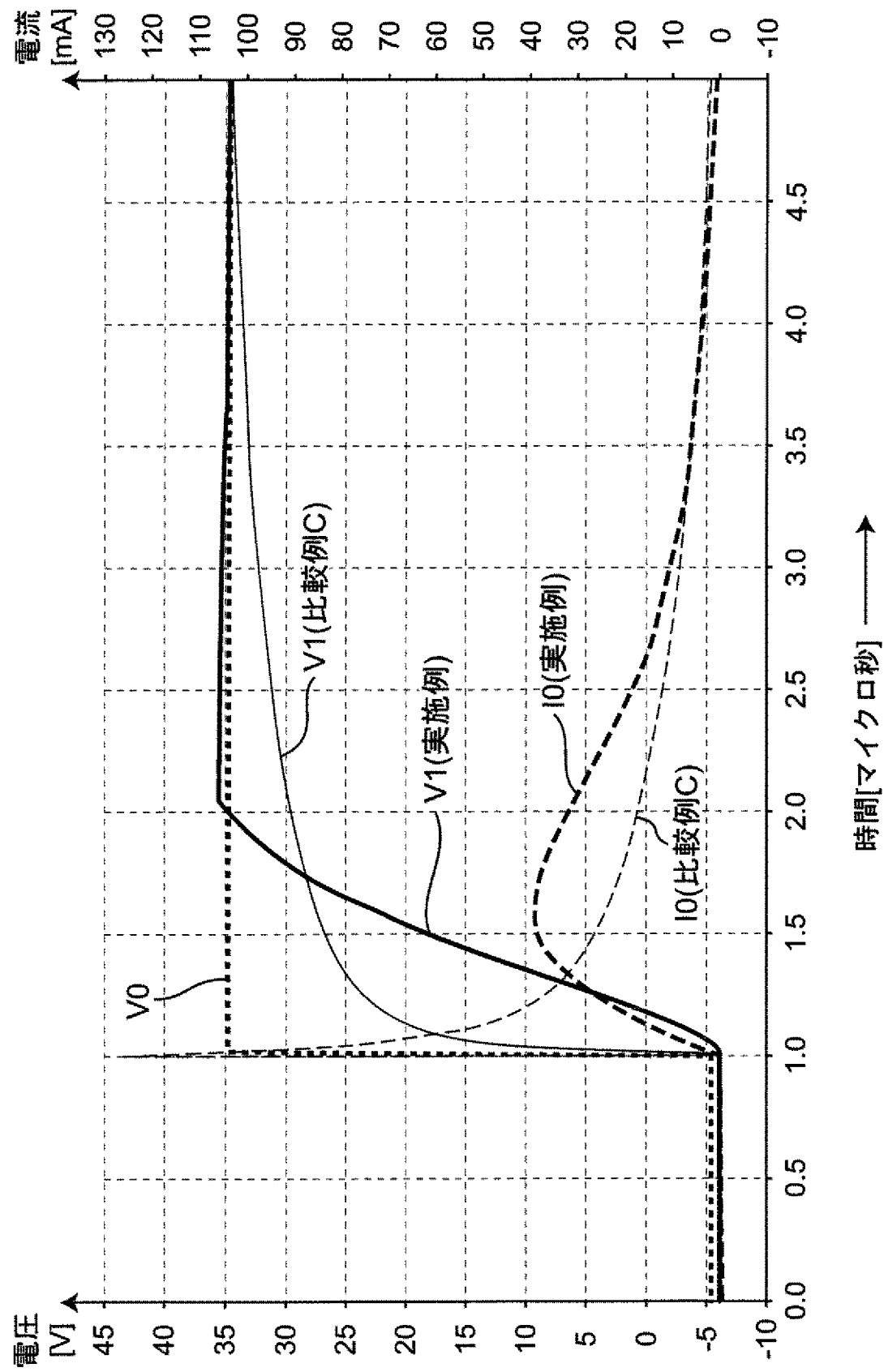
100A



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/024903

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/20 (2006.01) i, G09G3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2000-298455 A (DENSO CORPORATION) 24 October 2000, paragraphs [0019]-[0051], fig. 1-6 & US 6580409 B1, column 3, line 44 to column 7, line 63, fig. 1-6	1, 4-6 2-3
A	JP 2002-244612 A (PIONEER TOHOKU CORPORATION) 30 August 2002, entire text, all drawings (Family: none)	1-6
A	US 2005/0052368 A1 (KIM, K. N.) 10 March 2005, entire text, all drawings & KR 10-2005-0025507 A	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12.09.2018

Date of mailing of the international search report
25.09.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2000-298455 A（株式会社デンソー） 2000.10.24, 段落[0019]-[0051], 第1-6 図 & US 6580409 B1, 第3 欄第44 行-第7 欄第63 行, 第1-6 図	1, 4-6 2-3
A	JP 2002-244612 A（東北パイオニア株式会社） 2002.08.30, 全文全図（ファミリーなし）	1-6
A	US 2005/0052368 A1（KIM, Keum-Nam） 2005.03.10, 全文全図 & KR 10-2005-0025507 A	1-6

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

12.09.2018

国際調査報告の発送日

25.09.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

斎藤 厚志

21

5702

電話番号 03-3581-1101 内線 3274