

申請日期：97-6-25	IPC分類
申請案號：97118583	H01L 21/8239

(以上各欄由本局填註)

## 發明專利說明書

200529377

一、 發明名稱	中文	相變記憶體晶胞及其製造方法
	英文	Phase Change Memory Cell and Method of Its Manufacture
二、 發明人 (共3人)	姓名 (中文)	1. 賴理學 2. 鄧端理 3. 林文欽
	姓名 (英文)	1. LAI, LISHYUE 2. TANG, DENNY D. 3. LIN, WENCHIN
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹縣竹北市中正東路371巷5號10樓 2. 新竹市東區光明里5鄰光明新村167號之2 3. 新竹市公園路288號4樓之2
	住居所 (英文)	1. 10F, NO. 5, LANE 371, CHUNG CHENG E. RD., CHU PEI CITY, HSINCHU HSIEN 2. NO. 167-2, KUANG MING HSIN TSUN, LIN 5, KUANG MING LI, E. DIST.,
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 台灣積體電路製造股份有限公司 3. 4F-2, NO. 288, KUNG YUAN RD., HSINCHU
	名稱或 姓名 (英文)	1. TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行六路八號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 8, LI HSIN RD. 6, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 張 忠 謀
	代表人 (英文)	1. CHANG, CHUNGMOU



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2004/02/20	10/783,498	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

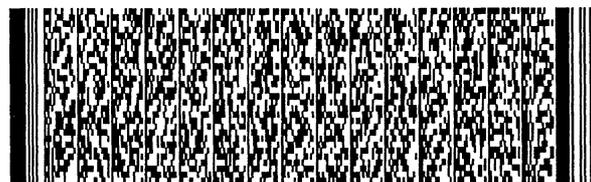
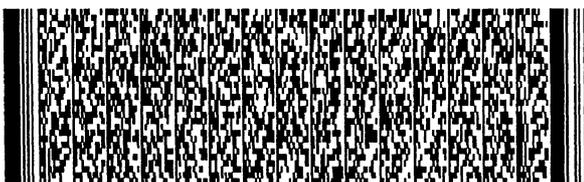
## 【發明所屬之技術領域】

本發明是有關於一種相變記憶體晶胞及其製造方法，且特別是有關於一種具有隨溫度改變而產生兩種轉態之記憶體晶胞，且該記憶體晶胞的材質可有效、迅速地變換成其中一種轉態。本發明亦有關於一種製造相變記憶體晶胞之方法。

## 【先前技術】

相變記憶體晶胞眾所週知，例如由 Lai 所提出，於 2003 年 1 月 28 日公告之第 6,512,241 號美國專利（簡稱 "241" 專利案），以及由 Maimon 所提出，於 2003 年 7 月 2 日公開之第 20030122156 號美國專利申請案（簡稱 "156" 專利申請案），後來亦有許多關於相變記憶體晶胞之技術。

許多不同的材質存在有兩種或是兩種以上的狀態，其中為易於明確辨認之故，使存在有兩種狀態之材質特別適用於數位化的記憶體。上述許多的材質呈現非均質狀態或是結晶質狀態，隨溫度改變而引起熱感應的轉態現象。基本上，當材質處於非均質狀態（具有高紊亂排列之原子結構），將呈現高電阻值，而當材質處於結晶質狀態（具有較整齊排列之原子結構），則呈現低電阻值。非均質狀態或是稱為 "重置 (Reset)" 之狀態代表是 "0" 之邏輯狀態，而結晶質狀態或是稱為 "設定 (Set)" 狀態代表是 "1" 之邏輯狀態。因此相變元件視為一種非揮發性之可程式化電阻器，可於高電阻值與低電阻值之間產生可逆的交替變化。



## 五、發明說明 (2)

硫屬材質 (Chalcogenide) 為一種包括 VI 族元素之合金。由於硫屬材質的相變化迅速且具有可逆性，而且其高電阻值與低電阻值之間的相變化差異非常明顯，因此硫屬材質合金特別適合作為記憶體之相變材質。具體而言，硫屬材質受到溫度改變而產生非均質狀態與結晶質狀態之間的交替變化可在奈秒範圍之內完成，而且其對應的高電阻值與低電阻值之間的差異性高達 6 個等級。

習知技術揭露許多用於記憶體之硫屬材料，包括二元化合物，例如銻化鎵 (GaSb)、銻化銦 (InSb)、碲化銦 (InSe)、碲化銻 ( $Sb_2Te_3$ ) 及碲化鍺 (GeTe)，包括三元化合物，例如  $Ge_2Sb_2Te_5$ 、InSbTe、GaSeTe、 $SnSb_2Te_4$  及 InSbGe，及包括四元化合物，例如 AgInSbTe、 $(GeSn)SbTe$ 、 $GeSb(SeTe)$  及  $Te_{81}Ge_{15}Sb_2S_2$ 。

記憶體晶胞中硫屬材料隨溫度之改變係由經過阻抗元件的電流之加熱效應 ( $i^2r$ ) 來決定，其中阻抗元件鄰接於硫屬材料的本體，阻抗元件主要包含導電元件與一硫屬材質層之間的介面區域。為了讀取記憶體晶胞的資料，切換元件傳遞電流經過硫屬材質層，然後感測電流的準位 (高準位或是低準位)，以決定記憶體晶胞的狀態 (設定或是重置狀態)。亦可由切換元件控制用於 "設定" 及 "重置" 記憶體晶胞之流經阻抗元件的電流。

當硫屬材質處於非均質狀態，則形成高電阻值 (重置狀態)，使大電流無法通過。然而當硫屬材質處於結晶質狀態，則形成低電阻值，若是施加的電場足夠大 (亦即施加



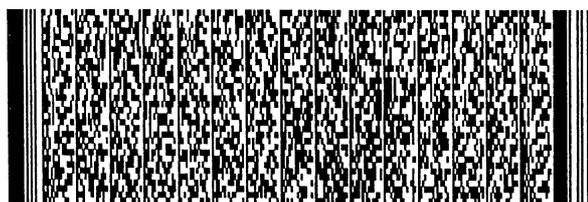
## 五、發明說明 (3)

的電壓夠高)時，由"重置"狀態轉換為"設定"狀態。高電場形成所謂的 Poole-Frenkel 導電效應足以降低硫屬材料的電阻值，其中係結合流經阻抗元件的中介電流所產生之加熱效應，且此電流所產生的熱量將導入材質內，但並不會熔解該材質。而且在電壓及電流切斷且硫屬材質冷卻下來之後，Poole-Frenkel 導電效應依然存在。高電場及中介電流持續的時間長度必須足以使硫屬材質內的結晶開始成核並且成長。

為使硫屬材質由設定狀態轉變為重置狀態，必須在硫屬材質施加足夠高的電壓，才能產生 Poole-Frenkel 導電效應。流經阻抗元件的高電流立即以高於熔化溫度對鄰近的部分硫屬材質進行加熱。當電流及電壓被移除時，熔化的硫屬材質立刻因淬火效應而回到非均質狀態。

為了讀取硫屬材質的資料，利用切換元件對硫屬材質施加較低的電壓。假如硫屬材質處於低電阻值之設定狀態，施加電壓與阻抗元件的電阻值將會限制流經阻抗元件的電流，使其不會發生相變化，此時所感測的電流代表是"1"之邏輯狀態。假如硫屬材質處於高電阻值之重置狀態，流經硫屬材質的電流相當小，此時所感測的電流代表是"0"之邏輯狀態。

上述許多晶胞之相變記憶體可以利用 CMOS 積體電路來實現，例如"241"專利案及"156"專利申請案，以及由 Hudgens 所提出，於 2001 年 6 月 30 日公告之第 6,511,862 號美國專利案，揭露了記憶體的實際尺寸、材質及製造流程



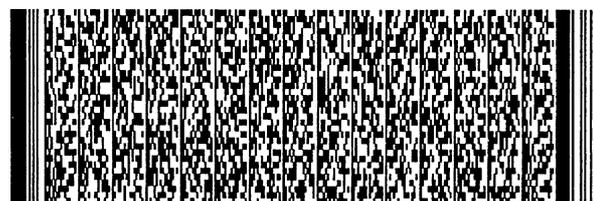
## 五、發明說明 (4)

均與 CMOS 的製程相容。

習知技術使用 MOSFET 作為切換元件，用於控制記憶體晶胞中流經阻抗元件的電流及施加於硫屬材質的電壓，並且用以感測或是讀取硫屬材質的電阻值。因此，MOSFET 可用於設定記憶體晶胞，而將硫屬材質的電阻值降低至 "1" 之邏輯狀態，並且可用於重置記憶體晶胞，而將硫屬材質的電阻值升高至 "0" 之邏輯狀態。相同的 MOSFET 用於施加電壓於記憶體晶胞，或是用於傳送電流經過記憶體晶胞，且電流的準位表示出晶胞為 "設定" 或是 "重置" 狀態。

切換元件需要傳送足夠的功率至阻抗元件來熔化 (重置) 一部分的硫屬材質。因為 MOSFET 的尺寸已經縮小 (通道長度及氧化層厚度減小)，所以 MOSFET 並不是最佳的切換元件。雖然可藉由提高通過 MOSFET 的電流密度來增加加熱量，但是在 MOSFET 發生崩潰之前，MOSFET 施加於硫屬材質記憶體晶胞之電壓受到侷限。因此，由於電阻值在介面區域的電流加熱效應  $i^2R$  係為介面區域的接觸面積之函數，所以介於阻抗元件與硫屬材質之間的介面面積應該愈小愈佳。介面區域的電阻值越高將造成硫屬材質的單位電流量之加熱更有效率，此即為 "241" 專利案及 "156" 專利申請案欲達到的目標。

前述兩篇專利使用較為複雜的多重沉積步驟及圖案化步驟，藉由微影製程定義一小導電區域 (阻抗元件)，且該小導電區域與一覆蓋的硫屬材質相互接觸。硫屬材質層及一導電薄膜位於基材表面，其中一部分的硫屬材質及導電薄



## 五、發明說明 (5)

膜所形成的小導電區域係位於設有切換元件之基材表面上，且基材上亦設有 MOSFET 或是其他型式的電晶體。硫屬材質層及導電薄膜約以垂直方式重疊或是堆疊在一起，而且熱量由垂直方向導入硫屬材質中。

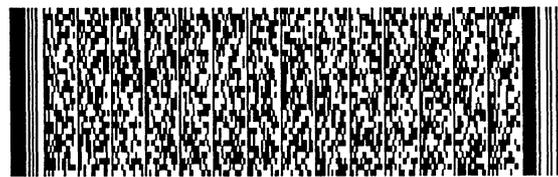
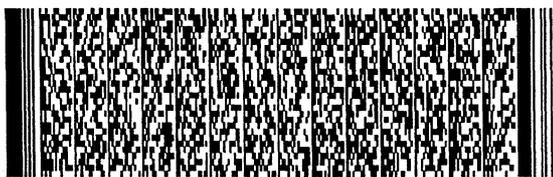
## 【發明內容】

在一實施態樣中，本發明提出一種利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，包含絕緣介電層、導電薄膜、相變層及電性阻抗介面。其中絕緣介電層位於基材上，導電薄膜位於絕緣介電層，且導電薄膜的平面平行於基材之平面，相變層位於絕緣介電層，電性阻抗介面位於導電薄膜與相變層之間，以位於導電薄膜與平行於基材表面的相變層之間的接合區域來定義電性阻抗介面。

另一實施態樣中，本發明提出一種利用積體電路技術在半導體基材上製造相變記憶體晶胞之方法，首先在基材之第一介電層上形成導電薄膜，且導電薄膜平行於基材之平面。接著於第一介電層上形成一相變層，使得導電薄膜的第一端部與相變層的第二端部形成一接合區域，接合區域垂直於基材平面，且以接合區域定義一電性阻抗介面。

另一實施態樣中，本發明提出一種記憶體晶胞，包含相變層及延伸導電薄膜。其中延伸導電薄膜設有接合於相變層的側邊之第一端部，以定義具有寬度及高度之介面區域，係以薄膜沉積參數定義介面區域之寬度或是高度。

在一實施態樣中，本發明亦提出一種在具有平面內層介電



## 五、發明說明 (6)

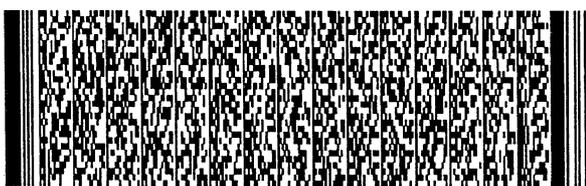
層之平面半導體基材上製造相變記憶體的方法，且基材設有內層介電層，首先於內層介電層中之未使用的底層電極上沉積導電薄膜，且導電薄膜平行於基材表面且具有第一端部。接著於未使用的導電薄膜上形成第一內金屬介電層。然後利用穿過第一內金屬介電層及導電薄膜之一溝渠，以定義導電薄膜之第二端部。最後以相變材質填入溝渠中，溝渠的一側邊與導電薄膜的第二端部設有介面，該介面垂直於基材平面。

## 【實施方式】

本發明較佳實施例之製造及使用方法如下所述。然而本發明之創新概念亦適用於其他特定的應用領域，且所列舉之實施例僅便於說明本發明之內容，並非用以限定本發明之申請專利範圍。

本發明係有關於一種改良的相變記憶體晶胞。較佳實施例中，利用積體電路技術製造記憶體晶胞且該晶胞與電晶體(如 MOSFET)有關聯，其中晶胞與電晶體位於相同的基材上。本發明所述之"記憶體晶胞"(Memory Cell)係指記憶體的晶胞本身以及與電晶體或是其他切換元件有關之記憶體單元而言。本發明之製造方法係有關於製造相變記憶體晶胞的方法，較佳的實施態樣如下文所述。

在習知的相變記憶體晶胞中，導電元件與相變層相互重疊，相變層平行於基材表面，一個或是多個接觸窗穿過一層間絕緣層，而曝露出導電元件。利用接觸窗的面積來決



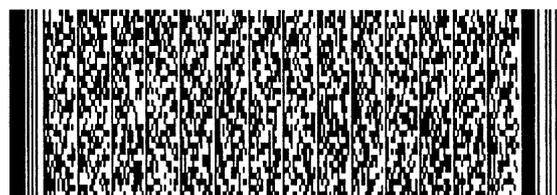
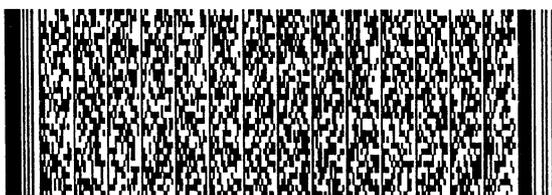
## 五、發明說明 (7)

定介於導電元件與相變層之間的電性連接介面區域，而且接觸窗及此介面區域的平面均平行於基材。利用微影製程來決定接觸窗的最小尺寸(亦即最小面積)，而接觸窗的面積決定介面區域的電阻值對於垂直流經基材進入相變層的電流以及決定用於設定或是重置相變材質的  $i^2r$  加熱量，而控制相變材質的  $i^2r$  加熱量之能力則是受限於微影製程。

本發明之較佳記憶體晶胞的實施例中，藉由調整導電元件與相變層的物理結構，以簡化介於導電元件與相變層之間介面區域的製造步驟，以更精確地控制相變材質的  $i^2r$  加熱量。

本發明之較佳實施例中，導電元件為平行於基材之薄膜，且導電薄膜與相變層並沒有重疊，而是導電薄膜的端部緊臨於相變層的側邊，使得介於導電薄膜與相變層之間的電性接合介面(或是區域)與基材平面行成正交，而導電薄膜與相變層之間的電流平行於基材。導電薄膜的寬度及高度決定接合介面的尺寸大小，利用微影製程技術使導電薄膜(平行於基材平面)的寬度盡量縮小，且利用薄膜沉積製程決定導電薄膜(垂直於基材平面)的高度或是厚度。使用薄膜沉積製程所形成的薄膜高度或是厚度遠小於由微影製程所形成的薄膜厚度。因此，本發明較佳實施例中，介於導電薄膜與相變層之間的介面區域小於習知技術，且習知技術需要曝露導電薄膜之製程步驟得以省略。

習知技術中，利用積體電路技術在基材上製造記憶體晶胞，此記憶體晶胞包括介於相變層與導電層之間的介面區



## 五、發明說明 (8)

域，這些材質層主要是平行於基材平面，其中介面區域的面積決定其電阻值及經過的電流，且經過介面區域的電流產生  $i^2r$  加熱量，以用於設定或是重置相變材質為低電阻值或高電阻值之狀態。習知的積體電路技術將相變層覆蓋在導電層上或是將導電層覆蓋在相變層上，接著進行一連串複雜的微影製程，僅曝露一小部分的導電層 (或是相變層) 之表面，以利用相變層 (或是導電層) 的表面進行接合

(Engagement)。對於固定的電流而言，接合的面積越小，越容易對相變材質進行加熱。介於薄膜之間的接合面積平行於基材平面，且薄膜之間的電流垂直於基材。

第 1A 及 1B 圖，其分別繪示習知技術之記憶體晶胞 10 的上視圖及剖視圖。基材 12 埋設一導電元件 14，可為 MOSFET 的汲極或是源極，或是另一電晶體 / 切換元件 (未圖示) 的輸出 / 輸入端。電性連接至導電元件 14 的下側電極 16 具有淺容器形狀，其中淺容器形狀包括底面 18 及柱狀側壁 20。之後於下側電極 16 填入絕緣層 22 及 24 並且環繞下側電極 16，接著在下側電極 16 及黏著層 28 上形成相變層 26，然後在相變層 26 形成上電極 30。接著形成黏著層 28，以作為覆蓋絕緣層 22、24 及下側電極 16 的側壁 20 之連續層，然後在黏著層 28 形成狹縫 32，以曝露出一小部分 34 的側壁 20。因此，當形成相變層 26 時，在介於相變層 26 與下側電極 16 之間亦產生介面區域 36。

上述之結構 10 所包含的元件如黏著層 28 及狹縫 32 並不存在於典型的 IC 結構中，且在習知的 MOSFET 製程中並不包括形



## 五、發明說明 (9)

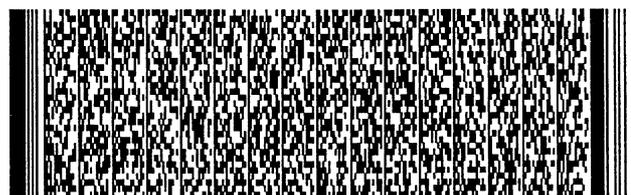
成這些元件所需的步驟。舉例來說，當利用 IC製程技術在製造相變記憶體形成下側電極時，並不包括形成容器狀之下側電極 16。而形成容器狀電極 16需要傳統的導電層沉積步驟，而且接著需要以絕緣層 22覆蓋下方電極 16，然後平坦化電極 16及絕緣層 22來形成側壁 20，並使得絕緣層 22與側壁 20的上層共平面。當進行曝露側壁 20的介面區域 36之步驟時，需要先沉積黏著層 28、形成罩幕層(未圖示)以及形成狹縫 32。

此外，介面區域 36寬度及長度受限於微影製程的參數值，所以微影製程也會限制介面區域 36可被最小化之程度。

第 2圖顯示一部份的 IC記憶體 50，包括設有晶胞 10或是其他習知晶胞之記憶體晶胞矩陣，較佳實施例中，可以本發明第 3-5圖的記憶體晶胞取代之。記憶體晶胞包括 MOSFET 52或是其他與記憶體晶胞 10有關的電晶體，其中在同一列的 MOSFET 52之閘極連接至  $R_N$ 、 $R_{N+1}$  列導體，且同一行的 MOSFET 之源極 56連接至  $C_N$ 、 $C_{N+1}$  行導體。

在 IC記憶體 50上的 R及 C導體如同 MOSFET 52所示。介於小部分側壁 34與相變層之間的介面區域 36之電阻值以圖示電阻 58表示之，上電極 30連接至電壓源 V，且下電極 18連接至 MOSFET 52的汲極 60。R及 C導體可連接至訊號源極，該源極選擇性地實現每個晶胞 10的設定狀態、重置狀態及讀取狀態。每個晶胞 10之操作方式如上所述。

本發明一實施例之記憶體晶胞 100，如第 3及 4圖所示。可於已經設有 MOSFET 104、電晶體或是切換裝置之基材上形



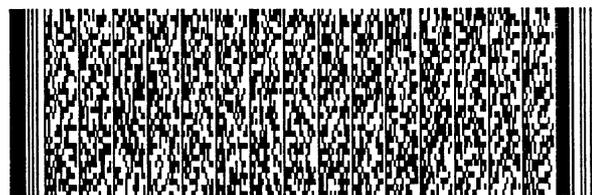
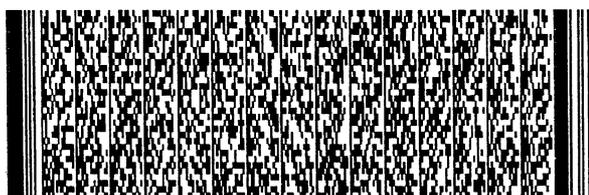
## 五、發明說明 (10)

成記憶體晶胞 100，且記憶體晶胞 100與 MOSFET 104相關聯，而不會影響 IC的製程步驟。

記憶體晶胞 100包括利用在基材 102上的介電層 110開口 108所形成之底層電極 106，底層電極 106電性連接至 MOSFET 104的汲極 111。實際上，雖然介電層 110是由許多如第 4圖所示之組織層所組成，但是介電層 110仍然視為連續的結構，如第 3圖所示。本發明可同時形成開口 108與 MOSFET 104的閘介電層 112。具體而言，在形成一介電層之後，接著對此介電層進行圖案化步驟，以定義閘介電層 112，並利用該圖案化步驟形成開口 108。導電薄膜 114的材質例如可為鈦 (Ti)、鎢 (W)、鈦鎢 (TiW)材料、氮化鈦 (TiN)、鈦鋁 (TiAl)材料、氮化鋁鈦 (TiAlN)材料、氮化鎢鈦 (TiWN)極高導電性材質。

導電薄膜 114的第一端部 114a電性連接至底層電極 106，第二端部 114b用於對相變層 116進行加熱。導電層 114的材質包括高能隙 (Bandgap)、高導電之材質，例如可為多晶矽、矽材質及碳化矽，相變層 116的材質包括 VI族元素之合金，例如銻化鎵 (GaSb)、銻化銦 (InSb)、硒化銦 (InSe)、碲化銻 ( $Sb_2Te_3$ )、碲化鍺 (GeTe)、 $Ge_2Sb_2Te_5$ 、InSbTe、GaSeTe、 $SnSb_2Te_4$ 、InSbGe、AgInSbTe、 $(GeSn)SbTe$ 、 $GeSb(SeTe)$ 及  $Te_{81}Ge_{15}Sb_2S_2$ ，以及其他的二元化合物、三元化合物及四元化合物。

本發明之相變層 116可與 MOSFET 104的閘極 118同時形成，其中閘極 118以及閘介電層形成 MOSFET 104的閘極堆疊



## 五、發明說明 (11)

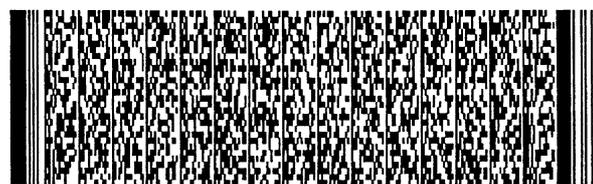
120。具體而言，先在介電層 110 形成開口 122，並於開口 122 填入一導電材質，以形成閘極 118。

當形成開口 122 時，同時形成導電薄膜 114 的開口或溝渠 124，之後在一部分的開口 124 中填入材質，以形成導電薄膜 114。接著，形成相變層 116，如下所述。相變層 116 及導電薄膜 114 的第二端部 114b 具有介面區域 150，以對相變層 116 進行加熱，如前所述。使用一層或是多層的介電層 110，以於溝渠 152 形成相變層 116，將於第 5 圖作詳述說明。

電性連接至相變層 116 的上電極 154 係以介電層 110 之開口 156 形成之。同時形成類似的開口 158、160，以作為連接至 MOSFET 104 源極 166 及閘極堆疊 120 之電極 162、164。然後在最上層的介電層 110 上分別形成電性連接至電極 154、162 及 164 之導電墊 169。

如前所述，介於相變層與導電層之間的最小介面區域受限於微影製程所能達到的最小尺寸。在第 1A 圖中，介面區域的長度  $L$  無法小於形成側壁 34 之微影製程所能達到的最小尺寸，其中側壁的厚度為長度  $L$ 。此外，微影製程限制狹縫 32 的最小寬度尺寸，此寬度尺寸為介面區域 36 的寬度  $W$ 。因此最小長度  $L$  與最小寬度  $W$  的乘積受限於微影製程，亦即介面區域 36 的最小面積受限於微影製程。

本發明之實施例中，介面區域 150 的面積為導電薄膜 114 的寬度  $W$  及高度  $H$  的乘積。當微影製程限制導電薄膜 114 的寬度  $W$  時，微影製程並不會限制導電薄膜 114 的高度  $H$ 。是



## 五、發明說明 (12)

故，雖然在利用微影製成形的溝渠 124 上形成導電薄膜 114，限制溝渠 124 的最小寬度  $W$ ，但是並不會限制導電薄膜 114 的高度  $H$ ，此係因以薄膜沉積技術來形成導電薄膜 114。因此即使開口 124 的深度受限於微影製程所允許的最小尺寸，仍可藉由在填入開口 124 的步驟之前，先停止薄膜沉積步驟，使得導電薄膜 114 的高度  $H$  明顯小於開口 124 的深度。

導電薄膜 114 的材質如上所述，係利用薄膜沉積技術形成導電薄膜，且其高度  $H$  遠小於微影製程所能達到的最小高度。上述之薄膜沉積技術包括物理氣相沉積 (PVD)，如熱蒸鍍及濺鍍，化學氣相沉積 (CVD) 法，如低壓化學氣相沉積 (LPCVD) 法、電漿輔助化學氣相沉積 (PECVD) 法，原子層沉積 (ALD) 法，以及原子層化學氣相沉積 (ALCVD) 法。

根據上述，介面區域 150 的最小面積  $W \times H$  遠小於習知的微影製程所能達到的面積，可精確控制介面區域 150 的面積，以及控制以電流來實現對相變層 116 之  $i^2R$  加熱量。

參考第 5 圖，其顯示記憶體晶胞的製造方法。在第 5A 圖中，於介電層 110 的第一內層介電層 (ILD) 170 之開口 108 形成下接觸墊 106。接著在第 5B 圖中，在第一內層介電層 (ILD) 170 上利用微影製程及薄膜沉積製程 (非微影製程) 形成導電薄膜 114，如上所述。然後在導電薄膜 114 及第一內層介電層 (ILD) 170 上形成第一內金屬介電層 (IMD) 172 或是稱為中介層，如第 5C 圖所示。之後在第 5D 圖中，貫穿或是導電薄膜 114 形成溝渠 152。為了確保第二端部 114b 電性連

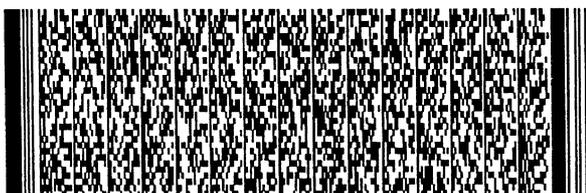


## 五、發明說明 (13)

接至相變層 116(利用溝渠 152形成之，如第 5E圖)，溝渠 152延伸至第一內層介電層 (ILD)170，如第 5D及 5E圖所示。

在第 5F圖中，於相變層 116及第一內金屬介電層 (IMD)172上形成第二內金屬介電層 (IMD)174，並且在第二內金屬介電層 (IMD)174的開口 156中形成上電極 154，最後在第二內金屬介電層 (IMD)174上形成接觸墊 169。

雖然本發明已用較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

## 【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，特舉較佳實施例，並配合所附圖式，作詳細說明如下：

第1圖係繪示習知技術之"241"專利案及"156"專利申請案之相變記憶體晶胞的部分上視圖及剖視圖。

第2圖係繪示習知技術之多重相變記憶體晶胞之部分視圖。

第3圖係繪示依據本發明之一實施例之相變記憶體晶胞的剖視圖

第4圖係繪示依據本發明一部分第3圖中相變記憶體晶胞材質的熱源之局部放大視圖。

第5圖係繪示依據本發明第3及4圖之相變記憶體晶胞的製造步驟之側視圖及剖視圖。

## 【元件代表符號簡單說明】

10 記憶體晶胞 12 基材

14 導電元件 16 下側電極

18 底面 20 側壁

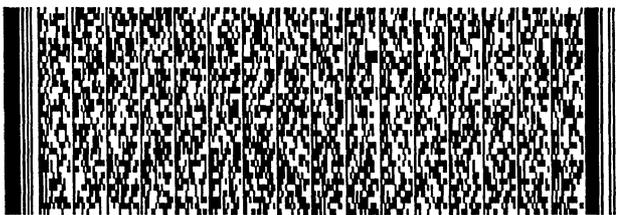
22、24 絕緣層 26 相變層

28 黏著層 30 上電極

32 狹縫 34 小部分側壁

36 介面區域 50 IC記憶體

52 MOSFET 56 源極



圖式簡單說明

60 汲極 100 記憶體晶胞

102 基材 104 MOSFET

106 底層電極 108 開口

110 介電層 111 汲極

112 閘介電層 114 導電薄膜

114a 第一端部 114b 第二端部

116 相變層 118 閘極

120 閘極堆疊 122、124 開口

150 介面區域 152 溝渠

154 上電極 156、158、160 開口

162、164 電極 166 源極

169 導電墊 170 第一內層介電層

172 第一內金屬介電層 174 第二內金屬介電層



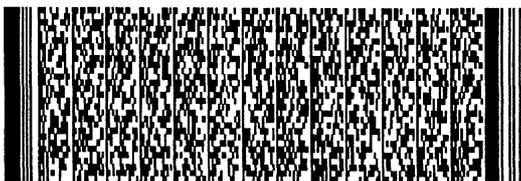
## 四、中文發明摘要 (發明名稱：相變記憶體晶胞及其製造方法)

本發明提供一種相變記憶體晶胞，包括用於相變層本體之阻抗式加熱元件，藉由 MOSFET 的電壓及電流有效地對一部份的相變本體進行加熱。並且利用微影技術定義介面區域的第一尺寸，以及利用薄膜沉積技術定義介面區域的第二尺寸，使導電層與相變層本體之間的介面區域之面積最小化。

本案若有化學式，請揭示最能顯示發明特徵的化學式

## 五、英文發明摘要 (發明名稱：Phase Change Memory Cell and Method of Its Manufacture)

A phase change memory cell includes a resistive heating element for a phase change body that can expeditiously and efficiently heat a portion of the body with the voltage and current usable with MOSFETs. This is achieved through minimizing the area of an interface between a conductive layer and the body by permitting photolithographic techniques to define one dimension of the



四、中文發明摘要 (發明名稱：相變記憶體晶胞及其製造方法)

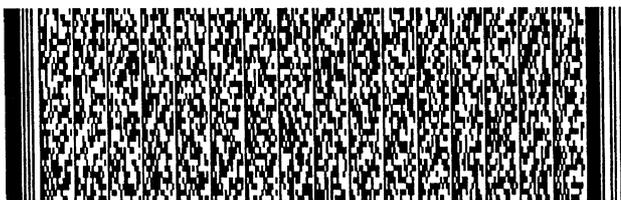
五、英文發明摘要 (發明名稱：Phase Change Memory Cell and Method of Its Manufacture)

interface and thin film deposition techniques to define the other dimension.



## 六、申請專利範圍

1. 一種利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，該相變記憶體晶胞至少包含：  
位於一基材上之一絕緣介電層；  
位於該絕緣介電層之一導電薄膜，且該導電薄膜的平面平行於該基材平面；  
位於該絕緣介電層之一相變層；以及  
一電性阻抗介面，介於該導電薄膜與該相變層之間，以介於該導電薄膜與平行於該基材表面的該相變層之間的介面區域來定義該電性阻抗介面。
2. 如申請專利範圍第1項所述之利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，其中該介面區域的電阻值與該介面區域的面積成反比，且平行於該基材平面的該導電薄膜之寬度與垂直於該基材平面的該導電薄膜之高度定義該介面區域的面積。
3. 如申請專利範圍第2項所述之利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，其中利用微影技術形成平行於該基材平面的該導電薄膜之寬度，並且以沉積參數形成垂直於該基材平面的該導電薄膜之高度。
4. 如申請專利範圍第3項所述之利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，其中通過該介面區域的電流所形成之熱量以平行於該基材平面的方向由該介面



## 六、申請專利範圍

區域流入該相變層中。

5. 如申請專利範圍第4項所述之利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，其中由該介面區域流向該相變層的第一電流路徑之方向平行於該基材平面，且由該相變層流向該接觸墊的第二電流路徑之方向垂直於該基材平面。

6. 如申請專利範圍第1項所述之利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，其中該相變層及該導電層並非上下重疊。

7. 如申請專利範圍第6項所述之利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，其中該相變層位於以介電層形成之溝渠中，且該溝渠的底部平面及該相變層共平面，或是低於該介電層的較低表面。

8. 如申請專利範圍第7項所述之利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，更包含該基材上及該介電層中之電晶體，其中該電晶體的輸出端電性連接於該導電薄膜的第一端部，且該導電薄膜的第二端部接合於該介電層，以定義該介面區域。

9. 如申請專利範圍第8項所述之利用積體電路技術在半導



## 六、申請專利範圍

體基材上所形成之相變記憶體晶胞，其中該電晶體至少包含設有閘極堆疊之 MOSFET，且該導電薄膜與該閘極堆疊之閘極共平面。

10. 如申請專利範圍第 9 項所述之利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，其中：

該介電層至少包含第一材質層、位於該第一材質層上之第二材質層、以及位於該第二材質層上之第三材質層；

該閘極及該導電薄膜位於該第一材質層、位於該第二材質層中、且位於該第三材質層下方；以及

該相變層位於該第一材質層、且位於該第二材質層及該第三材質層中。

11. 如申請專利範圍第 10 項所述之利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，更包含：

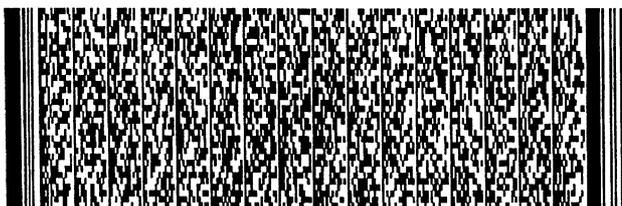
位於該閘極之一接觸墊；以及

位於該第三材質層之上層材質層，其中位於該相變層的及位於該閘極的該接觸墊處於該上層材質層中。

12. 一種利用積體電路技術在半導體基材上製造相變記憶體晶胞之方法，該製造方法至少包含下列步驟：

形成一導電薄膜於該基材之第一介電層上，且該導電薄膜平行於該基材之平面；以及

形成一相變層於該第一介電層上，使得該導電薄膜的第一



## 六、申請專利範圍

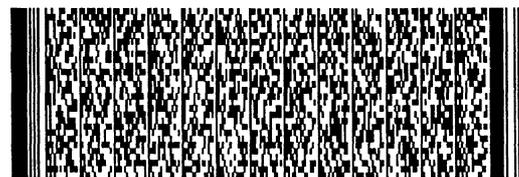
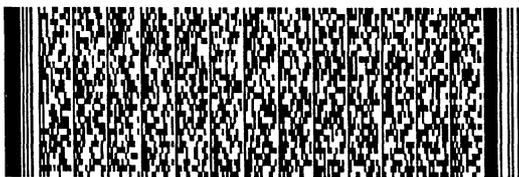
端部與該相變層的第二端部形成一介面區域，該介面區域垂直於該基材平面，且以該介面區域定義一電性阻抗介面。

13. 如申請專利範圍第12項所述之利用積體電路技術在半導體基材上製造相變記憶體晶胞之方法，其中該電性阻抗介面的電阻值與該介面區域的面積成反比，且選定平行於該基材平面的該導電薄膜之寬度及垂直於該基材平面的該導電薄膜之高度來定義該介面區域的面積。

14. 如申請專利範圍第13項所述之利用積體電路技術在半導體基材上製造相變記憶體晶胞之方法，其中利用微影技術形成該導電薄膜之寬度，並且以沉積參數形成該導電薄膜之高度。

15. 一種在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，且該基材設有內層介電層，該方法至少包含下列步驟：

沉積導電薄膜於該內層介電層中之未使用的底層電極上，且該導電薄膜平行於該基材表面且具有第一端部；  
形成第一內金屬介電層於未使用的導電薄膜上；  
利用穿過該第一內金屬介電層及該導電薄膜之一溝渠，以定義該導電薄膜之第二端部；以及  
以相變材質填入該溝渠中，該溝渠的一側邊與該導電薄膜



## 六、申請專利範圍

的該第二端部設有一平面區域，該平面區域垂直於該基材平面。

16. 如申請專利範圍第15項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中包含該內層介電層中之一第一電極，且沉積該導電薄膜，使得該導電薄膜的該第一端部與該第一電極形成接觸。

17. 如申請專利範圍第15項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中一部分的該溝渠位於該內層介電層中。

18. 如申請專利範圍第15項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中通過該介面區域的電流所形成之熱量以平行於該基材平面的方向由該介面區域流入該相變層中。

19. 如申請專利範圍第18項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中該導電薄膜的材質至少包含一高能隙、熱導電材質。

20. 如申請專利範圍第18項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中該導電薄膜的材質係選自多晶矽、矽以及碳化矽所組成之族群。



## 六、申請專利範圍

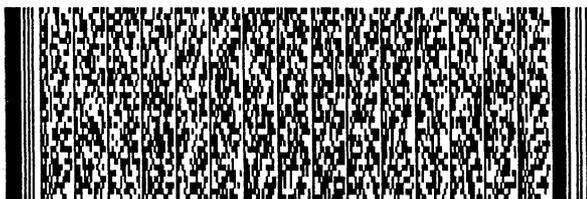
21. 如申請專利範圍第18項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中該相變層的材質至少包含硫屬材料。

22. 如申請專利範圍第21項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中該相變層的材質係選自二位元合金、三位元合金以及四位元合金所組成之族群。

23. 如申請專利範圍第22項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中其中該相變層的材質係選自 GaSb、InSb、InSe、 $Sb_2Te_3$ 、GeTe、 $Ge_2Sb_2Te_5$ 、InSbTe、GaSeTe、 $SnSb_2Te_4$ 、InSbGe、AgInSbTe、(GeSn)SbTe、GeSb(SeTe)、 $Te_{81}Ge_{15}Sb_2S_2$  以及其任意組合所組成之族群。

24. 如申請專利範圍第23項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中該導電薄膜的材質係選自多晶矽、矽、碳化矽以及高能隙、熱導電材質所組成之族群。

25. 如申請專利範圍第16項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，更包含下列步



## 六、申請專利範圍

驟：

形成一第二內金屬層於該第一內金屬層及未使用的該相變層之表面上；以及

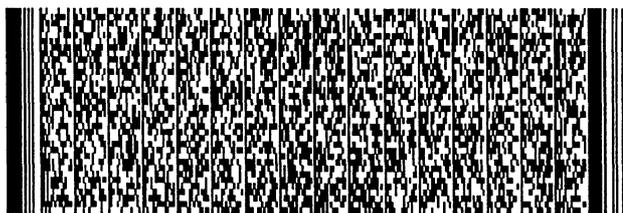
形成一第二電極於該第二內金屬層中，且與未使用的相變層之表面形成接觸。

26. 如申請專利範圍第25項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中配置該介面區域、該相變層及該第二電極，使得由該介面區域流向該相變層的第一電流路徑之方向平行於該基材平面，且由該相變層流向該第二電極的第二電流路徑之方向垂直於該基材平面。

27. 如申請專利範圍第26項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中該第一電極承接該基材上及該介電層中之電晶體輸出端。

28. 如申請專利範圍第27項所述在具有平面內層介電層之平面半導體基材上製造相變記憶體的方法，其中該第二電極連接於一電壓源極。

29. 一種利用積體電路技術在半導體基材上所形成之相變記憶體晶胞，該相變記憶體晶胞介於一相變層與一導電元件之間設有一介面區域，且該介面區域的面積決定電阻值



## 六、申請專利範圍

及流經的電流，該相變記憶體晶胞至少包含一導電薄膜的該阻抗元件，該導電薄膜並不重疊，且延伸出去，該相變層以平行於該基材平面的方向，以垂直於該基材的該導電薄膜之厚度決定該介面區域的電阻值。

30. 如申請專利範圍第 29 項所述之相變記憶體晶胞，其中以該相變層的側邊以及該導電薄膜的端部之接合區域定義介面區域，且該側邊及該端部垂直於該基材平面。

31. 如申請專利範圍第 29 項所述之相變記憶體晶胞，其中該導電薄膜的材質至少包含一高能隙、熱導電材質。

32. 如申請專利範圍第 29 項所述之相變記憶體晶胞，其中通過該介面區域的電流所形成之熱量以平行於該基材平面的方向由該介面區域流入該相變層中。

33. 如申請專利範圍第 29 項所述之相變記憶體晶胞，且該相變記憶體晶胞之電流由介面區域經過相變層到達相變層的接觸墊，其中由該介面區域流向該相變層的第一電流路徑之方向平行於該基材平面，且由該相變層流向該接觸墊的第二電流路徑之方向垂直於該基材平面。

34. 如申請專利範圍第 29 項所述之相變記憶體晶胞，其中：



## 六、申請專利範圍

位於該基材上介電層之一薄膜；以及  
該相變層位於以該介電層所形成之溝渠中，該溝渠以平行於該基材平面的方向朝向該相變層，以定義該薄膜的長度。

35. 如申請專利範圍第29項所述之相變記憶體晶胞，其中利用微影技術形成平行於該基材平面的該導電薄膜之寬度，並且以沉積參數形成垂直於該基材平面的該導電薄膜之高度。

36. 一種記憶體晶胞，至少包含：

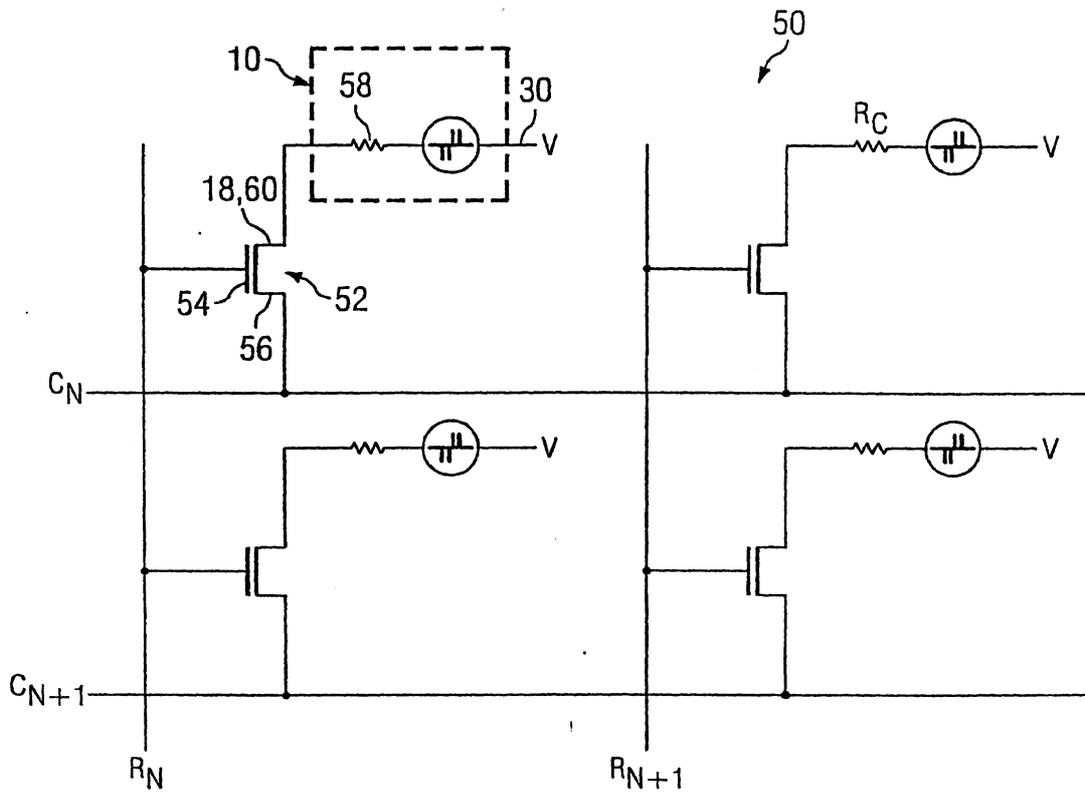
一相變層；以及  
設有接合於該相變層的側邊之第一端部之一延伸導電薄膜，以定義具有寬度及高度之介面區域，係以薄膜沉積參數定義該介面區域之該寬度或是該高度。

37. 如申請專利範圍第36項所述之記憶體晶胞，其中於該延伸導電薄膜之第二端部及該相變層設有一電壓，使得電流由該介面區域流向平行於該導電薄膜的該相變層。

38. 如申請專利範圍第37項所述之記憶體晶胞，其中該電流由垂直於該延伸導電薄膜之該相變層流出來。







第2圖

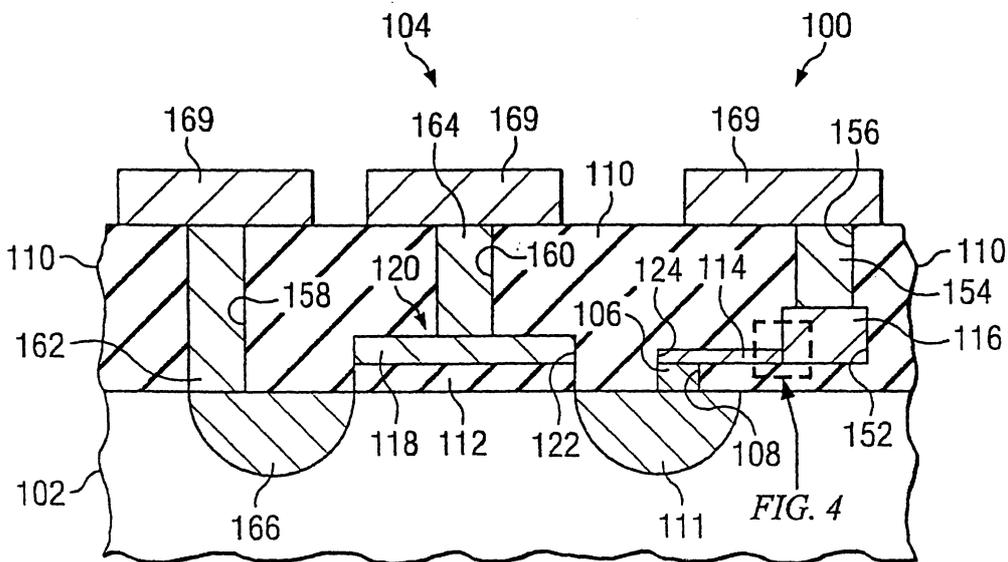
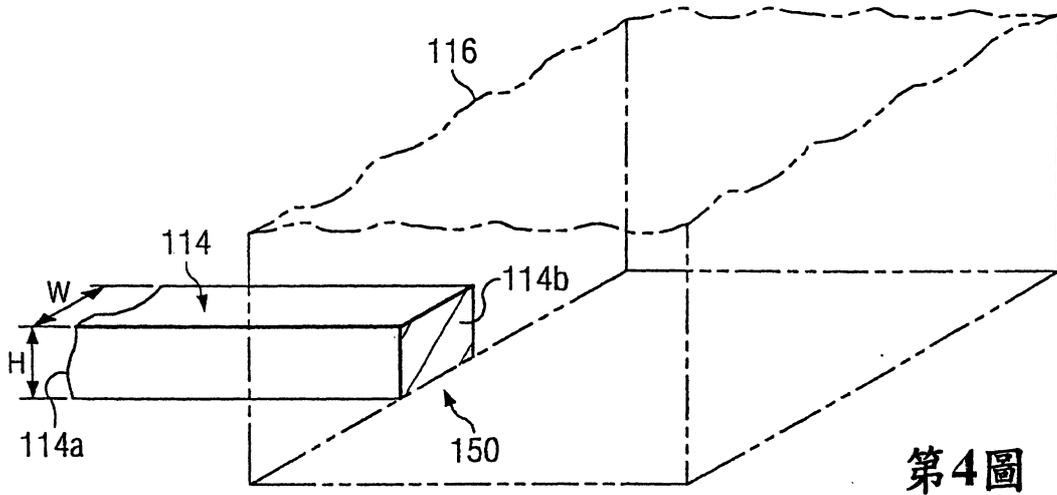
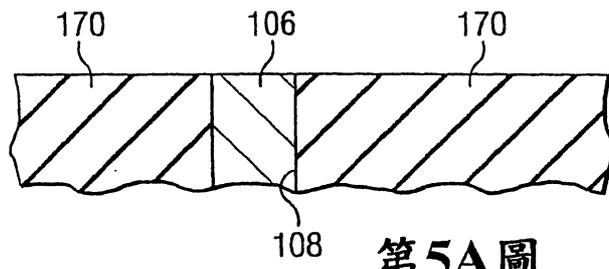


FIG. 4

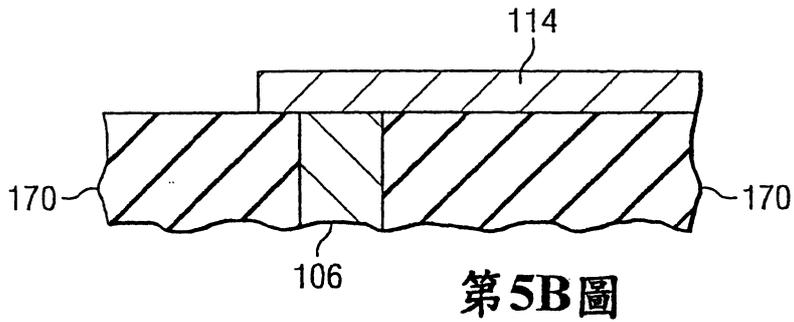
第3圖



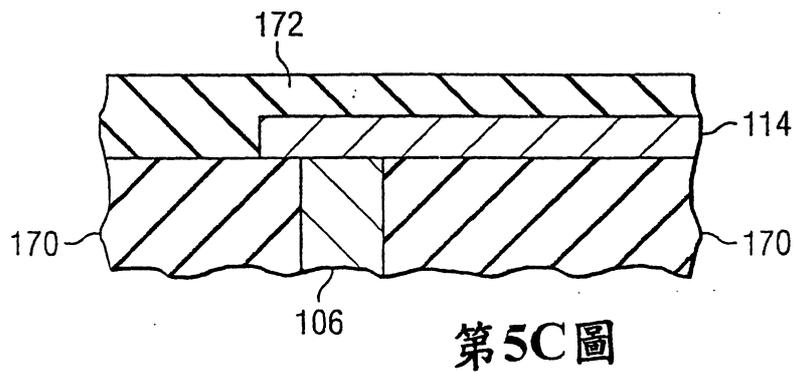
第4圖



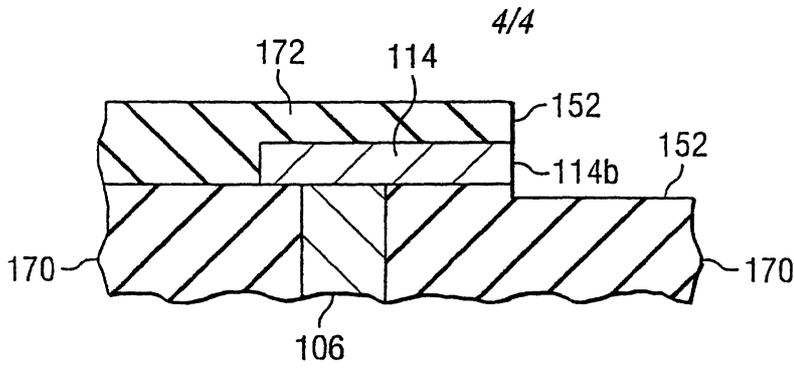
第5A圖



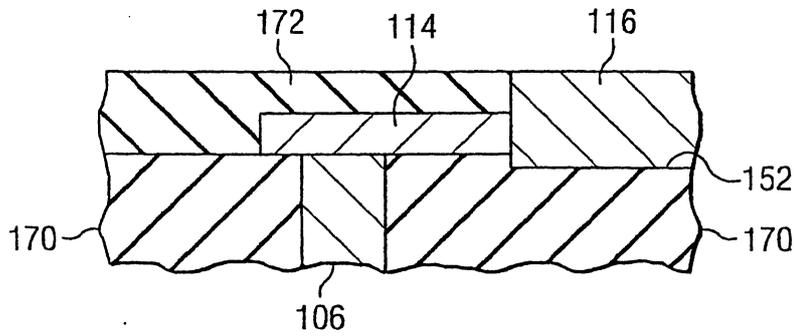
第5B圖



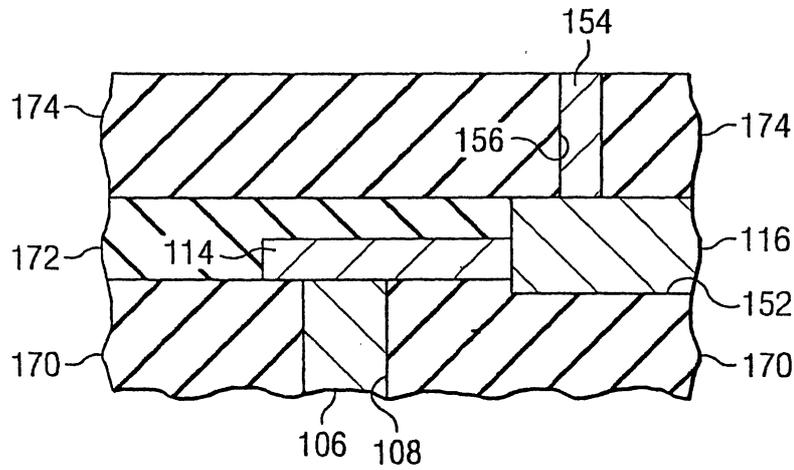
第5C圖



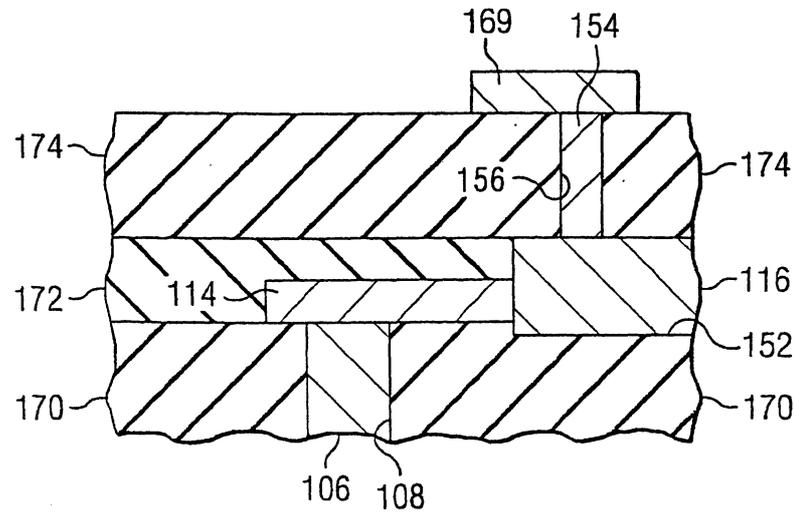
第5D圖



第5E圖



第5F圖



第5G圖

六、指定代表圖

(一)、本案代表圖為：第 3 圖

(二)、本案代表圖之元件代表符號簡單說明：

100 記憶體晶胞	102 基材
104 MOSFET	106 底層電極
108 開口	110 介電層
111 汲極	112 閘介電層
114 導電薄膜	116 相變層
118 閘極	120 閘極堆疊
122、124 開口	152 溝渠
154 上電極	156、158、160 開口
162、164 電極	166 源極
169 導電墊	

