

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4361145号
(P4361145)

(45) 発行日 平成21年11月11日 (2009.11.11)

(24) 登録日 平成21年8月21日 (2009.8.21)

(51) Int. Cl.

F I

H O 1 L 21/8247 (2006.01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006.01)

H O 1 L 27/10 4 3 4

H O 1 L 29/792 (2006.01)

H O 1 L 27/115 (2006.01)

請求項の数 12 (全 26 頁)

(21) 出願番号 特願平9-340754
 (22) 出願日 平成9年11月26日 (1997.11.26)
 (65) 公開番号 特開平11-163172
 (43) 公開日 平成11年6月18日 (1999.6.18)
 審査請求日 平成16年10月1日 (2004.10.1)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (74) 代理人 100103159
 弁理士 加茂 裕邦
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 河口 雅英

最終頁に続く

(54) 【発明の名称】 不揮発性メモリ及び電子機器

(57) 【特許請求の範囲】

【請求項1】

基板上の酸化膜と、
 前記酸化膜上の単結晶または多結晶でなる半導体薄膜を利用して形成されたソース領域、ドレイン領域及び活性領域と、
 少なくとも前記活性領域と前記ドレイン領域との接合部にかかるように、前記活性領域に局部的に設けられた不純物領域と、
 前記不純物領域に挟まれた真性または実質的に真性なチャネル形成領域と、
 前記半導体薄膜上にトンネル酸化膜を介して形成されたフローティングゲートと、
 前記フローティングゲート上に層間膜を介して形成されたコントロールゲートと、
 を含み、

前記不純物領域は、前記ソース領域及び前記ドレイン領域とは異なる導電型の不純物元素を含み、前記酸化膜に達するように形成されており、

前記酸化膜の表面には、前記不純物領域と同一導電型の不純物元素が添加されていることを特徴とする不揮発性メモリ。

【請求項2】

基板上の酸化膜と、
 前記酸化膜上の単結晶または多結晶でなる半導体薄膜を利用して形成されたソース領域、ドレイン領域及び活性領域と、
 前記ソース領域から前記ドレイン領域に渡って、前記活性領域に局部的に設けられた不

10

20

純物領域と、

前記不純物領域に挟まれた真性または実質的に真性なチャネル形成領域と、

前記半導体薄膜上にトンネル酸化膜を介して形成されたフローティングゲートと、

前記フローティングゲート上に層間膜を介して形成されたコントロールゲートと、

を含み、

前記不純物領域は、前記ソース領域及び前記ドレイン領域とは異なる導電型の不純物元素を含み、前記酸化膜に達するように形成されており、

前記酸化膜の表面には、前記不純物領域と同一導電型の不純物元素が添加されていることを特徴とする不揮発性メモリ。

【請求項 3】

10

請求項 1 または請求項 2 において、

前記不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止されることを特徴とする不揮発性メモリ。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記不純物領域はストライプ状に設けられていることを特徴とする不揮発性メモリ。

【請求項 5】

請求項 1 乃至請求項 3 のいずれか一項において、

前記不純物領域はドット状に設けられていることを特徴とする不揮発性メモリ。

【請求項 6】

20

請求項 1 乃至請求項 5 のいずれか一項において、

前記不純物領域に含まれる前記不純物元素の濃度は $1 \times 10^{17} \sim 5 \times 10^{20} \text{ atoms / cm}^3$ であることを特徴とする不揮発性メモリ。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記ソース領域と前記ドレイン領域の間の距離は、 $0.05 \sim 0.5 \mu\text{m}$ であることを特徴とする不揮発性メモリ。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

前記活性領域は前記ソース領域、前記ドレイン領域およびフィールド酸化膜で囲まれており、前記不純物領域は、前記フィールド酸化膜と接する前記活性領域の側端部に設けられていることを特徴とする不揮発性メモリ。

30

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項において、

前記基板は、結晶化ガラスであることを特徴とする不揮発性メモリ。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、

前記半導体薄膜はシリコンまたはシリコンとゲルマニウムの化合物でなることを特徴とする不揮発性メモリ。

【請求項 11】

40

請求項 1 乃至請求項 10 のいずれか一項に記載の不揮発性メモリを記録媒体として利用することを特徴とする電子機器。

【請求項 12】

請求項 11 に記載の電子機器は、マイクロプロセッサ、ビデオカメラ、電子スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータまたは携帯情報端末であることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本願発明は単結晶または実質的に単結晶と見なせる半導体薄膜を利用して形成された S O

50

I 構造の不揮発性メモリに関する。特に、本願発明はチャネル長が $2\ \mu\text{m}$ 以下、さらには $0.5\ \mu\text{m}$ 以下の不揮発性メモリに対して有効である。

【0002】

【従来の技術】

コンピュータの内部におけるデータの記憶・保持を行う IC メモリは大別して RAM と ROM に分けられる。RAM (Random Access Memory) としては DRAM (ダイナミック RAM) や SRAM (スタティック RAM) が挙げられるがこれらは電源を切るとデータが消失する。

【0003】

一方、ROM としてはマスク ROM、PROM (プログラマブル ROM) が知られ、電源を切ってもデータが失われないという利点を有する。さらに、PROM はデータ消去を紫外光で行う EPROM (Erasable- PROM)、データ消去を電氣的に行う EEPROM (Electrically- EEPROM)、データ消去を電氣的に一括で行うフラッシュメモリ (flash- EEPROM) などに分類することができる。

10

【0004】

恒久的なデータ保持という優れた利点を生かすべく不揮発性メモリの研究開発は目覚ましい勢いで進められ、最近では磁気メモリの代替メモリとしての可能性が議論されている段階である。

【0005】

このような IC メモリは信頼性や性能の追及と同時に、記憶容量の拡大を進めなければならない。即ち、他の IC と同様に微細化技術を常に取り入れ、スケーリング則に沿って開発が進められている。

20

【0006】

ところが、不揮発性メモリは基本的には電界効果トランジスタ (以下、FET と記す) と同じ動作原理を利用してデータの格納を行う。従って、微細化に伴って FET 動作に重大な弊害をもたらすことで知られる短チャネル効果は、不揮発性メモリの動作においても重大な弊害をもたらす。

【0007】

特に、パンチスルーと呼ばれる現象はソース - ドレイン間耐圧を下げることでゲイト電極による電流制御を困難なものとする。そこで従来はパンチスルー耐性を高めるための構造、例えばポケット構造と呼ばれる工夫を施した例もある。

30

【0008】

【発明が解決しようとする課題】

上述のポケット構造はチャネル / ドレイン接合部に基板と同じ導電型の不純物領域を設けた構造である。こうすることでドレイン空乏層の広がりを抑え、パンチスルーの発生を抑制することができる。

【0009】

しかしながら、不揮発性メモリではチャネル / ドレイン接合部において積極的にインパクトイオン化を起こして電子 - 正孔対を生成するため、フローティングゲイトへの電子の注入と同時に、基板側には多量の正孔が流れる。

40

【0010】

その一方で、上述のポケット構造では多量に発生した正孔はチャネル形成領域の下に蓄積され、その結果、基板浮遊効果と呼ばれる現象が発生する。この状態ではチャネル形成領域を移動する電荷量をコントロールゲイトで制御できなくなるといった問題が生じる。

【0011】

本願発明は、上記問題点を鑑みてなされたものであり、不揮発性メモリの微細化に伴って発生する短チャネル効果を効果的に防止または抑制し、高性能なメモリを実現することを課題とする。

【0012】

【課題を解決するための手段】

50

本明細書で開示する発明の構成は、
絶縁表面を有する基板上において、
単結晶または実質的に単結晶と見なせる半導体薄膜を利用して形成されたソース領域、ドレイン領域及び活性領域と、
前記活性領域に設けられたストライプ状の不純物領域と、前記不純物領域に挟まれた真性または実質的に真性なチャンネル形成領域と、
を含むことを特徴とする。

【0013】

また、他の発明の構成は、
絶縁表面を有する基板上において、
単結晶または実質的に単結晶と見なせる半導体薄膜を利用して形成されたソース領域、ドレイン領域及び活性領域と、
前記活性領域に設けられたストライプ状の不純物領域と、前記不純物領域に挟まれた真性または実質的に真性なチャンネル形成領域と、
を含み、
前記不純物領域は13族又は15族から選ばれた元素からなることを特徴とする。

10

【0014】

また、他の発明の構成は、
絶縁表面を有する基板上において、
単結晶または実質的に単結晶と見なせる半導体薄膜を利用して形成されたソース領域、ドレイン領域及び活性領域と、
前記活性領域に設けられたストライプ状の不純物領域と、前記不純物領域に挟まれた真性または実質的に真性なチャンネル形成領域と、
を含み、
前記不純物領域は13族又は15族から選ばれた元素からなり、当該不純物領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止されることを特徴とする。

20

【0015】

上記構成において、前記不純物領域は前記ソース領域から前記ドレイン領域に渡ってストライプ状に設けられていると好ましい。

30

【0016】

また、上記構成において、前記不純物領域に含まれる元素の濃度は $1 \times 10^{17} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ であることが好ましい。

【0017】

また、上記構成からなる不揮発性メモリを記録媒体とする記録回路を形成し、それを電子機器に組み込むことが有効である。

【0018】

本願発明の主旨は、活性領域に対して局部的に不純物領域を形成し、その不純物領域によってドレイン領域からソース領域に向かって広がる空乏層を抑止することにある。なお、本明細書中ではソース領域、ドレイン領域及びフィールド酸化膜で囲まれた領域を活性領域と呼び、さらに活性領域を局部的に設けられた不純物領域とチャンネル形成領域とに区別している。

40

【0019】

また、本発明者らは空乏層を抑止する効果があたかも空乏層をピン止めする様に捉えられることから、「抑止」という意味で「ピニング」という言葉を定義している。

【0020】

【発明の実施の形態】

本願発明の実施の形態について、以下に示す実施例でもって詳細な説明を行うこととする。

【0021】

50

【実施例】**〔実施例１〕**

本実施例について、図１を用いて説明する。図１に示すのは本願発明を適用した不揮発性メモリの断面及び上面図である。なお、本実施例では基本的なスタック構造のＥＥＰＲＯＭを例にとって説明する。

【００２２】

図１において、１００は単結晶シリコン（Ｐ型シリコン）、１０１は埋め込み酸化膜、１０２はＬＯＣＯＳ法により形成したフィールド酸化膜、１０３は砒素（又はリン）を添加して形成したソース領域、１０４はドレイン領域である。

【００２３】

なお、本実施例ではＮ型ＥＥＰＲＯＭの構造例を示すがＰ型とすることも可能である。Ｐ型にする場合にはＮ型シリコン中にボロンを添加してソース／ドレイン領域を形成すれば良い。

【００２４】

また、埋め込み酸化膜を有した単結晶シリコン基板としてはＳＩＭＯＸ基板やＵＮＩＢＯＮＤ基板（スマートカット法を利用した基板）などを用いることができる。勿論、他の公知のＳＯＩ基板を用いても良い。

【００２５】

この時、埋め込み酸化膜上に形成される単結晶シリコン薄膜の膜厚は１０～１００ｎｍ（代表的には３０～５０ｎｍ）とすることが好ましい。膜厚が薄いほどホットエレクトロン注入が起これば、書き込み電圧を低減することができる。

【００２６】

そして、１０５が本願発明で最も重要な不純物領域（以下、ピニング領域と呼ぶ）である。ピニング領域１０５はシリコン基板１０１と同一導電型の不純物（ソース／ドレイン領域とは逆導電型の不純物）を添加して形成される。

【００２７】

本実施例ではＰ型シリコンを用いることになる（埋め込み酸化膜上の単結晶シリコン薄膜もＰ型となる）ので１３族から選ばれた元素（代表的にはボロン）を添加して形成する。勿論、Ｎ型シリコンを用いる場合（Ｐ型ＥＥＰＲＯＭを作製する場合）には、１５族から選ばれた元素（リン、砒素等）を添加してピニング領域を形成すれば良い。

【００２８】

なお、上述の１３族又は１５族から選ばれた元素は単結晶シリコンのエネルギーバンドをシフトさせることでキャリア（電子または正孔）にとってのエネルギー障壁を形成している。そういった意味で、ピニング領域はエネルギーバンドをシフトさせてなる領域と呼ぶこともでき、その様な効果を示す元素であれば１３族又は１５族元素でなくても用いることは可能である。

【００２９】

ここでエネルギーバンドをシフトさせる元素について図２に示す様な概念図で説明する。図２（Ａ）は単結晶シリコンのエネルギーバンド状態を表している。そこに電子の移動を妨げる方向にエネルギーバンドをシフトさせる不純物元素（１３族から選ばれた元素）を添加すると、図２（Ｂ）の様なエネルギー状態に変化する。

【００３０】

この時、添加領域ではエネルギーバンドギャップに変化はないがフェルミレベル（ E_f ）が価電子帯（ E_v ）側に移動する。その結果、見かけ上、上側にエネルギー状態がシフトする。そのため、アンドープな領域に比べて E だけ（電子にとって）高いエネルギー障壁が形成される。

【００３１】

また、図２（Ａ）の状態に正孔の移動を妨げる方向にエネルギーバンドをシフトさせる不純物元素（１５族から選ばれた元素）を添加すると、エネルギー状態は図２（Ｃ）の様に变化する。

10

20

30

40

50

【0032】

この場合、添加領域のフェルミレベルは伝導帯（Ec）側に移動し、見かけ上、下側にエネルギー状態がシフトする。そのため、アンドープな領域に比べて E だけ（正孔にとって）高いエネルギー障壁が形成される。

【0033】

以上の様に、不純物を添加しない（アンドープの）領域とピニング領域との間には ΔE に相当するエネルギー差が生まれる。このエネルギー的（電位的）な障壁の高さは不純物元素の添加濃度によって変化する。本願発明では、この不純物元素の濃度を $1 \times 10^{17} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ （好ましくは $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）の範囲で調節する。

【0034】

なお、ピニング領域 105 の形成は微細加工技術を利用することで形成しうするため、イオンインプランテーション法や FIB（Focusd Ion Beam）など、微細加工に適した添加手段を用いる必要がある。また、マスクを用いる添加法を利用するならば電子描画法を用いてマスクパターンを形成するなどの微細加工を用いることが望ましい。

【0035】

また、ピニング領域 105 は、最も典型的には図 1（A）に示す様にピニング領域 105 とチャンネル形成領域 106 とが互いに概略平行に、且つ、交互に並んで配置される。即ち、ソース領域 103、ドレイン領域 104 及びフィールド酸化膜 102 で囲まれた領域（活性領域）内にストライプ状に複数のピニング領域が設けられた構成が好ましい。

【0036】

なお、活性領域の側端部（活性領域とフィールド酸化膜が接する端部）にピニング領域を設けることは有効である。側端部にピニング領域を形成しておくこと、側端部を伝わるリーク電流を低減することが可能である。

【0037】

また、ピニング領域 105 は少なくとも活性領域とドレイン領域 104 との接合部（ドレイン接合部）にかかる様に形成されていれば良い。パンチスルーで問題となる空乏層はドレイン接合部から広がるのでここを抑えれば効果は得られる。即ち、ピニング領域を活性領域に対してドット状や楕円形状に設けて、その一部がドレイン接合部に存在すれば空乏層の広がりを抑えることはできる。

【0038】

勿論、図 1（A）に示す様にソース領域 103 からドレイン領域 104 に渡って形成すればより効果的にピニング効果を得ることが可能である。

【0039】

また、ピニング領域 105 の打ち込み深さは下地膜 101 に到達するか、或いは下地膜 101 内に食い込む様に形成することが好ましい。本実施例では単結晶シリコン薄膜の膜厚を $10 \sim 100 \text{ nm}$ （代表的には $30 \sim 50 \text{ nm}$ ）とするため、ピニング領域 105 の打ち込み深さは $10 \sim 150 \text{ nm}$ （代表的には $30 \sim 100 \text{ nm}$ ）の範囲で調節すれば良い。

【0040】

ここでチャンネル長およびチャンネル幅の定義を図 3 を用いて行う。図 3 においてソース領域 301 とドレイン領域 302 との間の距離（活性領域 303 の長さに対応する）をチャンネル長（L）と定義する。本願発明はこの長さが $2 \mu\text{m}$ 以下、典型的には $0.05 \sim 0.5 \mu\text{m}$ 、好ましくは $0.1 \sim 0.3 \mu\text{m}$ である場合に有効である。また、このチャンネル長に沿った方向をチャンネル長方向と呼ぶ。

【0041】

また、任意のピニング領域 304 の幅をピニング幅（ v_j ）とする。ピニング幅は $1 \mu\text{m}$ 以下、典型的には $0.01 \sim 0.2 \mu\text{m}$ 、好ましくは $0.05 \sim 0.1 \mu\text{m}$ とすれば良い。そして、活性領域 303 内に存在する全てのピニング領域の幅の総和を有効ピニング幅（V）とすると、次式の様に定義される。

【0042】

【数 1】

10

20

30

40

50

$$V = \sum_{j=1}^n v_j$$

【 0 0 4 3 】

なお、ピンング効果を得るには活性領域 3 0 3 に対して少なくとも一つのピンング領域を設ける必要がある。即ち、 $j = 1$ 以上が条件として必要である。また、活性領域 3 0 3 の側端部（フィールド酸化膜に接する部分）にピンング領域を設ける場合には少なくとも $j = 2$ 以上が必要条件となる。

10

【 0 0 4 4 】

また、チャンネル形成領域 3 0 5 の幅をチャンネル幅 (w_i) とする。チャンネル幅はどのような場合にも対応できるが、メモリは大電流を流す必要がないので $3 \mu m$ 以下、典型的には $0.1 \sim 2 \mu m$ 、好ましくは $0.1 \sim 0.5 \mu m$ とすれば良い。

【 0 0 4 5 】

また、上記チャンネル幅 (w_i) の総和を有効チャンネル幅 (W) とすると次式の様に定義される。

【 0 0 4 6 】

20

【 数 2 】

$$W = \sum_{i=1}^m w_i$$

【 0 0 4 7 】

なお、チャンネル幅が $0.3 \mu m$ 以下といった様に極端に狭い場合、活性領域内に配置しうるピンング領域の本数には限りがある。その様な場合には少なくとも活性領域 3 0 3 の側端部のみに設ける様な構成とすれば良い。

30

【 0 0 4 8 】

その様な場合にはチャンネル幅 w_i は $i = 1$ となる。勿論、効果的にピンング効果を得るためには活性領域 3 0 3 の側端部以外にもピンング領域を設けた方が良い。その場合には $i = 2$ 以上となる。

【 0 0 4 9 】

また、以上のピンング領域の総和（有効ピンング幅）とチャンネル形成領域の総和（有効チャンネル幅）とを加えた総和を総合チャンネル幅 (W_{total}) とし、次式で定義する。

【 0 0 5 0 】

【 数 3 】

40

$$W_{total} = V + W$$

【 0 0 5 1 】

この総合チャンネル幅 (W_{total}) は活性領域 3 0 3 の幅（活性領域のチャンネル長方向に対して垂直な方向の長さ）に相当するものである。また、この総合チャンネル幅に沿った方向をチャンネル幅方向と呼ぶことにする。

50

【 0 0 5 2 】

以上の様に、本願発明では極めてチャネル長が小さい不揮発性メモリに適用することを念頭に置いているので、ピニング領域およびチャネル形成領域は極めて微細な寸法で形成しなくてはならない。

【 0 0 5 3 】

なお、図 1 においてピニング領域 1 0 5 に添加した不純物元素はファーネスアニール、レーザーアニール、ランプアニール等で活性化を行うことが好ましい。この活性化工程はゲイト絶縁膜の形成などの後工程におけるアニール処理と同時に行っても良いし、それとは別に単独で行っても良い。

【 0 0 5 4 】

本願発明の特徴は、従来の不揮発性メモリにおいてチャネル形成領域として機能していた領域に、局部的（好ましくはストライプ状）にピニング領域を設けた点にある。従って、それ以外の構造については従来の不揮発性メモリの構造をそのまま踏襲することができる。

【 0 0 5 5 】

即ち、ソース領域 1 0 3、ドレイン領域 1 0 4、ピニング領域 1 0 5 を設けた単結晶シリコン薄膜上にトンネル酸化膜 1 0 7 を設ける。トンネル酸化膜は高品質な膜質が望まれるため熱酸化工程によって形成する。本実施例ではトンネル酸化膜 1 0 7 の膜厚を 11nm とする。勿論、トンネル酸化膜の膜厚はこの数値に限定されないことは言うまでもない。

【 0 0 5 6 】

なお、本実施例では上述のピニング領域 1 0 5 の形成はトンネル酸化膜 1 0 7 を形成した後で行っても構わない。

【 0 0 5 7 】

トンネル酸化膜 1 0 7 の上には第 1 の多結晶シリコン層でなるフローティングゲイト 1 0 8 を設ける。なお、図 1 (C) に示す様にフローティングゲイト 1 0 8 の端部がピニング領域 1 0 5 とドレイン領域 1 0 4 との接合部にオーバーラップする様な構成とすることは重要である。

【 0 0 5 8 】

この接合部における電界集中により多量のホットエレクトロンが発生するので、この部分にフローティングゲイトをオーバーラップさせると高い効率でホットエレクトロン注入を行うことができる。

【 0 0 5 9 】

こうしてフローティングゲイト 1 0 8 を設けたら、第 1 の層間膜 1 0 9、第 2 の多結晶シリコン層でなるコントロールゲイト 1 1 0、第 2 の層間膜 1 1 1、ビット線 1 1 2 を設ける。

【 0 0 6 0 】

勿論、多結晶シリコン層の代わりに金属膜などの導電層を用いることも可能である。また、層間膜として $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ で表される様な積層膜（一般的にONO膜と呼ばれる）を用いることも有効である。

【 0 0 6 1 】

なお、本実施例の 2 層多結晶シリコン型 E E P R O M は図 1 (D) に示す様な回路図で表される。図 1 (D) において、 V_d はドレイン電圧、 V_s はソース電圧、C.G. はコントロールゲイト電圧、F.G. はフローティングゲイトの持つ電位を示している。

【 0 0 6 2 】

なお、本実施例の E E P R O M ではデータの書込みと消去の時に、次に示す様な電圧が印加される。

【 0 0 6 3 】

【表 1】

10

20

30

40

モード	Vd	Vcg	Vs	メカニズム
書き込み時	6	12	0	ホットエレクトロン注入
消去時	—	0	12	F-Nトンネル消去
読み出し時	~1	5	0	—

10

【 0 0 6 4 】

勿論、動作電圧は表 1 に限定される必要はない。また、本実施例の構造もこれに限定されず、データ消去を電氣的に行う E E P R O M 全てに対して本願発明を適用することは可能である。

【 0 0 6 5 】

(本実施例の作用効果)

まず、本実施例の第 1 の効果について説明する。図 1 において、活性領域に局部的に形成されたピニング領域 1 0 5 は、ドレイン側から広がる空乏層に対してストップパーとして働き、空乏層の広がりを効果的に抑止する。従って、空乏層の広がりによるパンチスルー現象が防止される。また、空乏層の広がりによる空乏層電荷の増加が抑制されるので、しきい値電圧の低下も避けられる。

20

【 0 0 6 6 】

次に第 2 の効果について説明する。本実施例ではピニング領域によって意図的に狭チャネル効果を強めることができる。狭チャネル効果とは、チャネル幅が極端に狭い場合に観測される現象であり、しきい値電圧の増加をもたらす(サブミクロンデバイスⅠ；小柳光正他，pp88～138，丸善株式会社，1987参照)。

【 0 0 6 7 】

図 4 は本実施例のピニング T F T が動作した際の活性領域のエネルギー状態(電位状態)を示している。図 4 において、4 0 1、4 0 2 で示される領域がピニング領域 1 0 5 のエネルギー状態に相当し、4 0 3 で示される領域がチャネル形成領域 1 0 6 のエネルギー状態に相当する。

30

【 0 0 6 8 】

図 4 から明らかな様に、ピニング領域 1 0 5 はエネルギー的に高い障壁を形成し、チャネル形成領域 1 0 6 はエネルギー障壁の低い領域を形成する形となる。そのため、キャリアはエネルギー状態の低いチャネル形成領域 1 0 6 を優先的に移動する。

【 0 0 6 9 】

この様に、ピニング領域 1 0 5 ではエネルギー的に高い障壁が形成され、その部分のしきい値電圧が増加する。その結果、全体として観測されるしきい値電圧も増加するのである。この狭チャネル効果は有効チャネル幅が狭くなるほど顕著に現れる。

40

【 0 0 7 0 】

以上を示した様に、本願発明ではピニング領域 1 0 5 に添加する不純物濃度や有効チャネル幅を自由に設計することで狭チャネル効果の強弱を制御し、しきい値電圧を調節することが可能である。即ち、ピニング効果を制御することで短チャネル効果によるしきい値電圧の低下と狭チャネル効果によるしきい値電圧の増加とのバランスをとって所望の値に調節することも可能である。

【 0 0 7 1 】

また、ピニング領域には N 型ならば 1 3 族元素が添加され、P 型ならば 1 5 族元素が添加されるので、その部分ではしきい値電圧が増加する方向(Nチャネル型の場合は正、Pチ

50

ャネル型の場合は負の方向)にシフトする。即ち、局部的にしきい値電圧が増加するので、その分全体的なしきい値電圧も増加する。従って、所望のしきい値電圧に調節するためにはピンング領域に添加する不純物濃度を適切な値とすることが重要である。

【0072】

ところで不揮発性メモリでは、フローティングゲイトへ電子を注入することによってしきい値電圧を変化させ、ある所定の電圧を印加した時にビット線に電流が流れるかどうかを検知することで「0」と「1」とを識別している。従って、しきい値電圧が短チャネル効果によって極端に小さくなってしまうと、「0」と「1」の区別を非常に小さな電圧印加で識別しなくてはならない。即ち、ノイズ等の影響を受けやすく、誤動作の恐れが増大する。

10

【0073】

しかしながら、本願発明ではしきい値電圧の低下を抑えて所望のしきい値電圧に制御することができるため、「0」、「1」の識別能力は高くなる。即ち、非常に信頼性の高い不揮発性メモリを実現することが可能である。

【0074】

次に、第3の効果について説明する。本実施例の不揮発性メモリは、チャネル形成領域106が実質的に真性な領域で構成され、その領域を多数キャリア(N型ならば電子、P型ならば正孔)が移動するという利点がある。

【0075】

ここで実質的に真性な領域とは、基本的にはアンドープな単結晶半導体領域を指す。その他、逆導電型の不純物元素を添加することにより意図的に導電型を相殺させた領域、しきい値電圧の制御が可能な範囲において一導電型を有する領域を含む。

20

【0076】

例えば、ドーパント濃度が $5 \times 10^{16} \text{atoms/cm}^3$ 以下(好ましくは $5 \times 10^{15} \text{atoms/cm}^3$ 以下)であり、含有する炭素、窒素、酸素の濃度が $2 \times 10^{18} \text{atoms/cm}^3$ 以下(好ましくは $5 \times 10^{17} \text{atoms/cm}^3$ 以下)である単結晶シリコンは実質的に真性であると言える。そういった意味で一般的にICで用いられるシリコンウェハはプロセス過程で意図的に不純物を添加しない限り実質的に真性である。

【0077】

キャリアの移動する領域が実質的に真性である場合、不純物散乱による移動度の低下は極めて小さくなり高いキャリア移動度が得られる。即ち、キャリアの移動度は格子散乱による影響が支配的になり、非常に理想状態に近くなる。

30

【0078】

また、図1(A)に示す様に、ソース領域からドレイン領域に渡って線状のピンング領域を設けた場合、ピンング領域によって多数キャリアの移動経路が規定されるという効果が得られる。

【0079】

前述の様に、ピンング領域に挟まれたチャネル形成領域のエネルギー状態は図4に示す様な状態となっている。図1(A)に示す構成では、図4の様なエネルギー状態のスリットが複数並んでいると考えられる。

40

【0080】

この様子を模式的に表したのが図5である。図5において、501がピンング領域、502がチャネル形成領域を表している。また、503が多数キャリア(電子または正孔)である。図5に示す様に、キャリア503はピンング領域501を越えることができないのでチャネル形成領域502を優先的に移動する。即ち、ピンング領域によって多数キャリアの移動経路が規定されるのである。

【0081】

多数キャリアの移動経路を規定することでキャリア同士の自己衝突による散乱が低減する。この事はキャリア移動度の向上に大きく寄与する。さらに、実質的に真性なチャネル形成領域には極めて僅かな不純物元素しか存在しないため、室温でも電子の移動度が通常よ

50

りも速くなる速度オーバーシュート効果 (K.Ohuchi et al., Jpn. J. Appl. Phys. 35, pp.960, 1996 参照) が生じるので、キャリア移動度は極めて大きなものとなる。

【0082】

以上の様に高いキャリア移動度が得られることで電荷の書き込み時間と読み出し時間の短縮に効果が現れ、メモリ機能が高性能化する。また、キャリア移動度が速いということは、それだけ高エネルギーを持つためチャネルホットエレクトロン注入 (CHE 注入) による電荷の書き込み効率が大幅に向上する。

【0083】

次に第4の効果について説明する。本実施例の構成をとった場合、ピニング領域とドレイン領域との接合部 (典型的には p^+ / n^{++} 接合または n^+ / p^{++} が形成される) における電界集中が非常に大きくなる。そのため、加速されて高エネルギーをもった電子やインパクトイオン化で発生した電子 (これらはまとめてホットエレクトロンと呼ばれる) が多量に発生する。

10

【0084】

即ち、フローティングゲイトへの電荷の注入が非常に効率良く行われ、データ書き込み時間が短縮される。具体的には従来の $1/10 \sim 1/100$ 程度にまで短縮することが可能である。従って、本願発明を利用することで今後実現される 256 Mビットのスタック型フラッシュメモリのデータ書き込み時間は、 $10\text{ns} / \text{バイト}$ 以下、好ましくは $0.01 \sim 1\text{ns} / \text{バイト}$ を達成しうる。

【0085】

20

これにより磁気メモリのデータ書き込み動作を上回る高速化が図れるため、磁気メモリで構成される現状のハードディスクを全てフラッシュメモリで置き換えることが可能となる。即ち、非常に小さなチップで従来の磁気メモリと同等の機能を果たすので、装置の小型化と低価格化が促進されると予想される。

【0086】

さらに、本実施例の構成はデータの書き込みに必要な電圧 (書き込み電圧) を下げることに有効である。即ち、ピニング/ドレイン接合部における電界集中でホットエレクトロン注入が促進されるため、従来と同じ電荷量を注入するのに必要な書き込み電圧は $1/2 \sim 1/10$ で済む。

【0087】

30

そのため、現状ではスタック型のフラッシュメモリの書き込み電圧は約 10V が必要とされるが、本実施例の構成を利用すれば 5V 以下、好ましくは $1 \sim 3\text{V}$ 程度の書き込み電圧を実現しうる。

【0088】

この様に、ピニング領域を設けることでドレイン接合部でのホットエレクトロン注入の効率を高めることができる。この効果は消費電力の低減や回路設計の自由度を上げる上で有効である。

【0089】

次に第5の効果について説明する。本願発明のピニング領域が短チャネル効果の防止、しきい値電圧の制御といった機能を有することは既に述べたが、その他にインパクトイオン化 (衝突電離) による基板浮遊効果を防止する上で非常に重要な役割を持つ。

40

【0090】

従来ならばインパクトイオン化によって発生した電子 - 正孔対のうち電子はフローティングゲイトに注入され、正孔はチャネル領域の下に蓄積される。そして、蓄積された正孔の影響を受けてソース側の拡散電位が下がり、コントロールゲイトに依存しないドレイン電流が観測される (基板浮遊効果という)。

【0091】

しかしながら、本願発明ではインパクトイオン化によって発生した正孔はただちにピニング領域内へと移動し、その内部を通過してソース領域へと引き抜かれていく。従って、チャネル領域の下に蓄積する様なことはなく、基板浮遊効果を防ぐことが可能となる。

50

【 0 0 9 2 】

このような効果は、ピニング領域がソース領域からドレイン領域に渡って形成される場合に特に顕著に現れることは言うまでもない。また、ピニング領域がソース領域において取り出し電極と接していれば、より効果的に正孔を引き抜くことが可能となる。

【 0 0 9 3 】

〔 実施例 2 〕

実施例 1 に示した 2 層多結晶シリコン型の E E P R O M は、バイト消去型（単位メモリ素子ごとのデータ消去を行う）とフラッシュ型（まとまったメモリ素子の一括データ消去を行う）とに区別できる。

【 0 0 9 4 】

フラッシュ型の E E P R O M はフラッシュメモリとも呼ばれるが、本願発明はどちらのタイプの E E P R O M に対しても適用することができる。

【 0 0 9 5 】

また、データの消去方法もソース消去型、ソース・ゲイト消去型等、様々な方法があるが、いずれの場合にも本願発明の適用が可能である。

【 0 0 9 6 】

〔 実施例 3 〕

実施例 1 及び実施例 2 では 2 層多結晶シリコン型 E E P R O M の例を示したが、本実施例では 3 層多結晶シリコン型 E E P O R M の例に本願発明を適用した場合の例について図 6 を用いて説明する。

【 0 0 9 7 】

なお、基本的な構造は実施例 1 で説明した 2 層多結晶シリコン型 E E P R O M と同じであるので、図 1 の説明に用いた符号を利用する。即ち、図 6 において図 1 と同じ符号のついた部分は図 1 の説明を参照すれば良い。本実施例では、異なる部分のみに新たな符号を付して説明を行う。

【 0 0 9 8 】

図 6 (A) において、図 1 (A) と異なる点は消去ゲイト 6 0 1 が設けられた点にある。即ち、第 1 層目の多結晶シリコン層で消去ゲイト 6 0 1 が構成され、続いて第 2 及び第 3 の多結晶シリコン層でそれぞれフローティングゲイト 1 0 8 、コントロールゲイト 1 1 0 が構成される。

【 0 0 9 9 】

実施例 1 の構造の E E P R O M ではフローティングゲイト 1 0 8 に注入された電子をソース領域に引き抜くことでデータ消去を行うが、本実施例の構造ではフローティングゲイト 1 0 8 に注入された電子を消去ゲイト 6 0 1 に引き抜いてデータ消去を行う。

【 0 1 0 0 】

そのため、図 6 (B) において消去ゲイト 6 0 1 とフローティングゲイト 1 0 8 とを絶縁分離する絶縁膜 6 0 2 はトンネル電流（ファウラノルドハイム電流）を流すことができる様に可能な限り薄く（好ましくは 8 ~ 12nm）、且つ、耐久性が高い様に高品質な膜でなければならない。

【 0 1 0 1 】

本実施例の場合、ピニング領域を設けた後で消去ゲイト 6 0 1 及び消去ゲイト絶縁膜 6 0 2 の形成工程が増える程度で基本的には実施例 1 に示した構造と同じ工程でもって作製できる。

【 0 1 0 2 】

なお、本実施例の様な消去ゲイトを有する E E P R O M は図 6 (D) に示される様な回路図で表される。図 6 (D) において、V_d はドレイン電圧、V_s はソース電圧、E.G. は消去ゲイト電圧、C.G. はコントロールゲイト電圧、F.G. はフローティングゲイトの持つ電位を示している。

【 0 1 0 3 】

なお、本実施例の E E P R O M ではデータの書込みと消去の時に、次に示す様な電圧が印

10

20

30

40

50

加される。

【 0 1 0 4 】

【表 2】

モード	Vd	Vs	VEG	VCG	メカニズム
書き込み時	8	0	3	12	フローティングゲイトに対して ホット電子注入
消去時	—	0	20	0	フローティングゲイトから F-Nトンネル消去
読み出し時	1	0	0	5	—

10

【 0 1 0 5 】

勿論、動作電圧は表 2 に限定される必要はない。また、本実施例の構造もこれに限定されず、消去ゲイト構造を有する E E P R O M 全てに対して本願発明を適用することは可能である。

20

【 0 1 0 6 】

〔実施例 4〕

実施例 1 ～ 3 に示した不揮発性メモリはデータの書き込みにホットエレクトロン注入を利用し、データの消去にファウラノルドハイム電流を用いる。その様な動作モードはスタック型によく用いられている。

【 0 1 0 7 】

しかし、本願発明はデータの書き込みにファウラノルドハイム電流を用いる不揮発性メモリに対しても適用できる。その様な動作モードは N A N D 型、A N D 型、D I N O R 型などによく用いられている。

【 0 1 0 8 】

特に、256 M ビット以上の大容量を有するメモリを形成する際、信頼性を高める（劣化を抑えて寿命を延ばす）ためにはファウラノルドハイム電流を用いてデータの書き込みを行う方が好ましい。

30

【 0 1 0 9 】

〔実施例 5〕

実施例 1 に示した 2 層多結晶シリコン型の構造では、データの消去を電氣的に行う E E P R O M を例にとって説明したが、フローティングゲイトに注入された電子を紫外光照射や熱によって励起し、ソースや基板に引き抜く方法を利用した不揮発性メモリを E P R O M と呼ぶ。本願発明はこの様な E P R O M に対しても適用することができる。

【 0 1 1 0 】

また、E P R O M の中にはフローティングゲイトを用いず、コントロールゲイトとシリコン基板との間に 2 層構造のゲイト絶縁膜を設けて、その界面準位にホットエレクトロンを捕獲するタイプの不揮発性メモリもある。例えば、酸化珪素膜と窒化珪素膜との界面にホットキャリアを捕獲するタイプを N M O S 型不揮発メモリと呼ぶ。

40

【 0 1 1 1 】

さらに、絶縁膜界面に金属クラスタ、シリコンクラスタ等を意図的に形成してそこにホットキャリアを捕獲するタイプの不揮発性メモリもある。

【 0 1 1 2 】

本願発明は上述の様なあらゆるタイプの E P R O M に対しても適用することが可能である。

50

【 0 1 1 3 】

〔 実施例 6 〕

実施例 1 では単結晶シリコン中に埋め込み酸化膜を設け、その上に単結晶シリコン薄膜を得た場合（代表的には S I M O X 基板）を例にとって説明した。しかしながら、スマートカット法と呼ばれる技術を利用することで結晶化ガラス、石英、セラミックス上に単結晶シリコン薄膜を得ることもできる。

【 0 1 1 4 】

なお、結晶化ガラスを使用するにあたって全面（表面、裏面及び側面）を絶縁性シリコン膜で覆うことは有効である。こうすることで高温加熱処理を施した際にもガラス成分物質による汚染を防ぐことが可能となる。

10

【 0 1 1 5 】

さらに、結晶化ガラスは熱膨張係数がシリコン膜と同程度のものを用いることができるのでシリコン薄膜に発生する応力を最小限に抑えることができる。この事は信頼性の高い装置を作製する上で非常に重要である。

【 0 1 1 6 】

また、例えば単結晶シリコン薄膜を用いた T F T と不揮発性メモリとで構成される L C D （液晶ディスプレイ）を作製する様な場合、素子側基板として結晶化ガラスを用いると、対向基板として安価なガラス基板を用いても応力による反りなどが発生しない（素子側基板が石英であるとやはり熱膨張係数の違いから反りが生じる可能性があり、対向側に高価な石英基板を用いる必要が生じる）。

20

【 0 1 1 7 】

この様に、サブストレータとして結晶化ガラスを用い、それを覆う絶縁膜上に形成された単結晶シリコン薄膜で不揮発性メモリを構成することは低価格な製品を製造する上で非常に有効である。この様な場合においても、本願発明は容易に適用することが可能である。

【 0 1 1 8 】

〔 実施例 7 〕

実施例 1 ～ 6 では、半導体層として単結晶シリコン薄膜を用いた S O I 構造を例にとって説明したが、これらの実施例で示した単結晶シリコン薄膜は全て多結晶シリコン膜に置き換えても構わない。

【 0 1 1 9 】

本実施例の不揮発性メモリについて図 1 2 を用いて説明する。図 1 2 （ A ）は本実施例の上面図であり、それを A - A ' で切断した断面が図 1 2 （ B ）、B - B ' で切断した断面が図 1 2 （ C ）である。

30

【 0 1 2 0 】

図 1 2 において、30 は結晶化ガラス（ガラスセラミックス）である。本実施例で用いる多結晶シリコン膜を形成するには 700 以上の加熱処理が必要であるため、耐熱性の高い材料を基板として用いる。

【 0 1 2 1 】

耐熱性の高い材料として石英を用いることもできるが、本実施例では高価な石英基板の代わりに安価な結晶化ガラスを用いる。また、結晶化ガラス 30 は絶縁性シリコン膜（酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜等）でなる保護膜 31 で覆われ、ガラス成分の流出を防止している。

40

【 0 1 2 2 】

保護膜 31 の上には特異な結晶構造を有する多結晶シリコン薄膜でなる活性層が形成され、不純物を添加することによりソース領域 32、ドレイン領域 33、ピニング領域 34、チャンネル形成領域 35 が形成されている。この多結晶シリコン薄膜の形成方法については後述する。

【 0 1 2 3 】

そして、多結晶シリコン薄膜でなる活性層の表面にゲイト絶縁膜 36 を形成したら、次に消去ゲイト 37、トンネル酸化膜 38 を設け、次いでフローティングゲイト 39 が形成さ

50

れている。

【 0 1 2 4 】

さらに、フローティングゲイト 3 9 を覆って第 1 の層間膜 4 0、コントロールゲイト 4 1、第 2 の層間膜 4 2、グランド線 4 3、ビット線 4 4 が順次形成されてスタック型の不揮発性メモリ (E E P R O M) を構成している。

【 0 1 2 5 】

ところで、上述の様に本実施例では活性層 (ソース領域、チャネル形成領域及びドレイン領域を構成する) として本出願人らが開発した特異な結晶構造を有する多結晶シリコン薄膜を利用する。

【 0 1 2 6 】

勿論、公知の手段で得られる他の多結晶シリコンを用いても良いが、メモリ自体の動作速度の向上及び書き込み電圧の低電圧化を図るならば、上述の特異な結晶構造を有する多結晶シリコン薄膜を用いることが望ましい。

【 0 1 2 7 】

ここでこの特異な結晶構造を有する多結晶シリコン薄膜を形成するための技術について図 1 3 を用いて説明する。

【 0 1 2 8 】

図 1 3 (A) において、5 0 は結晶化ガラス、5 1 は結晶化ガラスからの成分物質の流出を防ぐ保護膜である。そして、その上に非晶質シリコン膜 5 2 を減圧熱 C V D 法、プラズマ C V D 法またはスパッタ法により形成する。

【 0 1 2 9 】

ただし、減圧熱 C V D 法で成膜した場合には裏面及び側面に成膜された膜を後の結晶化工程を行う前に除去しておくことが好ましい。本発明者らの経験では、裏面や側面に非晶質シリコン膜を残したまま結晶化工程を行うと結晶状態が悪化する様である (原因は不明) 。

【 0 1 3 0 】

なお、非晶質シリコン膜 5 2 以外にも $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) で示されるシリコンとゲルマニウムの化合物を利用するなど、他の半導体薄膜を用いることも可能である。また、非晶質シリコン膜 5 3 の膜厚は 25 ~ 100nm (好ましくは 30 ~ 60nm) とすれば良い。

【 0 1 3 1 】

次に、非晶質シリコン膜 5 2 の結晶化工程を行う。結晶化の手段としては本発明者らによる特開平 7-130652 号公報記載の技術を用いる。同公報の実施例 1 および実施例 2 のどちらの手段でも良いが、本願発明では実施例 2 に記載した技術内容 (特開平 8-78329 号公報に詳しい) を利用するのが好ましい。

【 0 1 3 2 】

特開平 8-78329 号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜 5 3 を形成する。そして、非晶質シリコン膜 5 2 の結晶化を助長する触媒元素を含有した溶液をスピンコート法により塗布し、触媒元素含有層 5 4 を形成する。(図 1 3 (A))

【 0 1 3 3 】

なお、触媒元素としてはニッケル (N i)、コバルト (C o)、鉄 (F e)、パラジウム (P d)、白金 (P t)、銅 (C u)、金 (A u)、ゲルマニウム (G e)、鉛 (P b) から選ばれた一種または複数種の元素を用いることができる。望ましくはシリコンとの格子の整合性の良いニッケルを用いる。

【 0 1 3 4 】

また、上記触媒元素の添加工程はスピンコート法に限らず、マスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【 0 1 3 5 】

次に、触媒元素の添加工程が終了したら、500 2 時間程度の水素出しの後、不活性雰囲気

10

20

30

40

50

気、水素雰囲気または酸素雰囲気中において 500～700 （代表的には 550～650 、好ましくは570 ）の温度で 4～24時間の加熱処理を加えて非晶質シリコン膜 5 2 の結晶化を行う。（図 1 3 （ B ））

【 0 1 3 6 】

この時、非晶質シリコン膜 5 2 の結晶化は触媒元素を添加した領域で発生した核から優先的に進行し、結晶化ガラス 5 0 の基板面に対してほぼ平行に成長した結晶領域 5 5 が形成される。本発明者らはこの結晶領域 5 5 を横成長領域と呼んでいる。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。

【 0 1 3 7 】

結晶化のための加熱処理が終了したら、マスク絶縁膜 5 3 を除去した後、触媒元素を除去するための加熱処理（触媒元素のゲッターリング工程）を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッターリング効果を利用するものである。

【 0 1 3 8 】

なお、ハロゲン元素によるゲッターリング効果を十分に得るためには、上記加熱処理を700 を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッターリング効果が得られなくなる恐れがある。そのため加熱処理温度を好ましくは800 ～1000 （代表的には950 ）とし、処理時間は 0.1～ 6hr、代表的には 0.5～ 1hrとする。

【 0 1 3 9 】

代表的には酸素雰囲気に対して塩化水素（HCl）を0.5 ～10体積%（好ましくは3体積%）の濃度で含有させ、950 、30分の加熱処理を行えば良い。HCl濃度を上記濃度以上とすると、シリコン表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【 0 1 4 0 】

また、ハロゲン元素を含む化合物としてはHClガス以外にもHF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂等のハロゲン元素を含む化合物から選ばれた一種または複数種のものをを用いることが出来る。

【 0 1 4 1 】

この工程においては横成長領域 5 5 中の触媒元素が塩素の作用によりゲッターリングされ、揮発性の塩化物となって大気中へ離脱して除去される。そして、この工程後の横成長領域 5 6 中における触媒元素の濃度は $5 \times 10^{17} \text{atoms/cm}^3$ 以下（代表的には $2 \times 10^{17} \text{atoms/cm}^3$ 以下）にまで低減される。

【 0 1 4 2 】

なお、本実施例ではハロゲン元素のゲッターリング能力によって触媒元素をゲッターリングしているが、リン元素のゲッターリング能力を利用することも可能である。リンでゲッターリングする場合には、横成長領域に接する場所に高濃度にリンを含む層を設け、加熱処理によってリンを含む層に触媒元素をゲッターリングさせれば良い。

【 0 1 4 3 】

こうして得られた横成長領域 5 6 は棒状または偏平棒状結晶の集合体からなる特異な結晶構造を示す。本実施例の不揮発性メモリでは横成長領域 5 6 のみで構成される多結晶シリコン薄膜を活性層として用いるのである。

【 0 1 4 4 】

また、特異な結晶構造とは、具体的には互いに概略平行に並んだ棒状結晶が巨視的に特定の方向を持った構造であり、さらに、その個々の棒状結晶のなす結晶粒界では極めて連続性の高い結合が実現されている。

【 0 1 4 5 】

この様子を詳細に観察した結果は、本出願人による特願平9-55633、同9-165216、同9-212428で説明している。

【 0 1 4 6 】

以上の様な工程で形成された多結晶シリコン薄膜は結晶粒界が極めて連続性の高い（整合性の高い）結合であるため、殆どキャリアの移動を妨げない。即ち、実質的に結晶粒界が存在しないシリコン薄膜となり、実質的に単結晶と見なすことが可能である（実際に電子線回折パターンは単結晶の回折パターンと酷似している）。

【0147】

さらに、意図的に不純物を添加しない限り上述の多結晶シリコン薄膜は真性または実質的に真性である。ここでいう真性とはシリコン以外の不純物が極力排除されて殆ど極性を無視しうる状態を意味する。

【0148】

この様に、本願発明は実質的に単結晶と見なせる半導体薄膜（本実施例で示した様な結晶構造を有する多結晶半導体薄膜）を利用した全ての不揮発性メモリに対して適用することが可能である。

【0149】

〔実施例8〕

本実施例では、1～6に示した不揮発性メモリにおいて半導体層の下地となる絶縁層（埋め込み酸化膜等）に、ピニング領域と同一導電型の不純物元素を添加する構成について説明する。

【0150】

なお、本実施例ではピニング領域に添加する不純物としてボロンを用いる場合について説明する。まず、本実施例の不揮発性メモリのチャネル形成領域に注目した断面図を図14（A）、（B）に示す。図14（A）、（B）はチャネル形成領域をチャネル幅方向に沿って切断した断面に相当する。

【0151】

図14（A）において、61は単結晶シリコン基板、62は埋め込み酸化膜、63はチャネル形成領域、64、65はピニング領域である。この時、本実施例では埋め込み酸化膜62の表面近傍にボロンが添加された領域67が形成されている点に特徴がある。

【0152】

また、図14（B）に示す構造は、基本的には図14（A）と同一構造であるが、埋め込み酸化膜62の全体にボロンが添加されている。

【0153】

ここで図14（A）の構成としたチャネル形成領域のエネルギー状態を模式的に表すと図14（C）のようになる。図14（C）において、68はエネルギー障壁の低い領域であり、チャネル形成領域として機能する領域である。

【0154】

また、図14（A）におけるピニング領域64、65および意図的にボロンを添加した埋め込み酸化膜62の近傍には不純物元素の染みだしに起因するエネルギー障壁の高い領域69が形成される。

【0155】

さらに、チャネル形成領域のエネルギー分布を図14（D）、（E）に示す。図14（D）は、図14（C）の点線Xに沿ったエネルギー分布図であり、横軸にチャネル幅方向の距離、縦軸に相対的エネルギーをとっている。また、図14（E）は、図14（C）の点線Yに沿ったエネルギー分布図であり、横軸に相対的エネルギー、縦軸に深さ方向の距離をとっている。

【0156】

なお、図14（D）、（E）のエネルギー分布図は図14（C）のエネルギー状態図と互に対応する様に記載してある。

【0157】

図14（D）に示す様に、ピニング領域およびその近傍ではbに相当する大きな相対的エネルギーとなっている。しかし、キャリアが移動する領域68の内部（特にピニング領域から最も遠い部分）では、相対的エネルギーは最も小さくなる（aに相当する）。

10

20

30

40

50

【0158】

また、図14(E)に示す様に、点線Yに沿ったエネルギー分布を見るとゲイト絶縁膜(図示せず)近傍ではある程度高い相対的エネルギーを示し、キャリアが移動する領域68内部で最も小さいaに相当する相対的エネルギーとなる。そして、埋め込み酸化膜62との界面に近づくと除々に相対的エネルギーは増加し、b'に相当する大きさとなる。

【0159】

なお、ピニング領域に添加された不純物濃度と埋め込み酸化膜に添加された不純物濃度が同一であれば $b = b'$ である。当然、異なる添加濃度であればbとb'も異なるものとなる。本願発明ではどちらであっても良い。

【0160】

本願発明の場合、相対的エネルギー(a)に対して相対的エネルギー(bまたはb')を3倍以上(好ましくは10倍以上)とすることが好ましい。こうすることで、キャリア(電子または正孔)がエネルギー状態の低い領域68を優先的に移動する様な構成を得ることができる。

【0161】

また、チャネル形成領域63と埋め込み酸化膜62との界面付近では高いエネルギー障壁が形成されてキャリアが近づけないので、下地(埋め込み酸化膜)表面近傍で生じるキャリア散乱を防ぐことができる。

【0162】

以上の様な構成とすることで空乏層の広がりにより効果的に抑止することが可能となり、さらに短チャネル効果に対する耐性を高めることができる。また、下地膜表面におけるキャリア散乱を低減することでホットエレクトロン注入のさらなる効率化を図ることができる。

【0163】

〔実施例9〕

実施例1~7に示した不揮発性メモリは不揮発性メモリを用いた公知の全ての回路構成に対して適用できる。そこで本実施例では、本願発明をNAND型及びNOR型アーキテクチャで設計されたフラッシュメモリに適用した場合について説明する。

【0164】

まず、図7(A)、(B)に示したNAND型メモリ回路の構成について説明する。なお、図7では8つのメモリトランジスタと2つの選択トランジスタからなる回路を2つ記載しているが、説明はその片方のみを行う。

【0165】

図7(A)において、701、702は選択トランジスタであり、それぞれ703、704で示される選択線S1、S2をゲイト電極とする。また、選択トランジスタ701はB1(またはB2)で示されるビット線705と、8つのメモリトランジスタ706~713とを接続している。

【0166】

なお、本実施例では8つのメモリトランジスタを直列に接続する例を示すが、この数に限定されるものではない。

【0167】

また、最終段のメモリトランジスタ713には選択トランジスタ702が接続され、選択トランジスタ702の一方の端子は接地されている。勿論、接地ではなく電源線と接続させても動作させることはできる。

【0168】

メモリトランジスタ706~713は各々ワード線714~721(W1~W8で表される)をコントロールゲイトとして利用する。

【0169】

また、図7(A)のNAND型メモリ回路を回路パターンとして模式的に表すと図7(B)のようになる。なお、各メモリトランジスタにおいて、斜線で示される領域はコントロー

10

20

30

40

50

ルゲイト 7 1 4 ~ 7 2 1 の下に設けられたフローティングゲイトを示している。

【 0 1 7 0 】

次に、図 8 (A)、(B) に示した NOR 型メモリ回路の構成について説明する。なお、図 8 では 4 つのメモリトランジスタからなる回路を 2 つ記載しているが、説明はその片方のみを行う。

【 0 1 7 1 】

図 8 (A) において、B 1 で示されるビット線 8 0 1 には個々に 4 つのメモリトランジスタ 8 0 2 ~ 8 0 5 が接続されている。そして、メモリトランジスタ 8 0 2 ~ 8 0 5 においてビット線 8 0 1 と接続しない側の端子 (ソース領域) は接地線 8 0 6 と接続されている。

10

【 0 1 7 2 】

また、メモリトランジスタ 8 0 2 ~ 8 0 5 の各々は W 1 ~ W 4 で示されるワード線 8 0 7 ~ 8 1 0 をコントロールゲイトとして利用する。

【 0 1 7 3 】

また、図 8 (A) の NOR 型メモリ回路を回路パターンとして模式的に表すと図 8 (B) の様になる。なお、各メモリトランジスタにおいて、斜線で示される領域はコントロールゲイト 8 0 7 ~ 8 1 0 の下に設けられたフローティングゲイトを示している。

【 0 1 7 4 】

図 7 に示した様な NAND 型回路は書き込み順序が決まっていたり、読み出しのアクセス時間が遅いなどの不利はあるが、集積度を大幅に向上させることができるという利点を有する。

20

【 0 1 7 5 】

また、図 8 に示した様な NOR 型回路は、フローティングゲイトへの電子の精密な注入及び精密な電荷量の読み出しを行う上で有効な構成である。これがソース / ドレインのバスラインに個々のメモリトランジスタを直接接続するという NOR 型アーキテクチャの特徴である。

【 0 1 7 6 】

なお、本実施例は 2 層構造の電極 (多結晶ポリシリコン等) を利用した不揮発性メモリについて説明したが、実施例 3 に示した様な 3 層構造の電極 (消去ゲイトを備えた構造) の不揮発性メモリでも実施可能である。

30

【 0 1 7 7 】

〔 実施例 1 0 〕

本実施例では本願発明の不揮発性メモリをワンチップ上に集積化された R I S C プロセッサ、A S I C プロセッサ等のマイクロプロセッサに適用した場合の例について説明する。

【 0 1 7 8 】

図 9 に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的には C P U コア 1 1、フラッシュメモリ 1 2 (R A M でも良い)、クロックコントローラ 1 3、キャッシュメモリ 1 4、キャッシュコントローラ 1 5、シリアルインターフェース 1 6、I / O ポート 1 7 等から構成される。

40

【 0 1 7 9 】

勿論、図 9 に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

【 0 1 8 0 】

図 9 に示すマイクロプロセッサでは C P U コア 1 1、クロックコントローラ 1 3、キャッシュコントローラ 1 5、シリアルインターフェース 1 6、I / O ポート 1 7 を C M O S 回路 1 8 で構成している。そして、C M O S 回路 1 8 には本願発明で開示したピニング領域 1 9 が設けられている。

【 0 1 8 1 】

この様に、本願発明は不揮発性メモリだけでなく S O I F E T に適用することも可能であ

50

る。この詳細については、特願平 8 - 2 3 9 2 1 5 号で既に出願済である。

【 0 1 8 2 】

また、フラッシュメモリ 1 4 には本願発明の不揮発性メモリが利用され、メモリ回路 2 0 が構成されている。そして、メモリ回路 2 0 を構成する全てのメモリセルにはピニング領域 2 1 が設けられている。なお、キャッシュメモリ 1 2 に本願発明の不揮発性メモリを利用することも可能である。

【 0 1 8 3 】

以上に示した様に、図 9 はメモリ部と他のロジック部の全てに本願発明で開示するピニング技術を利用した場合に例である。

【 0 1 8 4 】

さらに、場合によっては図 1 0 に示す様な構成も採用しうる。図 1 0 はメモリ部以外のロジック部を通常の C M O S 回路 2 2 で構成する場合の例である。この場合はロジック部だけピニング領域を設けない構成とすれば良い。

【 0 1 8 5 】

この様に、ピニング領域は回路設計の段階で必要箇所に設けることが可能であり、回路全体に利用するか、その一部に利用するかは実施者が適宜決定すれば良い。様々な性能が複合化されたハイブリッド I C に本願発明を適用する場合においては、この様な回路設計の自由度が非常に有効である。

【 0 1 8 6 】

〔実施例 1 1 〕

本願発明の不揮発性メモリで構成された半導体回路（メモリ回路）はデータの記憶・読み出しを行う記録媒体として、あらゆる分野の電子機器に組み込むことが可能である。本実施例では、その様な電子機器の一例を図 1 1 に示す。

【 0 1 8 7 】

本願発明の不揮発性メモリを利用しうる電子機器としてはビデオカメラ、電子スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、P H S 等）などが挙げられる。

【 0 1 8 8 】

図 1 1 (A) は携帯電話であり、本体 2 0 0 1、音声出力部 2 0 0 2、音声入力部 2 0 0 3、表示装置 2 0 0 4、操作スイッチ 2 0 0 5、アンテナ 2 0 0 6 で構成される。本願発明は内蔵の L S I 基板に組み込まれ、電話番号を記録するアドレス機能などを付加するために利用される。

【 0 1 8 9 】

図 1 1 (B) はビデオカメラであり、本体 2 1 0 1、表示装置 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本願発明は内蔵の L S I 基板に組み込まれ、画像データの記憶などの機能に利用される。

【 0 1 9 0 】

図 1 1 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示装置 2 2 0 5 で構成される。本願発明は内蔵の L S I 基板に組み込まれ、処理データや画像データの記憶に利用される。

【 0 1 9 1 】

図 1 1 (D) はヘッドマウントディスプレイであり、本体 2 3 0 1、表示装置 2 3 0 2、バンド部 2 3 0 3 で構成される。本願発明は画像信号の補正回路として表示装置 2 3 0 2 に接続される。

【 0 1 9 2 】

図 1 1 (E) はリア型プロジェクターであり、本体 2 4 0 1、光源 2 4 0 2、表示装置 2 4 0 3、偏光ビームスプリッタ 2 4 0 4、リフレクター 2 4 0 5、2 4 0 6、スクリーン 2 4 0 7 で構成される。本願発明は γ 補正回路に与えるデータを格納しておく記憶回路と

10

20

30

40

50

して利用することができる。

【 0 1 9 3 】

図 1 1 (F) はフロント型プロジェクターであり、本体 2 5 0 1、光源 2 5 0 2、表示装置 2 5 0 3、光学系 2 5 0 4、スクリーン 2 5 0 5 で構成される。本願発明は γ 補正回路に与えるデータを格納しておく記憶回路として利用することができる。

【 0 1 9 4 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。これ以外にも各種制御回路や情報処理回路に不可欠な記憶媒体として活用することが可能である。

【 0 1 9 5 】

10

【発明の効果】

本願発明を利用することで、短チャネル効果などに代表される微細効果の影響を最小限に抑え、不揮発性メモリのさらなる微細化を進めることができる。

【 0 1 9 6 】

そして、小さい面積で大容量を実現する不揮発性メモリを高い信頼性を確保したまま実現することが可能である。

【図面の簡単な説明】

【図 1】 本願発明の不揮発性メモリの構成を示す図。

【図 2】 エネルギーバンドの変化を説明するための図。

【図 3】 チャネル長及びチャネル幅の定義を説明するための図。

20

【図 4】 活性領域のエネルギー状態を示す図。

【図 5】 活性領域のエネルギー状態を示す図。

【図 6】 本願発明の不揮発性メモリの構成を示す図。

【図 7】 本願発明の不揮発性メモリを用いた回路を示す図。

【図 8】 本願発明の不揮発性メモリを用いた回路を示す図。

【図 9】 本願発明の不揮発性メモリを用いた半導体回路を示す図。

【図 1 0】 本願発明の不揮発性メモリを用いた半導体回路を示す図。

【図 1 1】 本願発明の不揮発性メモリを用いた電子機器を示す図。

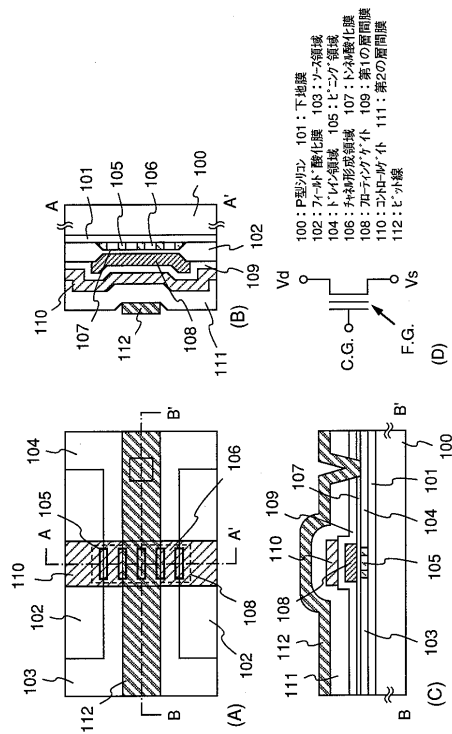
【図 1 2】 本願発明の不揮発性メモリの構成を示す図。

【図 1 3】 多結晶シリコン薄膜の作製工程を示す図。

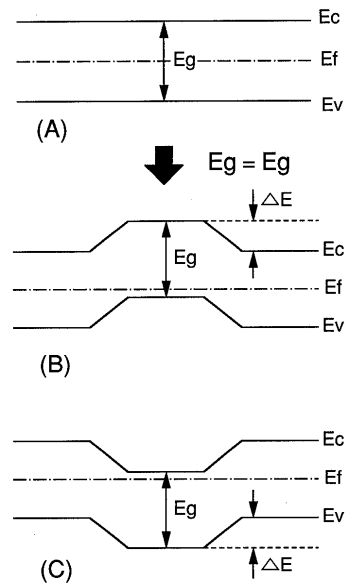
30

【図 1 4】 チャネル形成領域近傍のエネルギー分布を示す図。

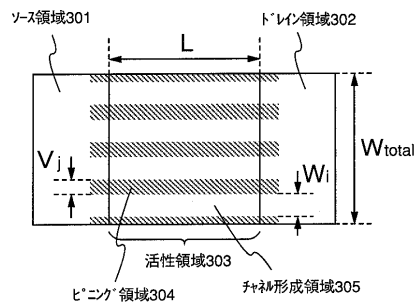
【図 1】



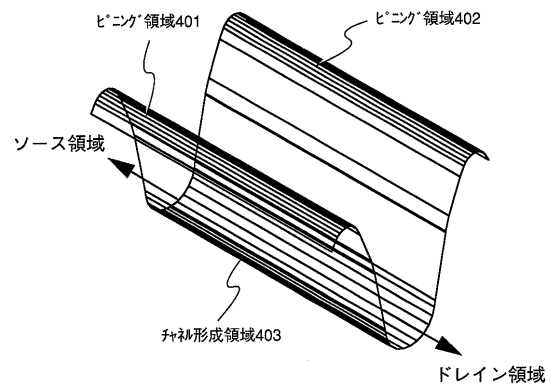
【図 2】



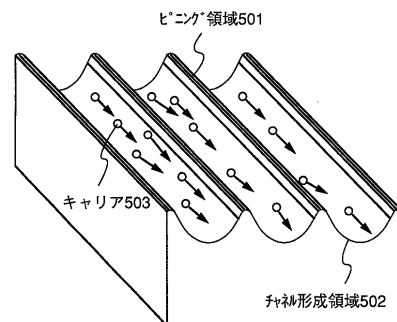
【図 3】



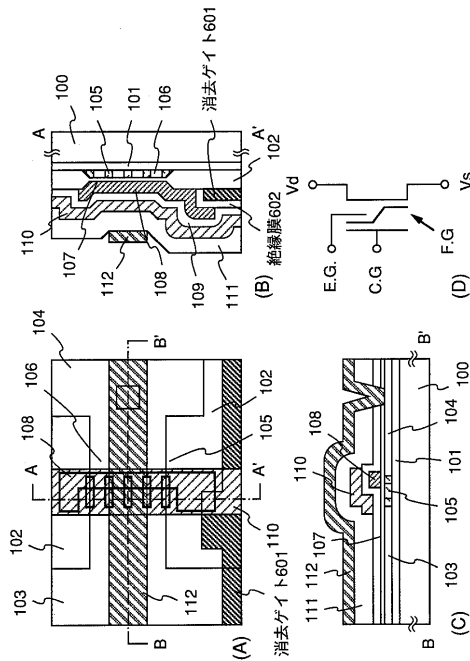
【図 4】



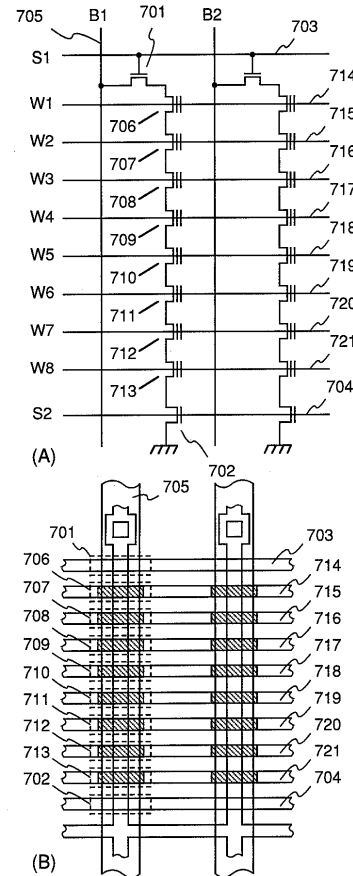
【図 5】



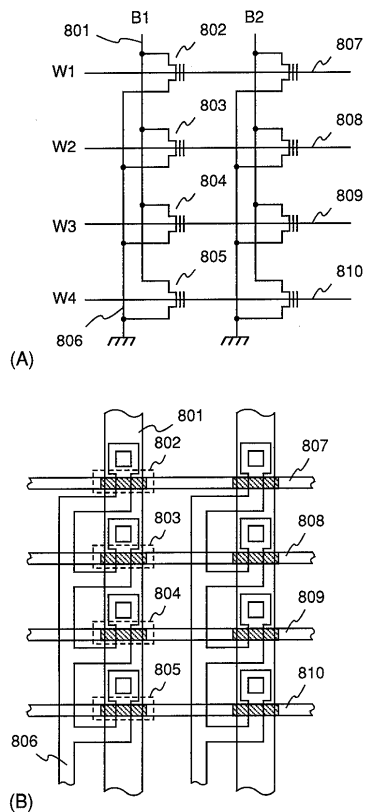
【図 6】



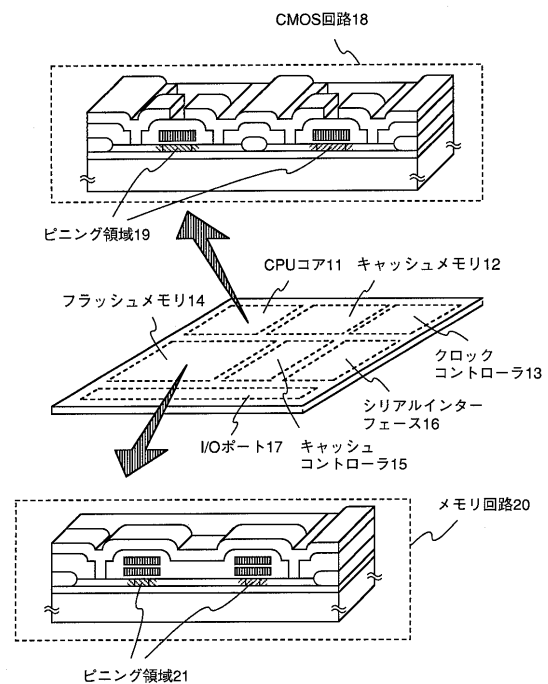
【図 7】



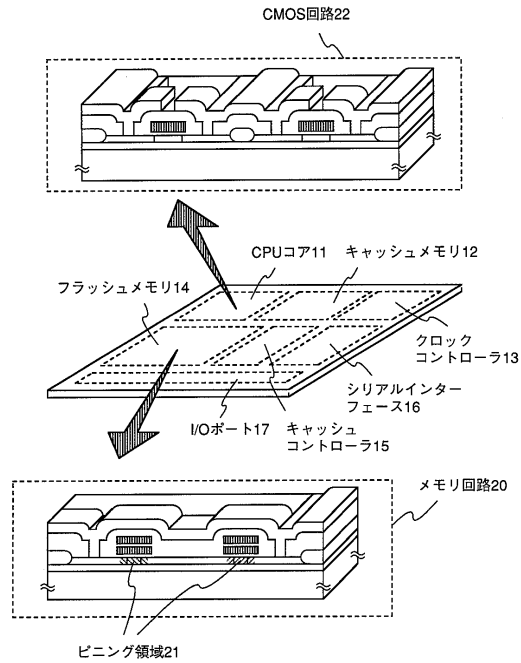
【図 8】



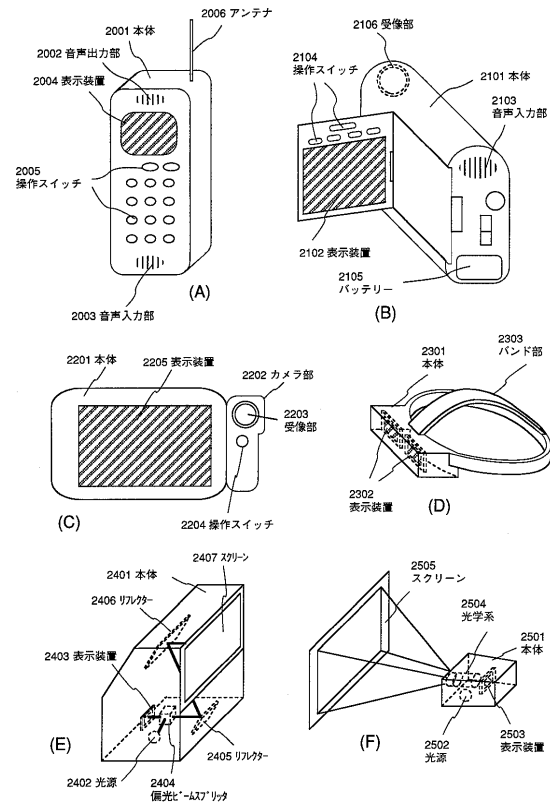
【図 9】



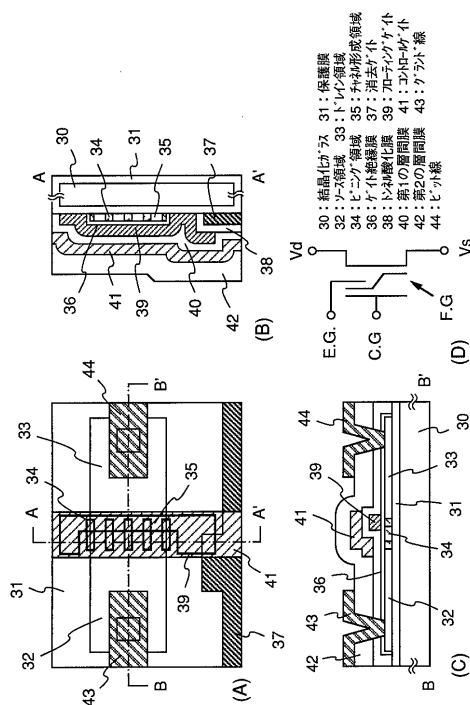
【図10】



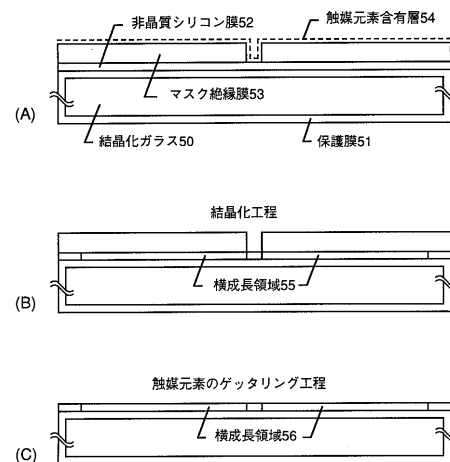
【図11】



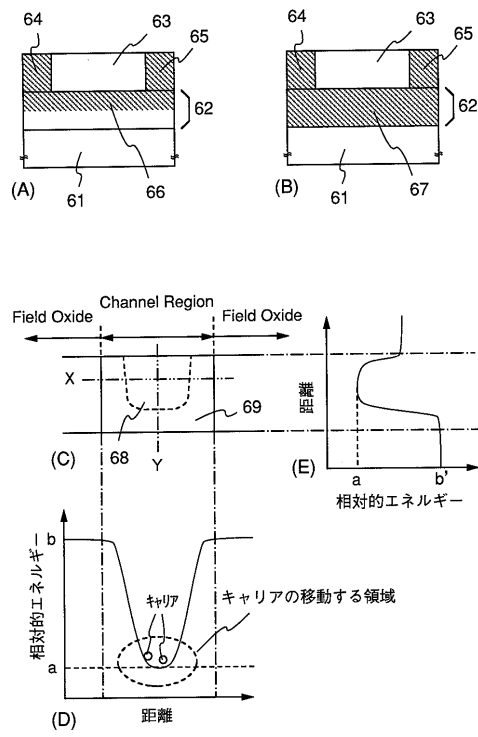
【図12】



【図13】



【図 14】



フロントページの続き

(56)参考文献 特開平05-136429(JP,A)
特開平03-054869(JP,A)
特開平08-293598(JP,A)
特開平11-017169(JP,A)
特開平10-065164(JP,A)
特開平10-065163(JP,A)
特開平09-107086(JP,A)
特開平08-064788(JP,A)
特開平07-086532(JP,A)
特開平04-079270(JP,A)
特開平04-096278(JP,A)
特開平05-341317(JP,A)
特開平08-330598(JP,A)
特開昭61-256674(JP,A)
特開平05-082787(JP,A)
特開平08-274330(JP,A)
特開平06-060678(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/115
H01L 29/788
H01L 29/792
H01L 21/8247