

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97/10420

※申請日期：97.3.24

※IPC 分類：H03F 1/66 (2006.01)

## 一、發明名稱：(中文/英文)

可雜訊修整之功率放大器 / POWER AMPLIFIER  
WITH NOISE SHAPING

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

原景科技股份有限公司/HIMAX ANALOGIC, INC.

代表人：(中文/英文) 吳炳昇/BIING-SENG WU

住居所或營業所地址：(中文/英文)

台南縣新市鄉豐華村 8 鄰紫棟路 26 號/ NO.26, ZIH LIAN ROAD,  
FONGHUA VILLAGE, SINSHIH TOWNSHIP, TAINAN COUNTY  
74445, TAIWAN, R.O.C.

國 籍：(中文/英文) 中華民國/TW

## 三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 吳國宏 / WU, KUO-HUNG

2. 林俊年 / LIN, JUN-NIAN

3. 莊志禹 / ZHUANG, ZHI-YU

國 籍：(中文/英文) 1-3 中華民國/TW

**四、聲明事項：**

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、2007/6/8、11/759,945

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種功率放大器，且特別是有關於一種可雜訊修整之功率放大器。

### 【先前技術】

參考圖 1，一般功率放大器，尤其是音頻功率放大器，會採用負回授設計以得到一穩定增益，同時為了消除高頻雜訊，會串接一低通濾波器，該低通濾波器通常為一積分電路。如圖 1 所示，回授電路 110 將差動模式輸出信號對  $V_{o1}$  與  $V_{o2}$  轉換為單端模式之回授信號  $V_{sum\_P}$ 。此回授信號  $V_{sum\_P}$  與輸入信號  $V_I$  再經過積分器 120 以濾除雜訊。

然而，自從放大器由真空管演進到電晶體以後，雜訊干擾一直是音頻功率放大器所遭遇最大的問題。雜訊的主要來源有二，其一為電源哼音(Power Supply Hum)。這是由於輸出功率放大級 130 會從電源供應端  $V_{DD}$  抽取大電流，但是卻無法對電源供應端  $V_{DD}$  進行有效的濾波。所以當閘極信號觸發，要求電源供應端  $V_{DD}$  通過一純淨之大電流時，該大電流本身即含有雜訊而非純淨，所以會將雜訊通過回授電路 110 餽入整體電路。以上內容請參考 Adel S. Sedra & Kenneth C. Smith 所著 Microelectronic Circuit 第四版 第八章第二節。因此普遍作法是於回授電路 110 中加上一濾波器以消除雜訊。然而此類設計，如圖 1 所示，僅依靠傳統濾波器消除雜訊，成效並不理想。

雜訊來源之二則是射頻干擾，當射頻信號接近音頻放大器時，共模拒斥比相對較差的電路架構，便會將射頻信號一併接收而成為音頻放大器本身的雜訊干擾，例如手機靠近喇叭時所產生的嗡嗡聲，而傳統音頻放大器並未使用全差動式架構以提升共模拒斥比。

### 【發明內容】

本發明的目的就是提供一種可雜訊修整之功率放大器，使放大器達到最大信號雜訊比（signal to noise ratio, SNR）。本發明以 delta-sigma 電路串接二階或以上積分電路，可提供更好的止帶信號消除效果；取代傳統音頻放大器於回授電路中設置濾波器的作法。此外，更利用共模輸入信號，取代傳統單端輸入信號，藉由全差動式架構提升共模拒斥比，增強電路抵抗射頻干擾的能力。

本發明提出一種可雜訊修整之功率放大器。該功率放大器包括差動模式積分器、積分暨調節單元以及開關單元。差動模式積分器用以接收差動模式輸入信號以及差動模式輸出信號，並進行積分操作，以產生差動模式第一信號。積分暨調節單元耦接至差動模式積分器，用以接收差動模式第一信號及差動模式輸出信號並進行積分操作，並且將差動模式第一信號調節為單端模式之第二信號。該第二信號輸入至開關單元。開關單元的工作狀態基於第二信號來決定，並輸出差動模式輸出信號以驅動負載。

本發明利用全差動模式設計，以共模輸入信號，取代傳統單端輸入信號，提高共模拒斥比而消除共模雜訊，增

加電路抵抗射頻干擾的能力。此外，差動模式積分器與積分暨調節單元皆包含一 delta-sigma 電路，兩者串接形成一個二階低通濾波電路，比傳統負回授電路與濾波器之組合，提供更強之止帶信號消除效果，以達到更高之濾波效果，可得一較佳之信號雜訊比。然本發明並不以此為限，所屬領域具有通常知識者，當可視需求串接更多積分電路，以構成三階或以上濾波電路。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

#### 【實施方式】

以下將以 D 類音頻功率放大器 (class-D audio power amplifier) 做為本發明之實施範例。然本發明並不以此為限，所屬領域具有通常知識者，亦可根據本發明之精神，將之套用於各式功率放大器，例如 A 類、B 類、AB 類等功率放大器。

圖 2 為依照本發明實施例繪示可雜訊修整之功率放大器之電路方塊圖。請參考圖 2，該功率放大器包括差動模式積分器 210、積分暨調節單元 220 以及開關單元 230。差動模式積分器 210 將所接收之音頻信號（在此為差動模式輸入信號對 VIN 與 VIP）以及差動模式輸出信號對 VON 與 VOP 進行積分操作，以產生差動模式第一信號對 VIN' 與 VIP'。積分暨調節單元 220 接收差動模式第一信號對 VIN' 與 VIP' 及差動模式輸出信號對 VON 與 VOP 並進行積

分操作。另外，積分暨調節單元 220 更將差動模式第一信號對 VIN' 與 VIP' 調節為單端模式之第二信號 Vo，並將第二信號 Vo 輸出至開關單元 230。開關單元 230 基於第二信號 Vo 來決定其工作狀態，並且開關單元 230 輸出差動模式輸出信號 VON 與 VOP 以驅動負載 240。於本實施例中，該負載 240 可以為喇叭或其他負載。

圖 3 為依照本發明繪示圖 2 功率放大器之實施範例。請參照圖 3，差動模式積分器 210 包括第一電阻 311、第二電阻 312、第三電阻 313、第四電阻 314、第一運算放大器 315、第一電容 316 及第二電容 317。

電阻 311 與 312 之第一端各自接收該差動模式輸入信號之第一端信號 VIN 與第二端信號 VIP。電阻 313 與 314 之第一端各自接收該差動模式輸出信號之第一端信號 VON 與第二端信號 VOP。第一運算放大器 315，其第一輸入端（例如為正輸入端）耦接至第二電阻 312 之第二端與第三電阻 313 之第二端，而其第二輸入端（例如為負輸入端）則耦接至第一電阻 311 之第二端與第四電阻 314 之第二端。第一運算放大器 315 之第一輸出端（例如為正輸出端）與第二輸出端（例如為負輸出端）分別輸出該差動模式第一信號之第一端信號 VIN' 與第二端信號 VIP'。第一電容 316 之第一端與第二端分別耦接至第一運算放大器 315 之第一輸出端與第二輸入端。第二電容 317 之第一端與第二端分別耦接至第一運算放大器 315 之第二輸出端與第一輸入端。如此便可構成一差動輸入及輸出之積分電

路。所屬領域具有通常知識者可以依其需求而調配電阻 311~314 之阻值以及電容 316~317 之電容值，亦即調整其阻抗匹配以控制差動模式積分器 210 之低通帶頻寬。於本實施例中，第一電阻 311 與第二電阻 312 之阻值譬如為  $R_1$ ，而第三電阻 313 與第四電阻 314 之阻值譬如為  $G \cdot R_1$ （ $G$  與  $R_1$  為實數）。第一電容 316 與第二電容 317 之電容值譬如均為  $C_1$ （ $C_1$  為實數）。

積分暨調節單元 220 包括第一阻抗 321、第二阻抗 322、第三阻抗 323、第四阻抗 324、第二運算放大器 325、第五阻抗 326 及第六阻抗 327。阻抗 321 與 322 之第一端各自耦接至差動模式積分器 210 之第一輸出端與第二輸出端，以接收該差動模式第一信號之第一端信號  $V_{IN}'$  與第二端信號  $V_{IP}'$ 。第三阻抗 323 之第一端接收差動模式輸出信號之第一端信號  $V_{ON}$ 。第四阻抗 324 之第一端接收差動模式輸出信號之第二端信號  $V_{OP}$ 。第二運算放大器 325 之第一輸入端（例如為正輸入端）耦接至第一阻抗 321 與第三阻抗 323 之第二端，而其第二輸入端（例如為負輸入端）則耦接至第二阻抗 322 與第四阻抗 324 之第二端。第一運算放大器 315 之輸出端輸出單端模式之第二信號  $V_o$ 。第五阻抗 326 之第一端耦接至第二運算放大器 325 之第一輸入端，而其第二端則接收第一電壓。於本實施例中，上述第一電壓譬如為接地電壓。第六阻抗 327 之第一端與第二端分別耦接至第二運算放大器 325 之輸出端與第二輸入端。

所屬領域具有通常知識者可以依據其需求，而以任何手段實施第一阻抗～第六阻抗，以及依據需求決定各阻抗之阻抗值以獲得所需之電路特性。於本實施例中，第一阻抗 321 與第二阻抗 322 均以阻值為  $R_2$  之電阻實施之，而第三阻抗 323 與第四阻抗 324 均以阻值為  $F \cdot R_2$  之電阻實施之（ $F$  為實數）。另外，本實施例是以電容值為  $C_2$  之電容實施第五阻抗 326 與第六阻抗 327。而第一電壓可為一參考電壓準位，包括接地電壓，機殼接地及視設計需求所採用之準位電壓。

該開關單元 230 包括脈寬調變級（pulse width modulation stage, PWM stage）331 以及橋式電路。脈寬調變級 331 用以產生至少一脈寬調變信號（本實施例為第一脈寬調變信號 PWMS1 以及第二脈寬調變信號 PWMS2）。其中，脈寬調變級 331 依據單端模式之第二信號  $V_0$  而調變脈寬調變信號 PWMS1 與 PWMS2 之脈寬。本實施例之橋式電路是以 Class-D 輸出放大級為例，然並不以此為限。此橋式電路包含受脈寬調變信號 PWMS1 與 PWMS2 所控制的多個開關（本實施例為第一開關 332、第二開關 333、第三開關 334 以及第四開關 335）。於橋式電路中，第一開關 332 之第一端接收第二電壓（例如為電源電壓 VDD），其第二端將差動模式輸出信號之第一端信號  $V_{ON}$  輸出至負載 240 之第一端。第二開關 333 之第一端接收第三電壓（例如為接地電壓），其第二端耦接至負載 240 之第一端。其中，開關 332 與 333 均受控於第一脈寬調變信號 PWM1。

第三開關 334 之第一端接收第二電壓，其第二端將差動模式輸出信號之第二端信號 VOP 輸出至負載 240 之第二端。第四開關 335 之第一端接收第三電壓，其第二端耦接至負載 240 之第二端。其中，開關 334 與 335 均受控於第二脈寬調變信號 PWM2。

於本實施例中，上述第一開關 332 與第三開關 334 為 P 型電晶體，而第二開關 333 與第四開關 335 則為 N 型電晶體，四者構成一個 Class-D 輸出放大級。脈寬調變級 331 藉由調變脈寬調變信號 PWMS1 與 PWMS2 之脈寬與相位而控制橋式電路之開關 332~335。因此，開關單元 230 可以依據第二信號  $V_o$  而輸出音頻信號（即該差動模式輸出信號對 VON 與 VOP）來驅動負載 240。於本實施例中，第二電壓為一電源電壓，係指驅動輸出放大級之電壓，而非以整體電路之電源電壓為限；第三電壓亦為一電壓參考準位，而非以接地電壓為限。

本實施例中，差動模式輸入信號經兩層積分器運算處理後，構成輸出信號  $V_o = (V_{ip} - V_{in}) / \{S^2 R^2 C^2 + SRC/F + 1/G\} + S^2 R^2 C^2 * (THD + Noise) / \{S^2 R^2 C^2 + SRC/F + 1/G\}$ ，其中  $S = j\omega = j2\pi f$ ， $f$  即為頻率。上述等式中 THD 為總諧波失真 (Total Harmonic Distortion)，這是將差動模式輸出信號諧波成分的均方根 (root mean square, rms) 值去除基本諧波後，表示成基本諧波均方根值的百分比。一般輸出級設計優劣的評量即基於此 THD 參數。通常一個高傳真 (high-fidelity) 音頻放大器的 THD 約在零點幾個百分比的數量級。由上

述等式可知，在聲頻信號下  $SRC \ll 1$ ，因此 Noise 將被大幅衰減，而得到極佳之信號雜訊比。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖 1 繪示為先前技術音頻放大器之電路方塊圖。

圖 2 為依照本發明實施例繪示可雜訊修整之功率放大器之電路方塊圖。

圖 3 為依照本發明實施例繪示圖 2 功率放大器之電路圖。

### 【主要元件符號說明】

110：回授電路

120：積分器

130：功率放大級

140：負載

210：差動模式積分器

220：積分暨調節單元

230：開關單元

240：負載

311：第一電阻

312：第二電阻

- 313：第三電阻
- 314：第四電阻
- 315：第一運算放大器
- 316：第一電容
- 317：第二電容
- 321：第一阻抗
- 322：第二阻抗
- 323：第三阻抗
- 324：第四阻抗
- 325：第二運算放大器
- 326：第五阻抗
- 327：第六阻抗
- 331：脈寬調變級
- 332：第一開關
- 333：第二開關
- 334：第三開關
- 335：第四開關

## 五、中文發明摘要：

本發明是一種可雜訊修整之功率放大器，其可修整一般功率放大器所遭受的雜訊干擾問題。該功率放大器包括差動模式積分器、積分暨調節單元及開關單元。差動模式積分器用以接收差動模式之輸入信號及輸出信號，並輸出差動模式第一信號。積分暨調節單元耦接至差動模式積分器，用以接收差動模式第一信號及差動模式輸出信號，並輸出單端模式之第二信號。開關單元接收第二信號，並輸出差動模式輸出信號以驅動負載。本發明利用共模輸入信號，取代單端輸入信號，以消除共模雜訊；又利用二階或以上積分電路取代傳統濾波器，以達到更佳之止帶信號消除效果。

## 六、英文發明摘要：

The invention is a power amplifier with noise shaping function. It can minimize noise impact. The power amplifier includes a differential mode integrator, an integration and adjustment unit and a switch unit. The differential mode integrator, receiving the differential mode input signal and the differential mode output signal to generate a differential mode first signal. The integration and adjustment unit receives the first signal and the output signal to generate a single-end mode second signal. The switch unit received the second signal and outputs the differential mode output signal

to drive the load .The invention rejects the common mode noise by the use of common mode input and reduces the off band noise and improves the reduction of THD and noise by using 2<sup>nd</sup>-order integrator.

### 七、指定代表圖：

(一)本案指定代表圖為：圖 2。

(二)本代表圖之元件符號簡單說明：

210：差動模式積分器

220：積分暨調節單元

230：開關單元

240：負載

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 十、申請專利範圍：

1.一種功率放大器，用以依據所接收之差動模式輸入信號產生一差動模式輸出信號以驅動一負載，該功率放大器包括：

一差動模式積分器，用以接收該差動模式輸入信號與該差動模式輸出信號並進行積分操作，以輸出一差動模式第一信號；

一積分暨調節單元，用以接收該差動模式第一信號與該差動模式輸出信號並進行積分操作，以將該差動模式第一信號調節為單端模式之第二信號；以及

一開關單元，耦接至該差動模式積分器與該積分暨調節單元，其中該開關單元的工作狀態基於該積分暨調節單元所輸出的該第二信號來決定，該開關單元輸出差動模式之該差動模式輸出信號以驅動該負載。

2.如申請專利範圍第 1 項所述之功率放大器，其中該差動模式積分器包括：

一第一電阻，其第一端接收該差動模式輸入信號之第一端信號；

一第二電阻，其第一端接收該差動模式輸入信號之第二端信號；

一第三電阻，其第一端接收該差動模式輸出信號之第一端信號；

一第四電阻，其第一端接收該差動模式輸出信號之第二端信號；

一第一運算放大器，其第一輸入端耦接至該第二電阻之第二端與該第三電阻之第二端，其第二輸入端耦接至該第一電阻之第二端與該第四電阻之第二端，以及其第一輸出端與第二輸出端分別輸出該差動模式第一信號之第一端信號與第二端信號；

一第一電容，其耦接於該第一運算放大器之第一輸出端與第二輸入端之間；以及

一第二電容，其耦接於該第一運算放大器之第二輸出端與第一輸入端之間。

3.如申請專利範圍第 2 項所述之功率放大器，其中該第一電阻與該第二電阻之阻值相同。

4.如申請專利範圍第 2 項所述之功率放大器，其中該第三電阻與該第四電阻之阻值相同。

5.如申請專利範圍第 2 項所述之功率放大器，其中該第一電容與該第二電容之電容值相同。

6.如申請專利範圍第 1 項所述之功率放大器，其中該積分暨調節單元包括：

一第一阻抗，其第一端接收該差動模式第一信號之第一端信號；

一第二阻抗，其第一端接收該差動模式第一信號之第二端信號；

一第三阻抗，其第一端接收該差動模式輸出信號之第一端信號；

一第四阻抗，其第一端接收該差動模式輸出信號之第二端信號；

一第二運算放大器，其第一輸入端耦接至該第一阻抗之第二端與該第三阻抗之第二端，其第二輸入端耦接至該第二阻抗之第二端與該第四阻抗之第二端，以及其輸出端輸出單端模式之該第二信號；

一第五阻抗，其第一端耦接至該第二運算放大器之第一輸入端，以及其第二端接收一第一電壓；以及

一第六阻抗，其第一端與第二端分別耦接至該第二運算放大器之輸出端與第二輸入端。

7.如申請專利範圍第 6 項所述之功率放大器，其中該第一阻抗、該第二阻抗、該第三阻抗、與該第四阻抗均為電阻。

8.如申請專利範圍第 7 項所述之功率放大器，其中該第一阻抗與該第二阻抗之阻值相同。

9.如申請專利範圍第 7 項所述之功率放大器，其中該第三阻抗與該第四阻抗之阻值相同。

10.如申請專利範圍第 6 項所述之功率放大器，其中該第五阻抗與該第六阻抗均為電容。

11.如申請專利範圍第 10 項所述之功率放大器，其中該第五阻抗與該第六阻抗之電容值相同。

12.如申請專利範圍第 6 項所述之功率放大器，其中該第一電壓包括接地電壓。

13.如申請專利範圍第 1 項所述之功率放大器，其中該開關單元包括：

一脈寬調變級，用以產生至少一脈寬調變信號，其中依據單端模式之該第二信號而調變至該脈寬調變信號之脈寬；以及

一橋式電路，其具有受該脈寬調變信號所控制的多個開關。

14. 如申請專利範圍第 13 項所述之功率放大器，其中該脈寬調變級產生一第一脈寬調變信號及一第二脈寬調變信號，並依據單端模式之該第二信號調變該第一脈寬調變信號及該第二脈寬調變信號之脈寬。

15. 如申請專利範圍第 14 項所述之功率放大器，其中該橋式電路包含：

一第一開關，其第一端接收一第二電壓，其第二端耦接至該負載之第一端，而該第一開關受控於該第一脈寬調變信號；

一第二開關，其第一端接收一第三電壓，其第二端耦接至該負載之第一端，而該第二開關受控於該第一脈寬調變信號；

一第三開關，其第一端接收該第二電壓，其第二端耦接至該負載之第二端，而該第三開關受控於該第二脈寬調變信號；以及

一第四開關，其第一端接收該第三電壓，其第二端耦接至該負載之第二端，而該第四開關受控於該第二脈寬調變信號。

16.如申請專利範圍第 15 項所述之功率放大器，其中該第一開關與該第三開關為 P 型電晶體，而該第二開關與該第四開關為 N 型電晶體。

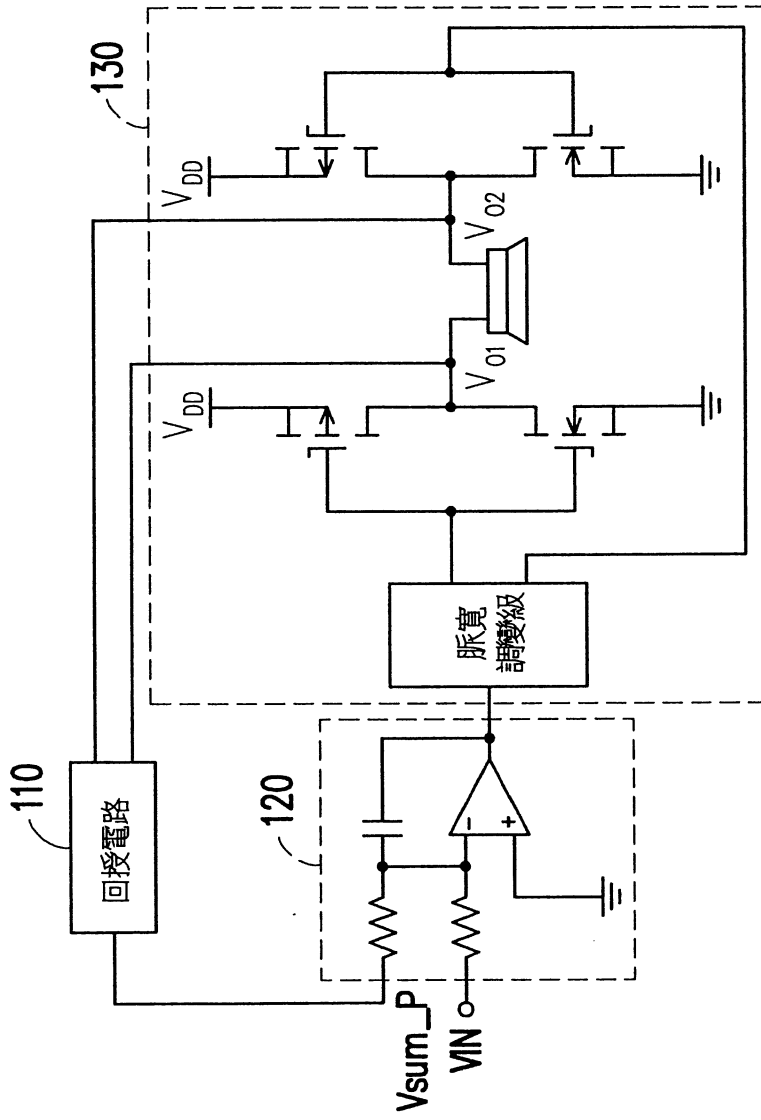


圖 1

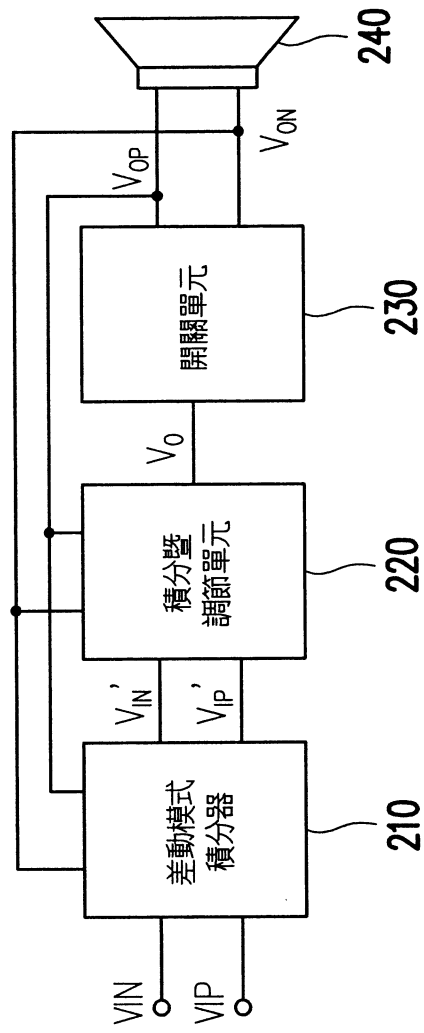


圖 2

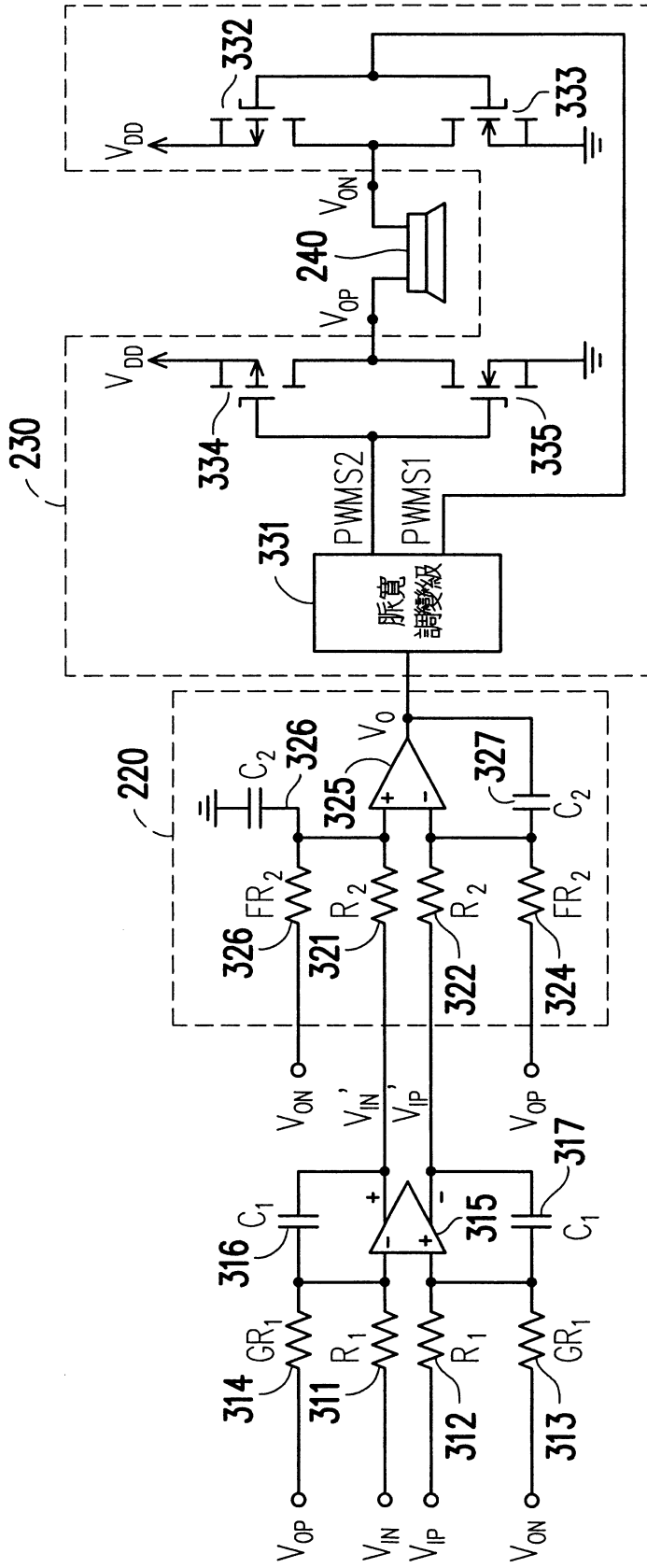


圖 3

to drive the load .The invention rejects the common mode noise by the use of common mode input and reduces the off band noise and improves the reduction of THD and noise by using 2<sup>nd</sup>-order integrator.

### 七、指定代表圖：

(一)本案指定代表圖為：圖 2。

(二)本代表圖之元件符號簡單說明：

210：差動模式積分器

220：積分暨調節單元

230：開關單元

240：負載

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無