



(12) 发明专利

(10) 授权公告号 CN 102111144 B

(45) 授权公告日 2013.06.05

(21) 申请号 201010596015.0

(22) 申请日 2010.12.20

(30) 优先权数据

2009-298105 2009.12.28 JP

(73) 专利权人 株式会社日本显示器西

地址 日本爱知县

(72) 发明人 丰岛良彦 甚田诚一郎

(74) 专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 武玉琴 陈桂香

(51) Int. Cl.

H03K 19/0185 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

(56) 对比文件

CN 1881803 A, 2006.12.20, 全文.

CN 101154941 A, 2008.04.02, 全文.

US 6977544 B2, 2005.12.20, 全文.

US 2006/0202736 A1, 2006.09.14, 全文.

JP 特开 2005-149624 A, 2005.06.09, 全文.

审查员 魏晶瑶

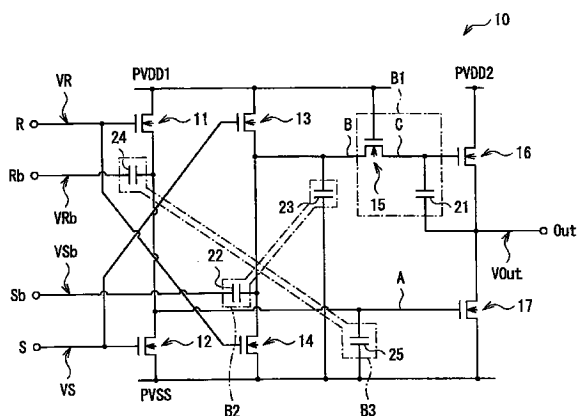
权利要求书5页 说明书35页 附图39页

(54) 发明名称

电平转换电路、信号驱动电路、显示装置和电子装置

(57) 摘要

本发明涉及电平转换电路以及具有该电平转换电路的信号驱动电路、显示装置和电子装置。该电平转换电路包括：第一输出晶体管；第二输出晶体管；第一输入晶体管，基于第一输入脉冲信号将第一输入晶体管驱动到导通以输出第一电压；第二输入晶体管，基于第一输入脉冲信号将第二输入晶体管驱动到导通以输出第二电压；第三输入晶体管，基于第二输入脉冲信号将第三输入晶体管驱动到导通以输出第三电压；第四输入晶体管，基于第二输入脉冲信号将第四输入晶体管驱动到导通以输出第四电压；第一自举电路；及第一电压补偿电路，其产生与电压波动的方向相反的电压变化。根据本发明，能够在实现良好形状的内部波形和输出波形的同时实现低功耗。



1. 一种电平转换电路,其包括:

第一输出晶体管,其被驱动到导通以输出源自第一电源电压的电压;

第二输出晶体管,其被驱动到导通以输出源自第二电源电压的电压;

第一输入晶体管,其具有输出端,基于第一输入脉冲信号将所述第一输入晶体管驱动到导通以输出第一电压,所述第一电压是使所述第一输出晶体管导通的驱动电压的基础;

第二输入晶体管,其具有输出端,基于所述第一输入脉冲信号将所述第二输入晶体管驱动到导通以输出第二电压,所述第二电压是使所述第二输出晶体管截止的驱动电压的基础;

第三输入晶体管,其具有连接至所述第一输入晶体管的所述输出端的输出端,基于所述第二输入脉冲信号将所述第三输入晶体管驱动到导通以输出第三电压,所述第三电压是使所述第一输出晶体管截止的驱动电压的基础;

第四输入晶体管,其具有连接至所述第二输入晶体管的所述输出端的输出端,基于所述第二输入脉冲信号将所述第四输入晶体管驱动到导通以输出第四电压,所述第四电压是使所述第二输出晶体管导通的驱动电压的基础;

第一自举电路,其放大所述第一电压的振幅,用于将所放大的第一电压提供到所述第一输出晶体管;及

第一电压补偿电路,其基于第三输入脉冲信号产生电压变化,所述电压变化的方向与所述第一电压中由于所述第一输入晶体管的寄生电容在所述第一输入脉冲信号的结束时刻所引起电压波动的方向相反。

2. 根据权利要求1所述的电平转换电路,其还包括第二电压补偿电路,所述第二电压补偿电路基于第四输入脉冲信号产生电压变化,所述电压变化的方向与电压波动的方向相反,所述电压波动是由于所述第四输入晶体管的寄生电容在所述第二输入脉冲信号的结束时刻在所述第四电压中所引起。

3. 根据权利要求1所述的电平转换电路,其中,所述第一输入晶体管将源自第三电源电压的电压作为所述第一电压输出,所述第四输入晶体管将源自所述第三电源电压的电压作为所述第四电压输出。

4. 根据权利要求1所述的电平转换电路,其中,所述第一电压补偿电路包括:

第一电压补偿电容,其具有第一端和连接至所述第一输入晶体管的所述输出端及所述第三输入晶体管的所述输出端的第二端,所述第三输入脉冲信号提供到所述第一电压补偿电容的所述第一端;及

第二电压补偿电容,其具有连接至所述第一输入晶体管的所述输出端及所述第三输入晶体管的所述输出端的第一端,还具有第二端,所述第二电源电压提供到所述第二电压补偿电容的所述第二端。

5. 根据权利要求4所述的电平转换电路,其中,所述第一电压补偿电容和所述第二电压补偿电容均利用晶体管的栅极氧化膜电容构成。

6. 根据权利要求3所述的电平转换电路,其中,所述第一自举电路包括在所述第一输出晶体管的控制端和所述输出端之间的第一自举电容。

7. 根据权利要求6所述的电平转换电路,其中,所述第一自举电路还包括具有控制端的第一自举晶体管,所述第三电源电压提供到所述控制端,所述第一自举晶体管在导通状

态下向所述第一输出晶体管提供所述第一输入晶体管的输出电压或所述第三输入晶体管的输出电压。

8. 根据权利要求 3 所述的电平转换电路,其还包括:

第二自举电路,其放大所述第一输入脉冲信号的振幅,将所放大的第一输入脉冲信号提供到所述第一输入晶体管;及

第三自举电路,其放大所述第二输入脉冲信号的振幅,将所放大的第二输入脉冲信号提供到所述第四输入晶体管。

9. 根据权利要求 8 所述的电平转换电路,其中,所述第二自举电路包括:

第二自举晶体管,其在导通状态下向所述第一输入晶体管提供所述第一输入脉冲信号;及

第二自举电容,其在所述第一输入晶体管的控制端和所述第一输入晶体管的输出端之间,

其中,所述第三自举电路包括:

第三自举晶体管,其在导通状态下向所述第四输入晶体管提供所述第二输入脉冲信号;及

第三自举电容,其在所述第四输入晶体管的控制端和所述第四输入晶体管的输出端之间。

10. 根据权利要求 9 所述的电平转换电路,其中,所述第三电源电压提供到所述第二自举晶体管的控制端和所述第三自举晶体管的控制端。

11. 根据权利要求 9 所述的电平转换电路,其中,第四电源电压提供到所述第二自举晶体管的控制端和所述第三自举晶体管的控制端。

12. 根据权利要求 1 所述的电平转换电路,其还包括:

第一电压固定晶体管,其基于所述第一输入晶体管的输出电压或所述第三输入晶体管的输出电压,在所述第二电源电压的电源线与所述第二输入晶体管和所述第四输入晶体管的共同连接的输出端之间执行通/断控制,所述第一电压固定晶体管被驱动到导通以固定所述第二电压;及

第二电压固定晶体管,其基于所述第二输入晶体管的输出电压或所述第四输入晶体管的输出电压,在所述第二电源电压的电源线与所述第一输入晶体管和所述第三输入晶体管的共同连接的输出端之间执行通/断控制,所述第二电压固定晶体管被驱动到导通以固定所述第三电压。

13. 根据权利要求 1 所述的电平转换电路,其中,所述第三输入脉冲信号的结束时刻与所述第一输入脉冲信号的所述结束时刻相一致或在其之后。

14. 根据权利要求 1 所述的电平转换电路,其中,通过反相所述第一输入脉冲信号或通过反相所述第一输入脉冲信号并延迟所反相的第一输入脉冲信号的相位来产生所述第三输入脉冲信号。

15. 根据权利要求 1 所述的电平转换电路,其中,所述第一输入晶体管输出源自所述第一输入脉冲信号的所述第一电压,所述第四输入晶体管输出源自所述第二输入脉冲信号的所述第四电压。

16. 根据权利要求 1 所述的电平转换电路,其中,所述第一输出晶体管和所述第二输出

晶体管与所述第一输入晶体管至所述第四输入晶体管是相同导电类型的 MOS 晶体管。

17. 一种电平转换电路,其包括:

第一晶体管,其具有连接至第一信号供应器的栅极,所述第一信号供应器提供源自第一输入信号的信号;

第二晶体管,其具有被提供有第二输入信号的栅极、连接至所述第一晶体管的源极的漏极和连接至第一电源的源极;

第三晶体管,其具有连接至第二信号供应器的栅极,所述第二信号供应器提供源自所述第二输入信号的信号;

第四晶体管,其具有被提供有所述第一输入信号的栅极、连接至所述第三晶体管的源极的漏极和连接至所述第一电源的源极;

第五晶体管,其具有连接至第二电源的漏极和连接至第三信号供应器的栅极,所述第三信号供应器提供源自所述第三晶体管的所述源极所输出信号的信号;

第六晶体管,其具有连接至所述第一晶体管的所述源极的栅极、连接至所述第五晶体管的源极的漏极和连接至所述第一电源的源极;

第一电容元件,其具有被提供有与所述第二输入信号同步的第三输入信号的第一端和连接至所述第三晶体管的所述源极的第二端;

第二电容元件,其在所述第三晶体管的所述源极和所述第一电源之间;及

第三电容元件,其在所述第五晶体管的所述栅极和所述源极之间,

其中,从所述第五晶体管的所述源极输出等于或大于所述第一输入信号至第三输入信号的振幅的信号。

18. 一种电平转换电路,其包括:

第一输入电路,其被提供有第一输入信号和第二输入信号;

第二输入电路,其被提供有所述第一输入信号和所述第二输入信号;

第一电容元件,其具有被提供有与所述第一输入信号同步的第三输入信号的第一端和连接至所述第二输入电路的输出端的第二端;

第二电容元件,其在所述第二输入电路的所述输出端和电源之间;及

输出电路,其基于所述第一输入电路的输出电压和所述第二输入电路的输出电压产生输出信号,所述输出信号的振幅大于所述第一输入信号至所述第三输入信号的振幅,

其中,通过所述第三输入信号与所述第一电容元件和所述第二电容元件的组合补偿由于所述第二输入信号在所述第二输入电路的输出中所引起的振幅波动,其中所述第一电容元件和所述第二电容元件基于所述第三输入信号产生电压变化,所述电压变化的方向与所述第二输入信号在所述第二输入电路的输出中所引起的振幅波动的方向相反。

19. 一种信号驱动电路,其包括:

移位寄存器电路,其基于所提供的控制信号产生脉冲信号,以向多个信号线以时分方式依次输出所产生的脉冲信号;及

电平转换电路,其基于一个或多个所述脉冲信号产生驱动信号,以向多个驱动信号线中的一个驱动信号线输出所产生的驱动信号,所述驱动信号的电压振幅等于或大于为所述驱动信号的基础的所述脉冲信号的电压振幅,

其中,所述电平转换电路包括:

第一输出晶体管,其被驱动到导通以输出源自第一电源电压的电压;

第二输出晶体管,其被驱动到导通以输出源自第二电源电压的电压;

第一输入晶体管,其具有输出端,基于第一输入脉冲信号将所述第一输入晶体管驱动到导通以输出第一电压,所述第一电压是使所述第一输出晶体管导通的驱动电压的基础;

第二输入晶体管,其具有输出端,基于所述第一输入脉冲信号将所述第二输入晶体管驱动到导通以输出第二电压,所述第二电压是使所述第二输出晶体管截止的驱动电压的基础;

第三输入晶体管,其具有连接至所述第一输入晶体管的所述输出端的输出端,基于第二输入脉冲信号将所述第三输入晶体管驱动到导通以输出第三电压,所述第三电压是使所述第一输出晶体管截止的驱动电压的基础;

第四输入晶体管,其具有连接至所述第二输入晶体管的所述输出端的输出端,基于所述第二输入脉冲信号将所述第四输入晶体管驱动到导通以输出第四电压,所述第四电压是使所述第二输出晶体管导通的驱动电压的基础;

第一自举电路,其放大所述第一电压的振幅,用于将所放大的第一电压提供到所述第一输出晶体管;及

第一电压补偿电路,其基于第三输入脉冲信号产生电压变化,所述电压变化的方向与所述第一电压中由于所述第一输入晶体管的寄生电容在所述第一输入脉冲信号的结束时刻所引起电压波动的方向相反。

20. 一种显示装置,其包括:

显示部件;及

显示控制部件,其具有电平转换电路,所述电平转换电路输出比所提供的一个或多个信号的振幅大的控制信号,所述显示控制部件基于所述控制信号驱动所述显示部件,

其中,所述电平转换电路包括:

第一输出晶体管,其被驱动到导通以输出源自第一电源电压的电压;

第二输出晶体管,其被驱动到导通以输出源自第二电源电压的电压;

第一输入晶体管,其具有输出端,基于第一输入脉冲信号将所述第一输入晶体管驱动到导通以输出第一电压,所述第一电压是使所述第一输出晶体管导通的驱动电压的基础;

第二输入晶体管,其具有输出端,基于所述第一输入脉冲信号将所述第二输入晶体管驱动到导通以输出第二电压,所述第二电压是使所述第二输出晶体管截止的驱动电压的基础;

第三输入晶体管,其具有连接至所述第一输入晶体管的所述输出端的输出端,基于第二输入脉冲信号将所述第三输入晶体管驱动到导通以输出第三电压,所述第三电压是使所述第一输出晶体管截止的驱动电压的基础;

第四输入晶体管,其具有连接至所述第二输入晶体管的所述输出端的输出端,基于所述第二输入脉冲信号将所述第四输入晶体管驱动到导通以输出第四电压,所述第四电压是使所述第二输出晶体管导通的驱动电压的基础;

第一自举电路,其放大所述第一电压的振幅,用于将所放大的第一电压提供到所述第一输出晶体管;及

第一电压补偿电路,其基于第三输入脉冲信号产生电压变化,所述电压变化的方向与

所述第一电压中由于所述第一输入晶体管的寄生电容在所述第一输入脉冲信号的结束时刻所引起电压波动的方向相反。

21. 一种电子装置,其包括:

显示部件,

处理部件,其执行预定处理;及

显示控制部件,其具有电平转换电路,所述电平转换电路输出比所述处理部件提供的一个或多个信号的振幅大的控制信号,所述显示控制部件基于所述控制信号驱动所述显示部件,

其中,所述电平转换电路包括:

第一输出晶体管,其被驱动到导通以输出源自第一电源电压的电压;

第二输出晶体管,其被驱动到导通以输出源自第二电源电压的电压;

第一输入晶体管,其具有输出端,基于第一输入脉冲信号将所述第一输入晶体管驱动到导通以输出第一电压,所述第一电压是使所述第一输出晶体管导通的驱动电压的基础;

第二输入晶体管,其具有输出端,基于所述第一输入脉冲信号将所述第二输入晶体管驱动到导通以输出第二电压,所述第二电压是使所述第二输出晶体管截止的驱动电压的基础;

第三输入晶体管,其具有连接至所述第一输入晶体管的所述输出端的输出端,基于第二输入脉冲信号将所述第三输入晶体管驱动到导通以输出第三电压,所述第三电压是使所述第一输出晶体管截止的驱动电压的基础;

第四输入晶体管,其具有连接至所述第二输入晶体管的所述输出端的输出端,基于所述第二输入脉冲信号将所述第四输入晶体管驱动到导通以输出第四电压,所述第四电压是使所述第二输出晶体管导通的驱动电压的基础;

第一自举电路,其放大所述第一电压的振幅,用于将所放大的第一电压提供到所述第一输出晶体管;及

第一电压补偿电路,其基于第三输入脉冲信号产生电压变化,所述电压变化的方向与所述第一电压中由于所述第一输入晶体管的寄生电容在所述第一输入脉冲信号的结束时刻所引起电压波动的方向相反。

电平转换电路、信号驱动电路、显示装置和电子装置

[0001] 相关申请的交叉参考

[0002] 本申请包含与 2009 年 12 月 28 日向日本专利局提交的日本在先专利申请 JP2009-298105 的公开内容相关的主题,在这里将该在先申请的全部内容以引用的方式并入本文。

技术领域

[0003] 本发明涉及输出比输入信号的振幅大的信号的电平转换电路以及具有该电平转换电路的信号驱动电路、显示装置和电子装置。

背景技术

[0004] 近年来,通常将能够形成 N 沟道金属氧化物半导体(下文中可简称为“MOS”)晶体管和 P 沟道 MOS 晶体管的互补金属氧化物半导体工艺用于制造集成电路的工艺。使用 CMOS 工艺制造的 MOS 电路允许 N 沟道 MOS 晶体管和 P 沟道 MOS 晶体管互补地操作。由于直通电流不在电源和地之间流动,所以这种 CMOS 电路能够实现低功耗。

[0005] 存在一些仅能够形成 N 沟道 MOS 晶体管或 P 沟道 MOS 晶体管的工艺。例如,在许多情况下,诸如氧化物半导体工艺、微硅(μ -Si)工艺和非晶硅(A-Si)工艺之类的工艺仅能够形成 N 沟道 MOS 晶体管,而诸如有机薄膜晶体管(TFT)工艺之类的工艺仅能够形成 P 沟道 MOS 晶体管。并且,诸如单晶硅工艺和低温多晶硅工艺之类的工艺通常能够形成 N 沟道 MOS 晶体管和 P 沟道 MOS 晶体管,但为了降低与费用相关的步骤数目有时可能采用这些工艺仅形成 N 沟道 MOS 晶体管或 P 沟道 MOS 晶体管。因此,如在例如日本未审查专利申请公开公报 2005-149624(JP2005-149624A)中所披露,在这些情况下,通过单沟道的 MOS 晶体管构成(即,通过相同传导类型的 MOS 晶体管构成)电路。

[0006] 例如,JP2005-149624A 提出了使用单沟道的 MOS 晶体管的转换电阻电路。所披露的电路以互补的方式操作在电源和地之间串联的两个单沟道的 MOS 晶体管,以防止直通电流流动,由此实现了功耗的降低。

[0007] 一般而言,鉴于稳定操作,期望在诸如信号处理电路之类的电路中应用具有恰当或良好形状的波形的输入信号。例如,输入具有稳定的高电平电压和稳定的低电平电压的波形能使电路呈现期望的功能而不会导致故障或错误。因而,当系统配置有多级电路时,期望前级中的电路输出恰当或良好形状的波形。

[0008] 当通过单沟道的 MOS 晶体管构成电路时,电路内部的节点可能成为易受噪声影响的浮动状态。因而,例如,电路外部的信号可能通过寄生电容等传播到浮动节点,可导致该节点的波形(内部波形)失真。因此,可能在电路中出现故障。即使在电路本身中不出现故障,该电路的输出波形可能失真。因此,在从导致故障或输出失真波形的电路接收信号的后级电路中,电路的操作可能变得不稳定,例如由于恶化的输入波形而导致故障或错误。

发明内容

[0009] 因此,期望提供能够在实现恰当或良好形状的内部波形、恰当或良好形状的输出波形或两者的同时实现低功耗的电平转换电路、信号驱动电路、显示装置和电子装置。

[0010] 根据实施例的电平转换电路包括:第一输出晶体管,其被驱动至导通以输出源自第一电源电压的电压;第二输出晶体管,其被驱动至导通以输出源自第二电源电压的电压;第一输入晶体管,其具有输出端,基于第一输入脉冲信号将所述第一输入晶体管驱动至导通以输出第一电压,所述第一电压是使所述第一输出晶体管导通的驱动电压的基础;第二输入晶体管,其具有输出端,基于所述第一输入脉冲信号将所述第二输入晶体管驱动至导通以输出第二电压,所述第二电压是使所述第二输出晶体管截止的驱动电压的基础;第三输入晶体管,其具有连接至所述第一输入晶体管的所述输出端的输出端,基于第二输入脉冲信号将所述第三输入晶体管驱动至导通以输出第三电压,所述第三电压是使所述第一输出晶体管截止的驱动电压的基础;第四输入晶体管,其具有连接至所述第二输入晶体管的所述输出端的输出端,基于所述第二输入脉冲信号将所述第四输入晶体管驱动至导通以输出第四电压,所述第四电压是使所述第二输出晶体管导通的驱动电压的基础;第一自举电路,其放大所述第一电压的振幅,将所放大的第一电压提供到所述第一输出晶体管;及第一电压补偿电路,其基于第三输入脉冲信号使电压变化,所述电压变化的方向与所述第一电压中由于所述第一输入晶体管中的寄生电容在所述第一输入脉冲信号的结束时刻所引起的电压波动的方向相反。

[0011] 根据实施例的电平转换电路包括:第一晶体管,其具有连接至第一信号供应器的栅极,所述第一信号供应器提供源自第一输入信号的信号;第二晶体管,其具有被提供有第二输入信号的栅极、连接至所述第一晶体管的源极的漏极和连接至第一电源的源极;第三晶体管,其具有连接至第二信号供应器的栅极,所述第二信号供应器提供源自所述第二输入信号的信号;第四晶体管,其具有被提供有所述第一输入信号的栅极、连接至所述第三晶体管的源极的漏极和连接至所述第一电源的源极;第五晶体管,其具有连接至第二电源的漏极和连接至第三信号提供器的栅极,所述第三信号提供器提供源自所述第三晶体管的所述源极所输出信号的信号;第六晶体管,其具有连接至所述第一晶体管的所述源极的栅极、连接至所述第五晶体管的源极的漏极和连接至所述第一电源的源极;第一电容元件,其具有被提供有与所述第二输入信号同步的第三输入信号的第一端和连接至所述第三晶体管的所述源极的第二端;第二电容元件,其在所述第三晶体管的所述源极和所述第一电源之间;及第三电容元件,其在所述第五晶体管的所述栅极和所述源极之间。所述第五晶体管的所述源极输出等于或大于所述第一输入信号至所述第三输入信号的振幅的信号。

[0012] 根据实施例的电平转换电路包括:第一输入电路,其被提供有第一输入信号和第二输入信号;第二输入电路,其被提供有所述第一输入信号和所述第二输入信号;第一电容元件,其具有被提供有与所述第一输入信号同步的第三信号的第一端和连接至所述第二输入电路的输出端的第二端;第二电容元件,其在所述第二输入电路的所述输出端和电源之间;及输出电路,其基于所述第一输入电路的输出电压和所述第二输入电路的输出电压产生振幅大于所述第一输入信号至所述第三输入信号的输出信号。通过所述第三输入信号与所述第一电容元件和所述第二电容元件的组合补偿在所述第二输入电路的输出中由所述第二输入信号所导致的振幅波动。如在此所使用的,词语“补偿”是指在与所述第二输入信号所导致的振幅波动的方向相反的方向上应用振幅变化。在这里,相反方向上的所述振

幅变化的量不必与由所述第二输入信号所导致的所述振幅波动的量相同。相反方向上的所述振幅变化的所述量可等于、小于或大于由所述第二输入信号所导致的所述振幅波动的所述量。

[0013] 根据实施例的信号驱动电路包括：移位寄存器电路，其基于提供的控制信号产生脉冲信号，以向多个信号线以时分（time-divisional）方式依次输出所产生的脉冲信号；及电平转换电路，其基于一个或多个所述脉冲信号产生驱动信号，以向多个驱动信号线中的一个驱动信号线输出所产生的驱动信号，所述驱动信号的电压振幅等于或大于为所述驱动信号的基础的所述脉冲信号的电压振幅。所述电平转换电路包括：第一输出晶体管，其被驱动至导通以输出源自第一电源电压的电压；第二输出晶体管，其被驱动至导通以输出源自第二电源电压的电压；第一输入晶体管，其具有输出端，基于第一输入脉冲信号将所述第一输入晶体管驱动至导通以输出第一电压，所述第一电压是使所述第一输出晶体管导通的驱动电压的基础；第二输入晶体管，其具有输出端，基于所述第一输入脉冲信号将所述第二输入晶体管驱动至导通以输出第二电压，所述第二电压是使所述第二输出晶体管截止的驱动电压的基础；第三输入晶体管，其具有连接至所述第一输入晶体管的所述输出端的输出端，基于第二输入脉冲信号将所述第三输入晶体管驱动至导通以输出第三电压，所述第三电压是使所述第一输出晶体管截止的驱动电压的基础；第四输入晶体管，其具有连接至所述第二输入晶体管的所述输出端的输出端，基于所述第二输入脉冲信号将所述第四输入晶体管驱动至导通以输出第四电压，所述第四电压是使所述第二输出晶体管导通的驱动电压的基础；第一自举电路，其放大所述第一电压的振幅，将所放大的第一电压提供到所述第一输出晶体管；及第一电压补偿电路，其基于第三输入脉冲信号使电压变化，所述电压变化的方向与所述第一电压中由于所述第一输入晶体管中的寄生电容在所述第一输入脉冲信号的结束时刻所引起的电压波动的方向相反。

[0014] 根据实施例的显示装置包括：显示部件；及具有电平转换电路的显示控制部件，所述电平转换电路输出大于所提供的一个或多个信号的振幅的控制信号，所述显示控制部件基于所述控制信号驱动所述显示部件。所述电平转换电路包括：第一输出晶体管，其被驱动至导通以输出源自第一电源电压的电压；第二输出晶体管，其被驱动至导通以输出源自第二电源电压的电压；第一输入晶体管，其具有输出端，基于第一输入脉冲信号将所述第一输入晶体管驱动至导通以输出第一电压，所述第一电压是使所述第一输出晶体管导通的驱动电压的基础；第二输入晶体管，其具有输出端，基于所述第一输入脉冲信号将所述第二输入晶体管驱动至导通以输出第二电压，所述第二电压是使所述第二输出晶体管截止的驱动电压的基础；第三输入晶体管，其具有连接至所述第一输入晶体管的所述输出端的输出端，基于第二输入脉冲信号将所述第三输入晶体管驱动至导通以输出第三电压，所述第三电压是使所述第一输出晶体管截止的驱动电压的基础；第四输入晶体管，其具有连接至所述第二输入晶体管的所述输出端的输出端，基于所述第二输入脉冲信号将所述第四输入晶体管驱动至导通以输出第四电压，所述第四电压是使所述第二输出晶体管导通的驱动电压的基础；第一自举电路，其放大所述第一电压的振幅，将所放大的第一电压提供到所述第一输出晶体管；及第一电压补偿电路，其基于第三输入脉冲信号使电压变化，所述电压变化的方向与所述第一电压中由于所述第一输入晶体管中的寄生电容在所述第一输入脉冲信号的结束时刻所引起的电压波动的方向相反。

[0015] 根据实施例的电子装置包括：显示部件；处理部件，其执行预定处理；及显示控制部件，其具有电平转换电路，所述电平转换电路输出大于所述处理部件所提供的的一个或多个信号的振幅的控制信号，所述显示控制部件基于所述控制信号驱动所述显示部件。所述电平转换电路包括：第一输出晶体管，其被驱动至导通以输出源自第一电源电压的电压；第二输出晶体管，其被驱动至导通以输出源自第二电源电压的电压；第一输入晶体管，其具有输出端，基于第一输入脉冲信号将所述第一输入晶体管驱动至导通以输出第一电压，所述第一电压是使所述第一输出晶体管导通的驱动电压的基础；第二输入晶体管，其具有输出端，基于所述第一输入脉冲信号将所述第二输入晶体管驱动至导通以输出第二电压，所述第二电压是使所述第二输出晶体管截止的驱动电压的基础；第三输入晶体管，其具有连接至所述第一输入晶体管的所述输出端的输出端，基于第二输入脉冲信号将所述第三输入晶体管驱动至导通以输出第三电压，所述第三电压是使所述第一输出晶体管截止的驱动电压的基础；第四输入晶体管，其具有连接至所述第二输入晶体管的所述输出端的输出端，基于所述第二输入脉冲信号将所述第四输入晶体管驱动至导通以输出第四电压，所述第四电压是使所述第二输出晶体管导通的驱动电压的基础；第一自举电路，其放大所述第一电压的振幅，将所放大的第一电压提供到所述第一输出晶体管；及第一电压补偿电路，其基于第三输入脉冲信号使电压变化，所述电压变化的方向与所述第一电压中由于所述第一输入晶体管中的寄生电容在所述第一输入脉冲信号的结束时刻所引起的电压波动的方向相反。如在这里所使用的，词语“电子装置”是指任何期望提供恰当或良好形状的波形的装置。所述电子装置可以是例如但不限制为电视装置、数码相机、包括台式个人计算机和便携式个人计算机的计算机、包括手机的手持终端装置、摄像机及其它适当的装置。

[0016] 在根据上述实施例的所述电平转换电路、所述信号驱动电路、所述显示装置和所述电子装置中，在所述第一输入脉冲信号开始的时刻通过所述电平转换电路的输出电压的转变执行设定操作，在所述第二输入脉冲信号开始的时刻通过所述输出电压的另一转变执行复位操作以将其返回。换句话说，基于所谓的 SR（设定 / 复位）锁存功能进行操作。在所述设定操作中，响应于所述第一输入脉冲信号的开始导通所述第一输入晶体管，并将所述第一输入晶体管的所述输出电压设定为所述第一电压。通过所述第一自举电路放大所述第一电压，从所述电平转换电路的输出输出与所述第一输入脉冲信号的电压相比具有经放大电压的输出。此后，当所述第一输入脉冲信号结束时，所述第一输入晶体管截止，由此所述第一输入晶体管的输出变成浮动状态。在这里，通过所述第一输入晶体管中的所述寄生电容，将所述第一输入脉冲信号结束时的所述电压转变传输到所述第一输入晶体管的所述输出，由此导致所述电压波动。此时，当提供所述第三输入脉冲信号时，通过所述第一电压补偿电路将所述第三输入脉冲信号传输到所述第一输入晶体管的所述输出，由此在与所述电压波动的所述方向相反的方向上形成所述电压变化。由此，补偿了由所述第一输入脉冲信号的结束所导致的所述电压波动。所以，所述电平转换电路的所述输出也保持了所述输出电压。

[0017] 较佳地，所述第一电压补偿电路包括：第一电压补偿电容，其具有被提供有所述第三输入脉冲信号的第一端及连接至所述第一输入晶体管的所述输出端和所述第三输入晶体管的所述输出端的第二端；及第二电压补偿电容，其具有连接至所述第一输入晶体管的所述输出端和所述第三晶体管的所述输出端的第一端及被提供有所述第二电源电压的第

二端。较佳地,所述第一电压补偿电容和所述第二电压补偿电容中的每一电压补偿电容均使用晶体管的栅极氧化膜电容构成。

[0018] 较佳地,所述第三输入脉冲信号的结束时刻与所述第一输入脉冲信号的所述结束时刻相一致或在其之后。较佳地,通过反相所述第一输入脉冲信号或通过反相所述第一输入脉冲信号并延迟所反相的第一输入脉冲信号的相位产生所述第三输入脉冲信号。

[0019] 较佳地,所述电平转换电路还包括第二电压补偿电路,所述第二电压补偿电路基于第四输入脉冲信号使电压变化,所述电压变化的方向与所述第四电压中由于所述第四输入晶体管中的寄生电容在所述第二输入脉冲信号的结束时刻所引起的电压波动的方向相反。

[0020] 尤其是,所述第二电压补偿电路可应用到所述复位操作中。在所述复位操作中,响应于所述第二输入脉冲信号的开始导通所述第四输入晶体管,所述第四输入晶体管的所述输出电压设定成所述第四电压,响应于此,复位所述电平转换电路的所述输出电压。此后,当所述第二输入脉冲信号结束时,所述第四输入晶体管截止,借此所述第二输入晶体管的输出变成浮动状态。在这里,通过所述第四晶体管中的所述寄生电容将所述第二输入脉冲信号的结束时的所述电压转变传输至所述第四输入晶体管的所述输出,由此导致电压波动。此时,当提供所述第四输入脉冲信号时,通过所述第二电压补偿电路将所述第四输入脉冲信号传输至所述第四输入晶体管的所述输出,由此产生与所述电压波动的所述方向相反的所述电压变化。于是,补偿了所述第二输入脉冲信号的结束所导致的电压波动。因此,所述电平转换电路的所述输出也保持了所述输出电压。

[0021] 较佳地,所述第一自举电路包括在所述第一输出晶体管的控制端和所述输出端之间的第一自举电容。较佳地,所述第一自举电路还包括具有控制端的第一自举晶体管,所述第三电源电压提供到所述第一自举晶体管的所述控制端,所述第一自举晶体管在导通状态下向所述第一输出晶体管提供所述第一输入晶体管的输出电压或所述第三输入晶体管的输出电压。

[0022] 根据上述实施例的所述电平转换电路,所述信号驱动电路、所述显示装置和所述电子装置,提供所述第三输入脉冲信号,并设有所述第一电压补偿电路。因此,能够实现恰当或良好形状的内部波形、恰当或良好形状的输出波形或两者的同时实现低功耗。

[0023] 能够理解,前面的总体说明和后面的详细说明均是示范性的,旨在对所保护的发明进行说明。

附图说明

[0024] 所包含的附图是为更好地理解本发明,并构成说明书的一部分。附图与说明书一起说明了本发明的实施例并用于解释本发明的原理。

[0025] 图 1 是示出根据本发明的第一实施例的电平转换器的结构示例的电路图。

[0026] 图 2 是示出图 1 中所示电平转换器的操作示例的时序波形图。

[0027] 图 3 是示出根据对比示例的电平转换器的结构示例的电路图。

[0028] 图 4 是示出图 3 中所示电平转换器的操作示例的时序波形图。

[0029] 图 5 是示出根据第一实施例的第三变形的电平转换器的结构示例的电路图。

[0030] 图 6 是示出根据第一实施例的第四变形的电平转换器的结构示例的电路图。

- [0031] 图 7 是示出根据第一实施例的第五变形的电平转换器的结构示例的电路图。
- [0032] 图 8 是示出图 7 中所示电平转换器的操作示例的时序波形图。
- [0033] 图 9 是示出根据第一实施例的第六变形的电平转换器的结构示例的电路图。
- [0034] 图 10 是示出图 9 中所示电平转换器的操作示例的时序波形图。
- [0035] 图 11 是示出 N 沟道 MOS 晶体管的静态特性的示例的特性图。
- [0036] 图 12 是示出根据第一实施例的第七变形的电平转换器的结构示例的电路图。
- [0037] 图 13 是示出图 12 中所示电平转换器的操作示例的时序波形图。
- [0038] 图 14 是示出根据第二实施例的电平转换器的操作示例的时序波形图。
- [0039] 图 15 示出图 14 中所示电平转换器的详细操作的时序波形图。
- [0040] 图 16 示出图 1 中所示电平转换器的详细操作的时序波形图。
- [0041] 图 17 示出图 3 中所示电平转换器的详细操作的时序波形图。
- [0042] 图 18 是示出根据本发明的第三实施例的电平转换器的结构示例的电路图。
- [0043] 图 19 是示出图 18 中所示电平转换器的操作示例的时序波形图。
- [0044] 图 20 是示出根据第三实施例的变形的电平转换器的结构示例的电路图。
- [0045] 图 21 是示出图 20 中所示电平转换器的操作示例的时序波形图。
- [0046] 图 22 是示出根据本发明的第四实施例的电平转换器的结构示例的电路图。
- [0047] 图 23 是示出图 22 中所示电平转换器的操作示例的时序波形图。
- [0048] 图 24 是示出根据本发明的第五实施例的电平转换器的结构示例的电路图。
- [0049] 图 25 是示出图 24 中所示电平转换器的操作示例的时序波形图。
- [0050] 图 26 是示出根据应用示例的显示装置的结构示例的框图。
- [0051] 图 27 是示出图 26 中所示像素的结构示例的电路图。
- [0052] 图 28 是示出根据第一应用示例的扫描线驱动电路的结构示例的框图。
- [0053] 图 29 是示出图 28 中所示的扫描线驱动电路的操作示例的时序波形图。
- [0054] 图 30 是示出根据第二应用示例的扫描线驱动电路的结构示例的框图。
- [0055] 图 31 是示出图 30 中所示的扫描线驱动电路的操作示例的时序波形图。
- [0056] 图 32 是示出根据第三应用示例的扫描线驱动电路的结构示例的框图。
- [0057] 图 33 是示出图 32 中所示的扫描线驱动电路的操作示例的时序波形图。
- [0058] 图 34 是示出根据第四应用示例的扫描线驱动电路的结构示例的框图。
- [0059] 图 35 是示出图 34 中所示的扫描线驱动电路的操作示例的时序波形图。
- [0060] 图 36 是示出图 34 中所示的电平转换器的结构示例的电路图。
- [0061] 图 37 是示出根据第五应用示例的扫描线驱动电路的结构示例的框图。
- [0062] 图 38 是示出图 37 中所示的扫描线驱动电路的操作示例的时序波形图。
- [0063] 图 39 是示出第一运用示例的外形的立体图。
- [0064] 图 40A 是示出第二运用示例的外形的前视图,图 40B 是示出第二运用示例的外形的后视图。
- [0065] 图 41 是示出第三运用示例的外形的立体图。
- [0066] 图 42 是示出第四运用示例的外形的立体图。
- [0067] 图 43A 是第五运用示例的打开状态下的前视图,图 43B 是打开状态下的侧视图,图 43C 是关闭状态下的前视图,图 43D 是左侧视图,图 43E 是右侧视图,图 43F 是俯视图,图 43G

是仰视图。

具体实施方式

[0068] 此后,将参照附图详细说明本发明的一些实施例。以如下顺序给出说明。

[0069] 1. 第一实施例

[0070] 2. 第二实施例

[0071] 3. 第三实施例

[0072] 4. 第四实施例

[0073] 5. 第五实施例

[0074] 6. 应用示例(应用到显示装置)

[0075] 7. 运用示例(应用到电子装置)

[0076] 1. 第一实施例

[0077] 结构示例

[0078] 图1示出本发明的第一实施例的电平转换器的结构示例。作为由单沟道的MOS晶体管构成的电路的一个实施例,第一实施例描述了电平转换器10,电平转换器10使用N沟道MOS晶体管并基于所提供的信号输出大于该输入信号的振幅的信号。电平转换器10设有MOS晶体管11至17和电容元件21至25。

[0079] MOS晶体管11包括连接至输入端R的栅极、连接至电源PVDD1的漏极和连接至节点A的源极。MOS晶体管11在栅极和源极之间具有未图示的寄生电容。MOS晶体管12包括连接至输入端S的栅极、连接至节点A的漏极和连接至电源PVSS的源极。MOS晶体管13包括连接至输入端S的栅极、连接至电源PVDD1的漏极和连接至节点B的源极。MOS晶体管13在栅极和源极之间具有未图示的寄生电容。MOS晶体管14包括连接至输入端R的栅极、连接至节点B的漏极和连接至电源PVSS的源极。MOS晶体管15包括漏极、源极和连接至电源PVDD1的栅极,MOS晶体管15的漏极和源极中的一方连接至节点B而另一方连接至节点C。MOS晶体管16包括连接至节点C的栅极、连接至电压为VDD2的电源PVDD2的漏极和连接至输出端Out的源极,电压VDD2高于电源PVDD1的电压VDD1。MOS晶体管17包括连接至节点A的栅极、连接至输出端Out的漏极和连接至电源PVSS的源极。MOS晶体管11至17中每一晶体管均是由N沟道MOS晶体管构成。

[0080] 电容元件21在MOS晶体管16的栅极和源极之间。电容元件21构成自举部件B1。自举部件B1用于执行自举操作,下面将更详细说明。更具体地,电容元件21允许MOS晶体管16的栅极(即,节点C)的电压高于电压VDD2,以便当电平转换器10的输出电压处于高电平时允许将电源PVDD2的电压VDD2作为电压电平输出。

[0081] 电容元件22在输入端Sb和节点B之间。电容元件23在节点B和电源PVSS之间。电容元件22和23构成电压补偿部件B2。如下面将更加详细说明的,当节点B在浮动状态时,电压补偿部件B2用作仅以与电容元件22和电容元件23的电容值之比相对应的振幅量将从Sb端输入的反相设定信号VSb传输到节点B。该电容比设定成如下值,即在该值下,如下面所说明的,反相设定信号VSb抵消由设定信号VS的下降所导致的出现在节点B中的电压变化(电压波动)。

[0082] 电容元件24在输入端Rb和节点A之间。电容元件25在节点A和电源PVSS之间。

电容元件 24 和 25 构成电压补偿部件 B3。如下面将更加详细说明的,当节点 A 在浮动状态时,电压补偿部件 B3 用作仅以与电容元件 24 和电容元件 25 的电容值之比相对应的振幅量将从 Rb 端输入的反相复位信号 VRb 传输到节点 A。该电容比设定成如下值,即在该值下,如下面所说明的,反相复位信号 VRb 抵消由复位信号 VR 的下降所导致的出现在节点 A 中的电压变化(电压波动)。

[0083] 输入端 S 被提供有设定信号 VS,输入端 R 被提供有复位信号 VR。输入端 Sb 被提供有反相设定信号 VSb,输入端 Rb 被提供有反相复位信号 VRb。在该实施例中,这些信号的高电平电压 VIH 与电源 PVDD1 的电压 VDD1 相同,这些信号的低电平电压 VIL 与电源电压 PVSS 的电压 VSS 相同。

[0084] 电源 PVDD1 向电平转换器 10 中除输出部件(即, MOS 晶体管 16 和 17)之外的部件提供功率,电源 PVDD2 向这些输出部件提供功率。电源 PVDD2 用于设定电平转换器 10 的输出信号 VOut 的高电平电压,及驱动在后级中连接的电路。

[0085] 使用上述结构,电平转换器 10 基于输入信号操作,输出振幅(电压 VDD2- 电压 VSS)比输入信号的振幅(电压 VDD1- 电压 VSS)大的信号。更具体地,如下所述,电平转换器 10 操作以在从设定信号 VS 的上升到复位信号 VR 的上升的时间周期期间输出电压 VDD2(即,高电平),而除此之外则操作以输出电压 VSS(即,低电平)。

[0086] 在这里, MOS 晶体管 16 和 MOS 晶体管 17 分别对应于“第一输出晶体管”和“第二输出晶体管”的说明性示例。MOS 晶体管 13 和 MOS 晶体管 12 分别对应于“第一输入晶体管”和“第二输入晶体管”的说明性示例。MOS 晶体管 14 和 MOS 晶体管 11 分别对应于“第三输入晶体管”和“第四输入晶体管”的说明性示例(这些示例是说明性的而非限制性的)。

[0087] 自举部件 B 1 对应于“第一自举电路”的说明性示例。MOS 晶体管 15 和电容元件 21 分别对应于“第一自举晶体管”和“第一自举电容”的说明性示例(这些示例是说明性的而非限制性的)。

[0088] 电压补偿部件 B2 对应于“第一电压补偿电路”的说明性示例。电容元件 22 和电容元件 23 分别对应于“第一电压补偿电容”和“第二电压补偿电容”的说明性示例。电压补偿部件 B3 对应于“第二电压补偿电路”的说明性示例(这些示例是说明性的而非限制性的)。

[0089] 电源 PVDD2 的电压 VDD2 对应于“第一电源电压”的说明性示例。电源 PVSS 的电压 VVSS 对应于“第二电源电压”的说明性示例。电源 PVDD1 的电压 VDD1 对应于“第三电源电压”的说明性示例(这些示例是说明性的而非限制性的)。

[0090] 设定信号 VS 和复位信号 VR 分别对应于“第一输入脉冲信号”和“第二输入脉冲信号”的说明性示例。反相设定信号 VSb 和反相复位信号 VRb 分别对应于“第三输入脉冲信号”和“第四输入脉冲信号”的说明性示例(这些示例是说明性的而非限制性的)。

[0091] 操作和效果

[0092] 操作概要

[0093] 首先,将说明根据第一实施例的电平转换器 10 的操作和效果。

[0094] 图 2 示出电平转换器 10 的操作的时序波形图,其中, (A) 示出设定信号 VS 的波形, (B) 示出复位信号 VR 的波形, (C) 示出反相设定信号 VSb 的波形, (D) 示出反相复位信号 VRb 的波形, (E) 示出节点 A 的电压 VA 的波形, (F) 示出节点 B 的电压 VB 的波形, (G) 示出

节点 C 的电压 VC 的波形, (H) 示出输出信号 VOut 的波形。

[0095] 首先, 设定信号 VS 上升 (图 2 的 (A)) 以执行自举操作, 节点 C 的电压 VC (图 2 的 (G)) 上升或升高至比电压 VDD2 高的电位, 输出信号 VOut 处于电压 VDD2 (即, 处于高电平) (图 2 的 (H))。当设定信号 VS 下降时 (图 2 的 (A)), 相应地节点 C 的电压 VC 出现电压变化 (电压波动), 但由于反相设定信号 VSb 的紧接着的上升而在反方向上出现电压变化, 并由此抵消这些电压变化 (图 2 的 (G))。由此, 输出信号 VOut 保持在电压 VDD2 (图 2 的 (H))。

[0096] 接着, 复位信号 VR 的上升 (图 2 的 (B)) 使节点 C 的电压 VC 降至电压 VSS (图 2 的 (G)), 节点 A 的电压 VA 增加 (图 2 的 (E)), 输出信号 VOut 处于电压 VSS (即, 低电平) (图 2 的 (H))。当复位信号 VR 下降时 (图 2 的 (B)), 相应地节点 A 的电压 VA 出现电压变化 (电压波动), 但由于反相复位信号 VRb 的紧接着的上升而在反方向上出现电压变化, 并由此抵消这些电压变化 (图 2 的 (E))。由此, 输出信号 VOut 保持在电压 VSS (图 2 的 (H))。

[0097] 详细操作

[0098] 将参照图 1 和图 2 详细说明电平转换器 10 的操作。

[0099] 首先, 当设定信号 VS 从电压 VSS 上升到电压 VDD1 时 (图 2 的 (A)), MOS 晶体管 12 导通, 节点 A 的电压 VA 降低至电压 VSS (图 2 的 (E))。此时, MOS 晶体管 13 导通, 节点 B 的电压 VB 上升至仅比电压 VDD1 低如下量的电压 ($VDD1 - V_{th}(13)$), 该量对应于 MOS 晶体管 13 的阈值电压 $V_{th}(13)$ (图 2 的 (F))。由此, MOS 晶体管 17 截止且 MOS 晶体管 16 导通, 使得输出信号 VOut 的电压上升。此时, 电荷对电容元件 21 充电, 电容元件 21 两端之间的电压差变成大于 MOS 晶体管 16 的阈值电压 $V_{th}(16)$ 。当输出信号 VOut 进一步上升时, 由于电容元件 21 两端之间的电压差保持 (即, 自举操作), 节点 C 的电压 VC 同时上升, 则 MOS 晶体管 15 截止。节点 C 的电压 VC 最终上升到电压 V0boot, 电压 V0boot 高于 MOS 晶体管 16 的阈值电压 $V_{th}(16)$ 和电压 VDD2 的电压和 ($VDD2 + V_{th}(16)$) (图 2 的 (G))。因此, 输出信号 VOut 上升到电压 VDD2 (图 2 的 (H))。

[0100] 由下面的表达式 (1) 表示上述自举操作中 MOS 晶体管 16 的自举增益 Gboot :

[0101] $G_{boot} = (C_g + C_{21}) / (C_g + C_{21} + C_C)$ 表达式 (1)

[0102] 其中, C_g 是 MOS 晶体管 16 的栅极电容, C_{21} 是电容元件 21 的电容值, C_C 是节点 C 上除 C_g 和 C_{21} 之外的电容。自举操作随着自举增益 Gboot 变大则更加可靠地操作。为了增加自举增益 Gboot, 优选地, 栅极电容 C_g 和电容元件 21 的电容 C_{21} 的和充分大于节点 C 的电容 C_C 。并且, 在这个实施例中配置 MOS 晶体管 15, MOS 晶体管 15 在自举操作时截止。因此, 与未配置 MOS 晶体管 15 的情况相比, 未连接电容元件 23 的电容 C_{23} 、MOS 晶体管 13 的源极电容 C_s 、MOS 晶体管 14 的漏极电容 C_d 和节点 B 的电容。因此, 能够降低表达式 (1) 中的电容 C_C , 并由此增加自举增益 Gboot。

[0103] 此后, 当设定信号 VS 从电压 VDD1 降低至电压 VSS (图 2 的 (A)) 时, MOS 晶体管 12 截止, 节点 A 转变成浮动状态, 使得节点 A 的电压 VA 保持在之前的电压 (即, 电压 VSS) (图 2 的 (E))。此时, MOS 晶体管 13 也截止, 节点 B 转变成浮动状态, 使得节点 B 的电压 VB 也试图保持之前的电压 (即, $VDD1 - V_{th}(13)$)。然而, 由于 MOS 晶体管 13 的栅极和源极之间的寄生电容, 节点 B 的电压 VB 随着设定信号 VS 的电压降低而稍微降低 (图 2 的 (F))。由此, 节点 C 的电压 VC 也稍微降低 (图 2 的 (G)), 输出信号 VOut 的电压也开始稍微降低 (图 2 的 (H))。

[0104] 然而,紧接着,反相设定信号 VSb 从电压 VSS 上升到电压 VDD1(图 2 的 (C))。通过电容元件 22 将电压的这种上升传输到节点 B,因而节点 B 的电压 VB 稍微上升,以抵消节点 B 的之前的电压降低的对应量(图 2 的 (F))。由此,同样地抵消了节点 C 的电压 VC 的电压降低的量(图 2 的 (G)),输出信号 VOut 保持在电压 VDD2(图 2 的 (H))。

[0105] 然后,当复位信号 VR 从电压 VSS 上升至电压 VDD1 时(图 2 的 (B)),MOS 晶体管 14 导通以使节点 B 的电压 VB 降低至电压 VSS(图 2 的 (F)),MOS 晶体管 15 导通以同样使节点 C 的电压 VC 降低至电压 VSS(图 2 的 (G))。此时,MOS 晶体管 11 导通,节点 A 的电压 VA 上升至仅比电压 VDD1 低如下量的电压($VDD1 - V_{th}(11)$),该量对应于 MOS 晶体管 11 的阈值电压 $V_{th}(11)$ (图 2 的 (E))。因此,MOS 晶体管 17 导通,MOS 晶体管 16 截止,由此使输出信号 VOut 降低至电压 VSS(图 2 的 (H))。

[0106] 此后,当复位信号 VR 从电压 VDD1 降低至电压 VSS 时(图 2 的 (B)),MOS 晶体管 14 截止,节点 B 和 C 均转变成浮动状态,使得节点 B 的电压 VB 和节点 C 的电压 VC 中每一个电压均保持在之前的电压(即,电压 VSS)(图 2 的 (F) 和 (G))。此时,MOS 晶体管 11 也截止,节点 A 转变成浮动状态,使得节点 A 的电压 VA 也试图保持之前的电压(即, $VDD1 - V_{th}(11)$)。然而,由于 MOS 晶体管 11 的栅极和源极之间的寄生电容,节点 A 的电压 VA 随着复位信号 VR 的电压降低而稍微降低(图 2 的 (E))。此时,在由于节点 A 的电压 VA 转变成小于 MOS 晶体管 17 的阈值电压 $V_{th}(17)$ 而 MOS 晶体管 17 不再足以保持导通状态的情况下,输出信号 VOut 可能依赖于电平转换器 10 的输出端 Out 中的负载状态而稍微上升(图 2 的 (H))。

[0107] 然而,紧接着,反相复位信号 VRb 从电压 VSS 上升到电压 VDD1(图 2 的 (D))。通过电容元件 24 将电压的这种上升传输到节点 A,因而节点 A 的电压 VA 稍微上升,以抵消节点 A 的之前的电压降低的对应量(图 2 的 (E))。由此,输出信号 VOut 保持在电压 VSS(图 2 的 (H))。

[0108] 因此,在电平转换器 10 中,通过紧接着输入的反相设定信号 VSb 的上升抵消了在输入设定信号 VS 的下降中出现的节点 B 的电压 VB、节点 C 的电压 VC 和输出信号 VOut 的电压变化(图 2 的 (F) 至 (H))。同样,通过紧接着输入的反相复位信号 VRb 的上升抵消了在输入复位信号 VR 的下降中出现的节点 A 的电压 VA 和输出信号 VOut 的电压变化(图 2 的 (E) 和 (H))。

[0109] 通过反相设定信号 VSb、反相复位信号 VRb 和电容元件 22 至 25 实现了上述抵消操作。在下文中,将详细说明反相设定信号 VSb 和反相复位信号 VRb 的时序及电容元件 22 至 25 的电容值。

[0110] 反相设定信号 VSb 和反相复位信号 VRb 的时序

[0111] 首先,将说明反相设定信号 VSb 和反相复位信号 VRb 的时序。

[0112] 参照图 2,反相设定信号 VSb 的上升时刻设定成就在设定信号 VS 的降落之后。在这里,由于当反相设定信号 VSb 上升时设定信号 VS 处于电压 VSS,所以 MOS 晶体管 13 处于截止状态,节点 B 处于浮动状态。因而,通过电容元件 22 将反相设定信号 VSb 的上升传输至节点 B,节点 B 的电压 VB 出现电压变化。因此,在节点 B 的电压 VB 中,由反相设定信号 VSb 所导致的在反方向上的电压变化就在由设定信号 VS 的下降所导致的电压变化之后出现,以抵消这些电压变化(图 2 的 (F))。这能够最大程度地抑制电平转换器 10 的内部波形和输出波形的恶化。

[0113] 另外,在从设定信号 VS 的下降到反相设定信号 VSb 的上升的时间周期期间,在节点 B 的电压 VB、节点 C 的电压 VC 和输出信号 VOut 上出现电压变化(图 2 的 (F) 至 (H))。因此,优选地,反相设定信号 VSb 的上升与设定信号 VS 的下降是同时的或是就在其之后。

[0114] 例如,如果反相设定信号 VSb 的上升的时刻设定成就在设定信号 VS 的下降之前,则当反相设定信号 VSb 上升时设定信号 VS 仍处于电压 VDD。因此,MOS 晶体管 13 处于导通状态,节点 B 处于低阻抗状态。结果,即使当反相设定信号 VSb 上升时,在节点 B 的电压 VB 上也几乎不出现该信号。因此,仅保持由设定信号 VS 的下降所导致的电压变化,由此使电平转换器 10 的内部波形和输出波形恶化。

[0115] 对于反相复位信号 VRb 的上升的时序也是如此。也就是说,参照附图 2,反相复位信号 VRb 上升的时刻设定成就在复位信号 VR 下降之后。在这里,由于在反相复位信号 VRb 上升时复位信号 VR 处于电压 VSS,所以 MOS 晶体管 11 处于截止状态,节点 A 处于浮动状态。因此,通过电容元件 24 将反相复位信号 VRb 的上升传输到节点 A,在节点 A 的电压 VA 上出现电压变化。结果,在节点 A 的电压 VA 中,由于反相复位信号 VRb 所导致的在反方向上的电压变化就在由复位信号 VR 的下降所导致的电压变化之后出现,以抵消这些电压变化(图 2 的 (E))。这能够最大程度地抑制电平转换器 10 的内部波形和输出波形的恶化。

[0116] 另外,在从复位信号 VR 的下降到反相复位信号 VRb 上升的时间周期期间,在节点 A 的电压 VA 和输出信号 VOut 上出现电压变化(图 2 的 (E) 和 (H))。因此,优选地,反相复位信号 VRb 的上升与复位信号 VR 的下降是同时的或是就在其之后。

[0117] 例如,如果反相复位信号 VRb 的上升的时刻设定成就在复位信号 VR 的下降之前,则当反相复位信号 VRb 上升时复位信号 VR 仍处于电压 VDD。因此,MOS 晶体管 11 处于导通状态,节点 A 处于低阻抗状态。结果,即使当反相复位信号 VRb 上升时,在节点 A 的电压 VA 上也几乎不出现该信号。因此,仅保持由复位信号 VR 的下降所导致的电压变化。由此,使电平转换器 10 的内部波形和输出波形恶化。

[0118] 由于上述原因,期望反相设定信号 VSb 的上升的时刻与设定信号 VS 的下降是同时的或在其之后(即,同时发生或跟随其后),优选地,反相设定信号 VSb 的上升的时刻就在设定信号 VS 的下降之后。并且,期望反相复位信号 VRb 的上升的时刻与复位信号 VR 的下降是同时的或在其之后(即,同时发生或跟随其后),优选地,反相复位信号 VRb 的上升的时刻就在设定信号 VS 的下降之后。为实现此目的,优选地,例如,使用反相器等将设定信号 VS 反相,以产生反相设定信号 VSb。类似地,优选地,例如,使用反相器等将复位信号 VR 反相,以产生反相复位信号 VRb。

[0119] 电容元件 22 至 25 的电容值

[0120] 下面说明电容元件 22 至 25 的电容值。

[0121] 如上文已说明,反相设定信号 VSb 的上升操作以抵消由于设定信号 VS 的下降所导致的节点 B 的电压 VB 的变化。这意味着通过电容元件 22 出现在节点 B 上的由反相设定信号 VSb 的上升所导致的电压变化的量期望设定成几乎等于由设定信号 VS 的下降所导致的节点 B 的电压变化的量。对于设定由反相设定信号 VSb 的上升所导致的节点 B 的电压变化量的方式,例如,可使用电容元件 22 和 23 的电容比。

[0122] 由下面的表达式 (2) 表示反相设定信号 VSb 对节点 B 的电压 VB 的传输量 TS:

[0123] $TS = C22 / (C22 + C23)$ 表达式 (2)

[0124] 其中, C22 是电容元件 22 的电容值, C23 是电容元件 23 的电容值。也就是说, 由电容元件 22 和 23 的电容比确定传输量 TS。因此, 执行下面的内容: 通过如下方式获得传输量 TS, 即, 使将反相设定信号 VSb 的振幅 (即, 电压 VDD1- 电压 VSS) 与传输量 TS 相乘而获得的量与由设定信号 VS 所导致的节点 B 的电压变化量相等; 及基于所获得的传输量 TS 和表达式 (2) 确定电容元件 22 和 23 的电容值。这些电容元件 22 和 23 的使用能够借助由反相设定信号 VSb 的上升所导致的节点 B 的电压变化量抵消由设定信号 VS 的下降所导致的节点 B 的电压变化量。

[0125] 注意, 表达式 (2) 中省略了诸如 MOS 晶体管上的寄生电容之类的寄生电容。也就是说, 为了精确地建立表达式 (2), 优选地, 电容 C22 和 C23 应当充分大于这些寄生电容。或者, 也可适当考虑这些寄生电容来确定表达式 (2) 中的电容 C22 和 C23。

[0126] 对于电容元件 24 和 25 的电容值也是如此。也就是说, 例如, 对于设定由反相复位信号 VRb 的上升所导致的节点 A 的电压变化量的方式, 例如, 可使用电容元件 24 和 25 的电容比。

[0127] 由下面的表达式 (3) 表示反相复位信号 VRb 对节点 A 的电压 VA 的传输量 TR:

[0128] $TR = C24 / (C24 + C25)$ 表达式 (3)

[0129] 其中, C24 是电容元件 24 的电容值, C25 是电容元件 25 的电容值。也就是说, 由电容元件 24 和 25 的电容比确定传输量 TR。因此, 执行下面的内容: 通过如下方式获得传输量 TR, 即, 使将反相复位信号 VRb 的振幅 (即, 电压 VDD1- 电压 VSS) 与传输量 TR 相乘而获得的量与由复位信号 VR 所导致的节点 A 的电压变化量相等; 及基于所获得的传输量 TR 和表达式 (3) 确定电容元件 24 和 25 的电容值。这些电容元件 24 和 25 的使用能够借助由反相复位信号 VRb 的上升所导致的节点 A 的电压变化量抵消由复位信号 VR 的下降所导致的节点 A 的电压变化量。

[0130] 注意, 表达式 (3) 中省略了诸如 MOS 晶体管上的寄生电容之类的寄生电容。也就是说, 为了精确地建立表达式 (3), 优选地, 电容 C24 和 C25 应当充分大于这些寄生电容。或者, 也可适当考虑这些寄生电容来确定表达式 (3) 中的电容 C24 和 C25。

[0131] 因此, 电容元件 22 至 25 的电容值的适当设定能够抵消由设定信号 VS 的下降和复位信号 VR 的下降所导致的内部波形的电压变化。

[0132] 而且, 在电源 PVDD1 和电源 PVSS 之间及电源 PVDD2 和电源 PVSS 之间串联连接的 MOS 晶体管以互补的方式工作。也就是说, 在 MOS 晶体管 11 和 12 的组合、晶体管 13 和 14 的组合以及晶体管 16 和 17 的组合的每一组合中, 当 MOS 晶体管中的一方处于导通状态时另一方处于截止状态, MOS 晶体管中的两个 MOS 晶体管不同时转变成导通状态。因此, 由于不流动静态直通电流, 所以能够实现低功耗。

[0133] 抗泄露

[0134] 现在, 将说明对电容元件 21 中所充电电荷的抗泄露。

[0135] 通过在输出信号 VOut 处于高电平时将节点 C 的电压 VC 设定成高于电压 VDD2 与 MOS 晶体管 16 的阈值电压 Vth(16) 的电压和 (VDD2+Vth(16)), 将对电容元件 21 中所充电电荷的抗泄露增加相应的量。在下文中, 将对其做出说明。

[0136] 图 16 示出输出信号 VOut 上升至高电平时电平转换器 10 的操作的时序波形图, 其中 (A) 示出节点 C 上的电压 VC 的波形, (B) 示出输出信号 VOut 的波形。图 16 示出节点 C

的电压 VC 随时间推移而降低的情况下的操作,例如,节点 C 的电压 VC 的降低是基于如下假定,即电容元件 21 中所充电电荷通过 MOS 晶体管 15 泄露。为了便于说明,在图 16 中重点强调其泄露量。

[0137] 电平转换器 10 能够在输出信号 VOut 处于高电平时保持电压 VDD2。也就是说,如图 16 的 (A) 所示,尽管电压 VC 通过自举操作从电压 VSS 上升至高电平之后由于泄露而逐渐降低,但节点 C 的电压 VC 总大于电压 $(VDD2+V_{th}(16))$ 。因此,如图 16 的 (B) 所示,输出信号 VOut 能够在整个超越周期内保持电压 VDD2。

[0138] 这是因为当反相设定信号 VSb 上升时(图 2 的 (C))节点 C 的电压 VC 也上升或抬升(图 2 的 (G))。也就是说,在电平转换器 10 中,节点 C 的电压 VC 设定成相对高的电平,使得即使当泄露使电压 VC 降落时,电压 VC 降低至电压 $(VDD2+V_{th}(16))$ 也需要较长的时间。因此,改善了抗泄露。

[0139] 对于当输出信号 VOut 处于低电平时的情况也是如此。也就是说,在电平转换器 10 中,如图 2 所示,在反相复位信号 VRb 的上升中,节点 A 的电压 VA 设定成高于电压 $(VDD1+V_{th}(11))$ 。此时,在图 1 中,例如处于浮动状态的节点 A 中的电荷通过 MOS 晶体管 12 泄露时,节点 A 的电压 VA 随时间推移而逐渐降低。然而,节点 A 的电压 VA 设定成相对高,使得即使当泄露使电压 VA 降落时,电压 VA 降低至 MOS 晶体管 17 的阈值电压 $V_{th}(17)$ 也需要较长的时间。因此,改善了抗泄露。

[0140] 对比示例

[0141] 现在,将说明根据对比示例的电平转换器 10R。对比示例与上述第一实施例的不同在于:不输入反相设定信号和反相复位信号。也就是说,在上述第一实施例中,使用反相设定信号 VSb 抵消由设定信号 VS 所导致的节点 B 上的电压变化,使用反相复位信号 VRb 抵消由复位信号 VR 所导致的节点 A 上的电压变化。然而,在这个对比示例中,不抵消这些电压。注意,使用相同的附图标记来表示与上述第一实施例的电平转换器 10 中的元件相同或等同的元件,不对其做详细的说明。

[0142] 图 3 示出根据对比示例的电平转换器 10R 的结构示例。在根据上述第一实施例的电平转换器 10 中,配置电容元件 22 至 25,然而,在根据对比示例的电平转换器 10R 中,不配置或省略电容元件 22 至 25。对比示例中的其它结构与图 1 中所示的上述第一实施例的结构相类似。

[0143] 图 4 示出电平转换器 10R 的操作的时序波形图,其中,(A) 示出设定信号 VS 的波形,(B) 示出复位信号 VR 的波形,(C) 示出节点 A 上的电压 VA 的波形,(D) 示出节点 B 上的电压 VB 的波形,(E) 示出节点 C 上的电压 VC 的波形,(F) 示出输出信号 VOut 的波形。

[0144] 在电平转换器 10R 中,在设定信号 VS 上升且输出信号 VOut 上升至高电平之后设定信号 VS 下降时,通过 MOS 晶体管 13 的栅极和源极之间的寄生电容将设定信号 VS 的下降传输到节点 B。因此,节点 B 的电压 VB 从之前的电压 $(VDD1-V_{th}(13))$ 稍微降低,此后仍保持该低电压(图 4 的 (D) 中的波形 L2)。由此,在节点 C 的电压 VC 稍微降低之后,节点 C 的电压 VC 也保持稍微降低后的电压(图 4 的 (E) 中的波形 L2),同样地,在输出信号 VOut 的电压稍微降低之后,输出信号 VOut 的电压也随之保持稍微降低后的电压(图 4 的 (F) 中的波形 L2)。

[0145] 此后,在复位信号 VR 上升且输出信号 VOut 降低至低电平之后复位信号 VR 下降时

(图 4 的 (B)), 通过 MOS 晶体管 11 的栅极和源极之间的寄生电容将复位信号 VR 的下降传输到节点 A。因此, 节点 A 上的电压 VA 从之前的电压 ($V_{DD1} - V_{th}(11)$) 稍微降低, 此后仍保持该低电压 (图 4 的 (C) 中的波形 L2)。由此, 在由于节点 A 的电压 VA 转变成低于 MOS 晶体管 17 的阈值电压 $V_{th}(17)$ 而 MOS 晶体管 17 不再足以保持导通状态的情况下, 输出信号 VOut 依赖电平转换器 10R 的输出端 Out 上的负载状态而稍微上升 (图 4 的 (F) 中的波形 L2)。

[0146] 由于上述原因, 在电平转换器 10R 中, 当所输入的设定信号 VS 下降时, 在节点 B 的电压 VB、节点 C 的电压 VC 和输出信号 VOut 上出现电压变化, 且随之保持这些状态。并且, 当所输入的复位信号 VR 下降时, 在节点 A 的电压 VA 和输出信号 VOut 上出现电压变化, 且随之保持这些状态。在其每个波形 L2 中, 在高电平电压和低电平电压之间出现变化, 例如, 振幅在中间过程降低。因此, 在其每个波形 L2 中, 与基于理想操作的波形 L1 相比, 波形的品质恶化。因而, 在电平转换器 10R 中, 由于内部信号的波形的恶化而降低了噪声容限, 可能会导致故障或错误。并且, 在电平转换器 10R 中, 输出信号的波形的恶化可能会在后级连接的电路导致故障或错误。

[0147] 相对比的是, 在根据第一实施例的电平转换器 10 中, 在所输入的设定信号 VS 下降时发生的节点 B 的电压 VB、节点 C 的电压 VC 和输出信号 VOut 上的电压变化通过紧接着输入的反相设定信号 VSb 的上升来抵消。并且, 在所输入的复位信号 VR 下降时发生的节点 A 的电压 VA 和输出信号 VOut 上的电压变化通过紧接着输入的反相复位信号 VRb 的上升来抵消。因而, 电平转换器 10 能够使内部信号的波形具有恰当或良好形状的波形, 以防止故障或错误, 实现稳定操作。并且, 电平转换器 10 能够使输出信号的波形具有恰当或良好形状的波形, 以防止在后级连接的电路中的故障或错误。

[0148] 现在, 将说明抗泄露。如上所述, 电平转换器 10R 并不具有通过反相设定信号 VSb 改变节点 C 的电压 VC 的功能。因此, 如下所述, 电平转换器 10R 的抗泄露性低。

[0149] 图 17 示出输出信号 VOut 上升至高电平时电平转换器 10R 中的操作的时序波形图, 其中, (A) 示出节点 C 的电压 VC 的波形, (B) 示出输出信号 VOut 的波形。

[0150] 如图 17 的 (A) 所示, 在节点 C 的电压 VC 通过自举操作从电压 VSS 上升至高电平之后, 由于泄露而逐渐降低。然后, 在某个时候, 节点 C 的电压 VC 降低至低于电压 ($V_{DD2} + V_{th}(16)$)。对于输出信号 VOut, 如图 17 的 (B) 所示其电压电平就从那时起相应地逐渐降低, 输出振幅逐渐降低。

[0151] 对于输出信号 VOut 处于低电平时的情况也是如此。也就是说, 在电平转换器 10R 中, 如图 4 所示, 复位信号 VR 下降时, 节点 A 的电压 VA 稍微降低, 此后保持该稍微下降的电压 (图 4 的 (C))。此时, 在图 3 中, 当处于浮动状态的节点 A 中的电荷例如通过 MOS 晶体管 12 泄露时, 节点 A 的电压 VA 随时间推移逐渐降低。此时, 在由于节点 A 的电压 VA 转变成低于 MOS 晶体管 17 的阈值电压 $V_{th}(17)$ 而 MOS 晶体管 17 不再足以保持导通状态的情况下, 输出信号 VOut 可能依赖电平转换器 10R 的输出端 Out 上的负载状态而从电压 VSS 稍微上升, 同样输出振幅可能降低。

[0152] 由于这些原因, 在根据对比示例的电平转换器 10R 中, 当节点 C 和 A 中的电荷泄露时, 输出信号 VOut 的振幅可能随时间推移而降低。因此, 电平转换器 10R 可能会在后级连接的电路导致故障或错误。也就是说, 根据对比示例的电平转换器 10R 抗泄露性低。

[0153] 相比之下,与根据对比示例的电平转换器 10R 相比,根据第一实施例的电平转换器 10 抗泄露性高,输出振幅不会降低。因此,不会在后级连接的电路中发生故障或错误。

[0154] 结论

[0155] 因此,根据所述第一实施例,配置电容元件 22 至 25,通过电容元件 22 将反相设定信号传输到节点 B,通过电容元件 24 将反相复位信号传输到节点 A。于是,抵消了由于设定信号和复位信号所导致的内部信号和输出信号的电压变化。因此,能够实现恰当或良好形状的内部波形和恰当或良好形状的输出波形。

[0156] 并且,在电源 PVDD1 和电源 PVSS 之间及电源 PVDD2 和电源 PVSS 之间串联连接的 MOS 晶体管以互补的方式工作。因而,不流动静态直通电流。因此,能够实现低功耗。

[0157] 再者,使输出部件执行自举操作。因此,能够输出振幅比输入信号的振幅大的信号。

[0158] 第一变形

[0159] 在所述第一实施例中,反相设定信号 VSb 和反相复位信号 VRb 的高电平电压 VIH 设定成电压 VDD1,其低电平电压 VIL 设定成电压 VSS,但并未将其限制为此。其高电平电压 VIH 和低电平电压 VIL 例如均可设定成代替电压 VDD1 和 VSS 的可选择电压。在这个变形中,如在上述第一实施例中所述,使用表达式 (2) 和 (3) 确定电容元件 22 至 25 的电容值,以抵消由于设定信号和复位信号所导致的内部信号和输出信号的电压变化。

[0160] 根据这种结构,例如在制造电路之后,能够调整反相设定信号 VSb 和反相复位信号 VRb 的高电平电压 VIH 和低电平电压 VIL,以改变内部信号和输出信号的电压变化量。也能够实现如下结构,即总是监视电平转换器的输出波形并控制反相设定信号 VSb 和反相复位信号 VRb 的高电平电压 VIH 和低电平电压 VIL,使得不出现波形的恶化。

[0161] 第二变形

[0162] 在上述第一实施例中,反相设定信号 VSb 是通过使设定信号 VS 反相而获得的信号,但并未将其限制为此。反相设定信号 VSb 可以是任何信号,只要该信号满足如下条件:反相设定信号 VSb 的上升与设定信号 VS 的下降是同时的或在其之后;及反相设定信号 VSb 的下降处于设定信号 VS 为高电平的周期内。相似地,在上述第一实施例中,反相复位信号 VRb 是通过使复位信号 VR 反相而获得的信号,但并未将其限制为此。反相复位信号 VRb 可以是任何信号,只要该信号满足如下条件:反相复位信号 VRb 的上升与复位信号 VR 的下降是同时的或在其之后;及反相复位信号 VRb 的下降处于复位信号 VR 为高电平的周期内。因而,没有必要必须通过分别将设定信号 VS 和复位信号 VR 反相来产生反相设定信号 VSb 和反相复位信号 VRb,例如可使用满足所述条件的现有可选择信号。因此,能够增加选择反相设定信号 VSb 和反相复位信号 VRb 的自由度。

[0163] 第三变形

[0164] 在所述第一实施例中,利用电容元件 22 至 25 实现用于将反相设定信号 VSb 和反相复位信号 VRb 传输到电路中的电容,但并未将其限制为此。例如,可使用 MOS 晶体管配置替代电容元件 22 至 25 的电容。图 5 示出根据第三变形的电平转换器 10A 的结构示例,其使用 MOS 晶体管作为电容。该第三变形的电平转换器 10A 利用 MOS 晶体管 22a 至 25a 的栅极氧化膜电容来配置电容。

[0165] 通常, MOS 晶体管的寄生电容随着利用 MOS 晶体管的电容因过程变化而变化。如

图 5 所示的使用 MOS 晶体管的电容的配置使 MOS 晶体管的寄生电容和利用 MOS 晶体管的电容类似变化。因此,对特性的影响较小。也就是说,使用图 5 所示的结构能够提高耐过程变化的能力。

[0166] 第四变形

[0167] 在上述第一实施例中,使用单栅极 MOS 晶体管,但并未将其限制为此。例如,也可使用代替单栅极 MOS 晶体管的双栅极 MOS 晶体管或三栅极 MOS 晶体管。图 6 示出了根据第四变形的电平转换器 10B 的结构示例,其使用双栅极 MOS 晶体管。在根据该变形的电平转换器 10B 中,由双栅极 MOS 晶体管代替第一实施例的电平转换器 10 中的 MOS 晶体管 11 至 15。由此,能够减小 MOS 晶体管的截止状态下的泄露电流,实现低功耗。

[0168] 第五变形

[0169] 在上述第一实施例中,使用 MOS 晶体管 15 以允许在自举操作时电绝缘节点 B 和节点 C,但并未将其限制为此。例如,如图 7 所示,可不配置 MOS 晶体管 15。由此,能够使用降低数目的元件实现电平转换器。

[0170] 图 8 示出了电平转换器 10C 的操作的时序波形图,其中,(A) 示出设定信号 VS 的波形,(B) 示出复位信号 VR 的波形,(C) 示出反相设定信号 VSb 的波形,(D) 示出反相复位信号 VRb 的波形。而且,(E) 示出节点 A 上的电压 VA 的波形,(F) 示出节点 B 上的电压 VB 的波形,(G) 示出输出信号 VOut 的波形。在根据第五变形的电平转换器 10C 中,设定信号 VS 的上升使输出信号 VOut 处于电压 VDD2(高电平),即使当如在根据上述第一实施例的电平转换器 10 中设定信号 VS 已下降时,也基本上保持输出信号 VOut 的电压电平。此后,复位信号 VR 的上升使输出信号 VOut 处于电压 VSS(低电平),即使当复位信号 VR 已下降时,也基本上保持输出信号 VOut 的电压电平。

[0171] 在根据第五变形的电平转换器 10C 中,取消了 MOS 晶体管 15。因而,增加了 MOS 晶体管 13 和 14 的电容负载,运行速度可能稍微变慢。因此,优选地,但非需要,应将电平转换器 10C 应用到不需要高速运行的场合。因而,电平转换器 10C 是由降低数目的元件构成。因此,能够实现减小电路的尺寸。

[0172] 第六变形

[0173] 在上述第一实施例中,为了改善节点 A 和节点 B 的波形的恶化而配置电容元件 22 至 25。例如,还可进一步增加元件。图 9 示出了根据第六变形的电平转换器 10D 的结构示例,其中,将 MOS 晶体管新加入到节点 A 和节点 B。根据第六变形的电平转换器 10D 设有 MOS 晶体管 18 和 MOS 晶体管 19。MOS 晶体管 18 包括连接至节点 A 的栅极、连接至节点 B 的漏极和连接至电源 PVSS 的源极。MOS 晶体管 19 包括连接至节点 B 的栅极、连接至节点 A 的漏极和连接至电源 PVSS 的源极。

[0174] 在如图 3 所示的根据比较示例的电平转换器 10R 中,如上所述,通过 MOS 晶体管 13 的栅极和源极之间的寄生电容将设定信号 VS 传输到节点 B,通过 MOS 晶体管 11 的栅极和源极之间的寄生电容将复位信号 VR 传输到节点 A,据此,节点 A 和节点 B 上的波形恶化。同时,类似的现象可能出现在 MOS 晶体管 12 和 14 中。也就是说,通过 MOS 晶体管 12 的漏极和栅极之间的寄生电容将设定信号 VS 传输到节点 A,通过 MOS 晶体管 14 的漏极和栅极之间的寄生电容将复位信号 VR 传输到节点 B,可改变节点 A 和节点 B 上的电压。

[0175] 如下所述,即使在图 1 所示的根据第一实施例的电平转换器 10 中,通过 MOS 晶体

管 12 和 MOS 晶体管 14 中每一晶体管的漏极和栅极之间的寄生电容,电压变化也同样可能出现在节点 A 和节点 B 中的每个节点上。

[0176] 在考虑到 MOS 晶体管 12 和 14 中每一晶体管的漏极和栅极之间的寄生电容的情况下,图 10 示出根据第一实施例的电平转换器 10 的操作的时序波形图,其中,(A) 示出设定信号 VS 的波形,(B) 示出复位信号 VR 的波形,(C) 示出反相设定信号 VSb 的波形,(D) 示出反相复位信号 VRb 的波形。而且,(E) 示出节点 A 上电压 VA 的波形,(F) 示出节点 B 上的电压 VB 的波形,(G) 示出节点 C 上的电压 VC 的波形,(H) 示出输出信号 VOut 的波形。

[0177] 在根据第一实施例的电平转换器 10 中,在设定信号 VS 上升且输出信号 VOut 上升至高电平之后,设定信号 VS 下降(图 10 的 (A))时,可通过 MOS 晶体管 12 的漏极和栅极之间的寄生电容将设定信号 VS 的下降传输到节点 A。因而,节点 A 的电压 VA 从之前的电压 VSS 稍微降低,此后仍保持该稍微降低的电压(图 10 的 (E) 中的波形 L3)。也就是说,由如上所述的紧接着输入的反相设定信号 VSb 的上升抵消节点 B 的电压 VB(图 10 的 (F)),但是不抵消节点 A 的电压 VA 而因此维持其状态。

[0178] 此后,在复位信号 VR 上升且输出信号 VOut 下降至低电平之后,复位信号 VR 下降(图 10 的 (B))时,可通过 MOS 晶体管 14 的漏极和栅极之间的寄生电容将复位信号 VR 的下降传输到节点 B。因而,节点 B 的电压 VB 从之前的电压 VSS 稍微降低,此后仍保持该稍微降低的电压(图 10 的 (F) 中的波形 L3)。也就是说,由如上所述的紧接着输入的反相复位信号 VRb 的上升抵消节点 A 的电压 VA(图 10 的 (E)),但是不抵消节点 B 的电压 VB 而因此维持其状态。

[0179] 节点 A 上的电压变化(图 10 的 (E) 中的波形 L3) 和节点 B 上的电压变化(图 10 的 (F) 中的波形 L3) 均是如下电压变化,即该电压变化增加了其内部波形的振幅。因而,保证了噪声容限,且未降低电路的稳定性。而且,其电压变化并未影响输出信号 VOut 的波形。

[0180] 另一方面,节点 A 的电压 VA 和节点 B 的电压 VB 下降至低于电压 VSS 意味着:当 MOS 晶体管 16 和 17 截止时,其栅极和源极之间的电压 Vgs 变成负值。因而,在截止状态下漏极和源极之间会出现漏电流。

[0181] 图 11 表示普通 N 沟道 MOS 晶体管的静态特性 (I_{ds} - V_{gs} 特性)。在栅极-源极电压 V_{gs} 为正值的区域中,漏极-源极电流 I_{ds} 以指数方式增加,特别是,当栅极-源极电压超过阈值电压 V_{th} 时 MOS 晶体管导通。另一方面,在栅极-源极电压 V_{gs} 为负值的区域中,随着栅极-源极电压 V_{gs} 降低得越多,漏极-源极电流 I_{ds} 易于通过泄露电流增加越大。

[0182] 参照图 9,在电源 PVDD2 和电源 PVSS 之间串联连接的 MOS 晶体管 16 和 17 如上所述互补地工作。也就是说,MOS 晶体管 16 和 17 中的一方处于导通状态时 MOS 晶体管 16 和 17 中的另一方处于截止状态。因而,当处于截止状态的 MOS 晶体管的漏极和源极之间存在泄露电流时,与泄露电流对应的量的直通电流在电源 PVDD2 和电源 PVSS 之间流动,由此增加了功耗。

[0183] 因而,注意到节点 A 上的电压和节点 B(节点 C) 上的电压中的一个电压处于高电平时,节点 A 上的电压和节点 B(节点 C) 上的电压中的另一个电压处于低电平,根据第六变形的电平转换器 10D 利用 MOS 晶体管 18 和 19 以在节点 A 的电压 VA 处于高电平时将节点 B 的电压 VB(节点 C 的电压 VC) 设定成电压 VSS,在节点 B 的电压 VB(节点 C 的电压 VC) 处于高电平时将节点 A 的电压 VA 设定成电压 VSS(图 10 中的特性 L4)。由此,能够防止由于

泄露电流所导致的功耗的增加。

[0184] 第七变形

[0185] 在上述第一实施例中，N 沟道 MOS 晶体管用作 MOS 晶体管，但并未将其限制为此。例如，代替 N 沟道 MOS 晶体管的 P 沟道 MOS 晶体管可用作 MOS 晶体管。

[0186] 图 12 示出根据第七变形的电平转换器 10E 的结构示例。电平转换器 10E 具有如下结构，即直接使用 PMOS 晶体管代替根据第一实施例的电平转换器 10 的 NMOS 晶体管，因此输入 - 输出信号波形和内部信号波形的电压轴反转。电平转换器 10E 与根据第一实施例的电平转换器 10 相似地操作。

[0187] MOS 晶体管 31 包括连接至输入端 R 的栅极、连接至电源 PVSS 1 的漏极和连接至节点 A 的源极。MOS 晶体管 31 在栅极和源极之间具有未图示的寄生电容。MOS 晶体管 32 包括连接至输入端 S 的栅极、连接至节点 A 的漏极和连接至电源 PVDD 的源极。MOS 晶体管 33 包括连接至输入端 S 的栅极、连接至电源 PVSS1 的漏极和连接至节点 B 的源极。MOS 晶体管 33 在栅极和源极之间具有未图示的寄生电容。MOS 晶体管 34 包括连接至输入端 R 的栅极、连接至节点 B 的漏极和连接至电源 PVDD 的源极。MOS 晶体管 35 包括漏极、源极和连接至电源 PVSS1 的栅极，其中，漏极和源极中的一方连接至节点 B 而另一方连接至节点 C。MOS 晶体管 36 包括连接至节点 C 的栅极、连接至电源 PVSS2 的漏极和连接至输出端 Out 的源极，电源 PVSS2 的电压 VSS2 低于电源 PVSS 1 的电压 VSS1。MOS 晶体管 107 包括连接至节点 A 的栅极、连接至输出端 Out 的漏极和连接至电源 PVDD 的源极。

[0188] 电容元件 41 在 MOS 晶体管 36 的栅极和源极之间。电容元件 42 在输入端 Sb 和节点 B 之间。电容元件 43 在节点 B 和电源 PVDD 之间。电容元件 44 在输入端 Rb 和节点 A 之间。电容元件 45 在节点 A 和电源 PVDD 之间。

[0189] 电源 PVSS 1 向电平转换器 10E 的除输出部件（即，MOS 晶体管 36 和 37）之外的部件提供功率，电源 PVSS2 向这些输出部件提供功率。电源 PVSS2 用于对电平转换器 10E 的输出信号 VOut 设定低电平电压，及驱动在后级中连接的电路。

[0190] 图 13 示出电平转换器 10E 的操作的时序波形图，其中，(A) 示出设定信号 VS 的波形，(B) 示出复位信号 VR 的波形，(C) 示出反相设定信号 VSb 的波形，(D) 示出反相复位信号 VRb 的波形。而且，(E) 示出节点 A 上电压 VA 的波形，(F) 示出节点 B 上的电压 VB 的波形，(G) 示出节点 C 上的电压 VC 的波形，(H) 示出输出信号 VOut 的波形。

[0191] 首先，设定信号 VS 下降（图 13 的 (A)）以执行自举操作，节点 C 的电压 VC 下降至比电压 VSS2 低的电位（图 13 的 (G)），输出信号 VOut 处于电压 VSS2（即，处于低电平）（图 13 的 (H)）。当设定信号 VS 上升时（图 13 的 (A)），相应地在节点 B 的电压 VB 和节点 C 的电压 VC 中出现电压变化，但由于反相设定信号 VSb 的紧接着的下降而在反方向上出现电压变化，由此抵消这些电压变化（图 13 的 (G)）。由此，输出信号 VOut 保持在电压 VSS2（图 13 的 (H)）。

[0192] 接着，复位信号 VR 的下降（图 13 的 (B)）使节点 C 的电压 VC 上升（图 13 的 (G)），节点 A 的电压 VA 降低（图 13 的 (E)），输出信号 VOut 处于电压 VDD（即，处于高电平）（图 13 的 (H)）。当复位信号 VR 上升时，相应地在节点 A 的电压 VA 中出现电压变化，但由于反相复位信号 VRb 的紧接着的下降而在反方向上出现电压变化，由此抵消这些电压变化（图 13 的 (E)）。由此，输出信号 VOut 保持在电压 VDD（图 13 的 (H)）。

[0193] 因而,以与上述第一实施例类似的方式,根据第七变形,设置电容元件 42 至 45,通过电容元件 42 将反相设定信号 VSb 传输到节点 B,通过电容元件 44 将反相复位信号 VRb 传输到节点 A。因此,抵消了由于设定信号 VS 和复位信号 VR 而在内部信号和输出信号中所导致的电压变化。因此,能够防止故障或错误,实现稳定操作。

[0194] 2. 第二实施例

[0195] 此后,将说明根据第二实施例的电平转换器。在第二实施例中,由反相设定信号和反相复位信号所实现的内部波形的电压变化量大于所述第一实施例中的电压变化量。也就是说,在第二实施例中,例如,修改图 1 所示的根据上述第一实施例的电平转换器 10 中的电容元件 22 和 23 的电容比以及电容元件 24 和 25 的电容比以构成电平转换器 20。设定电容元件 22 和 23 的电容比,使得表达式 (2) 中表示的传输量 TS 大于第一实施例中的传输量 TS。并且,设定电容元件 24 和 25 的电容比,使得表达式 (3) 中表示的传输量 TR 大于第一实施例中的传输量 TR。其它结构与图 1 所示的上述第一实施例的结构相类似。因此,参照图 1 对根据该实施例的电平转换器 20 的电路结构进行说明,不再详述。

[0196] 操作和效果

[0197] 图 14 示出电平转换器 20 的操作的时序波形图,其中,(A) 示出设定信号 VS 的波形,(B) 示出复位信号 VR 的波形,(C) 示出反相设定信号 VSb 的波形,(D) 示出反相复位信号 VRb 的波形。而且,(E) 示出节点 A 上电压 VA 的波形,(F) 示出节点 B 上的电压 VB 的波形,(G) 示出节点 C 上的电压 VC 的波形,(H) 示出输出信号 VOut 的波形。

[0198] 在电平转换器 20 中,在设定信号 VS 上升且输出信号 VOut 上升至高电平之后,设定信号 VS 下降(图 14 的(A))时,可通过 MOS 晶体管 13 的栅极和源极之间的寄生电容将设定信号 VS 的下降传输到节点 B。因而,节点 B 的电压 VB 从之前的电压 ($V_{DD1}-V_{th}(13)$) 稍微降低(图 14 的(F)),这使节点 C 的电压 VC 也从之前的电压 V0boot 稍微降低(图 14 的(G))。当反相设定信号 VSb 此后立即上升(图 14 的(C))时,通过电容元件 22 将电压的这种上升传输到节点 B,因而节点 B 的电压 VB 上升以抵消之前的电压降低的对应量,并进一步稍微上升(图 14 的(F))。类似地,节点 C 的电压 VC 上升以抵消之前的电压降低的对应量,并进一步稍微上升(图 14 的(G)中的波形 L6)。因此,输出信号 VOut 基本上保持电压 VDD2(图 14 的(H))。

[0199] 此后,在复位信号 VR 上升且输出信号 VOut 下降至低电平之后,复位信号 VR 下降(图 14 的(B))时,可通过 MOS 晶体管 11 的栅极和源极之间的寄生电容将复位信号 VR 的下降传输到节点 A。因而,节点 A 的电压 VA 从之前的电压 ($V_{DD1}-V_{th}(11)$) 稍微降低(图 14 的(E))。当反相复位信号 VRb 此后立即上升(图 14 的(D))时,通过电容元件 24 将电压的这种上升传输到节点 A,因而节点 A 的电压 VA 上升以抵消之前的电压降低的对应量,并进一步稍微上升(图 14 的(E)中的波形 L6)。因此,输出信号 VOut 基本上保持电压 VSS(图 14 的(H))。

[0200] 现在,将说明电容元件 21 中所充电电荷的抗泄露。

[0201] 图 15 示出当输出信号 VOut 上升至高电平时电平转换器 20 中的操作的时序波形图,其中,(A) 示出节点 C 上的电压 VC 的波形,(B) 示出输出信号 VOut 的波形。

[0202] 如图 15 的(A)中所示,尽管节点 C 的电压 VC 在通过自举操作从电压 VSS 上升至高电平之后由泄露逐渐地降低,但电压 VC 总是超过电压 ($V_{DD2}+V_{th}(16)$)。由此,如图 15 的

(B) 所示, 输出信号 V_{Out} 能够在整个超越周期内保持电压 V_{DD2} 。

[0203] 这是因为当反相设定信号 VS_b 上升时 (图 14 的 (C)) 节点 C 的电压 V_C 也上升或抬升 (图 14 的 (G))。也就是说, 在电平转换器 20 中, 节点 C 的电压 V_C 设定成相对高的电平, 使得即使当泄露使电压 V_C 降落时, 电压 V_C 降低至电压 $(V_{DD2}+V_{th}(16))$ 也需要较长的时间。因此, 改善了抗泄露。

[0204] 对于输出信号 V_{Out} 处于低电平时的情况也是如此。也就是说, 在电平转换器 20 中, 如图 14 所示, 在反相复位信号 VR_b 的上升中, 节点 A 的电压 V_A 设定成高于电压 $(V_{DD1}+V_{th}(11))$ 。此时, 在图 1 中, 例如处于浮动状态的节点 A 中的电荷通过 MOS 晶体管 12 泄露, 节点 A 的电压 V_A 随时间推移而逐渐降低。然而, 节点 A 的电压 V_A 设定成相对高, 使得即使当泄露使电压 V_A 降落时, 电压 V_A 降低至 MOS 晶体管 17 的阈值电压 $V_{th}(17)$ 也需要较长的时间。因此, 改善了抗泄露。

[0205] 因而, 在根据第二实施例的电平转换器 20 中, 在反相设定信号 VS_b 的上升中节点 C 的电压 V_C 的上升量大于根据第一实施例的电平转换器 10 的上升量。由此, 即使当泄露使电压 V_C 降落时, 电压 V_C 降低至电压 $(V_{DD2}+V_{th}(16))$ 所需的时间也更长。结果, 能够进一步提高抗泄露性。

[0206] 结论

[0207] 根据第二实施例, 由反相设定信号和反相复位信号所实现的内部波形的电压变化量变得更大。因此, 能够提高抗泄露性。第二实施例实现的其它效果与上述第一实施例的效果相类似。

[0208] 3. 第三实施例

[0209] 此后, 将说明根据第三实施例的电平转换器。在第三实施例中, 不仅在输出部件上执行自举操作, 而且在输入部件上执行自举操作。注意, 使用相同的附图标记来表示与上述实施例及变形的电平转换器中的元件相同或等价的元件, 不对其做详细的说明。

[0210] 结构示例

[0211] 图 18 示出根据第三实施例的电平转换器 30 的结构示例。电平转换器 30 设有 MOS 晶体管 51 和 52 以及电容元件 53 和 54。

[0212] MOS 晶体管 51 包括漏极、源极和连接至电源 PV_{DD1} 的栅极, 其中漏极和源极中的一方连接至输入端 R 而漏极和源极中的另一方通过节点 R1 连接至 MOS 晶体管 11 的栅极。MOS 晶体管 52 包括漏极、源极和连接至电源 PV_{DD1} 的栅极, 其中漏极和源极中的一方连接至输入端 S 而漏极和源极中的另一方通过节点 S1 连接至 MOS 晶体管 13 的栅极。

[0213] 电容元件 53 在 MOS 晶体管 11 的栅极和源极之间。电容元件 53 用于执行自举操作。更具体地, 电容元件 53 用作使 MOS 晶体管 11 的栅极 (即, 节点 R1) 的电压 VR_1 高于电压 V_{DD1} , 以便当复位信号 VR 处于高电平时使 MOS 晶体管 11 的源极的电压输出电源 PV_{DD1} 的电压 V_{DD1} 。

[0214] 电容元件 54 在 MOS 晶体管 13 的栅极和源极之间。如同电容元件 53, 电容元件 54 用于执行自举操作。更具体地, 电容元件 54 用作使 MOS 晶体管 13 的栅极 (即, 节点 S1) 的电压 VS_1 高于电压 V_{DD1} , 以便当设定信号 VS 处于高电平时使 MOS 晶体管 13 的源极的电压输出电源 PV_{DD1} 的电压 V_{DD1} 。

[0215] 操作和效果

[0216] 图 19 示出电平转换器 30 的操作的时序波形图,其中,(A) 示出设定信号 VS 的波形,(B) 示出复位信号 VR 的波形,(C) 示出反相设定信号 VSb 的波形,(D) 示出反相复位信号 VRb 的波形。而且,(E) 示出节点 S1 上电压 VS1 的波形,(F) 示出节点 R1 上的电压 VR1 的波形,(G) 示出节点 A 上的电压 VA 的波形,(H) 示出节点 B 上的电压 VB 的波形,(I) 示出节点 C 上的电压 VC 的波形,(J) 示出输出信号 VOut 的波形。

[0217] 首先,当设定信号 VS 从电压 VSS 上升至电压 VDD1(图 19 的 (A)) 时,MOS 晶体管 12 导通,节点 A 的电压 VA 下降至电压 VSS(图 19 的 (G))。此时,MOS 晶体管 13 导通,节点 B 的电压 VB 上升。此时,电荷对电容元件 54 充电,电容元件 54 的两端之间的电压差变成大于 MOS 晶体管 13 的阈值电压 $V_{th}(13)$ 。即使在 MOS 晶体管 52 截止之后节点 B 的电压 VB 也持续上升,同时节点 S1 的电压 VS1 也上升,这是因为保持了电容元件 54 的两端之间的电压差(即,输入部件中的自举操作)。节点 S1 的电压 VS1 最终上升至高于电压 VDD1 和 MOS 晶体管 13 的阈值电压 $V_{th}(13)$ 的电压和 $(VDD1+V_{th}(13))$ 的电压 VSboot(图 19 的 (E)),节点 B 的电压 VB 上升至电压 VDD1(图 19 的 (H))。此后,节点 C 的电压 VC 通过输出部件的自举操作也上升至电压 V0boot(图 19 的 (I)),因而输出信号 VOut 上升至电压 VDD2(图 19 的 (J))。

[0218] 此后,当设定信号 VS 从电压 VDD1 下降至电压 VSS(图 19 的 (A)) 时,MOS 晶体管 52 导通,节点 S1 的电压 VS1 下降至电压 VSS(图 19 的 (E)),MOS 晶体管 13 截止。此时,通过电容元件 54 和 MOS 晶体管 13 的栅极和源极之间的寄生电容,节点 B 的电压 VB 和节点 C 的电压 VC 上出现电压变化,但是由于紧接着的反相设定信号 VSb 的上升而所导致的电压变化在反方向上出现,由此抵消这些电压变化(图 19 的 (H) 和 (I))。因此,输出信号 VOut 保持在电压 VDD2(图 19 的 (J))。

[0219] 然后,当复位信号 VR 从电压 VSS 上升至电压 VDD1(图 19 的 (B)) 时,MOS 晶体管 14 导通,节点 B 的电压 VB 下降至电压 VSS(图 19 的 (H)),节点 C 的电压 VC 也相应地下降至电压 VSS(图 19 的 (I))。此时,MOS 晶体管 11 导通,节点 A 的电压 VA 上升。此时,电荷对电容元件 53 充电,电容元件 53 的两端之间的电压差变成大于 MOS 晶体管 11 的阈值电压 $V_{th}(11)$ 。即使在 MOS 晶体管 51 截止之后节点 A 的电压 VA 也持续上升,同时节点 R1 的电压 VR1 也上升,这是因为保持了电容元件 53 的两端之间的电压差(即,输入部件中的自举操作)。节点 R1 的电压 VR1 最终上升至高于电压 VDD1 和 MOS 晶体管 11 的阈值电压 $V_{th}(11)$ 的电压和 $(VDD1+V_{th}(11))$ 的电压 VRboot(图 19 的 (F)),节点 A 的电压 VA 上升至电压 VDD1(图 19 的 (G))。由此,输出信号 VOut 下降至电压 VSS(图 19 的 (J))。

[0220] 此后,当复位信号 VR 从电压 VDD1 下降至电压 VSS(图 19 的 (B)) 时,MOS 晶体管 51 导通,节点 R1 的电压 VR1 下降至电压 VSS(图 19 的 (F)),MOS 晶体管 11 截止。此时,通过电容元件 53 和 MOS 晶体管 11 的栅极和源极之间的寄生电容,节点 A 的电压 VA 上出现电压变化,但是由于紧接着的反相复位信号 VRb 的上升而所导致的电压变化在反方向上出现,由此抵消这些电压变化(图 19 的 (G))。因此,输出信号 VOut 保持在电压 VSS(图 19 的 (J))。

[0221] 结论

[0222] 因而,根据上述第三实施例,也在输入部件中执行自举操作。这能够增加节点 A 和节点 B 上的内部波形的振幅,由此使电路稳定地操作。第三实施例所实现的其它效果与上

述第一实施例的效果相类似。

[0223] 第三实施例的变形

[0224] 在上述第三实施例中, MOS 晶体管 51 和 52 的每一晶体管的栅极均连接至电源 PVDD1, 但并未将其限制为此。例如, 可新设置电源 PVDD3, 其电压 VDD3 比电源 PVDD1 的电压 VDD1 低, 如图 20 所示, MOS 晶体管 51 和 52 的每一晶体管的栅极可连接至电源 PVDD3。而且, 四个输入信号的高电平电压 V_{IH} 中的每一高电平电压均可设定成电压 VDD3, 其低电平电压 V_{IL} 可设定成电压 VSS。

[0225] 图 21 示出根据第三实施例的变形的电平转换器 30A 的操作的时序波形图。在上述第三实施例中, 包括设定信号 VS、反相设定信号 VSb、复位信号 VR 和反相复位信号 VRb 的四个输入信号中的每一输入信号的高电平电压是电压 VDD1。在图 21 所示的这个变形中, 四个输入信号中的每一输入信号的高电平电压 V_{IH} 是低于电压 VDD1 的电压 VDD3。这个变形中的其它操作与上述操作相同。

[0226] 在根据第三实施例的变形的电平转换器 30A 中, 即使当四个输入信号的高电平电压 V_{IH} 降低时, 通过输入部件中的自举操作也保持了节点 A 和 B 上的电压振幅 ($V_{DD1}-V_{SS}$)。因此, 能够在保持电路的操作的稳定性的同时降低提供四个输入信号的前级电路的功耗。

[0227] 4. 第四实施例

[0228] 此后, 将说明根据第四实施例的电平转换器。在第四实施例中, 采用如下结构, 即, 除输出部件之外, 功率是由输入信号提供。注意, 使用相同的附图标记来表示与上述实施例及变形的电平转换器中的元件相同或等价的元件, 不对其做详细的说明。

[0229] 结构示例

[0230] 图 22 示出根据第四实施例的电平转换器 40 的结构示例。电平转换器 40 与图 7 所示的根据第一实施例的变形的电平转换器 10C 的不同在于, 为取消电源 PVDD1, MOS 晶体管 11 的漏极连接到代替电源 PVDD1 的 MOS 晶体管 11 的栅极, MOS 晶体管 13 的漏极连接到代替电源 PVDD1 的 MOS 晶体管 13 的栅极。其它结构与图 7 所示的上述第一实施例的变形的结构相类似。

[0231] 包括设定信号 VS、复位信号 VR、反相设定信号 VSb 和反相复位信号 VRb 的四个输入信号的高电平电压 V_{IH} 彼此相同, 其低电平电压 V_{IL} 是电压 VSS。

[0232] 对于这种结构, 电平转换器 40 的功率是由提供设定信号 VS 和复位信号 VR 的前级中的电路通过这些输入信号提供。也就是说, 电平转换器 40 操作, 使得设定信号 VS 和复位信号 VR 处于高电平, 则其电压 V_{IH} 作为功率提供。

[0233] 操作和效果

[0234] 图 23 示出电平转换器 40 的操作的时序波形图, 其中, (A) 示出设定信号 VS 的波形, (B) 示出复位信号 VR 的波形, (C) 示出反相设定信号 VSb 的波形, (D) 示出反相复位信号 VRb 的波形。而且, (E) 示出节点 A 上的电压 V_A 的波形, (F) 示出节点 B 上的电压 V_B 的波形, (G) 示出输出信号 V_{Out} 的波形。

[0235] 首先, 当设定信号 VS 从电压 VSS 上升至电压 V_{IH} (图 23 的 (A)) 时, MOS 晶体管 12 导通, 节点 A 的电压 V_A 下降至电压 VSS (图 23 的 (E))。此时, MOS 晶体管 13 导通, 通过设定信号 VS 提供功率, 节点 B 的电压 V_B 通过自举操作上升至电压 V_{boot} (图 23 的 (F)), 输出信号 V_{Out} 上升至电压 VDD2 (图 23 的 (G))。

[0236] 此后,当设定信号 VS 下降(图 23 的 (A))时,在节点 B 的电压 VB 上相应地出现电压变化,但是由于紧接着的反相设定信号 VSb 的上升而所导致的电压变化在反方向上出现,由此抵消这些电压变化(图 23 的 (F))。因此,输出信号 VOut 保持在电压 VDD2(图 23 的 (G))。

[0237] 然后,当复位信号 VR 从电压 VSS 上升至电压 VIH(图 23 的 (B))时,MOS 晶体管 14 导通,节点 B 的电压 B 下降至电压 VSS(图 23 的 (F))。此时,MOS 晶体管 11 导通,通过复位信号 VR 提供功率,节点 A 的电压 VA 上升至仅比电压 VIH 低对应于 MOS 晶体管 11 的阈值电压 $V_{th}(11)$ 的量的电压 ($VIH - V_{th}(11)$)。由此,输出信号 VOut 降低至电压 VSS(图 23 的 (G))。

[0238] 此后,当复位信号 VR 下降(图 23 的 (B))时,在节点 A 的电压 VA 上相应地出现电压变化,但是由于紧接着的反相复位信号 VRb 的上升而所导致的电压变化在反方向上出现,由此抵消这些电压变化(图 23 的 (E))。因此,输出信号 VOut 保持在电压 VSS(图 23 的 (G))。

[0239] 因而,根据上述第四实施例,除了输出部件之外,功率是从输入信号提供。这能够取消其电源布线,使电路布局的尺寸紧凑。第四实施例所实现的其它效果与上述第一实施例的效果相类似。

[0240] 5. 第五实施例

[0241] 此后,将说明根据第五实施例的电平转换器。第五实施例简化了用于抵消由设定信号和复位信号所导致的内部信号和输出信号的电压变化的设计图。也就是说,在上述第一实施例中,设置电容元件 22 至 25,通过电容元件 22 将反相设定信号传输到节点 B,通过电容元件 24 将反相复位信号传输到节点 A。在第五实施例中,仅设置电容元件 22 和 23,通过电容元件 22 将反相设定信号传输到节点 B。注意,使用相同的附图标记来表示与上述实施例及变形的电平转换器中的元件相同或等价的元件,不对其做详细的说明。

[0242] 结构示例

[0243] 图 24 示出根据第五实施例的电平转换器 50 的结构示例。根据第五实施例的电平转换器 50 与图 1 所示的根据第一实施例的电平转换器 10 的不同在于,取消了电容元件 24 和 25。其它结构与图 1 所示的第一实施例的结构相类似。

[0244] 操作和效果

[0245] 图 25 示出电平转换器 50 的操作的时序波形图,其中,(A) 示出设定信号 VS 的波形,(B) 示出复位信号 VR 的波形,(C) 示出反相设定信号 VSb 的波形。而且,(D) 示出节点 A 上的电压 VA 的波形,(E) 示出节点 B 上的电压 VB 的波形,(F) 示出节点 C 上的电压 VC 的波形,(G) 示出输出信号 VOut 的波形。

[0246] 首先,设定信号 VS 上升以执行自举操作(图 25 的 (A)),节点 C 的电压 VC 上升至比电压 VDD2 更高的电位(图 25 的 (F)),输出信号 VOut 输出电压 VDD2(图 25 的 (G))。当设定信号 VS 下降时(图 25 的 (A)),在节点 B 的电压 VB 和节点 C 的电压 VC 上均相应地出现电压变化,但是由于紧接着的反相设定信号 VSb 的上升而所导致的电压变化在其反方向上出现,由此抵消这些电压变化(图 25 的 (E) 和 (F))。因此,输出信号 VOut 保持在电压 VDD2(图 25 的 (G))。

[0247] 然后,复位信号 VR 的上升(图 25 的 (B))使节点 C 的电压 VC 降低至电压 VSS(图

25 的 (F)), 节点 A 的电压 V_A 上升 (图 25 的 (D)), 输出信号 V_{Out} 输出电压 V_{SS} (图 25 的 (G))。当复位信号 V_R 下降时, 在节点 A 的电压 V_A 上相应地出现电压变化 (图 25 的 (D)), 但是只要这个电压大于 MOS 晶体管 17 的阈值电压 $V_{th}(17)$, MOS 晶体管 17 能够继续保持在导通状态。因此, 输出信号 V_{Out} 保持在电压 V_{SS} (图 25 的 (G))。

[0248] 结论

[0249] 因而, 根据上述第五实施例, 取消了电容元件 24 和 25, 在对用于抵消由设定信号和复位信号所导致的内部信号和输出信号的电压变化的方案中仅设置电容元件 22 和 23。因此, 能够在实现稳定操作的同时减少组件的数量。

[0250] 6. 显示装置的应用示例

[0251] 此后, 将说明上述实施例和变形中所描述的电平转换器的应用示例。例如, 可根据实施例和变形中的电平转换器用于基于小振幅信号产生大振幅信号的应用中。特别是, 根据实施例和变形的电平转换器优选地但非限制用于使用单沟道 MOS 晶体管实现结构的应用中。在下面, 将参照在显示装置中, 或特别在显示装置的扫描线驱动电路中使用任一上述电平转换器的示例来说明应用示例。

[0252] 总体结构

[0253] 图 26 示出应用有根据实施例和变形的任一电平转换器的显示装置 1 的结构示例。显示装置 1 设有显示面板 60 和驱动电路 70。

[0254] 显示面板 60

[0255] 显示面板 60 包括像素阵列部分 63, 多个像素 61 在像素阵列部分 63 中以矩阵形式布置。基于从外部输入的图像信号 70A 和同步信号 70B, 显示面板 60 可通过有源矩阵驱动方法执行像素显示。在应用示例中, 像素 61 中的每一个像素是由红色像素 61R、绿色像素 61G 和蓝色像素 61B 构成, 但是并未将颜色的数量和颜色的类型限制为此。注意, 在下面, 在适当的情况下, 像素 61R、61G 和 61B 可统称为像素 61。

[0256] 像素阵列部分 63 包括 N 个以行布置的扫描线 WSL、 N 个以列布置的信号线 DTL 和 N 个沿着扫描线 WSL 以行布置的电源线 DSL。扫描线 WSL、信号线 DTL 和电源线 DSL 的一端分别连接至下面将更详细说明的驱动电路 70。像素 61R、61G 和 61B 以行和列布置 (即, 以矩阵形式布置) 在与扫描线 WSL 和信号线 DTL 的交叉点相对应的位置上。注意, 在下面, 在适当的情况下, 表示相应的 N 个扫描线 WSL 的词语“扫描线 WSL(1) 至 WSL(N)”可用于指 N 个扫描线 WSL。

[0257] 图 27 示出像素 61 的内部结构的示例。像素 61 中设有有机电致发光 (在下文中将简称为“EL”) 元件 62 和像素电路 64。

[0258] 有机 EL 元件 62 是发光元件, 其以对应于所提供的驱动电流的亮度发出光。由将在下面说明的驱动电路 64 提供驱动电流。

[0259] 像素电路 64 设有写入晶体管 Tr_1 、驱动晶体管 Tr_2 和电容元件 C_{pix} , 因而具有称为所谓的“ $2Tr1C$ ”的电路结构。例如, 写入晶体管 Tr_1 和驱动晶体管 Tr_2 均可由 N 沟道 MOS 薄膜晶体管 (TFT) 构成。

[0260] 在像素电路 64 中, 写入晶体管 Tr_1 包括连接至扫描线 WSL 的栅极、连接至信号线 DTL 的源极和连接至驱动晶体管 Tr_2 的栅极并连接至电容元件 C_{pix} 的第一端的漏极。驱动晶体管 Tr_2 的漏极连接至电源线 DSL, 源极连接至电容元件 C_{pix} 的第二端并连接至有机 EL

元件 62 的阳极。有机 EL 元件 62 的阴极设定成固定电位。这里,有机 EL 元件 62 的阴极连接至接地线 GND 以将阴极设定成地(设定成地电位)。有机 EL 元件 62 的阴极可充当有机 EL 元件 62 中的每一有机 EL 元件的公共电极。例如,有机 EL 元件 62 的阴极可连续形成在显示面板 60 的整个显示区域中,因而可以是类似于平板的电极。

[0261] 驱动电路 70

[0262] 驱动电路 70 驱动(执行显示驱动)像素阵列部分 63(显示面板 60)。更具体地,驱动电路 70 依次选择像素阵列部分 63 中的多个像素 61,并基于图像信号 70A 向所选择的像素 61 写入信号电压,以对多个像素 61 执行显示驱动。如图 26 所示,驱动电路 70 设有图像信号处理电路 71、时序产生电路 72、扫描线驱动电路 73、信号线驱动电路 74 和电源线驱动电路 75。

[0263] 图像信号处理电路 71 对从外部输入的数字图像信号 70A 执行预定修正,并将修正的图像信号 71A 输出到信号线驱动电路 74。预定修正可以是伽马修正、过驱动修正或其它合适的修正。

[0264] 时序产生电路 72 基于从外部输入的同步信号 70B 产生控制信号 72A,并输出所产生的控制信号 72A 以控制扫描线驱动电路 73、信号线驱动电路 74 和电源线驱动电路 75 中的每一驱动电路,以便它们以合作或联锁的方式操作。

[0265] 根据控制信号 72A 或与其同步地,扫描线驱动电路 73 依次地将选择脉冲施加到多个扫描线 WSL,以依次地选择多个像素 61。更具体地,为产生上述选择脉冲,扫描线驱动电路 73 选择性地输出:在将写入晶体管 Tr1 设定为导通状态时施加的电压 V_{on} ;及在将写入晶体管 Tr1 设定为截止状态时施加的电压 V_{off} 。这里,电压 V_{on} 具有等于或高于写入晶体管 Tr1 的导通电压的值(常数值),电压 V_{off} 具有低于写入晶体管 Tr1 的导通电压的值(常数值)。

[0266] 根据控制信号 72A 或与其同步地,信号线驱动电路 74 产生与从图像信号处理电路 71 输入的图像信号相对应的模拟图像信号(亮度信号),并将所产生的模拟信号施加到每个信号线 DTL。更具体地,信号线驱动电路 74 将基于图像信号 70A 的模拟信号电压 V_{sig} 施加到每个信号线 DTL,以对由扫描线驱动电路 73 所选择的像素 61(选择目标)执行图像信号的写入。如这里所使用的,词语“图像信号的写入”是指施加与驱动晶体管 Tr2 的栅极和源极之间的信号电压 V_{sig} 相对应的预定电压。而且,信号线驱动电路 74 输出电压 V_{ofs} ,电压 V_{ofs} 用于在有机 EL 元件 62 熄灭时修正驱动晶体管 Tr2 的阈值电压 V_{th} 的变化。

[0267] 根据控制信号 72A 或与其同步地,电源线驱动电路 75 将控制脉冲依次地施加到多个电源线 DSL,以执行每个有机 EL 元件 62 的发光操作和熄灭操作的控制。更具体地,为产生上述控制脉冲,电源线驱动电路 75 选择性地输出:在每个有机 EL 元件 62 发光时施加的电压 V_{CC} ;及在每个有机 EL 元件 62 发光之前以如下方式配备像素电路 64 时所施加的电压 V_{ini} ,即使得每个有机 EL 元件 62 以期望的亮度发光。

[0268] 总体操作

[0269] 将简要说明使用根据任一实施例和变形中的电平转换器的显示装置 1 中的显示操作。

[0270] 参照图 26 和 27,在显示装置 1 中,驱动电路 70 基于图像信号 70A 和同步信号 70B 对显示面板 60(或像素阵列部件 63)中的每个像素 61(或像素 61R、61G 和 61B)执行显示

驱动。更具体地,首先,图像信号处理电路 71 基于图像信号 70A 执行诸如伽马修正和过驱动修正之类的修正,然后输出修正的图像信号 71A。时序产生电路 72 基于同步信号 70B 产生控制信号 72A,然后输出所产生的控制信号 72A。与控制信号 72A 同步地,扫描线驱动电路 73 产生包括电压 V_{on} (常数值) 和电压 V_{off} (常数值) 的选择脉冲,然后依次将所产生的选择脉冲施加到 N 个扫描线 WSL。与控制信号 72A 同步地,信号线驱动电路 74 产生模拟图像信号,并将所产生的模拟图像信号施加到每个信号线 DTL,模拟图像信号包括:对应于修正的图像信号 71A 的电压 V_{sig} ;及电压 V_{ofs} (常数值)。与控制信号 72A 同步地,电源线驱动电路 75 产生包括电压 V_{CC} (常数值) 和电压 V_{ini} (常数值) 的控制脉冲,并将所产生的控制脉冲依次施加到 N 个电源线 DSL。

[0271] 在由扫描线 WSL (水平像素线) 的选择脉冲选择的多个像素 61 中,为每个像素 61 修正驱动晶体管 Tr2 的阈值电压 V_{th} 的变化,此后,写入信号线 DTL 的模拟图像信号,电源线 DSL 的控制脉冲使驱动电路流入有机 EL 元件 62。有机 EL 元件 62 根据驱动电流发光。因而,在显示面板 60 中执行基于图像信号 70A 的图像显示。

[0272] 第一应用示例

[0273] 首先,将说明根据实施例和变形中所述的任一电平转换器的第一应用示例的扫描线驱动电路。

[0274] 结构示例

[0275] 图 28 示出根据实施例和变形中所示的任一电平转换器的第一应用示例的扫描线驱动电路 73A 的结构示例。扫描线驱动电路 73A 设有移位寄存器 80、N 个反相器 90、N 个反相器 91 和 N 个电平转换器 10。

[0276] 移位寄存器 80 能够基于输入的时钟信号 CK1 和时钟信号 CK2 以时分方式连续产生 $2N$ 个脉冲信号,并能够将所产生的 $2N$ 个脉冲信号以其所产生的次序作为输出信号 $Q(1)$ 至 $Q(2N)$ 输出。时钟信号 CK1 和 CK2 是包含在时序产生电路 72 所产生及输出的控制信号 72A 中的信号的示例。并且,如下面将更详细地说明的,时钟脉冲交替地出现在时钟信号 CK1 和 CK2 中。注意,在下面,在合适的情况下输出信号 $Q(1)$ 至 $Q(2N)$ 可以统称为输出信号 Q。

[0277] 每个反相器 90 是如下电路:处理作为输入的移位寄存器 80 的奇数输出信号 $Q(2k-1)$ (其中, k 是等于或小于 N 的自然数);反相奇数输出信号 Q;及将经反相的奇数输出信号 Q 作为输出信号 $Qb(2k-1)$ 输出。每个反相器 91 是如下电路:处理作为输入的移位寄存器 80 的偶数输出信号 $Q(2k)$;反相偶数输出信号 Q;及将经反相的偶数输出信号 Q 作为输出信号 $Qb(2k)$ 输出。注意,在下面,在合适的情况下输出信号 $Qb(1)$ 至 $Qb(2N)$ 可统称为输出信号 Qb 。

[0278] 每个电平转换器 10 对应于根据上述实施例和变形的任一电平转换器。第 n 个电平转换器 10(n) 包括:输入端 S,移位寄存器 80 的输出信号 $Q(2n-1)$ 提供到输入端 S;输入端 Sb,反相器 90(n) 的输出信号 $Qb(2n-1)$ 提供到输入端 Sb,输入到反相器 90(n) 的输入是提供到输入端 S 的信号;输入端 R,移位寄存器 80 的输出信号 $Q(2n)$ 提供到输入端 R;及输入端 Rb,反相器 91(n) 的输出信号 $Qb(2n)$ 提供到输入端 Rb,输入到反相器 91(n) 的输入是提供到输入端 R 的信号,从输出端 Out 输出比这些输入信号的振幅大的信号。N 个电平转换器的输出分别连接至图 26 所示的像素阵列部分 63 中的 N 个扫描线 WSL (即, WSL(1) 至

WSL(N))。电平转换器 10 将电压 VWSL(即, VWSL(1) 至 VWSL(N)) 施加到扫描线 WSL(即, WSL(1) 至 WSL(N)), 以时分方式依次驱动扫描线 WSL(即, WSL(1) 至 WSL(N))。也就是说, 电压 VWSL 的高电平电压对应于用于导通图 27 中的写入晶体管 Tr1 的电压 Von, 电压 VWSL 的低电平电压对应于用于关闭图 27 中的写入晶体管 Tr1 的电压 Voff。

[0279] 在第一应用示例中, 在从施加在输入端 S 的信号(即, 设定信号 VS) 的上升到施加在输入端 R 的信号(即, 复位信号 VR) 的下降的时间周期期间, 电平转换器 10 将处于高电平的电压输出到输出端 Out, 例如可根据上述实施例和变形的利用 N 沟道 MOS 晶体管的电平转换器中的电平转换器用于电平转换器 10。

[0280] 操作示例

[0281] 图 29 示出扫描线驱动电路 73A 的操作的时序波形图, 其中, (A) 示出时钟信号 CK1 的波形, (B) 示出时钟信号 CK2 的波形, (C) 示出移位寄存器 80 的输出信号 Q 的波形, (D) 示出反相器 90 和 91 的输出信号 Qb 的波形, (E) 示出扫描线 WSL 的电压 VWSL 的波形。为了便于说明, 仅在图 29 中示出了与三个特定的电平转换器 10(n-1) 至 10(n+1) 相关的移位寄存器 80 的输出信号 Q 及反相器 90 和 91 的输出信号 Qb。也就是说, 对于移位寄存器 80 的输出信号 Q, 仅示出了输出信号 Q(2n-3) 至 Q(2n+2) 的波形, 而对于反相器 90 和 91 的输出信号 Qb, 仅示出了输出信号 Qb(2n-3) 至 Qb(2n+2) 的波形。

[0282] 如图 29 的 (A) 和 (B) 所示, 时钟脉冲交替地出现在时钟信号 CK1 和 CK2 中。基于时钟信号 CK1 和 CK2, 移位寄存器 80 一个接一个地依次获取时钟脉冲, 产生及输出输出信号 Q(1) 至 Q(2N)(图 29 的 (C))。反相器 90 和 91 中每个反相器将从移位寄存器 80 提供的输出信号 Q 反相, 并将所反相的输出信号 Q 作为输出信号 Qb 输出(图 29 的 (D))。

[0283] 此时, 在反相器 90 和 91 中的每个反相器中, 与输入波形相比, 输出信号 Qb 的波形由于反相器 90 和 91 中的每个反相器中的电路延迟的原因而被延迟。例如, 第 n 个反相器 90(n) 的输出信号 Qb(2n-1) 的上升就在移位寄存器 80 的输出信号 Q(2n-1) 的下降之后发生(图 29 的时序 T1)。相似地, 例如, 第 n 个反相器 91(n) 的输出信号 Qb(2n) 的上升就在移位寄存器 80 的输出信号 Q(2n) 的下降之后发生(图 29 的时序 T2)。

[0284] 基于从移位寄存器 80 与反相器 90 和 91 提供的信号, 每个电平转换器 10 均产生比所提供的信号的振幅大的信号, 且均将所产生的信号作为电压 VWSL 施加到扫描线 WSL。更具体地, 如图 28 所示, 例如, 通过利用移位寄存器 80 的输出信号 Q(2n-1) 作为设定信号 VS、利用反相器 90(n) 的输出信号 Qb(2n-1) 作为反相设定信号 VSb、利用移位寄存器 80 的输出信号 Q(2n) 作为复位信号 VR 及利用反相器 91(n) 的输出信号 Qb(2n) 作为反相复位信号 VRb, 第 n 个电平转换器 10(n) 执行任一上述实施例和变形中所描述的操作。

[0285] 首先, 当移位寄存器 80 的输出信号 Q(2n-1)(设定信号 VS) 从电压 VSS 上升至电压 VDD1 时(图 29 的 (C)), 第 n 个电平转换器 10(n) 使扫描线 WSL 的电压 VWSL(n) 从电压 VSS 上升至电压 VDD2(图 29 的 (E))。此后, 移位寄存器 80 的输出信号 Q(2n-1) 从电压 VDD1 下降至电压 VSS(图 29 的 (C)), 接着反相器 90(n) 的输出信号 Qb(2n-1)(反相设定信号 VSb) 立即从电压 VSS 上升至电压 VDD1(图 29 的 (D))。该时序关系(图 29 中的时序 T1) 使得通过反相设定信号 VSb 的上升抵消由于设定电压 VS 的下降所导致的电平转换器 10(n) 的内部波形的电压变化, 由此, 如在上述实施例及变形中所述, 电压 VWSL(n) 保持电压 VDD2(图 29 的 (E))。注意, 在图 29 中省略了如图 2 等所示的从设定信号 VS 的下降到反相设定信号

VSb 的上升的时间周期期间输出信号 VOut 的电压的微小变化。

[0286] 然后,当移位寄存器 80 的输出信号 Q(2n) (复位信号 VR) 从电压 VSS 上升至电压 VDD1 时 (图 29 的 (C)),第 n 个电平转换器 10(n) 使扫描线 WSL 的电压 VWSL(n) 从电压 VDD2 下降至电压 VSS (图 29 的 (E))。此后,移位寄存器 80 的输出信号 Q(2n) 从电压 VDD1 下降至电压 VSS (图 29 的 (C)),接着反相器 91(n) 的输出信号 Qb(2n) (反相复位信号 VRb) 立即从电压 VSS 上升至电压 VDD1 (图 29 的 (D))。该时序关系 (图 29 中的时序 T2) 使得通过反相复位信号 VRb 的上升抵消由于复位信号 VR 的下降所导致的电平转换器 10(n) 的内部波形的电压变化,由此,如在上述实施例及变形中所述,电压 VWSL(n) 保持电压 VSS (图 29 的 (E))。注意,在图 29 中省略了如图 2 等所示的从复位信号 VR 的下降到反相复位信号 VRb 的上升的时间周期期间输出信号 VOut 的电压的微小变化。

[0287] 在第一应用示例中,扫描线驱动电路 73A 使用保持高电平电压和低电平电压的恰当或良好形状的波形来驱动扫描线 WSL。在图 27 中的像素 61 中,这保证了:当扫描线 WSL 的电压 VWSL 处于高电平时,即使当从信号线 DTL 提供的信号电压 Vsig 为高电压,写入晶体管 Tr1 也能够导通以可靠地将信号电压 Vsig 传输到驱动晶体管 Tr2 的栅极。因此,能够执行图像信号的更可靠的写入。并且,当扫描线 WSL 的电压 VWSL 处于低电平时,能够确保写入晶体管 Tr1 可靠地截止,以使信号线 DTL 的电压不被传输到驱动晶体管 Tr2 的栅极。

[0288] 第二应用示例

[0289] 现在,将说明根据实施例和变形所描述的任一电平转换器的第二应用示例的扫描线驱动电路。第二应用示例与第一应用示例的不同在于:对向每个电平转换器提供复位信号 VR 和反相复位信号 VRb 的方式做了变形。也就是说,在这个应用示例中,时钟信号 CK2 用作复位信号 VR,由通过使时钟信号 CK2 反相而获得的反相信号用作反相复位信号 VRb。注意,使用相同的附图标记来表示与根据上述应用示例的扫描线驱动电路中的元件相同或等价的元件,不对其做详细的说明。

[0290] 结构示例

[0291] 图 30 示出根据实施例和变形所描述的任一电平转换器的第二应用示例的扫描线驱动电路 73B 的结构示例。在扫描线驱动电路 73B 中,施加到电平转换器 10 的输入端 R 且施加到反相器 91 的输入的信号是时钟信号 CK2。这个应用示例中的其它结构与图 28 中所示的上述第一应用示例中的结构相类似。对于这种结构,时钟信号 CK2 作为复位信号 VR 施加到每个电平转换器 10 的输入端 R,作为时钟信号 CK2 的反相信号的反相时钟信号 CK2b 作为反相复位信号 VRb 施加到每个电平转换器 10 的输入端 Rb。如这里所使用的,词语“反相时钟信号 CK2b”是指反相器 91(1) 至 91(N) 的输出信号 CK2b(1) 至 CK2b(N)。

[0292] 注意,每个电平转换器 10 设有图 30 中的单个反相器 91。然而,电平转换器 10 可共享单个反相器 91,可将信号从此反相器 91 提供到 N 个电平转换器 10。

[0293] 操作示例

[0294] 图 31 示出扫描线驱动电路 73B 的操作的时序波形图,其中,(A) 示出时钟信号 CK1 的波形,(B) 示出时钟信号 CK2 的波形,(C) 示出反相时钟信号 CK2b 的波形,(D) 示出移位寄存器 80 的奇数输出信号 Q(2k-1) 的波形,(E) 示出反相器 90 的奇数输出信号 Q(2k-1) 的波形,(F) 示出扫描线 WSL 的电压 VWSL 的波形。注意,鉴于反相器 91 的输出信号 CK2b(1) 至 CK2b(N) 彼此相同,对于反相时钟信号 CK2b,仅示出其中一个波形。

[0295] 基于时钟信号 CK1 和 CK2, 移位寄存器 80 一个接一个地依次获取时钟脉冲, 产生及输出输出信号 $Q(1)$ 至 $Q(2N)$ (图 31 的 (D))。另外, 在图 31 的 (D) 中仅示出与三个特定的电平转换器 10(n-1) 至 10(n+1) 相关的移位寄存器 80 的输出信号 Q 。因而, 在图 31 中仅示出三个分别与奇数输出信号 $Q(2k-1)$ 相对应的输出信号 $Q(2n-3)$ 、 $Q(2n-1)$ 和 $Q(2n+1)$ 的波形。反相器 90 分别将移位寄存器 80 的输出信号 $Q(2k-1)$ 反相, 并将所反相的输出信号 $Q(2k-1)$ 作为输出信号 $Q(2k-1)$ 输出 (图 31 的 (E))。

[0296] 此时, 在反相器 90 中, 与其输入波形相比, 输出信号 $Qb(2k-1)$ 的波形由于反相器 90 中电路延迟的原因而被延迟了。例如, 第 n 个反相器 90(n) 的输出信号 $Qb(2n-1)$ 的上升就在移位寄存器 80 的输出信号 $Q(2n-1)$ 的下降之后发生 (图 31 的时序 T3)。

[0297] 每个反相器 91 将时钟信号 CK2 反相, 并将所反相的时钟信号 CK2 作为反相时钟信号 CK2b 输出 (图 31 的 (C))。此时, 在反相器 91 中, 与其输入波形相比, 输出信号 CK2b 的波形由于反相器 91 中电路延迟的原因而被延迟了。例如, 第 n 个反相器 91(n) 的输出信号 CK2b 的上升就在时钟信号 CK2 的下降之后发生 (图 31 的时序 T4)。

[0298] 基于从移位寄存器 80 与反相器 90 和 91 提供的信号, 每个电平转换器 10 均产生比所提供的信号的振幅大的信号, 且均将所产生的信号作为电压 VWSL 施加到扫描线 WSL。更具体地, 如图 30 所示, 例如, 通过利用移位寄存器 80 的输出信号 $Q(2n-1)$ 作为设定信号 VS、利用反相器 90(n) 的输出信号 $Qb(2n-1)$ 作为反相设定信号 VSb、利用时钟信号 CK2 作为复位信号 VR 及利用反相时钟信号 CK2b 作为反相复位信号 VRb, 第 n 个电平转换器 10(n) 执行任一上述实施例和变形中所描述的操作。

[0299] 在第二应用示例中, 基于时钟信号 CK2, 利用在电平转换器中使用的时钟信号 CK2 以产生复位信号 VR 和反相复位信号 VRb。因此, 能够使电路的尺寸紧凑。

[0300] 并且, 在第二应用示例中, 规律、不断地提供复位信号 VR 和反相复位信号 VRb。因此, 电路能够获得更稳定的操作。

[0301] 第二应用示例所实现的其他效果与上述第一应用示例的效果相类似。

[0302] 第三应用示例

[0303] 现在, 将说明根据实施例和变形所描述的任一电平转换器的第三应用示例的扫描线驱动电路。第三应用示例与上述应用示例的不同在于: 从扫描线驱动电路的外部向每个电平转换器提供复位信号 VR 和反相复位信号 VRb。注意, 使用相同的附图标记来表示与根据上述应用示例的扫描线驱动电路中的元件相同或等价的元件, 不对其做详细的说明。

[0304] 结构示例

[0305] 图 32 示出根据实施例和变形所描述的任一电平转换器的第三应用示例的扫描线驱动电路 73C 的结构示例。扫描线驱动电路 73C 与图 28 中所示的根据第一应用示例的扫描线驱动电路 73A 的不同在于: 将从外部提供的复位控制信号 RST 提供到每个电平转换器 10 的输入端 R, 将从外部提供的反相复位控制信号 RSTb 提供到每个电平转换器 10 的输入端 Rb, 并取消反相器 91。

[0306] 复位控制信号 RST 是如下信号, 即该信号的脉冲信号出现在时钟信号 CK1 和 CK2 的脉冲信号之间。反相复位控制信号 RSTb 是如下信号, 即该信号的波形是通过使复位控制信号 RST 反相而获得, 其脉冲信号的极性与复位控制信号 RST 中出现的脉冲信号的极性相反。

[0307] 而且,扫描线驱动电压 73C 设有用于输出输出信号 Q(1) 至 Q(N) 的移位寄存器 81,以代替用于输出输出信号 Q(1) 至 Q(2N) 的移位寄存器 80。如同在移位寄存器 80 中,移位寄存器 81 是如下电路,即该电路基于输入的时钟信号 CK1 和 CK2 以时分方式依次产生 N 个脉冲信号,然后将所产生的 N 个脉冲信号以其所产生的次序作为输出信号 Q(1) 至 Q(N) 输出。

[0308] 根据这些变形,以如下方式也对电平转换器 10 的输入进行变形。在第 n 个电平转换器 10(n) 中,移位寄存器 81 的输出信号 Q(n) 提供到输入端 S,反相器 90(n) 的输出信号 Qb(n) 提供到输入端 Sb,提供到输入端 S 的信号输入到反相器 90(n)。而且,在第 n 个电平转换器 10(n) 中,复位控制信号 RST 提供到输入端 R,反相复位控制信号 RSTb 提供到输入端 Rb。

[0309] 其它结构与图 28 所示的上述第一应用示例的结构相类似。

[0310] 操作示例

[0311] 图 33 示出扫描线驱动电路 73C 的操作的时序波形图,其中,(A) 示出时钟信号 CK1 的波形,(B) 示出时钟信号 CK2 的波形,(C) 示出复位控制信号 RST 的波形,(D) 示出反相复位控制信号 RSTb 的波形,(E) 示出移位寄存器 81 的输出信号 Q 的波形,(F) 示出反相器 90 的输出信号 Qb 的波形,(G) 示出扫描线 WSL 的电压 VWSL 的波形。

[0312] 基于时钟信号 CK1 和 CK2,移位寄存器 81 一个接一个地依次获取时钟脉冲,产生及输出输出信号 Q(1) 至 Q(N) (图 33 的 (E))。反相器 90 分别将移位寄存器 81 的输出信号 Q 反相,并将所反相的输出信号 Q 作为输出信号 Qb 输出 (图 33 的 (F))。

[0313] 此时,在反相器 90 中,与其输入波形相比,输出信号 Qb 的波形由于反相器 90 中电路延迟的原因而被延迟了。例如,第 n 个反相器 90(n) 的输出信号 Qb(n) 的上升就在移位寄存器 81 的输出信号 Q(n) 的下降之后发生 (图 33 的时序 T5)。

[0314] 如图 33 的 (C) 所示,从外部提供的复位控制信号 RST 的电压仅在时钟信号 CK1 和 CK2 都处于低电平时的时间周期部分中处于高电平。如图 33 的 (D) 所示,从外部提供的反相复位控制信号 RSTb 是通过使复位控制信号 RST 反相获得的。反相复位控制信号可以由可选择的方式产生的任何信号,只要该信号满足如下条件:反相复位控制信号 RSTb 的上升与复位控制信号 RST 的下降是同时的或就在其之后 (图 33 的时序 T6)。例如,反相复位控制信号 RSTb 可以由反相器基于复位控制信号 RST 产生的信号、与复位控制信号 RST 分开产生的信号或其它恰当的信号。

[0315] 基于从移位寄存器 81 与反相器 90 提供的信号、复位控制信号 RST 及反相复位控制信号 RSTb,每个电平转换器 10 均产生比所提供的信号的振幅大的信号,且均将所产生的信号作为电压 VWSL 施加到扫描线 WSL。更具体地,如图 32 所示,例如,通过利用移位寄存器 81 的输出信号 Q(n) 作为设定信号 VS、利用反相器 90(n) 的输出信号 Qb(n) 作为反相设定信号 VSb、利用复位控制信号 RST 作为复位信号 VR 及利用反相复位控制信号 RSTb 作为反相复位信号 VRb,第 n 个电平转换器 10(n) 执行任一上述实施例和变形中所描述的操作。

[0316] 在第三应用示例中,从外部供应复位控制信号 RST 和反相复位控制信号 RSTb。因此,能够自由地设定这些信号的时序,提高扫描线驱动电路 73C 的操作的自由度。

[0317] 并且,在第三应用示例中,从第一应用示例中去除了反相器 91,并使用输出数量减半的移位寄存器 81。因此,能够减少扫描线驱动电路中元件的数量,实现更简化的结构。

[0318] 再者,在第三应用示例中,复位控制信号 RST 和反相复位控制信号 RSTb 的脉冲均提供在时钟信号 CK1 和 CK2 的脉冲信号之间,且移位寄存器 81 的所有输出信号 Q 和这些信号均用于操作电平转换器 10。因此,当时钟信号 CK1 和 CK2 的频率设定成与第一应用示例中的频率相同时,能够将电压 VWSL 施加到所有扫描线 WSL 所占用的时间减半。

[0319] 第三应用示例所实现的其他效果与上述第一应用示例的效果相类似。

[0320] 第四应用示例

[0321] 现在,将说明根据实施例和变形所描述的任一电平转换器的第四应用示例的扫描线驱动电路。第四应用示例与上述应用示例的不同在于:如同第三应用示例,从扫描线驱动电路的外部向每个电平转换器提供复位信号 VR 和反相复位信号 VRb,而且,各个电平转换器的反相设定信号 VSb 是根据时钟信号 CK1 和 CK2 产生。注意,使用相同的附图标记来表示与根据上述应用示例的扫描线驱动电路中的元件相同或等价的元件,不对其做详细的说明。

[0322] 结构示例

[0323] 图 34 示出根据实施例和变形所描述的任一电平转换器的第四应用示例的扫描线驱动电路 73D 的结构示例。扫描线驱动电路 73D 与图 32 中所示的根据第三应用示例的扫描线驱动电路 73C 的不同在于:对每个电平转换器 10 的输入端 Sb 进行变形,使得来自 NOR(或非)电路 85 的输出信号 SETb 提供到输入端 Sb 以取消反相器 90, NOR 电路 85 产生时钟信号 CK1 和时钟信号 CK2 的反相逻辑 OR(或)并将所产生的反相逻辑 OR 作为输出信号 SETb 输出。其它结构与图 32 所示的上述第三应用示例的结构相类似。

[0324] 操作示例

[0325] 图 35 示出扫描线驱动电路 73D 的操作的时序波形图,其中,(A) 示出时钟信号 CK1 的波形,(B) 示出时钟信号 CK2 的波形,(C) 示出复位控制信号 RST 的波形,(D) 示出反相复位控制信号 RSTb 的波形,(E) 示出 NOR 电路 85 的输出信号 SETb 的波形,(F) 示出移位寄存器 81 的输出信号 Q 的波形,(G) 示出扫描线 WSL 的电压 VWSL 的波形。

[0326] 基于时钟信号 CK1 和 CK2,移位寄存器 81 一个接一个地依次获取时钟脉冲,产生及输出输出信号 Q(1) 至 Q(N)(图 35 的(F))。NOR 电路 85 产生时钟信号 CK1 和时钟信号 CK2 的反相逻辑 OR,并输出输出信号 SETb(图 35 的(E))。移位寄存器 81 的输出信号 Q 的下降和 NOR 电路 85 的输出信号 SETb 的上升分别基于时钟信号 CK2 的下降而发生,且原则上同时发生(图 35 的时序 T7)。

[0327] 如已在第三应用示例中所描述,以如下方式从外部供应反相复位控制信号 RSTb,即使得反相复位控制信号 RSTb 的上升与复位控制信号 RST 的下降是同时的或就在其之后(图 35 的时序 T8)。

[0328] 基于从移位寄存器 81 与 NOR 电路 85 提供的信号、复位控制信号 RST 及反相复位控制信号 RSTb,每个电平转换器 10 均产生比所提供的信号的振幅大的信号,且均将所产生的信号作为电压 VWSL 施加到扫描线 WSL。更具体地,如图 34 所示,例如,通过利用移位寄存器 81 的输出信号 Q(n) 作为设定信号 VS、利用 NOR 电路 85 的输出信号 SETb 作为反相设定信号 VSb、利用复位控制信号 RST 作为复位信号 VR 及利用反相复位控制信号 RSTb 作为反相复位信号 VRb,第 n 个电平转换器 10(n) 执行任一上述实施例和变形中所描述的操作。

[0329] 在第一至第三应用示例中的每个应用示例中,设定信号 VS 和反相设定信号 VSb 具

有反相关系,复位信号 VR 和反相复位信号 VRb 同样具有反相关系。相对比的是,在第四应用示例中,设定信号 VS(图 35 的 (F)) 和反相设定信号 VSb(图 35 的 (E)) 不具有反相关系,特别是,即使在反相设定信号 VSb 就在设定信号 VS 的下降之后已经上升,反相设定信号 VSb 还持续重复周期性转变(图 35 的 (E))。这意味着反相设定信号 VSb 的周期性波形可能传输到电平转换器 10 的内部波形,并可能产生故障或错误。

[0330] 因而,在产生故障或错误的情况下,例如,可引入当电平转换器 10 的输出信号处于低电平时中断反相设定信号 VSb 的方案。

[0331] 图 36 示出根据上述实施例和变形的任一电平转换器的第四应用示例的电平转换器 110 的结构示例。电平转换器 110 与图 1 所示的电平转换器 10 的不同在于:在电平转换器 10 中的输入端 Sb 和电容元件 22 之间新设置 MOS 晶体管 55,基于输出信号 VOut 对 MOS 晶体管 55 进行通-断控制。对于这种结构,当电平转换器 110 的输出信号 VOut 处于高电平时 MOS 晶体管 55 处于导通状态,使得通过电容元件 22 将供应到输入端 Sb 的反相设定信号 VSb 传输到节点 B,由此能够抵消由之前的设定信号 VS 所导致的电压变化。另一方面,当电平转换器 110 的输出信号 VOut 处于低电平时 MOS 晶体管 55 处于关断状态,使得供应到输入端 Sb 的反相设定信号 VSb 被阻断。由此,能够防止故障或错误的发生。

[0332] 注意,这里,在图 1 所示的电平转换器 10 中加入 MOS 晶体管 55,但是并未将其限制为此。可将参照图 36 的上述方案应用到根据实施例和变形的任一电平转换器。

[0333] 在第四应用示例中,从第三应用示例中去除反相器 90。由此,能够减少扫描线驱动电路中的元件数量,实现更简化的结构。第四应用示例所实现的其他效果与上述第三应用示例的效果相类似。

[0334] 第五应用示例

[0335] 现在,将说明根据实施例和变形所描述的任一电平转换器的第五应用示例的扫描线驱动电路。第五应用示例使用移位寄存器,该移位寄存器在不同于上述应用示例中的时刻输出信号。也就是说,此应用示例使用如下移位寄存器以构成扫描线驱动电路,即,该移位寄存器在某个输出中传输脉冲信号,然后在该某个输出中的脉冲信号返回到低电平的时刻在随后的输出中传输脉冲信号。注意,使用相同的附图标记来表示与根据上述应用示例的扫描线驱动电路中的元件相同或等同的元件,不对其做详细的说明。

[0336] 结构示例

[0337] 图 37 示出根据实施例和变形所描述的任一电平转换器的第五应用示例的扫描线驱动电路 73E 的结构示例。扫描线驱动电路 73E 设有移位寄存器 82。

[0338] 移位寄存器 82 能够基于所输入的时钟信号 CK 以时分方式依次产生 3N 个脉冲信号,并将所产生的 3N 个脉冲信号以其产生的次序作为输出信号 Q(1) 至 Q(3N) 输出。时钟信号 CK 是具有占空比 50% 的重复波形,是包含在时序产生电路 72 所产生并输出的控制信号 72A 中的信号的一个示例。注意,在下文中,在适当的情况下输出信号 Q(1) 至 Q(3N) 可统称为输出信号 Q。

[0339] 根据移位寄存器 82 的这些变形,也对 N 个反相器 90、N 个反相器 91 和 N 个电平转换器 10 之间的连接作如下变形。每个反相器 90 处理作为输入的移位寄存器 82 的输出信号 Q(3k-2) (其中, k 是等于或小于 N 的自然数)、将输出信号 Q 反相,并将所反相的输出信号 Q 作为输出信号 Qb(2k-1) 输出。每个反相器 91 处理作为输入的移位寄存器 82 的输出

信号 $Q(3k)$ 、将输出信号 Q 反相,并将所反相的输出信号 Q 作为输出信号 $Qb(3k)$ 输出。注意,在下文中,在适当的情况下输出信号 $Qb(1)$ 至 $Qb(2N)$ 可统称为输出信号 Qb 。

[0340] 第 n 个电平转换器 10(n) 包括:输入端 S ,移位寄存器 82 的输出信号 $Q(3n-2)$ 供应到输入端 S ;输入端 Sb ,反相器 90(n) 的输出信号 $Qb(3n-2)$ 供应到输入端 Sb ,输入到反相器 90(n) 的输入是供应到输入端 S 的信号;输入端 R ,移位寄存器 82 的输出信号 $Q(3n)$ 供应到输入端 R ;及输入端 Rb ,反相器 91(n) 的输出信号 $Qb(3n)$ 供应到输入端 Rb ,输入到反相器 91(n) 的输入是供应到输入端 R 的信号。

[0341] 操作示例

[0342] 图 38 示出扫描线驱动电路 73E 的操作的时序波形图,其中,(A) 示出时钟信号 CK 的波形,(B) 示出移位寄存器 82 的输出信号 Q 的波形,(C) 示出反相器 90 和 91 的输出信号 Qb 的波形,(D) 示出扫描线 WSL 的电压 $VWSL$ 的波形。

[0343] 基于时钟信号 CK ,移位寄存器 82 产生均具有与时钟信号 CK 相同脉冲宽度的脉冲信号,以产生及输出输出信号 $Q(1)$ 至 $Q(3N)$ (图 38 的 (B))。在这里,移位寄存器 82 操作,使得根据输出信号 $Q(1)$ 至 $Q(3N)$ 中任一输出信号连续输出脉冲信号。例如,输出信号 $Q(n)$ 已随着时钟信号 CK 的上升而上升时,在时钟信号 CK 的随后下降中,输出信号 $Q(n+1)$ 在输出信号 $Q(n)$ 的下降的同时上升。

[0344] 在图 38 的 (B) 中,仅示出与三个特定电平转换器 10($n-1$) 至 10($n+1$) 有关的移位寄存器 82 的输出信号 Q 。因而,例如,对于移位寄存器 82 的输出信号 Q ,仅示出六个输出信号 $Q(3n-5)$ 、 $Q(3n-3)$ 、 $Q(3n-2)$ 、 $Q(3n)$ 、 $Q(3n+1)$ 和 $Q(3n+3)$ 的波形,而未示出诸如 $Q(3n-4)$ 、 $Q(3n-1)$ 和 $Q(3n+2)$ 之类的信号的波形。

[0345] 反相器 90 和 91 的每个反相器将从移位寄存器 82 供应的输出信号 Q 反相,并将所反相的输出信号 Q 作为输出信号 Qb 输出(图 29 的 (D))。此时,与其输入信号相比,反相器 90 和 91 的每个反相器中的输出信号 Qb 的波形由于反相器 90 和 91 的每个反相器中的电路延迟的原因而被延迟。例如,第 n 个反相器 90(n) 的输出信号 $Qb(3n-2)$ 的上升就在移位寄存器 82 的输出信号 $Q(3n-2)$ 的下降之后出现(图 38 的时序 $T9$)。相类似地,例如,第 n 个反相器 91(n) 的输出信号 $Qb(3n)$ 的上升就在移位寄存器 82 的输出信号 $Q(3n)$ 的下降之后出现(图 38 的时序 $T10$)。

[0346] 基于从移位寄存器 82 和反相器 90 和 91 提供的信号,每个电平转换器 10 均产生比所提供的信号的振幅大的信号,且均将所产生的信号作为电压 $VWSL$ 施加到扫描线 WSL 。更具体地,如图 37 所示,例如,通过利用移位寄存器 82 的输出信号 $Q(3n-2)$ 作为设定信号 VS 、利用反相器 90(n) 的输出信号 $Qb(3n-2)$ 作为反相设定信号 VSb 、利用移位寄存器 82 的输出信号 $Q(3n)$ 作为复位信号 VR 及利用反相器 91(n) 的输出信号 $Qb(3n)$ 作为反相复位信号 VRb ,第 n 个电平转换器 10(n) 执行任一上述实施例和变形中所描述的操作。

[0347] 在根据实施例和变形的电平转换器中,当设定信号 VS 和复位信号 VR 均设定成高电平时,可能产生从电源 $PVDD1$ 和 $PVDD2$ 流向电源 $PVSS$ 的直通电流,相应地增加了功耗。因此,期望设定信号 VS 和复位信号 VR 即使在瞬时的情况下也不同处于高电平。

[0348] 在第五应用示例中,没有使用移位寄存器 82 的输出中三个输出中的一个输出,于是不允许输入到某个电平转换器 10 的设定信号 VS 和复位信号 VR 同时处于高电平。例如,在第 n 个电平转换器 10(n) 中,移位寄存器 82 的输出信号 $Q(3n-2)$ 中的脉冲信号用作设定

信号 VS, 移位寄存器 82 的输出信号 Q(3n) 用作复位信号 VR。换句话说, 没有使用移位寄存器 82 的输出信号 Q(3n-1), 由此使设定信号 VS 和复位信号 VR 即使是瞬时也同时处于高电平。

[0349] 在第五应用示例中, 在以连续方式根据任一输出信号连续输出脉冲信号的移位寄存器中, 未将连续的两个输出信号用于设定信号和复位信号。由此, 能够防止直通电流, 实现低功耗。第五应用示例所实现的其他效果与上述第一应用示例的效果相类似。

[0350] 7. 电子装置的运用示例

[0351] 现在, 将参照图 39 至 43G 说明根据实施例、变形和应用示例的电平转换器、驱动电路和显示装置的电子装置的运用示例。根据实施例、变形和应用示例的电平转换器、驱动电路和显示装置可应用到任何领域的任何电子装置。电子装置例如是但未限制为电视机、数码相机、包括台式个人计算机和便携式个人计算机的计算机、包括手机的手提式终端装置、摄相机或期望提供恰当或良好形状波形的任何其它装置。

[0352] 第一运用示例

[0353] 图 39 示出应用有根据上述任一实施例等的电平转换器、驱动电路和显示装置的电视装置的外形。电视装置例如设有包括前面板 511 和滤色玻璃 512 的图像显示屏单元 510。图像显示屏单元 510 包括根据上述任一实施例等的电平转换器、驱动电路和显示装置。

[0354] 第二运用示例

[0355] 图 40A 和图 40B 均示出应用有根据上述任一实施例等的电平转换器、驱动电路和显示装置的数码相机的外形。数码相机例如设有用于闪光的发光单元 521、显示单元 522、菜单切换部件 523 和快门按钮 524。显示单元 522 包括根据上述任一实施例等的电平转换器、驱动电路和显示装置。

[0356] 第三运用示例

[0357] 图 41 示出应用有根据上述任一实施例等的电平转换器、驱动电路和显示装置的便携式个人计算机的外形。便携式个人计算机例如设有主体 531、用于字符等的输入操作的键盘 532 和用于显示图像的显示单元 533。显示单元 533 包括根据上述任一实施例等的电平转换器、驱动电路和显示装置。

[0358] 第四运用示例

[0359] 图 42 示出应用有根据上述任一实施例等的电平转换器、驱动电路和显示装置的照相机的外形。摄相机例如设有主体 541、设于主体 541 的前面用于捕捉物体图像的透镜 542、拍摄开 / 停开关 543 和显示单元 544。显示单元 544 包括根据上述任一实施例等的电平转换器、驱动电路和显示装置。

[0360] 第五运用示例

[0361] 图 43A 至图 43G 均示出应用有根据上述任一实施例等的电平转换器、驱动电路和显示装置的手机的外形。手机通过连接部分 (或铰链) 730 连接上盖 710 和下盖 720, 并设有显示器 740、子显示器 750、图片灯 760 和相机 770。显示器 740 或子显示器 750 包括根据上述任一实施例等的电平转换器、驱动电路和显示装置。

[0362] 尽管在上面以参照实施例、变形、应用示例和电子装置的运用示例的方式说明本发明, 但并未将其限制为此, 可以以各种方式进行修改。

[0363] 在根据第二至第五实施例的每个电平转换器中,如同在第一实施例的一个变形中,所提供的反相设定信号 VSb 和所提供的反相复位信号 VRb 的高电平电压 VIH 和低电平电压 VIL 均可设定成可选择电压。

[0364] 在根据第二至第五实施例的每个电平转换器中,如同在第一实施例的一个变形中,所提供的设定信号 VS、复位信号 VR、反相设定信号 VSb 和反相复位信号 VRb 之间的关系满足以下条件:反相设定信号 VSb 的上升与设定信号 VS 的下降是同时的或在其之后;反相设定信号 VSb 的下降处于设定信号 VS 为高电平的周期内,以及反相复位信号 VRb 的上升与复位信号 VR 的下降是同时的或在其之后;反相复位信号 VRb 的下降处于复位信号 VR 为高电平的周期内。

[0365] 在根据第二至第五实施例的每个电平转换器中,如同在第一实施例的一个变形中,可利用 MOS 晶体管的栅极氧化膜电容构成对应于电容元件 22 至 25 的电容。

[0366] 在根据第二至第五实施例的每个电平转换器中,如同在第一实施例的一个变形中,可使用双栅极 MOS 晶体管或三栅极 MOS 晶体管。

[0367] 在根据第二至第五实施例的每个电平转换器中,如同在第一实施例的一个变形中,可不配备 MOS 晶体管 15。

[0368] 在根据第二至第五实施例的每个电平转换器中,如同在第一实施例的一个变形中,可将 P 沟道 MOS 晶体管用于 MOS 晶体管。

[0369] 已根据上述示例性实施例说明了本发明,但本发明不限于此。本领域技术人员应当理解,在不脱离本发明所附权利要求限定的范围内可对上述实施例进行各种改变。应根据权利要求所采用的语言广义地解释权利要求的限定,而并非限制于说明书或申请的执行阶段所述的示例,这些示例不是排他的。例如,在本文中,词语“优选地”等不是排他的而只是表示“优选地”,不局限于此。所使用的词语第一、第二等不表示任何顺序或重要性,而只是用来区分各元件。而且,无论本公开内容的构成部分是否在权利要求中列出,都不奉献给公众。

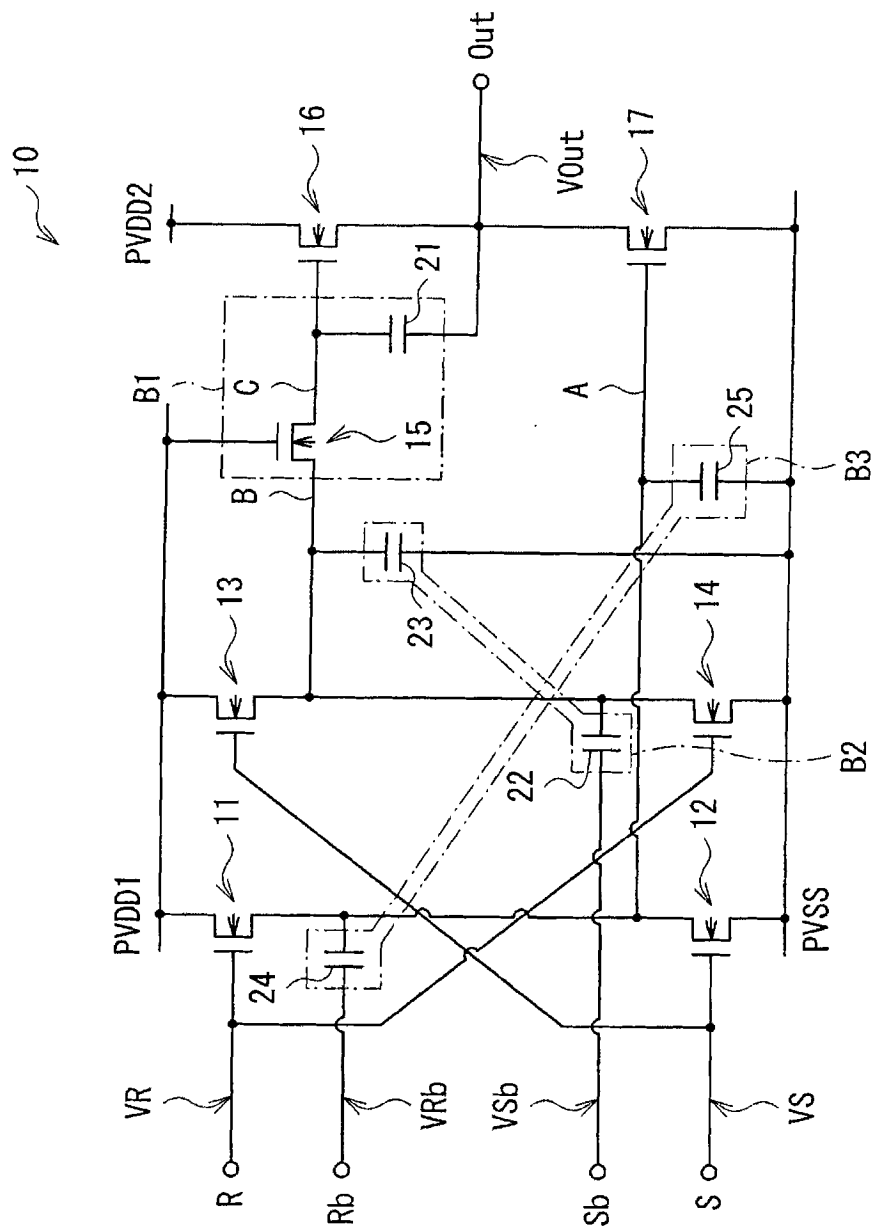


图 1

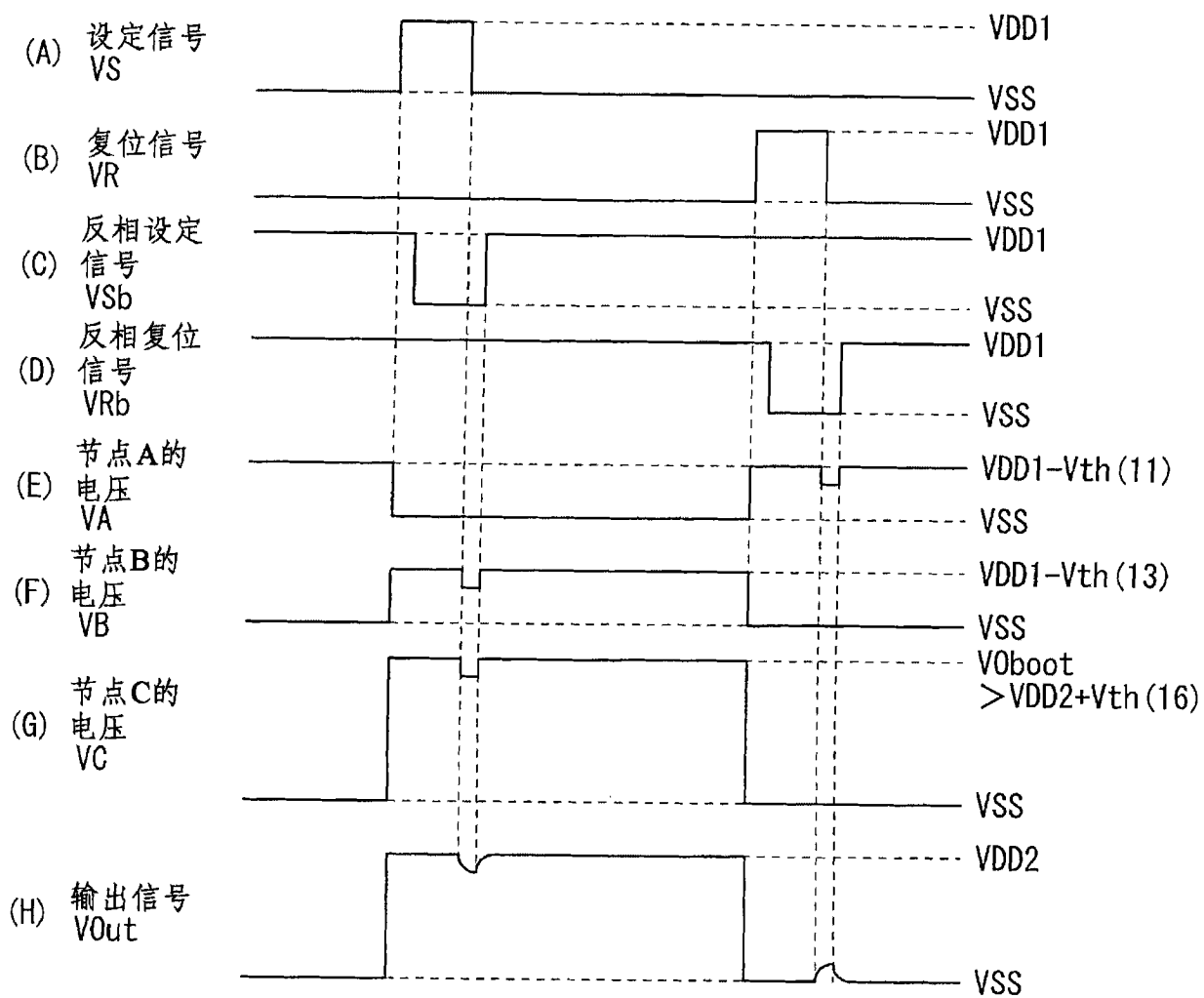


图 2

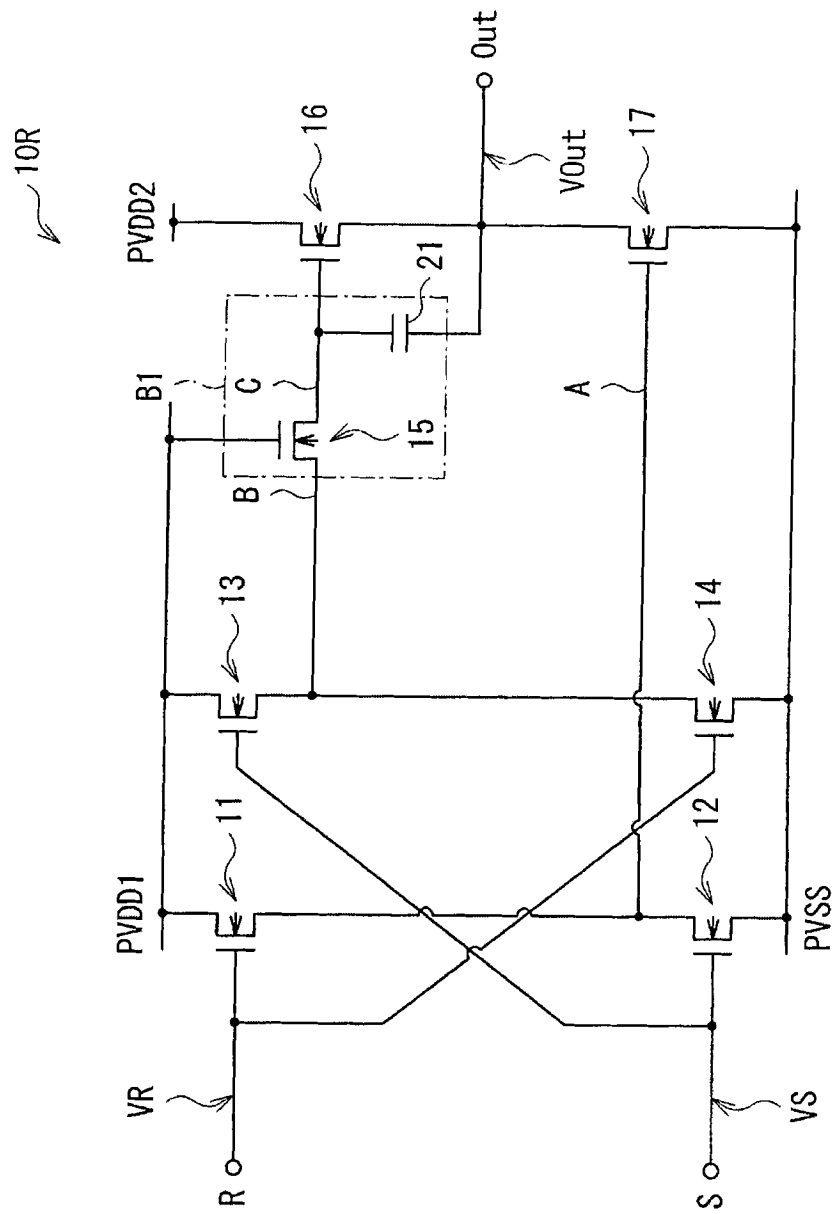


图 3

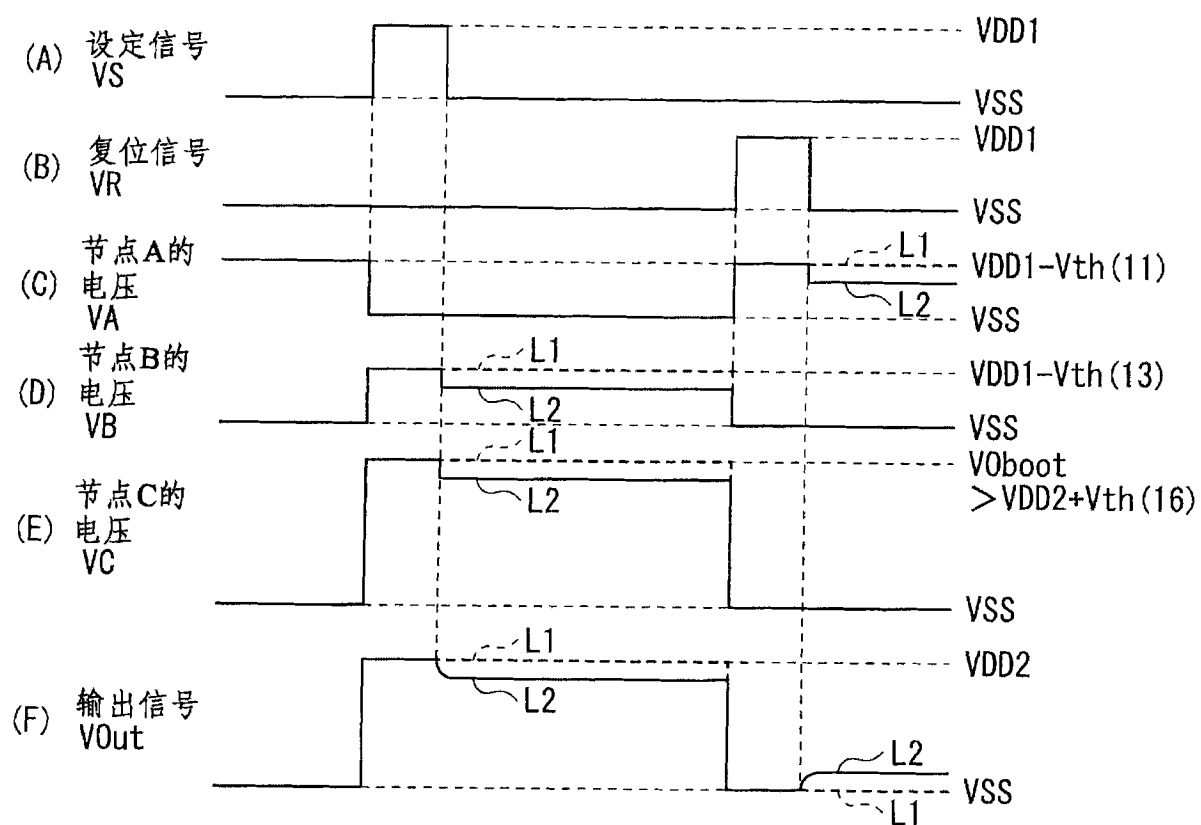


图 4

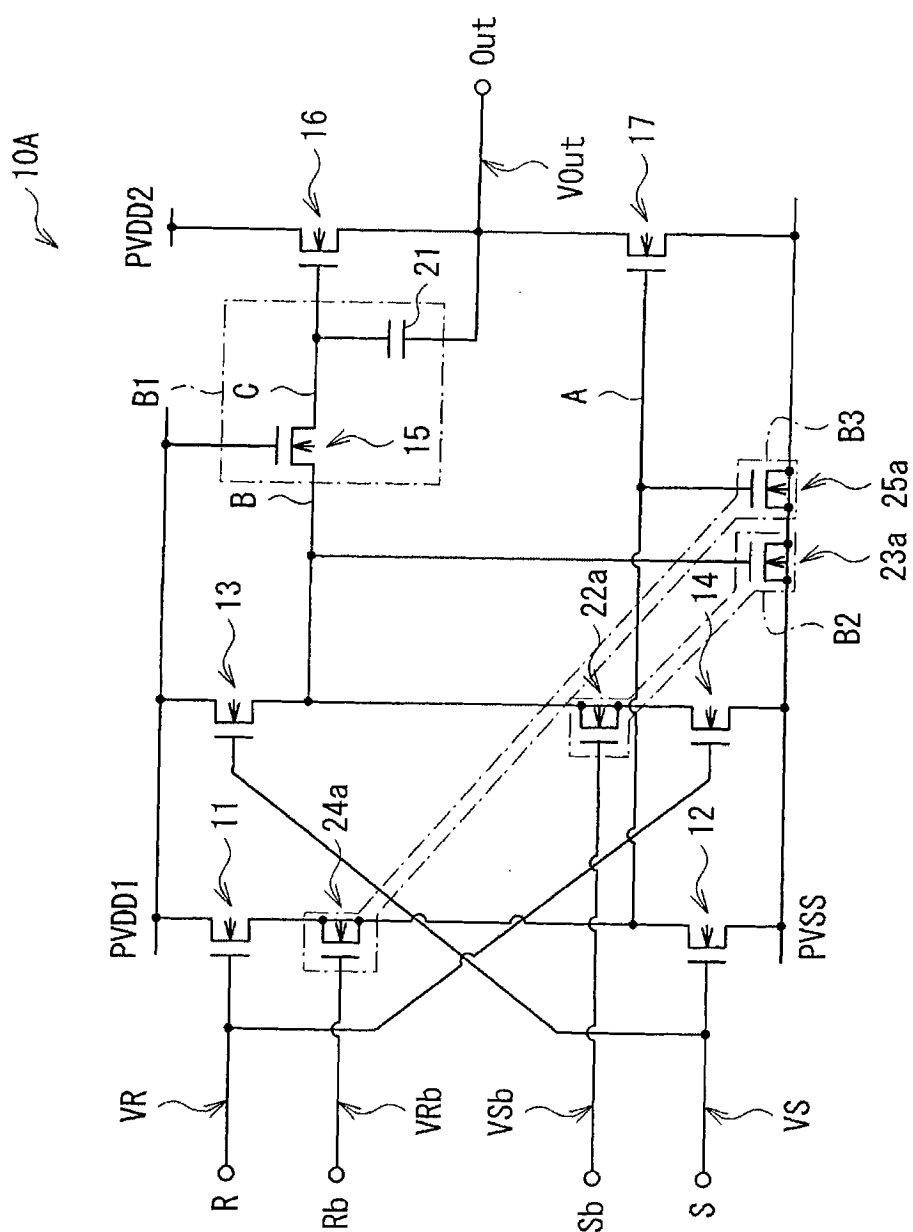


图 5

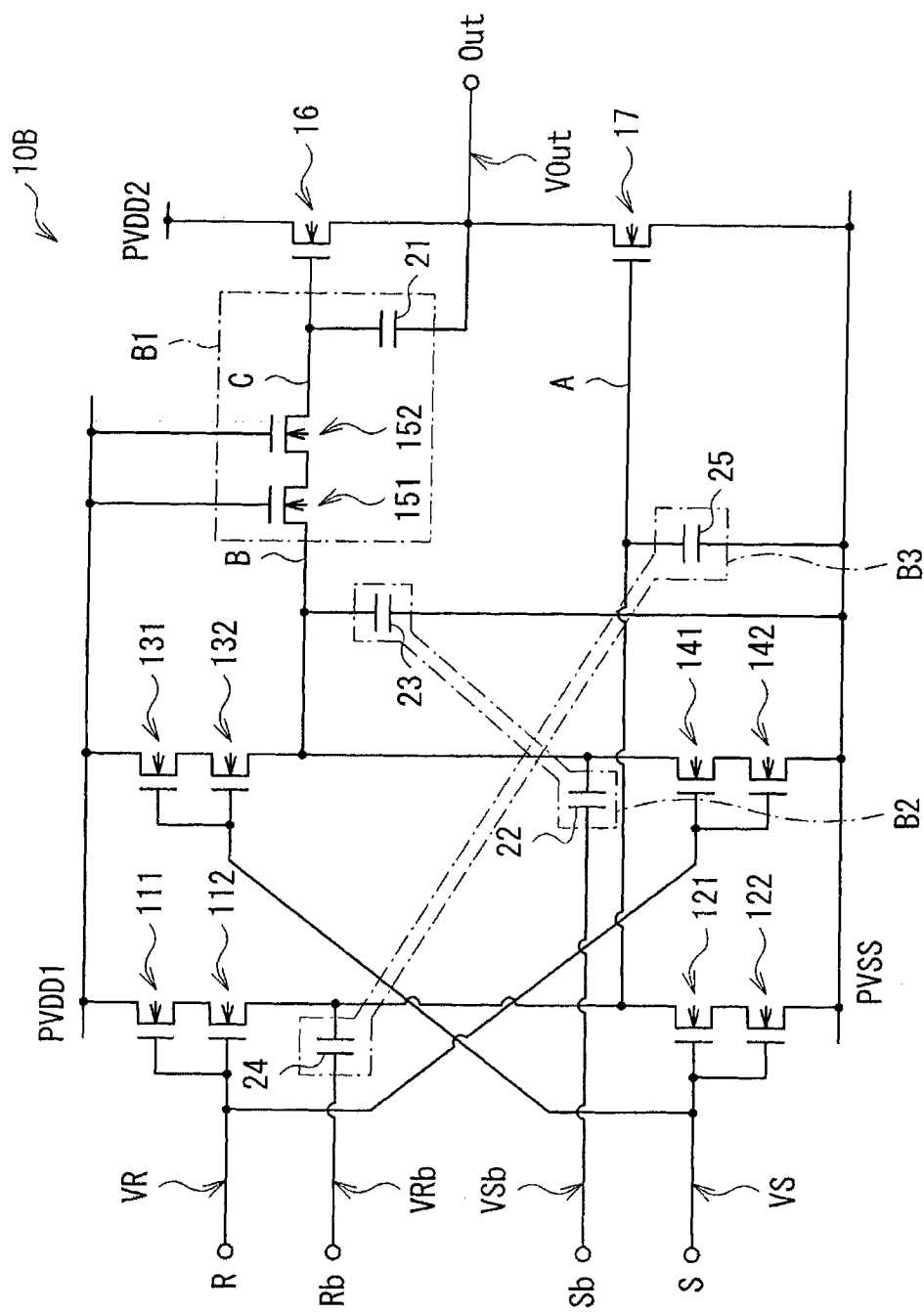


图 6

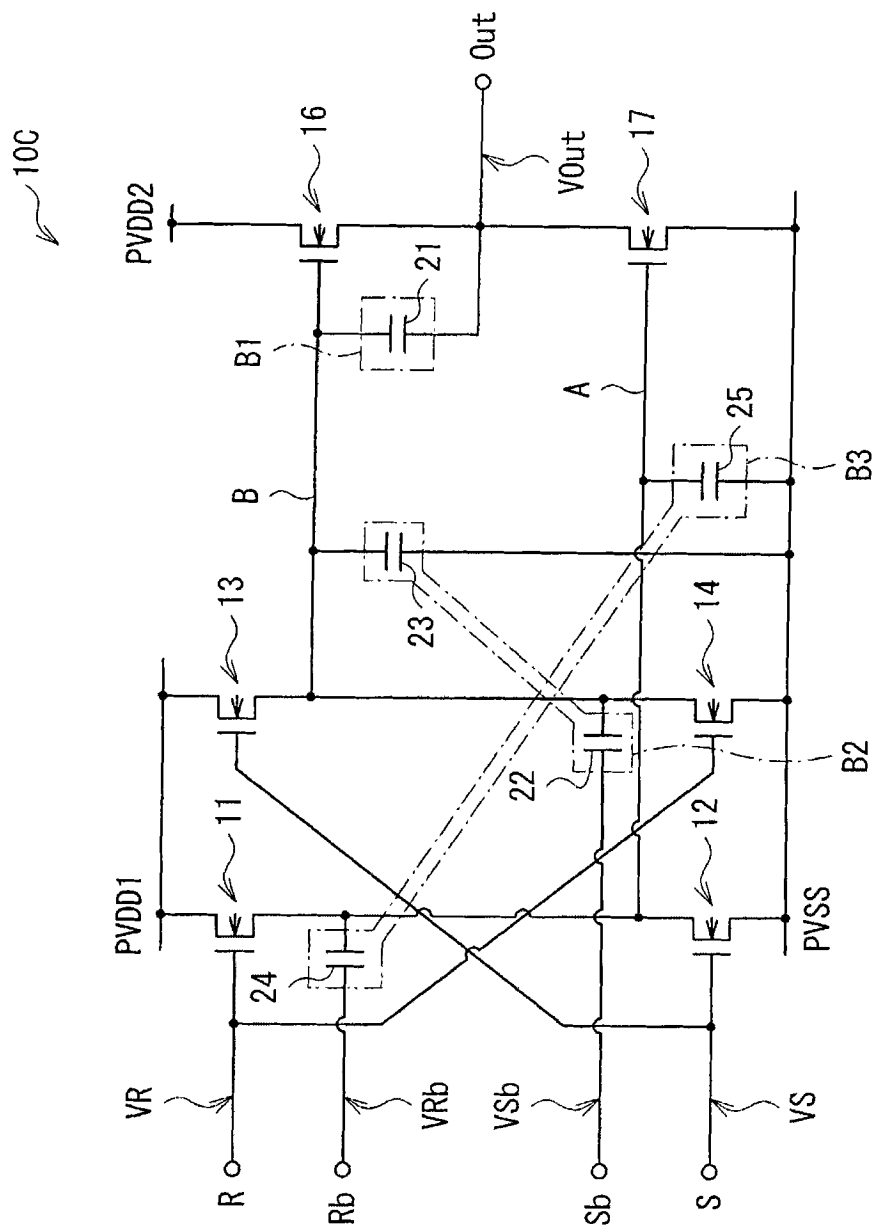


图 7

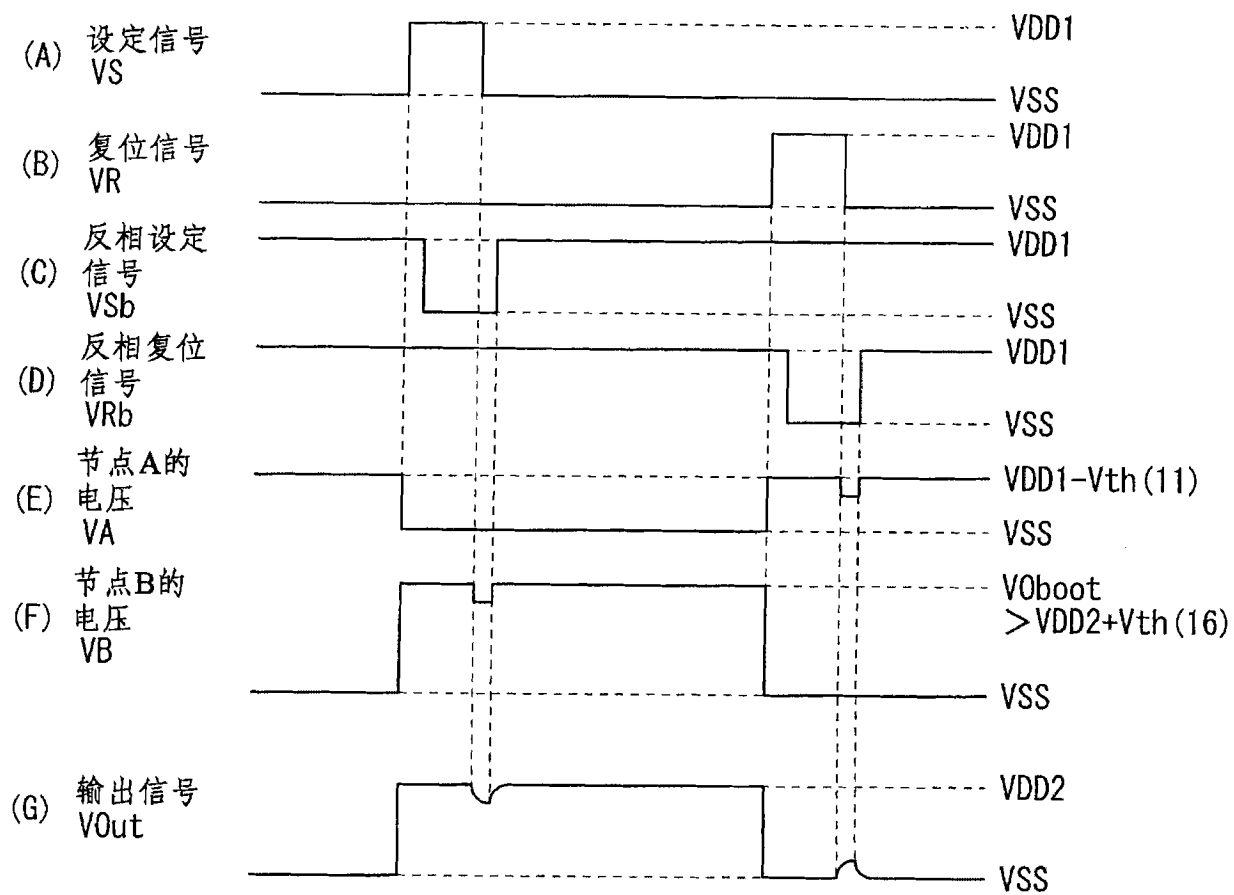


图 8

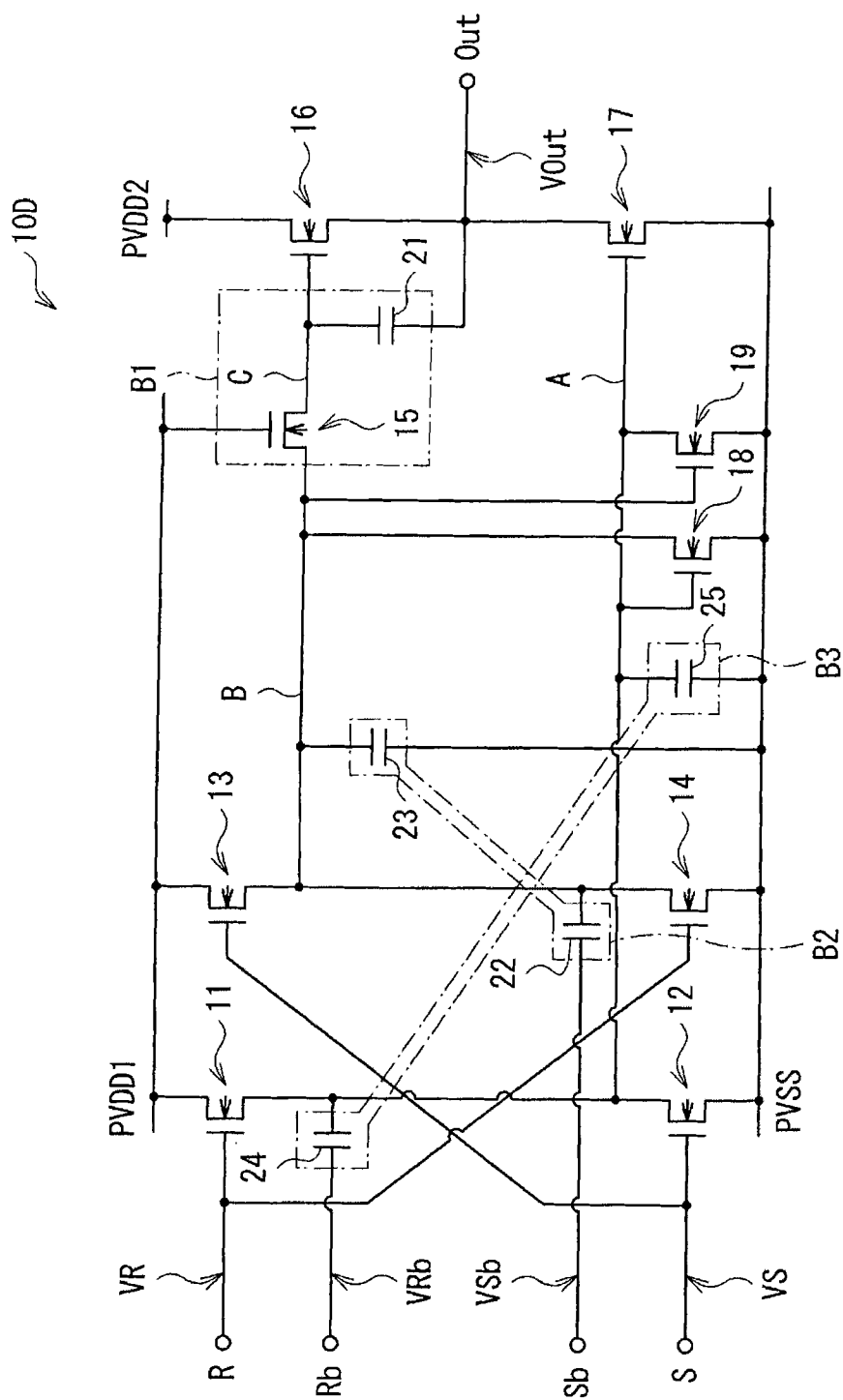


图 9

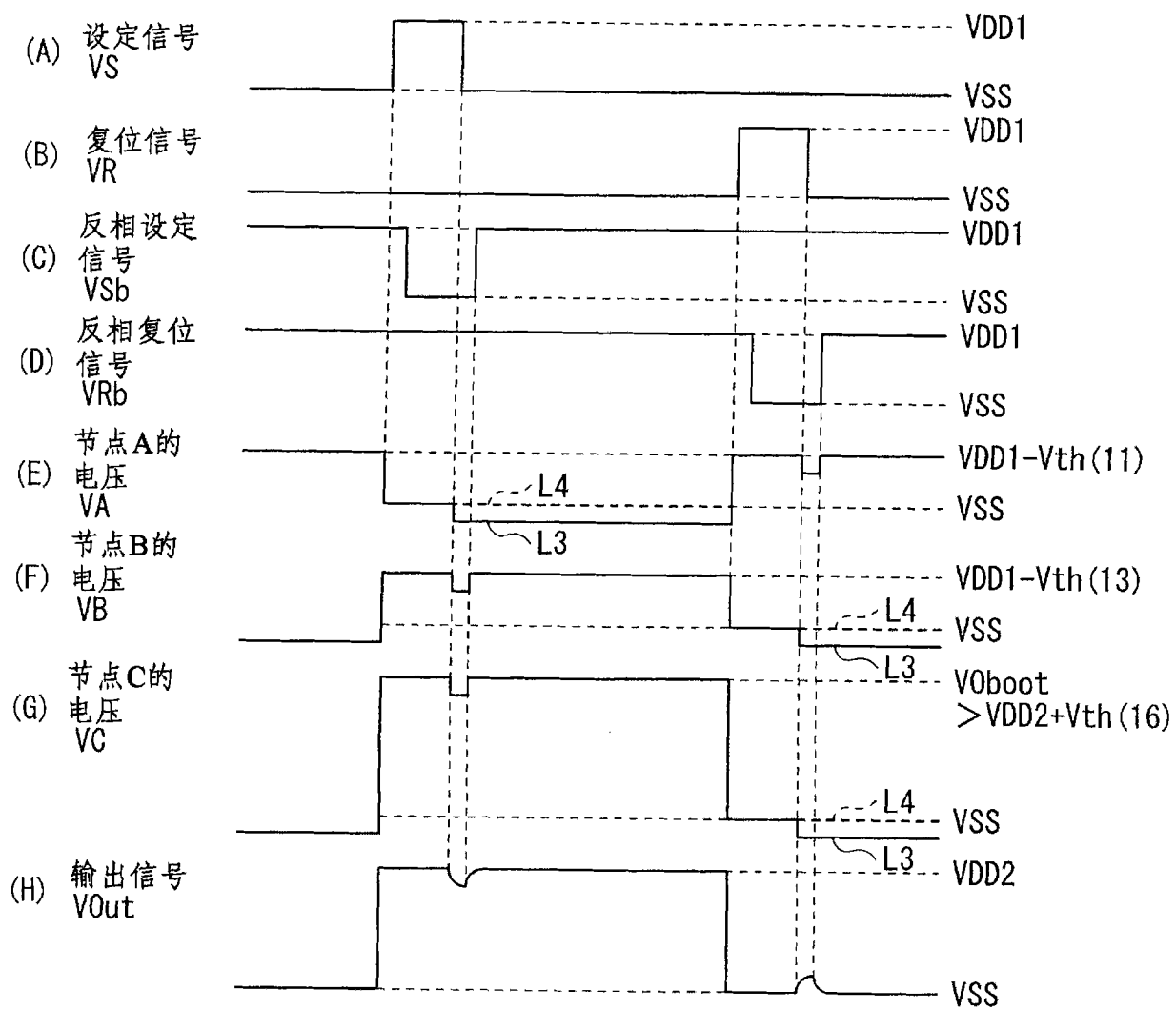


图 10

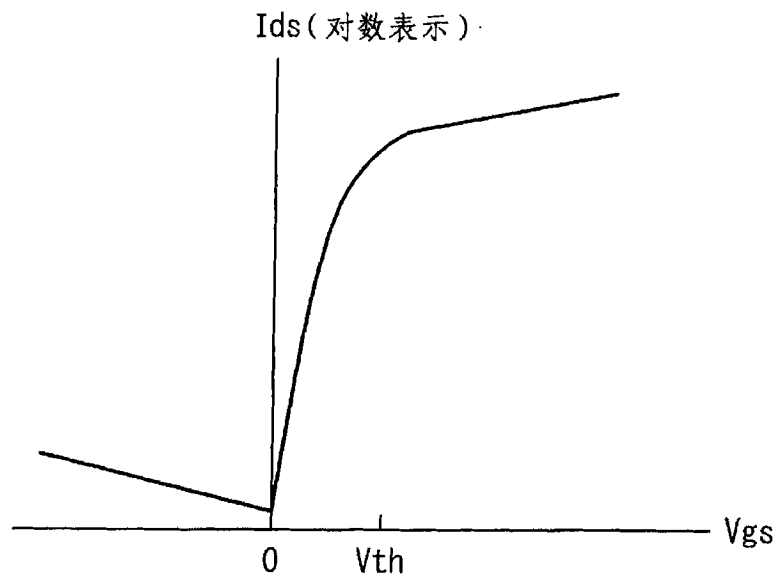


图 11

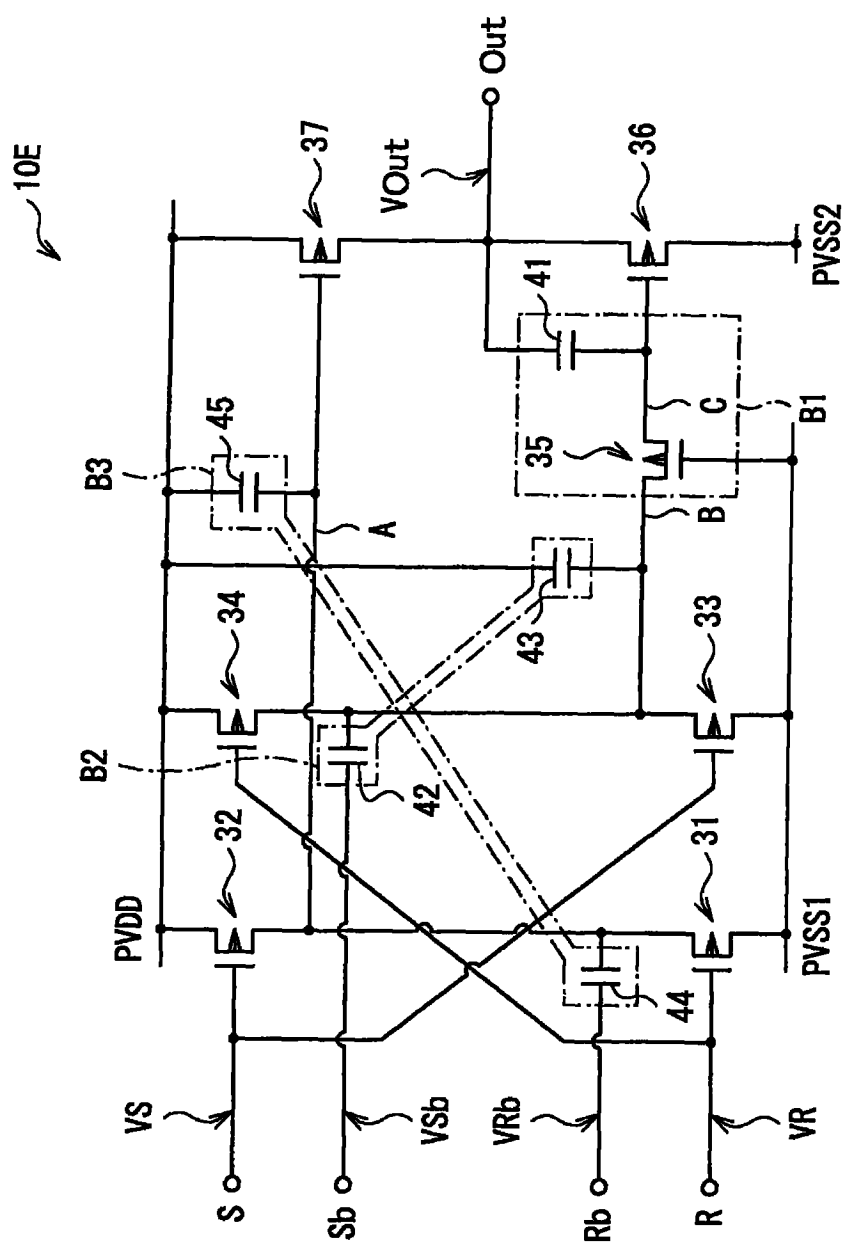


图 12

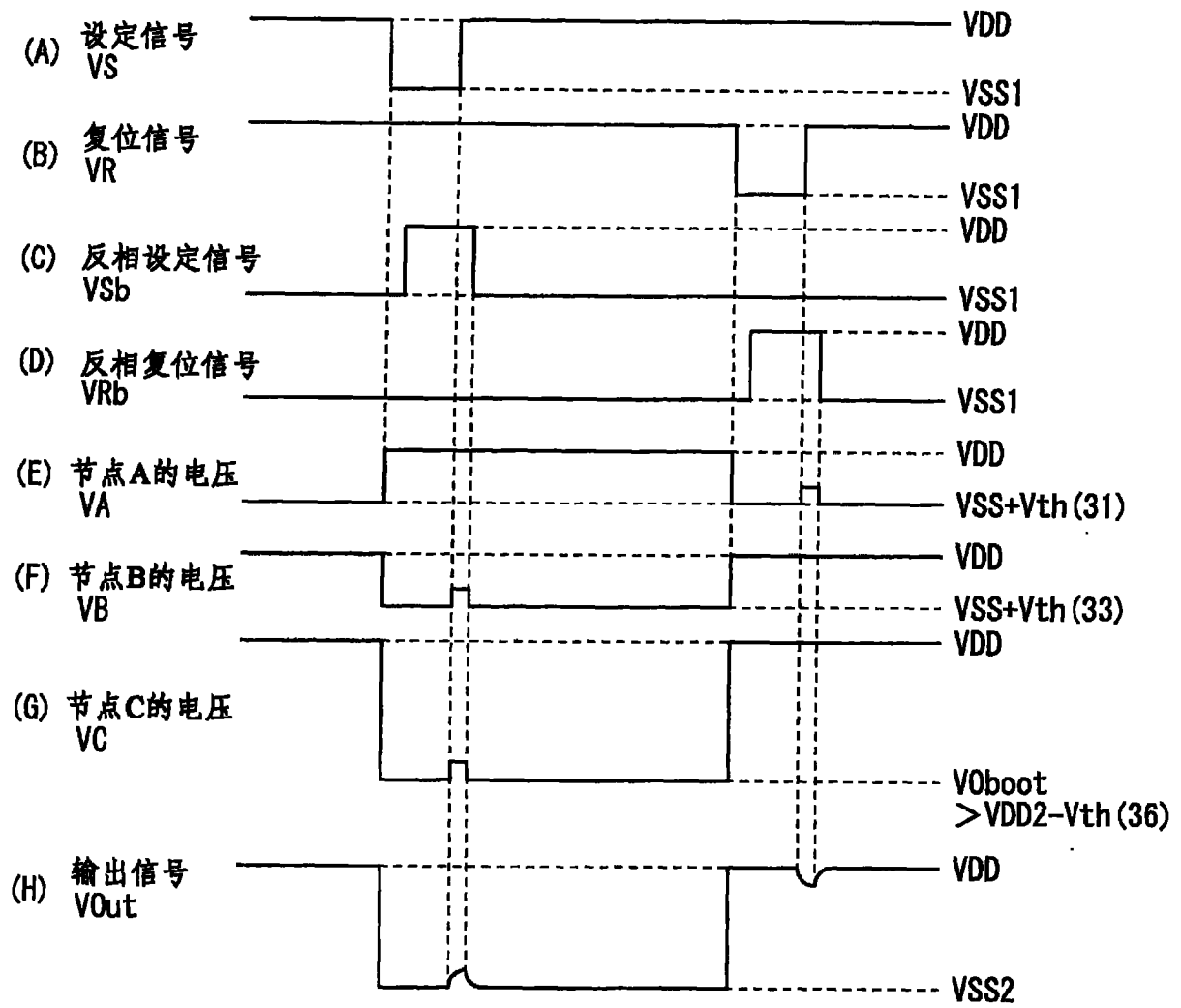


图 13

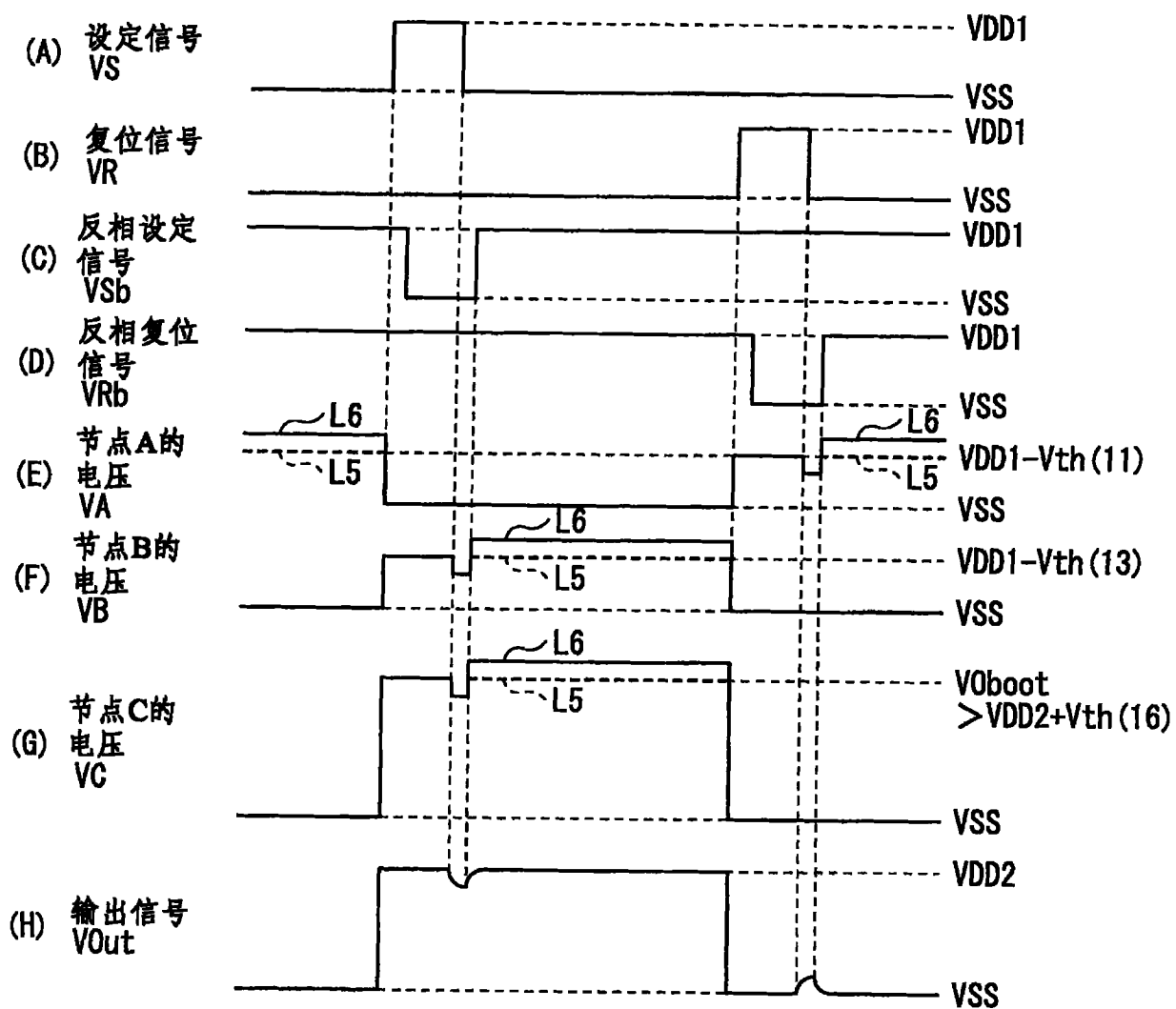


图 14

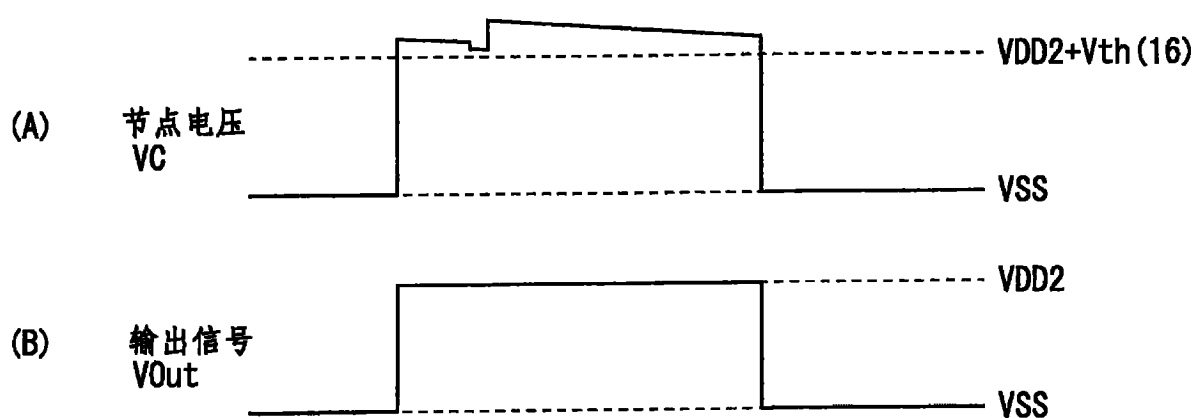


图 15

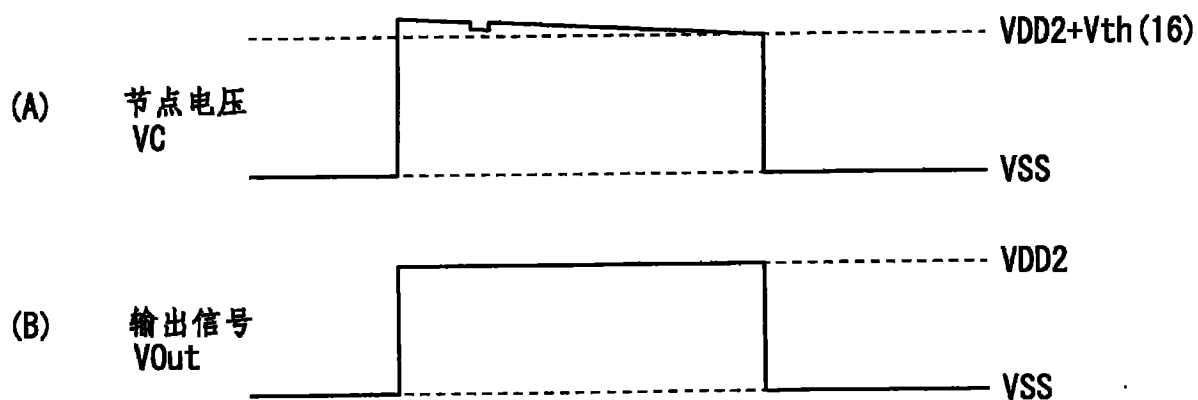


图 16

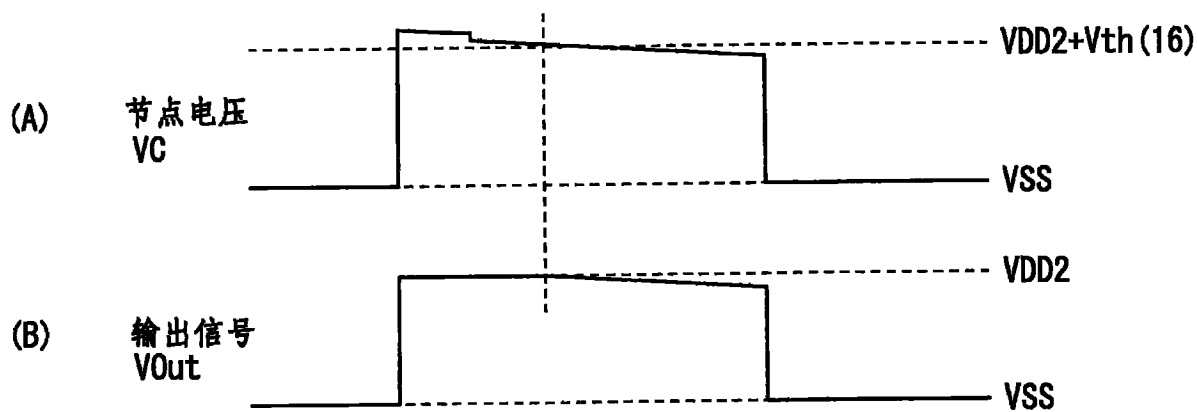


图 17

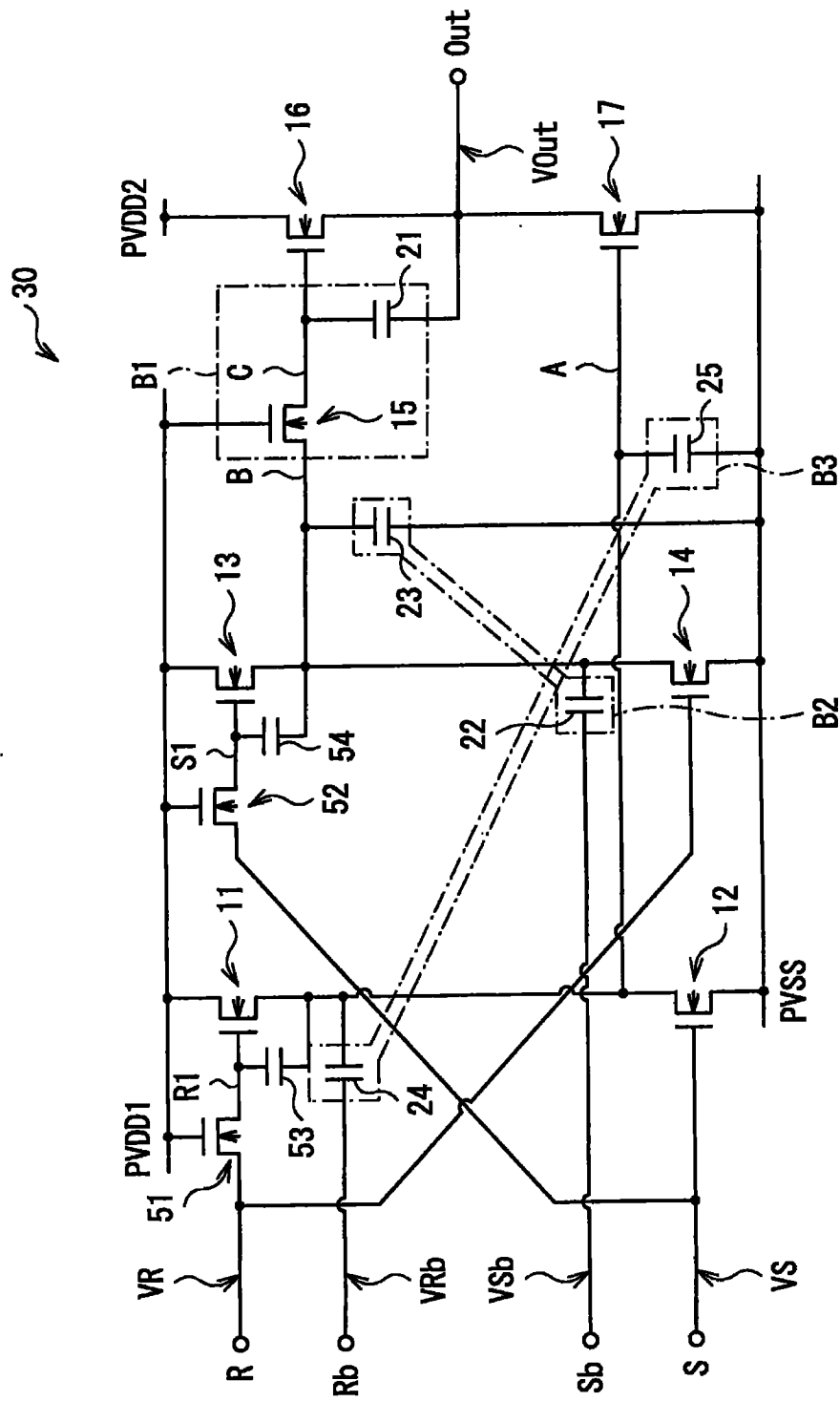


图 18

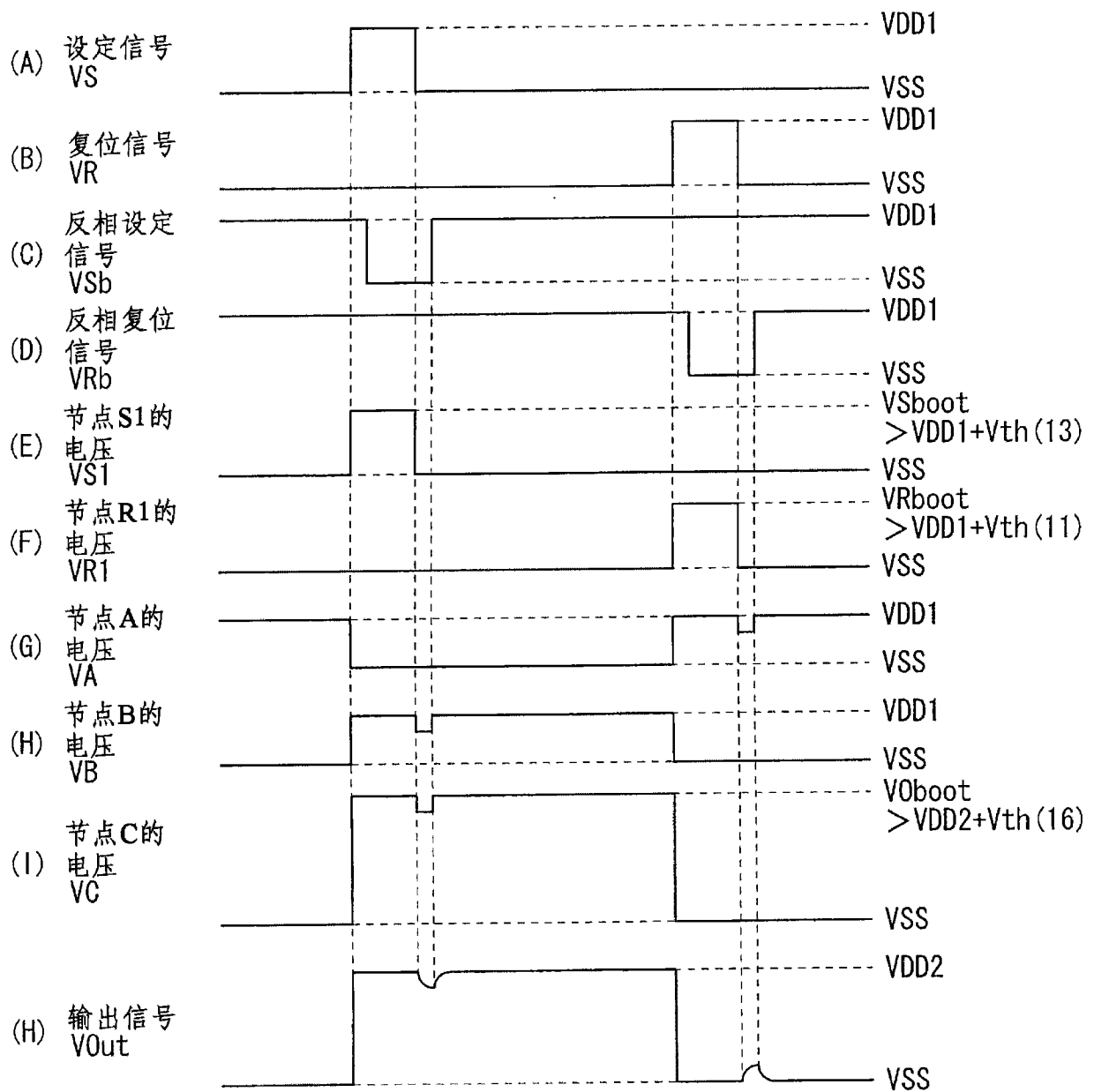


图 19

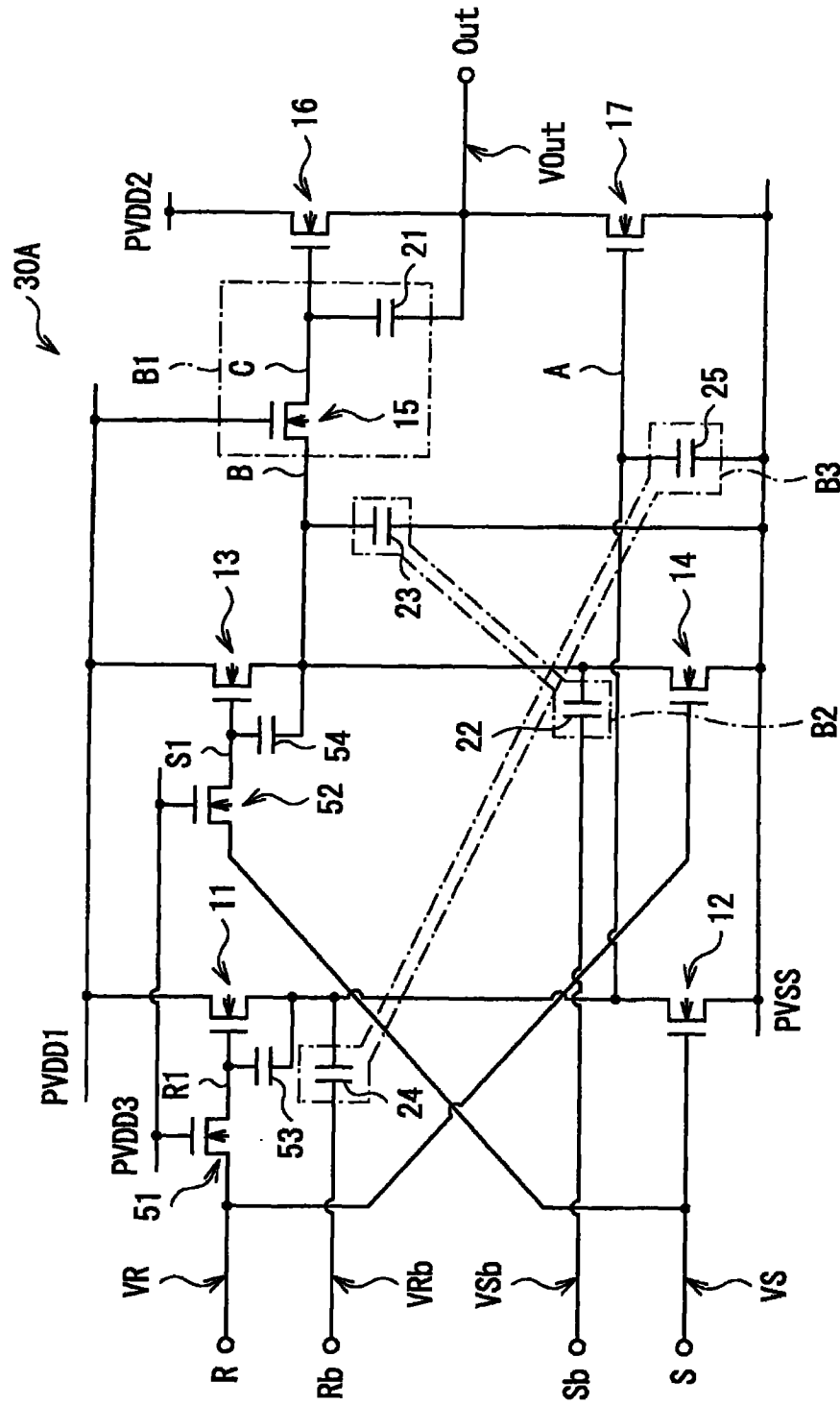


图 20

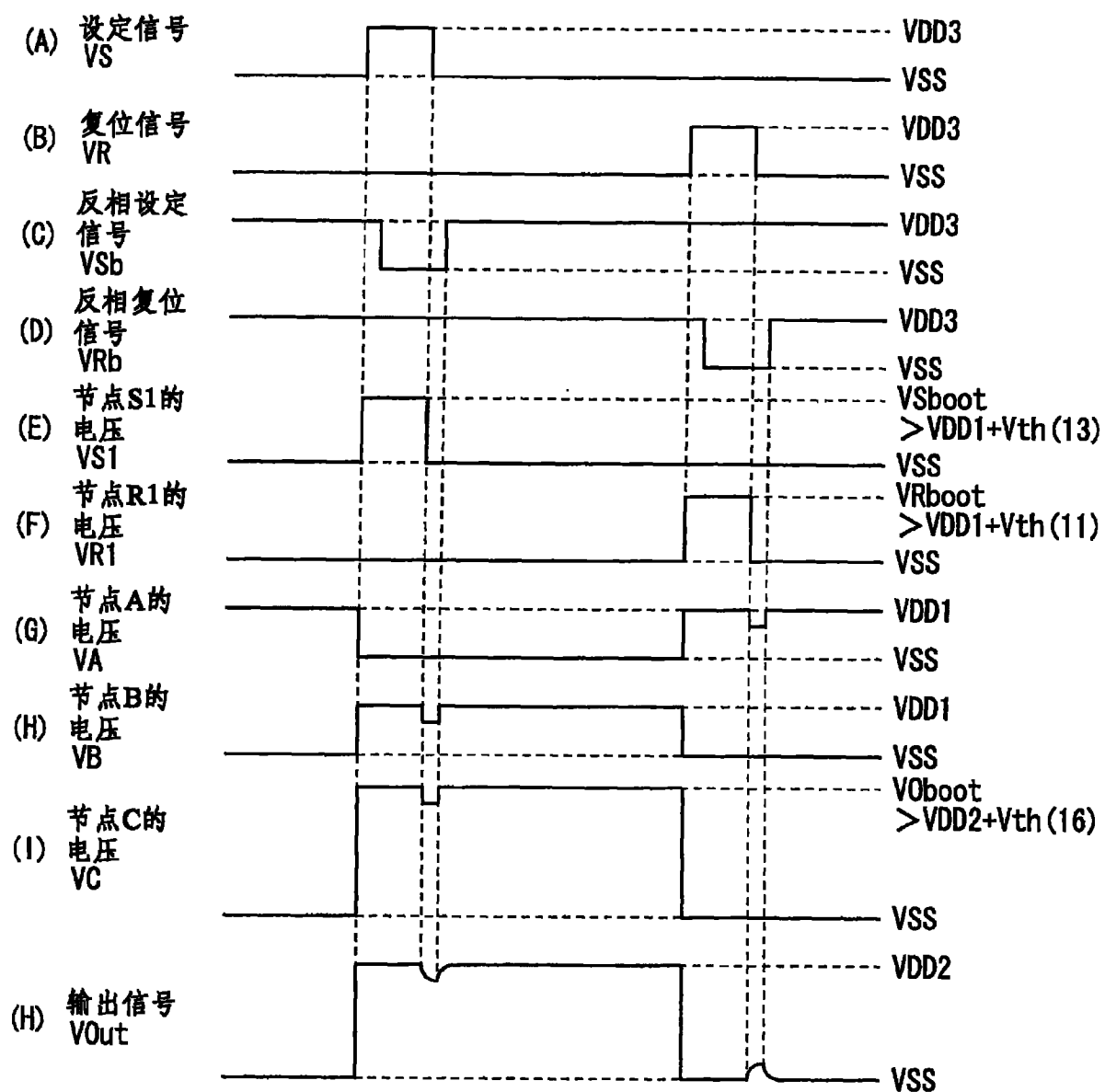


图 21

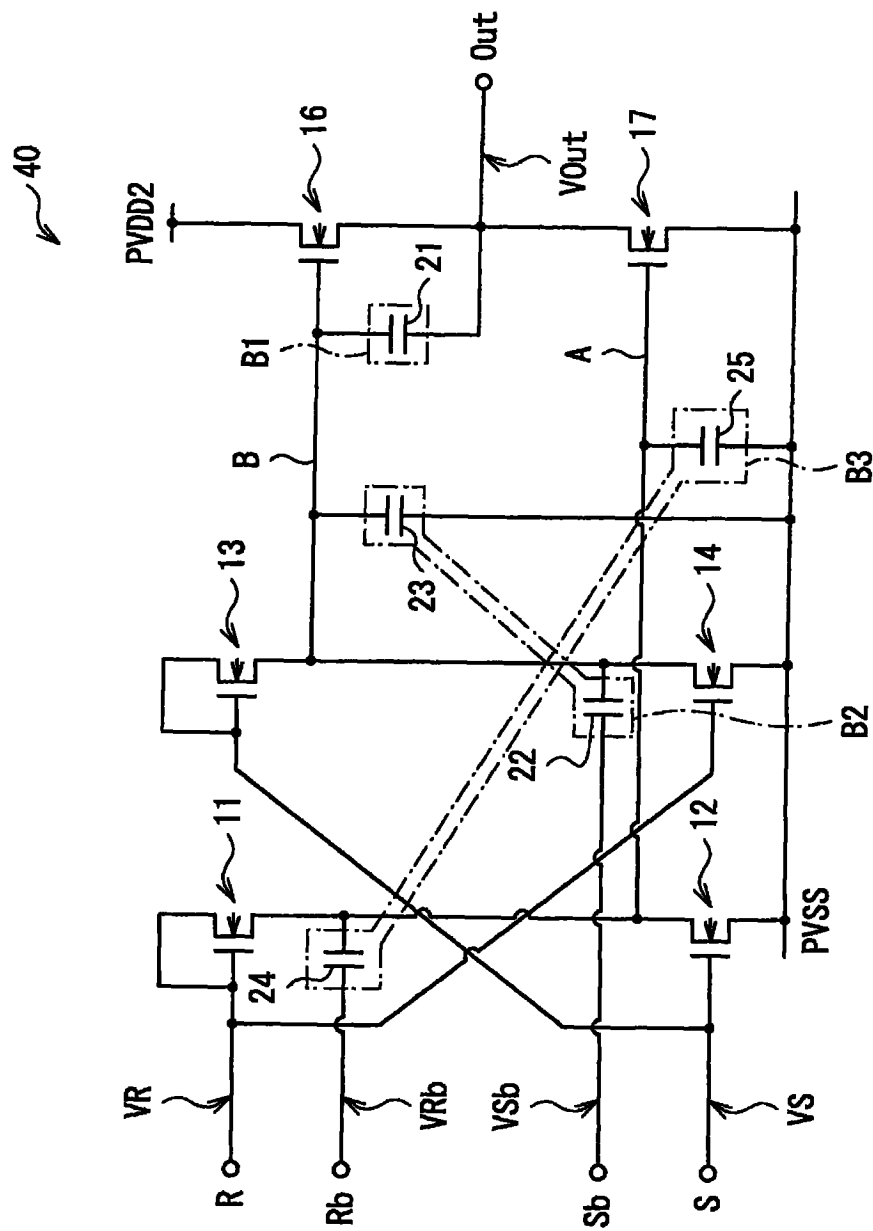


图 22

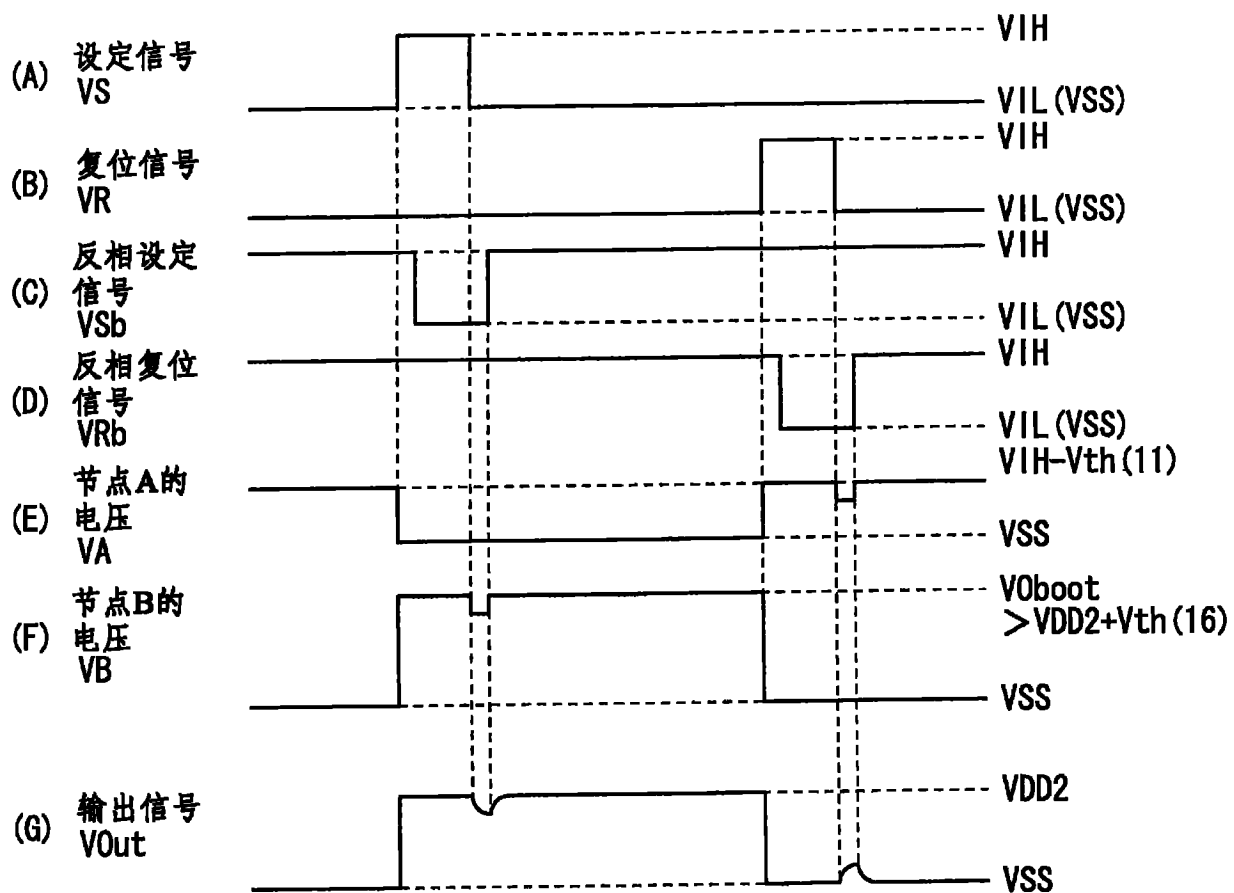


图 23

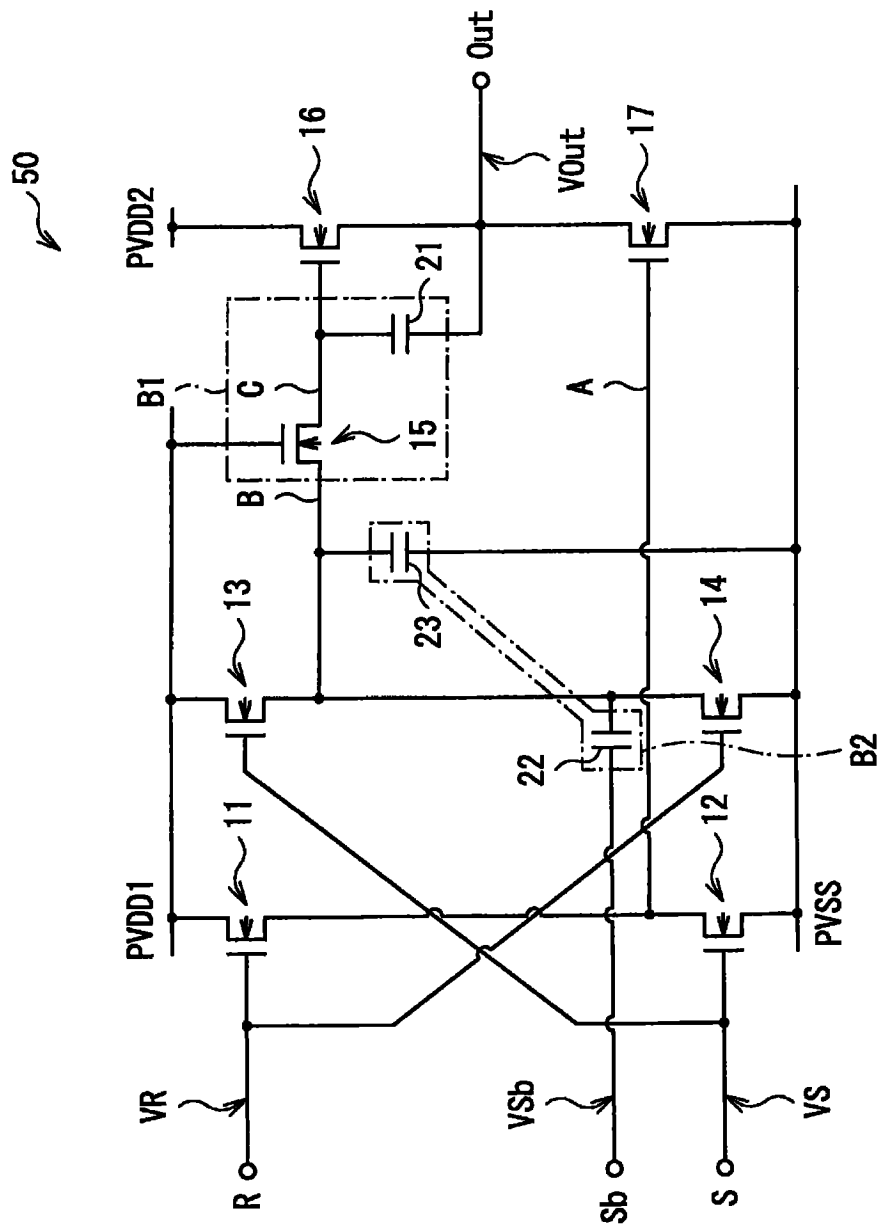


图 24

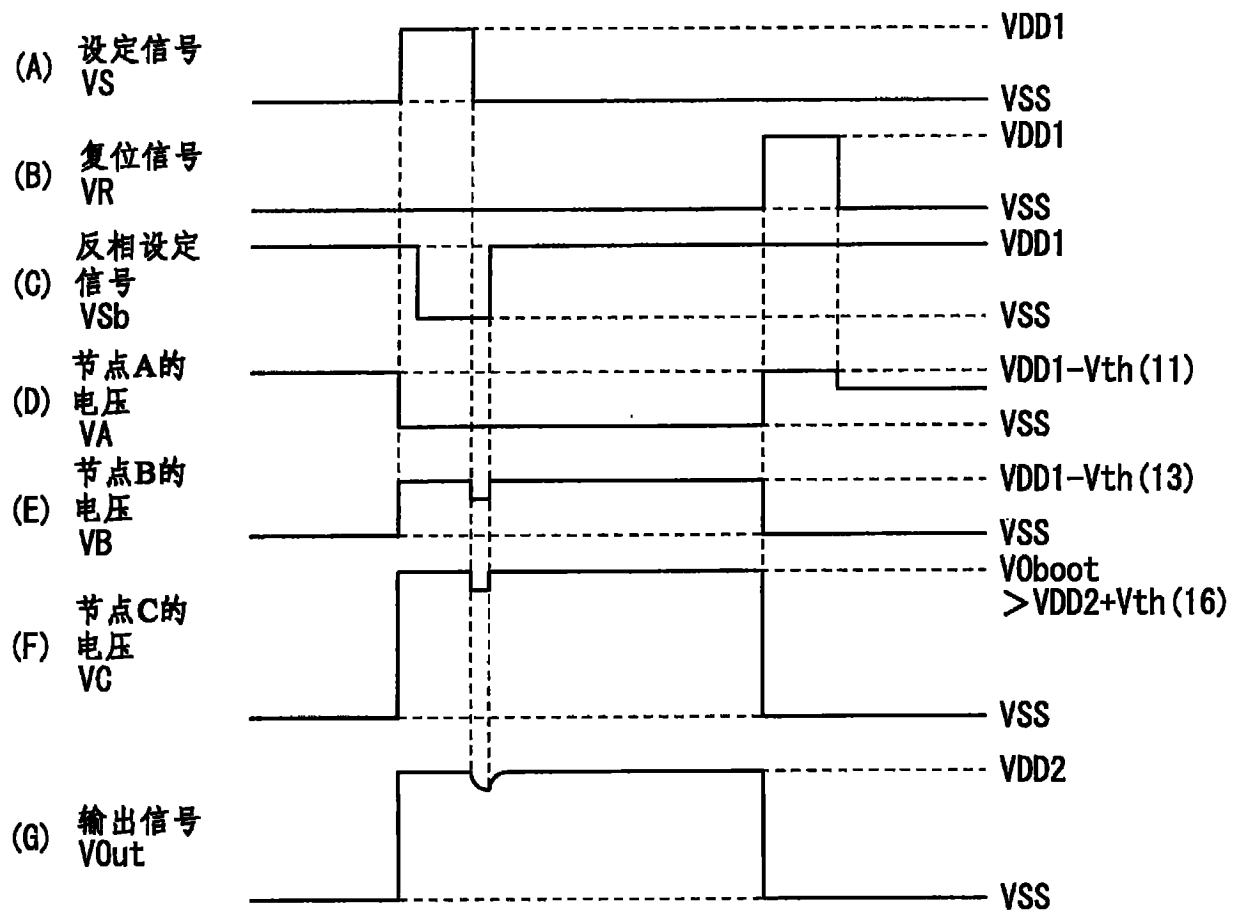


图 25

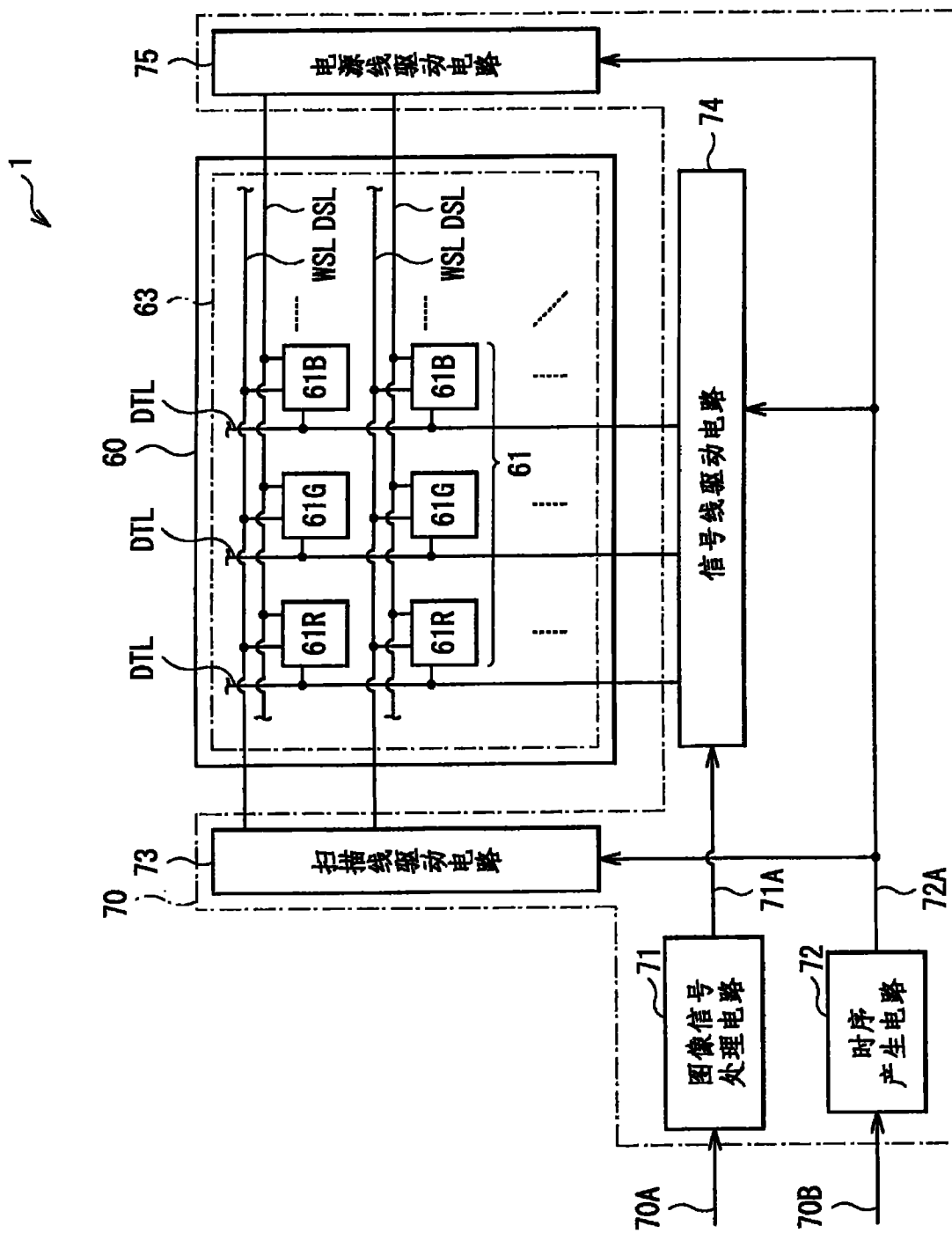


图 26

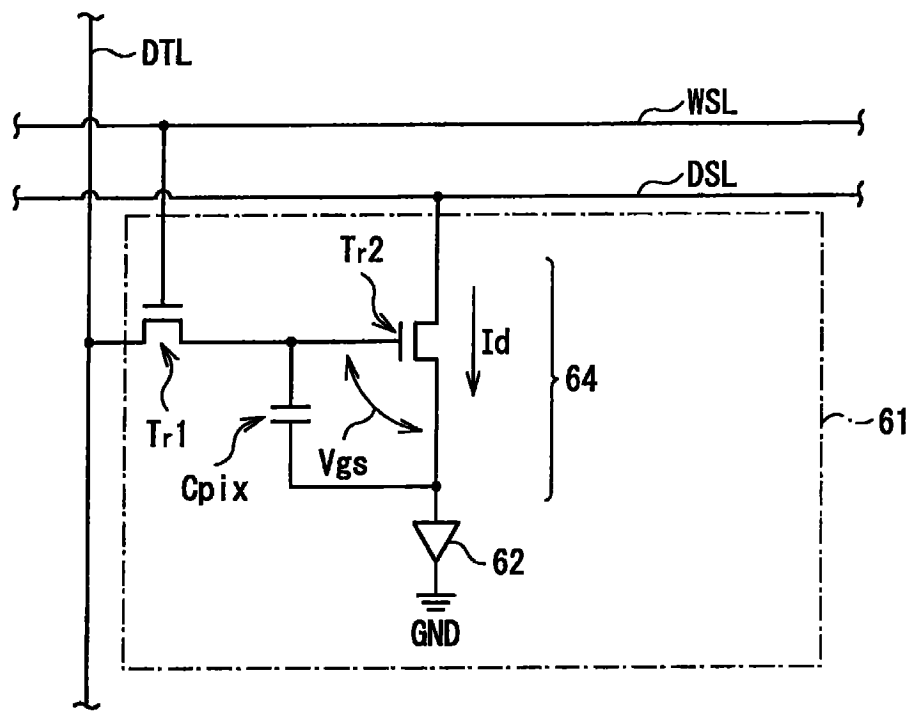


图 27

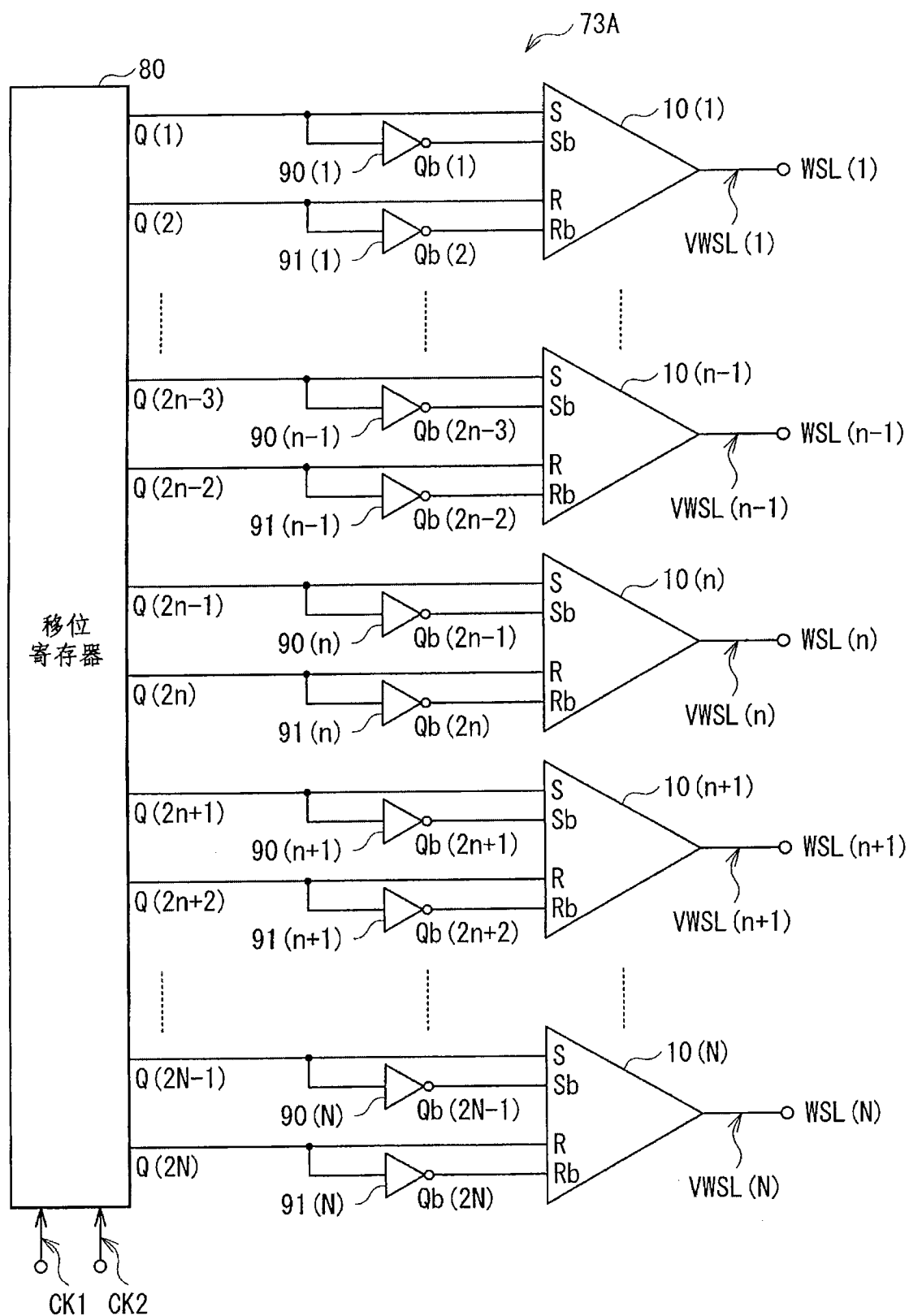


图 28

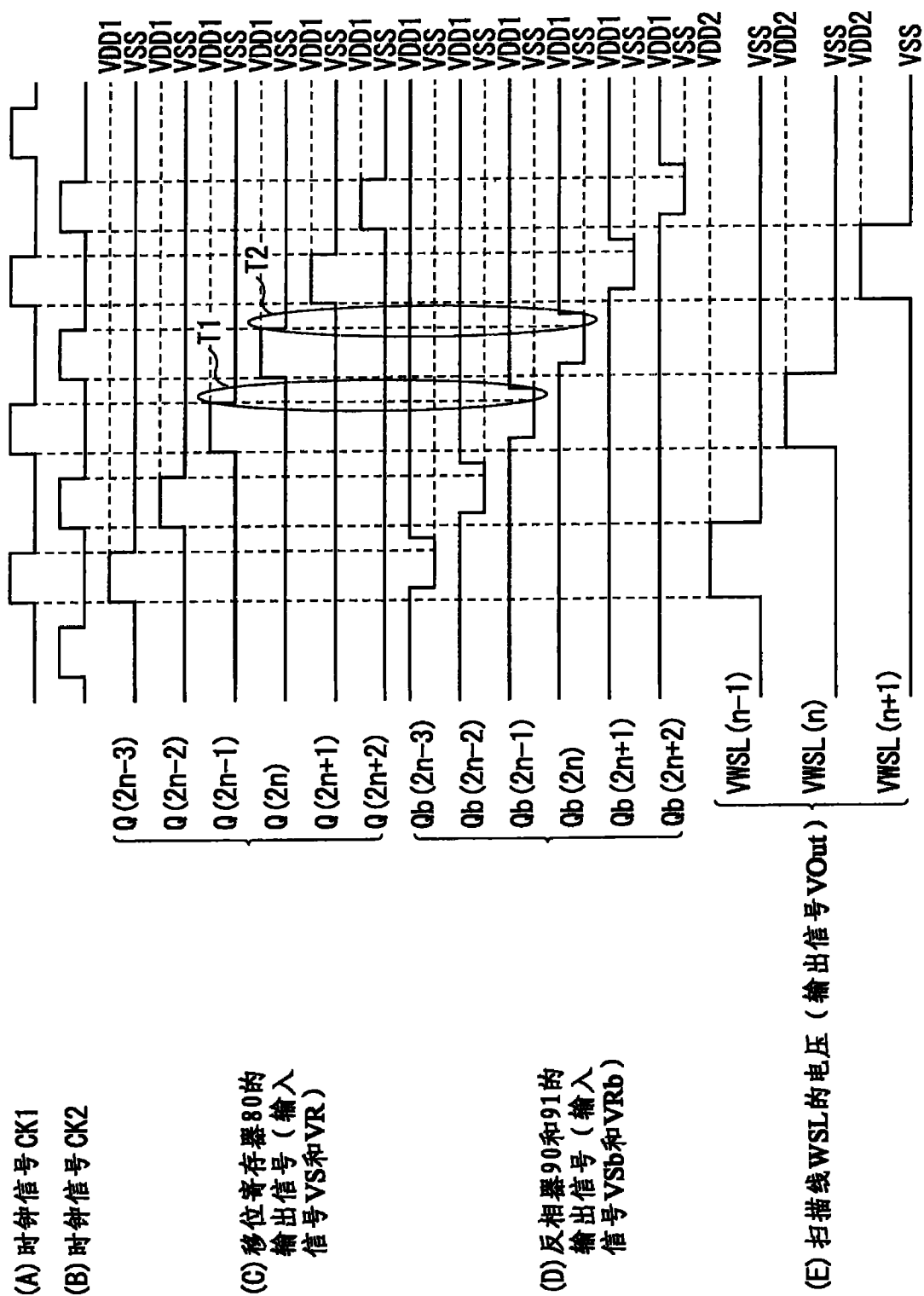


图 29

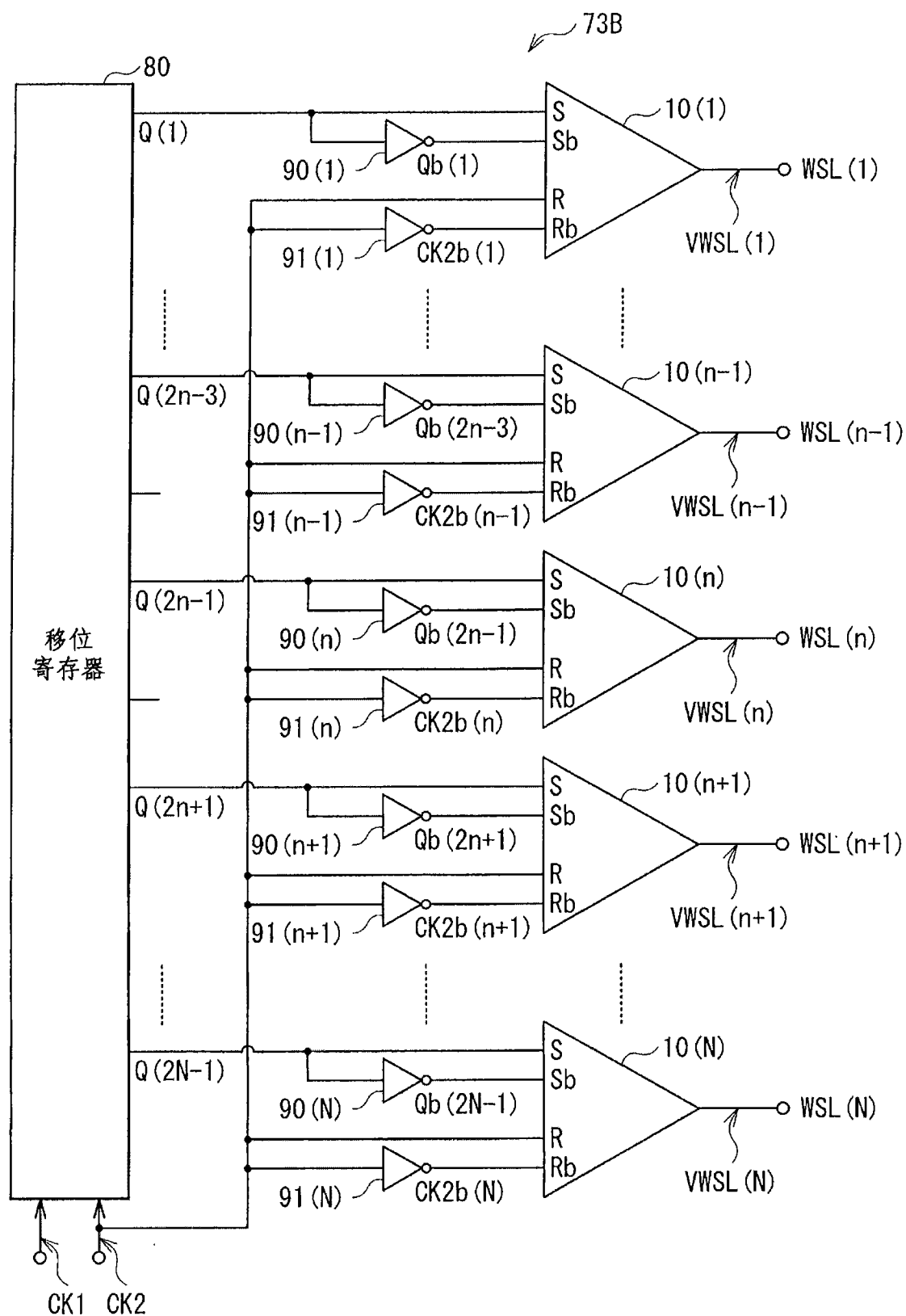


图 30

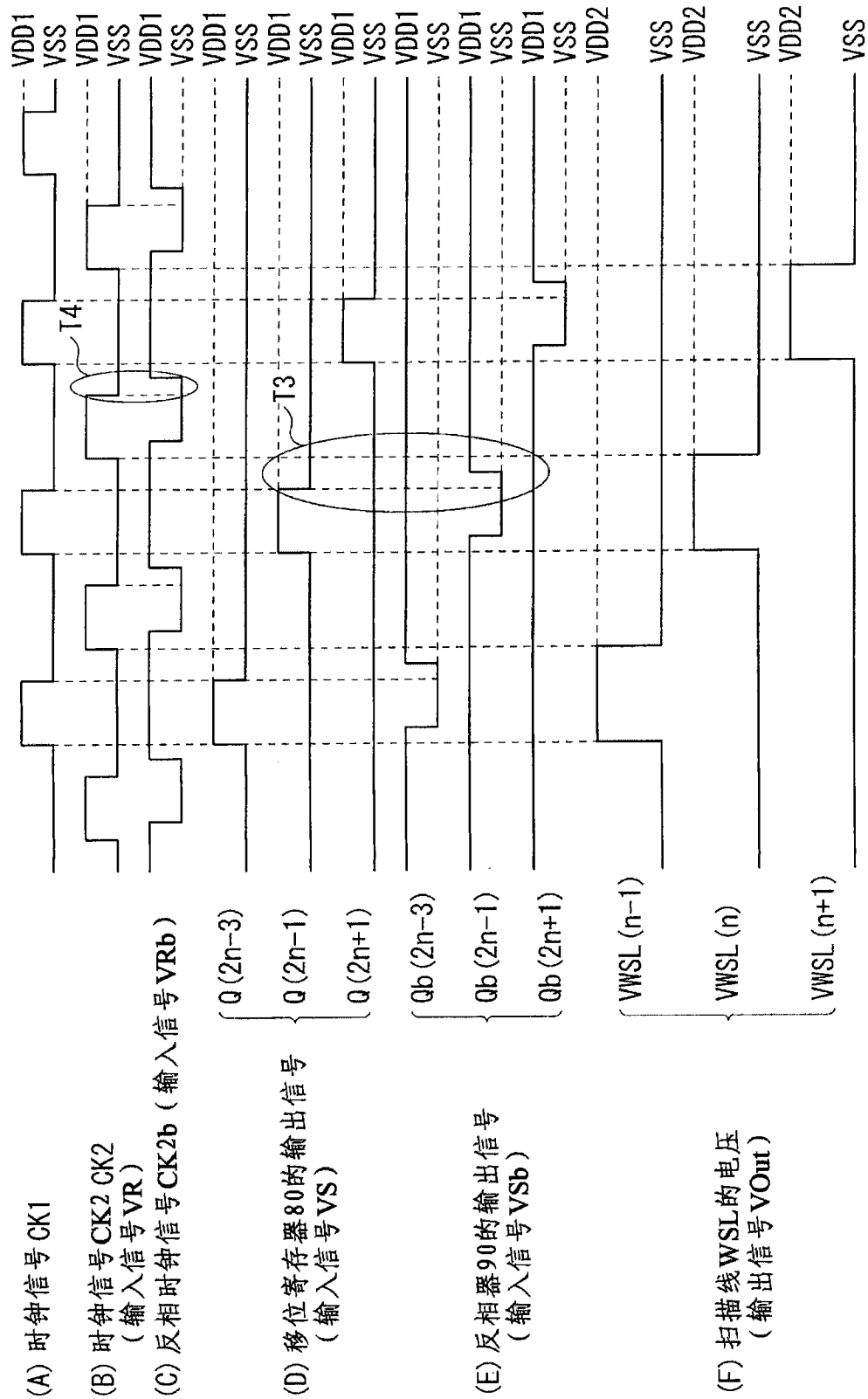


图 31

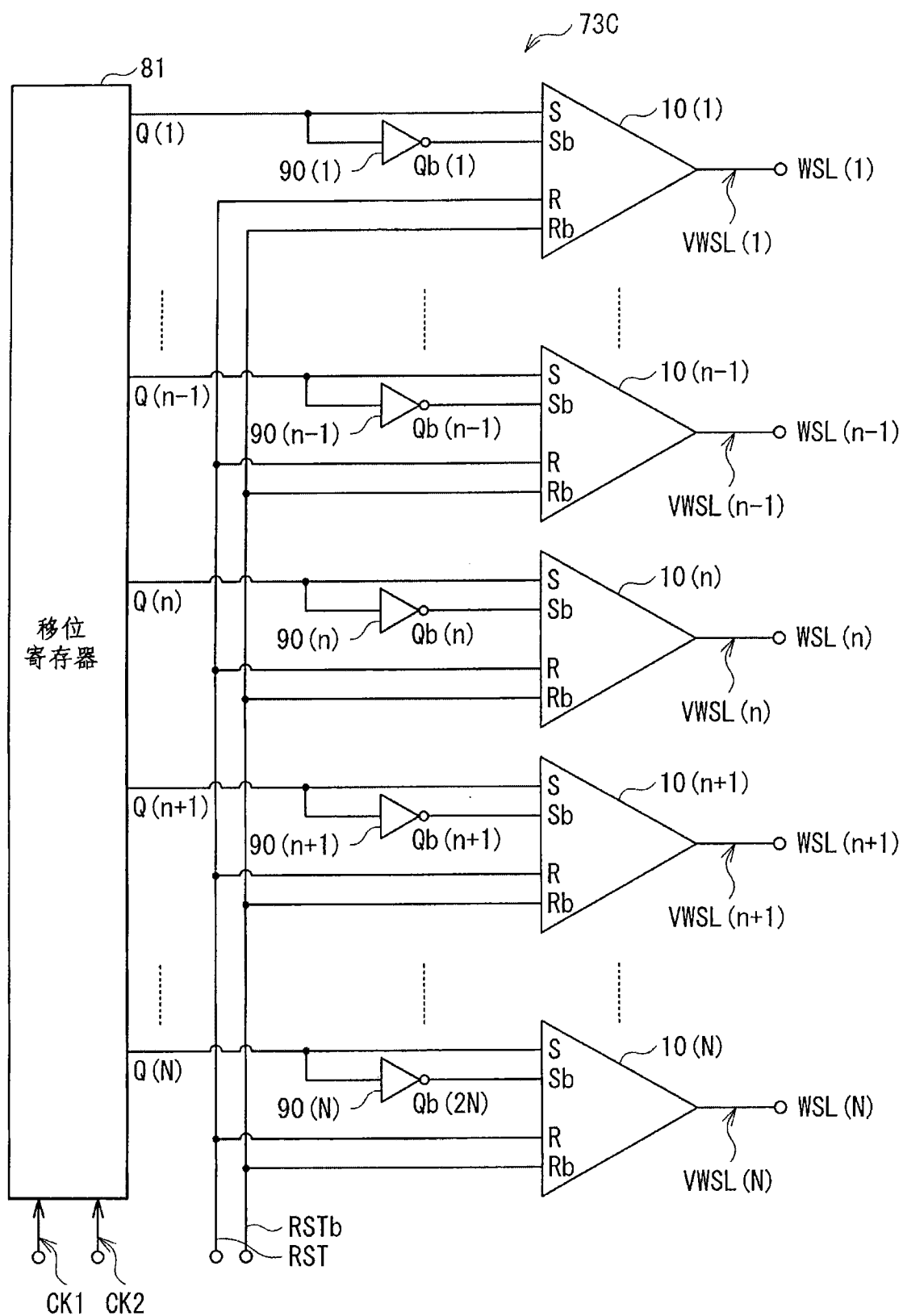


图 32

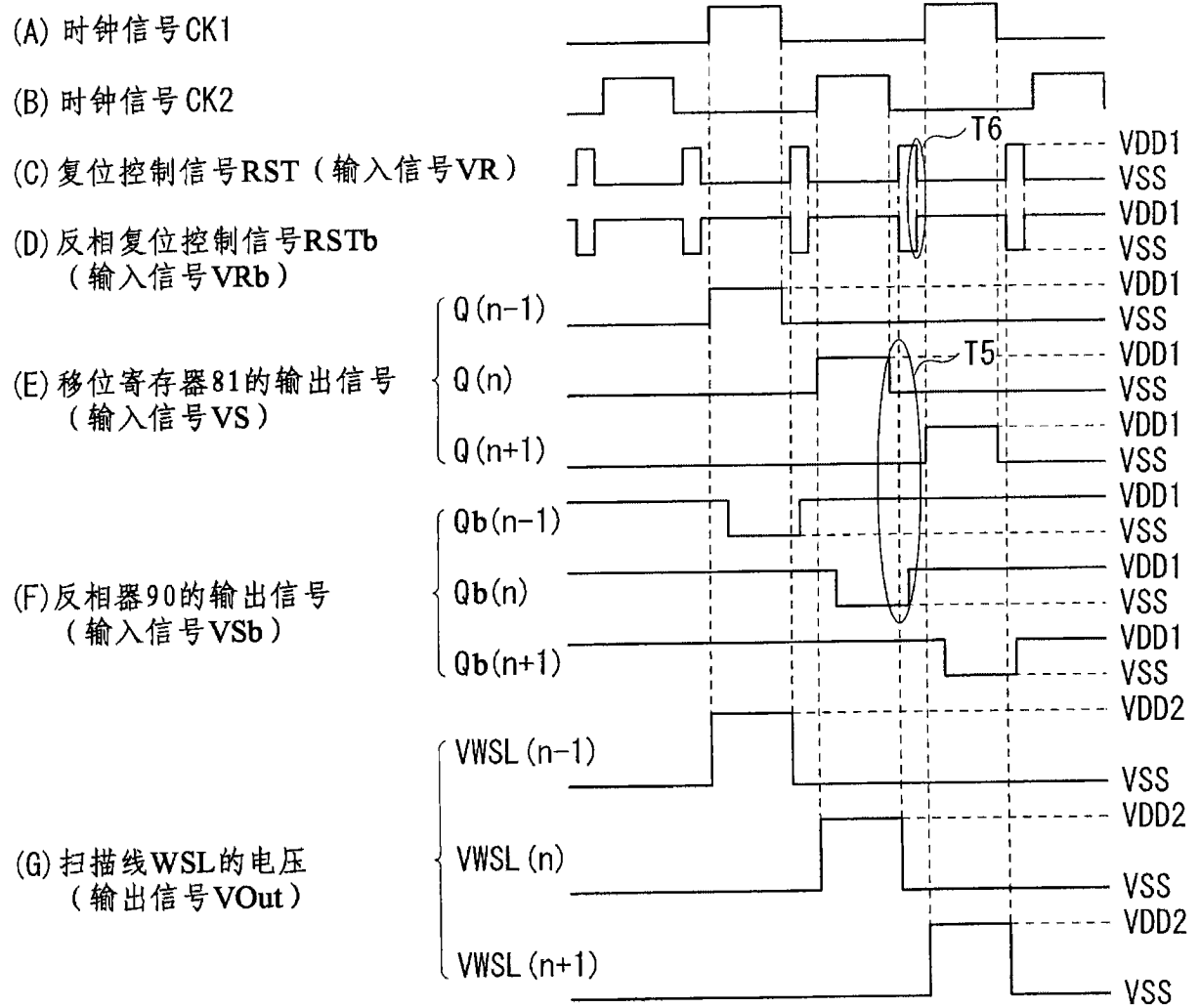


图 33

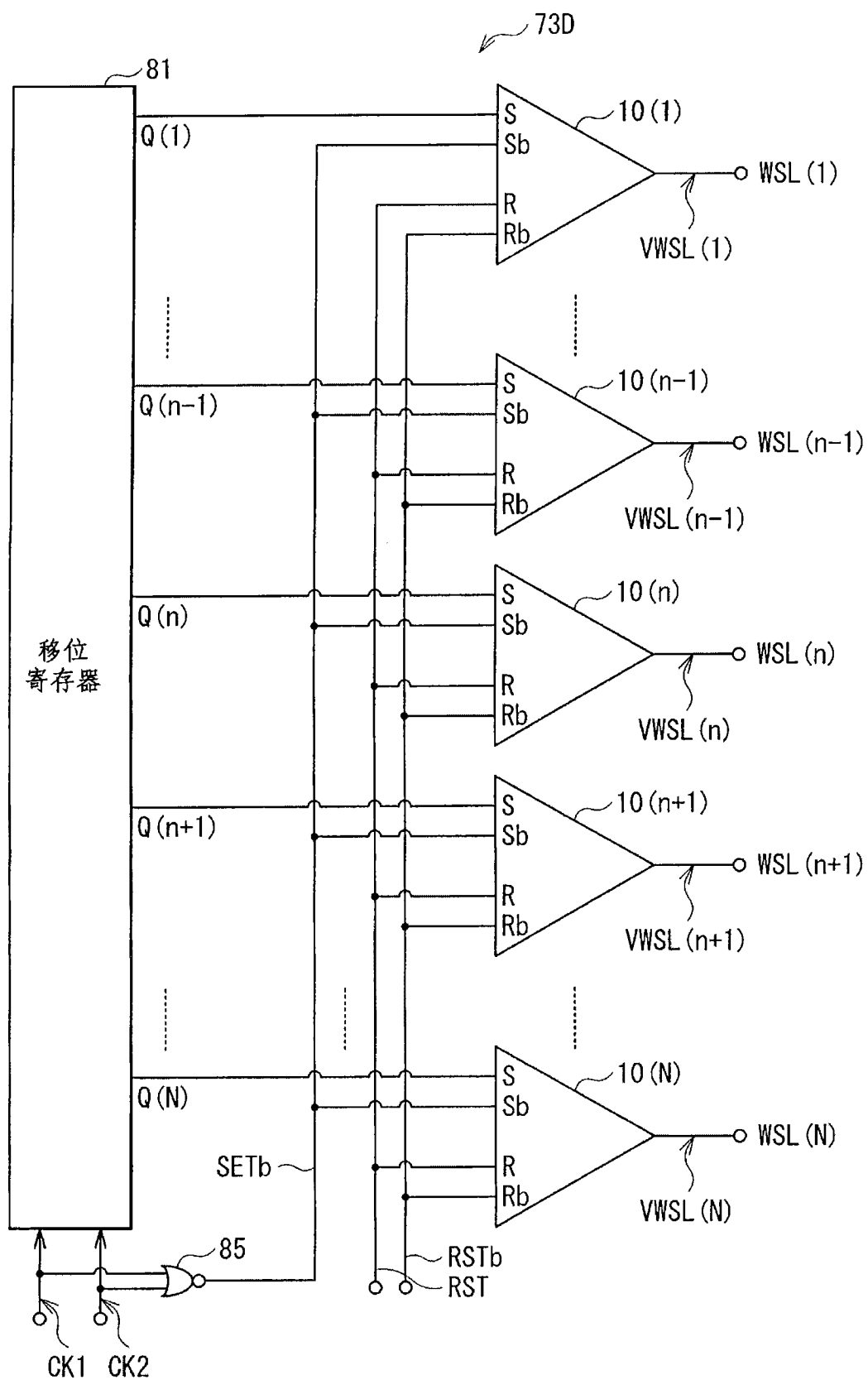


图 34

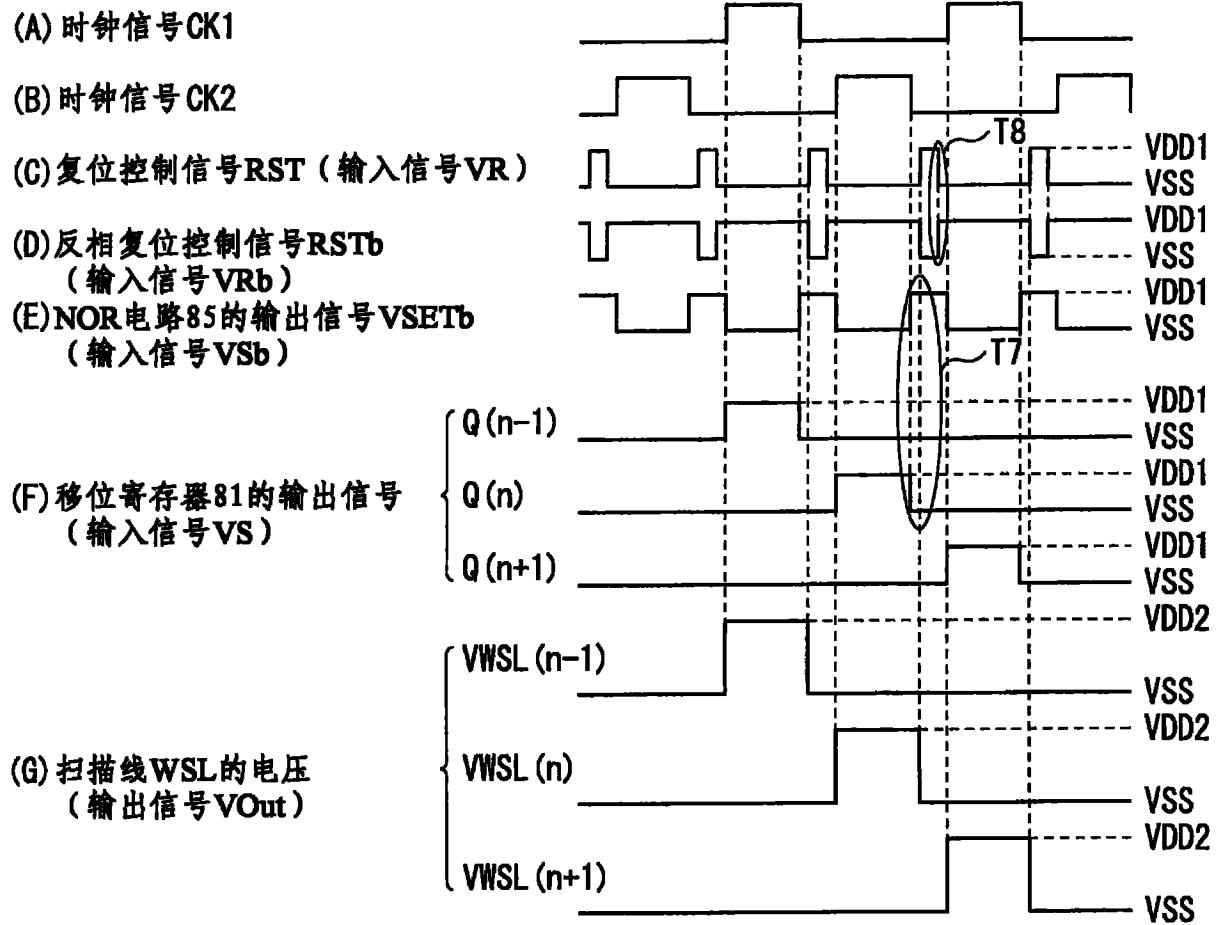


图 35

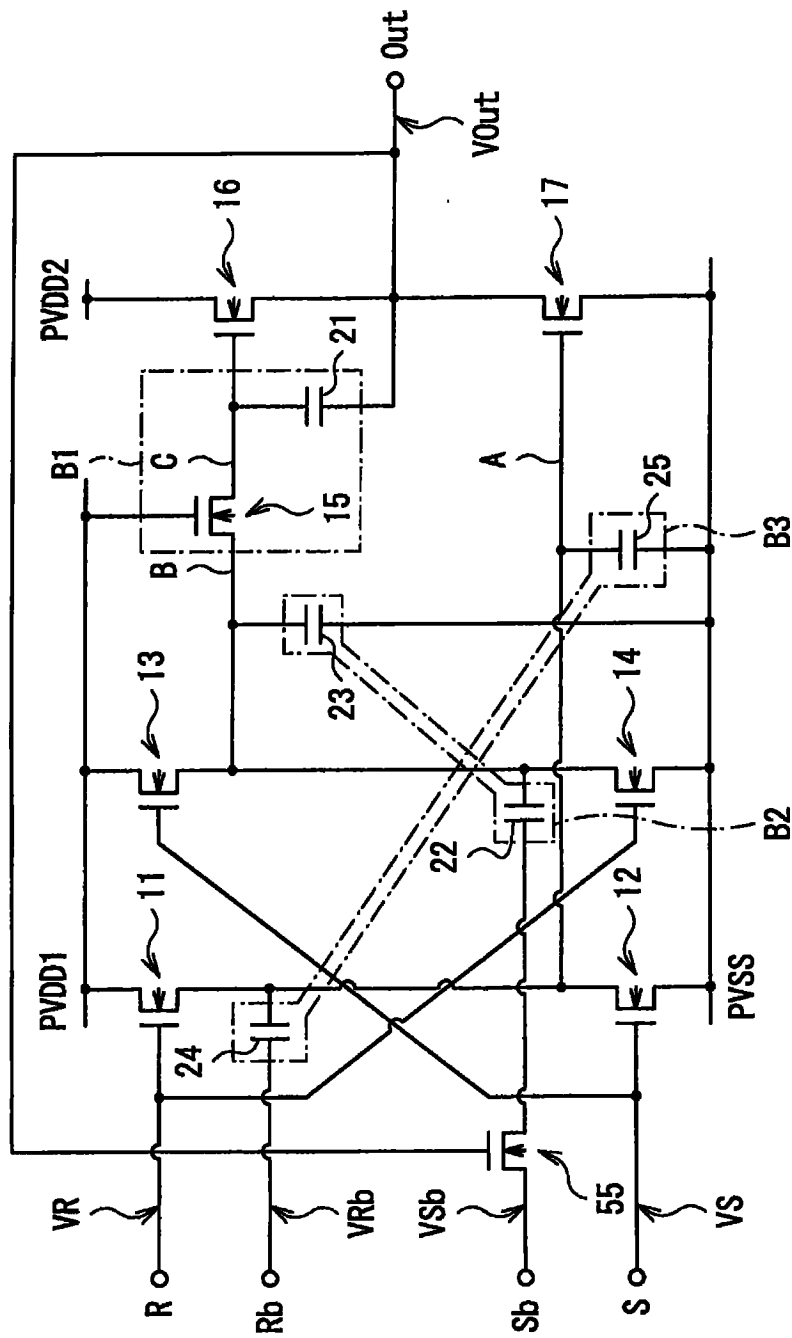


图 36

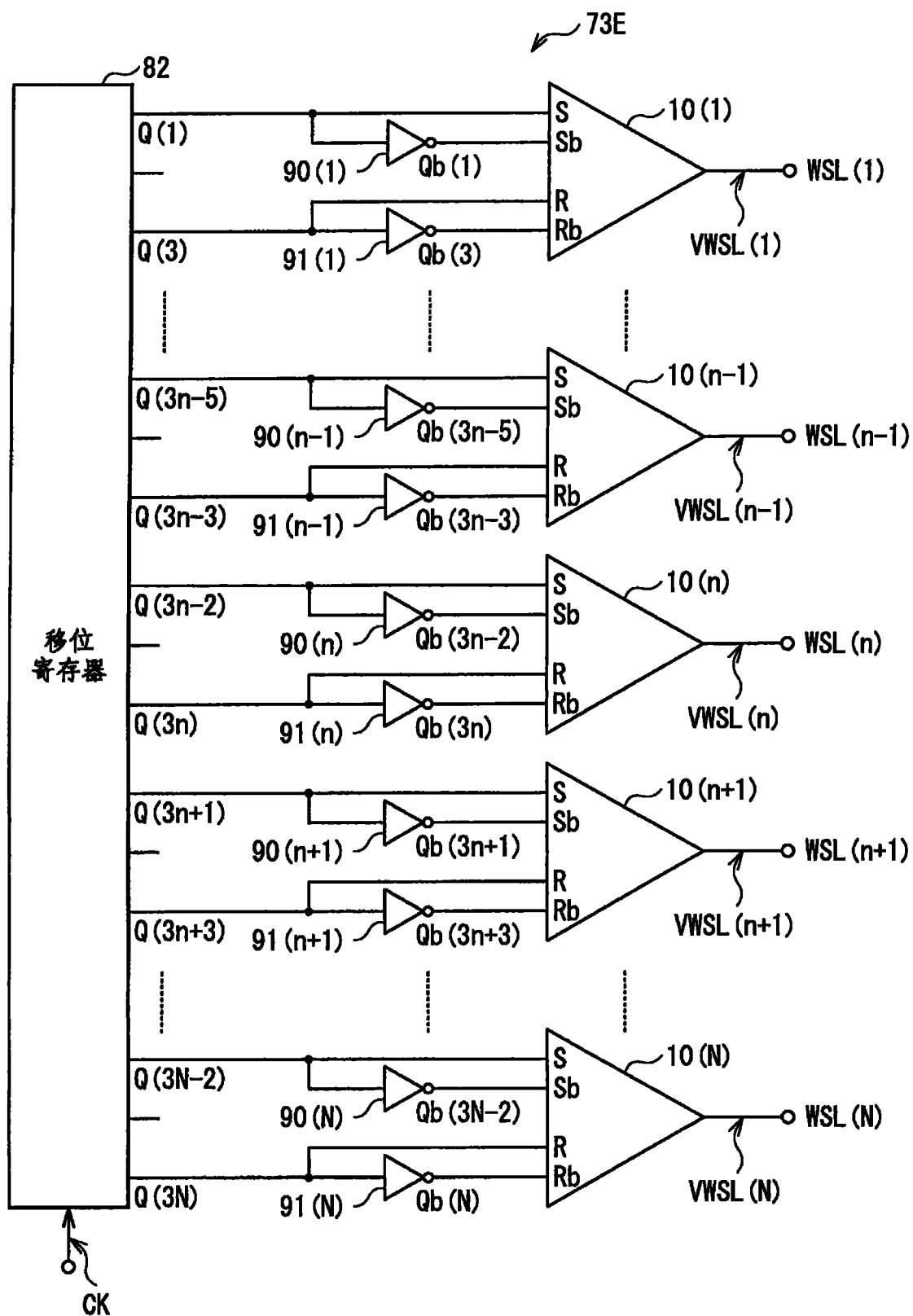


图 37

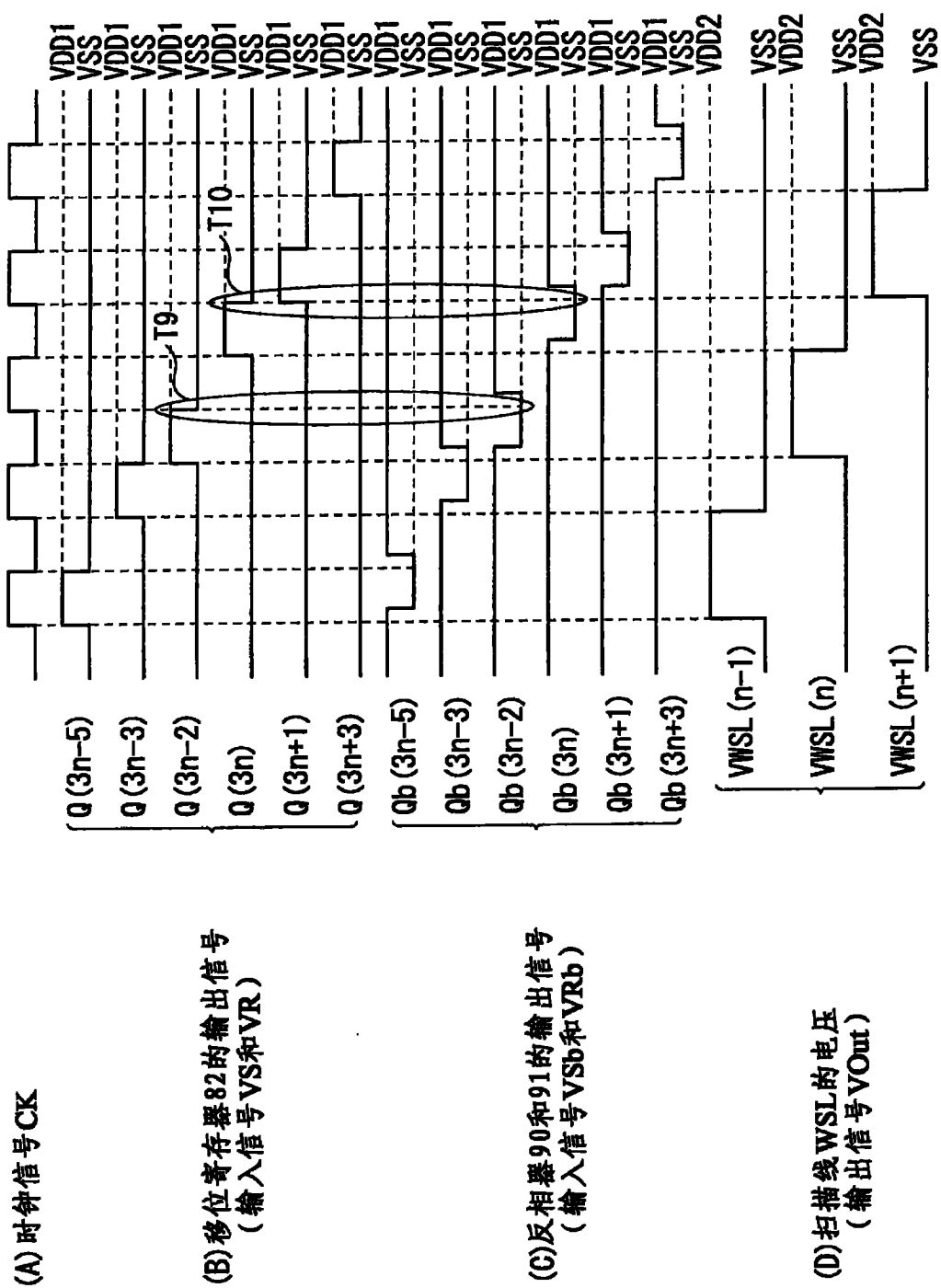


图 38

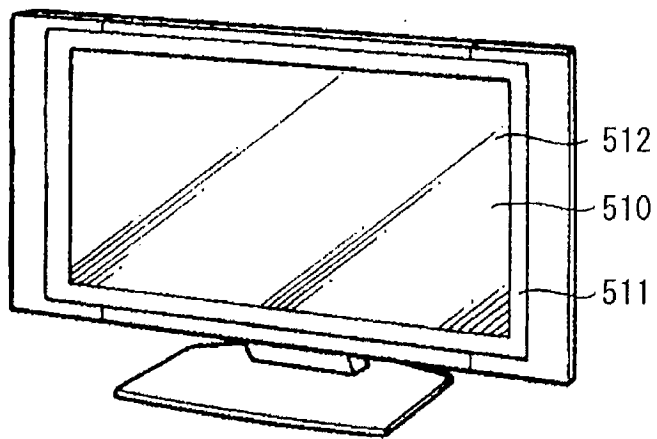


图 39

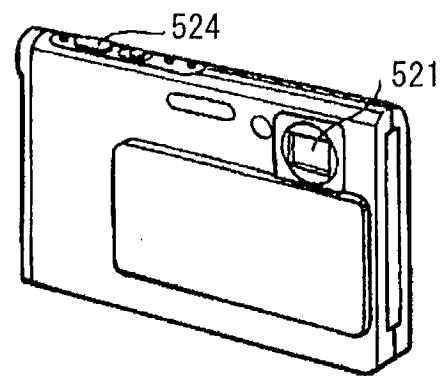


图 40A

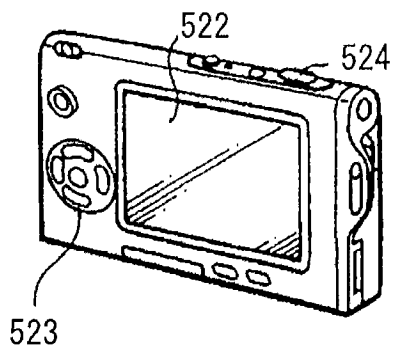


图 40B

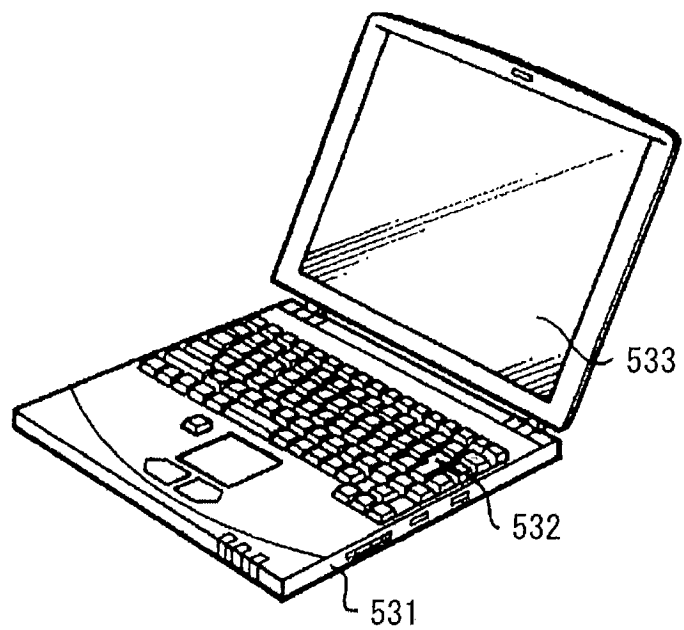


图 41

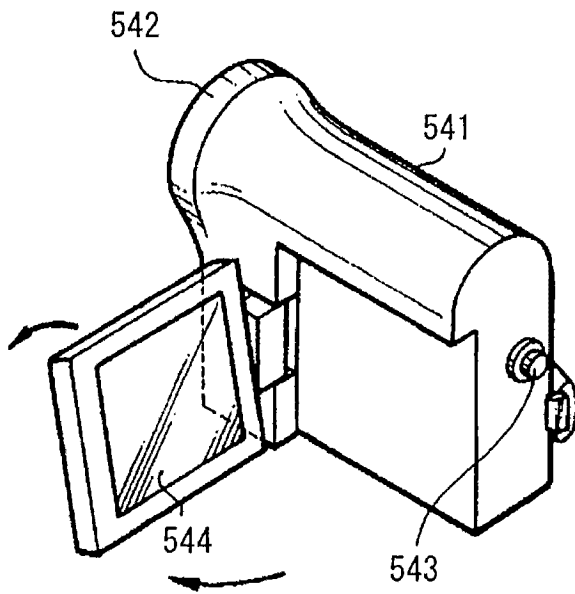


图 42

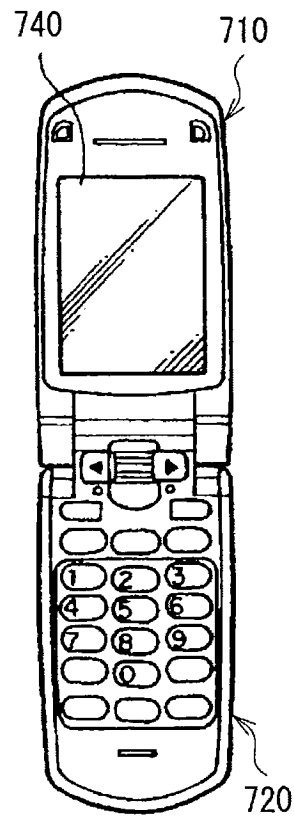


图 43A

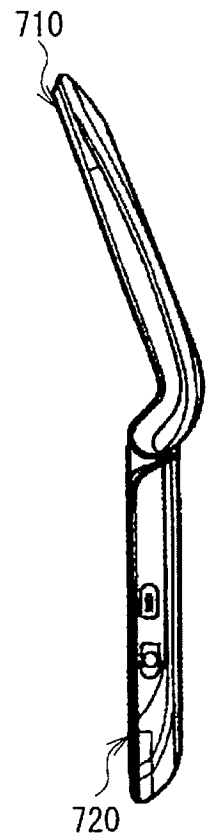


图 43B

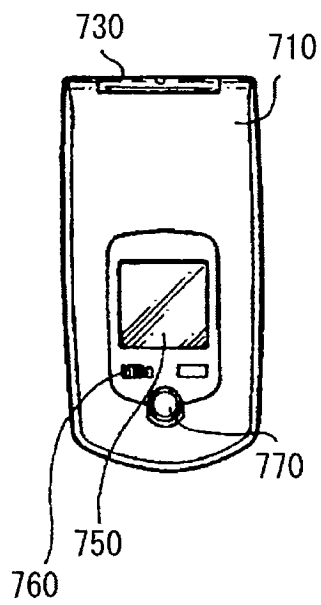


图 43C



图 43D

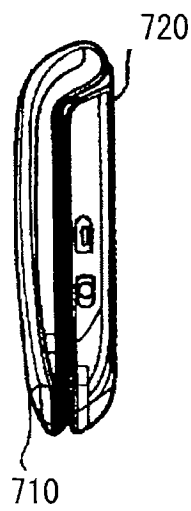


图 43E

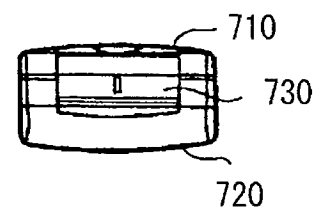


图 43F

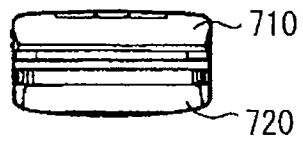


图 43G