



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

236527

(11)

(B1)

(22) Přihlášeno 18 08 83
(21) (PV 6045-83)

(51) Int. Cl.
H 03 K 3/64

(40) Zveřejněno 18 06 84

(45) Vydáno 15 11 86

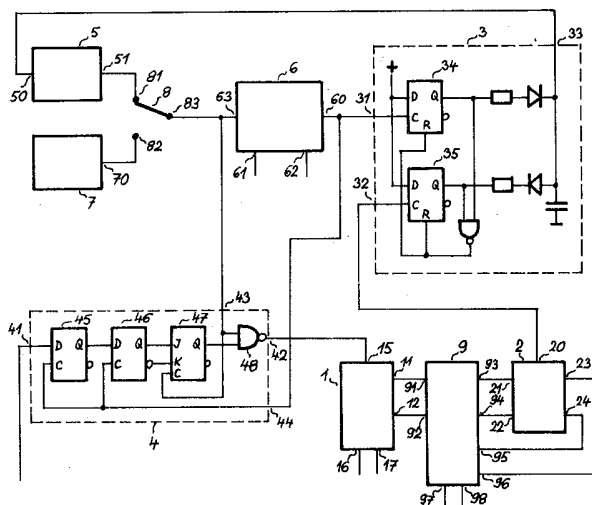
(75)
Autor vynálezu

DYKAST KAREL ing., PĚCHOUČEK MIROSLAV ing. CSc., REMEK JOSEF ing.,
PRAHA

(54) Synchronizační zařízení testovacího systému

Vynález řeší problém spolehlivé synchronizace se stálou časovou přesností mezi testovanou deskou s vyjmutým mikroprocesorem, ale osazenou generátorem taktovacích impulsů a mezi testovacím zařízením. Podstata vynálezu spočívá v tom, že vnitřní časoměrný oscilátor testovacího zařízení je doladován pomocí fázového závěsu tak, aby mezi vnějšími taktovacími impulsy a mezi vhodně vydělenými impulsy časoměrného oscilátoru byl co nejmenší fázový rozdíl. Vydělenými impulsy se synchronizuje vnější spouštěcí signál z řídicího počítače a takto spuštěný generátor stimulů pak generuje impulsy, jejichž hrany mají přesné a stále časové nastavení vzhledem k vnějším taktovacím impulsům.

Vynález je určen zejména pro testovací zařízení, které zkouší desky osazené mikroprocesorovými obvody nebo jinými číslicovými obvody dynamického typu.



Vynález řeší problém spolehlivé synchronizace mezi testovacím systémem, který je vybaven zdrojem časoměrných impulsů a mezi testovaným celkem, který může obsahovat vlastní generátor taktovacích impulsů nezávislý na testovacím systému.

Obsahuje-li testovaný celek, například zkoušená deska mikroprocesor, jsou ostatní obvody umístěné na desce z převážné části přístupné přes tento mikroprocesor. Přes konektor takové desky je vhodné kontrolovat pouze výsledky autonomního testu, jehož provádění řídí mikroprocesor. Pro lokalizaci poruchy na desce je však nutné mikroprocesor ze zkoušené desky vyjmout a na místa jeho vývodů na desce připojit testovací zařízení. Při tomto postupu zůstává například u mikroprocesoru 8080 jeho generátor taktovacích impulsů na zkoušené desce v činnosti. Pro možnost dynamického testování zbývajících obvodů na desce s vyjmutým mikroprocesorem a pro zjednodušení zápisu testovacích dat je žádoucí, aby v jednom kroku testu testovací zařízení zadalo stimuly a přijalo odezvy ve shodných časech, jako je tomu ve strojním cyklu vyjmutého mikroprocesoru. Nežadávají se tedy žádné instrukce a správná odezva zkoušené desky je zapsána v testu. Takovéto uspořádání testovacího zařízení je jednoduché a značně usnadňuje detekci a lokalizaci poruchy i tvorbu a zápis testovací posloupnosti.

Ke správnému dynamickému testování obvodů desky je však nezbytné, aby testovací zařízení zadávalo stimuly synchronně a v předepsaném časovém vztahu k volně běžícímu generátoru taktovacích impulsů na zkoušené desce. Je-li testovací zařízení vybaveno pamětí pouze jednoho kroku testu, provádí se další krok testu až po dodání nových testovacích dat, například z řídicího počítače a mezi jednotlivými kroky testu tak proběhne neznámý počet period generátoru taktovacích impulsů.

Vzniká tedy problém spolehlivé synchronizace a nafázování testovacího zařízení na generátor taktovacích impulsů zkoušené desky a to s přesností řádově jednotek ns. Tuto přesnost je nutné udržet po dobu nejméně tří taktů a v případě, že zkoušená deska obsahuje například obvod programovatelného komunikačního styku (USART) po dobu až několika stovek taktů.

Dosud známý způsob řešení uvedeného problému používá časoměrný oscilátor, který je spouštěn startovacím povelem z řídicího počítače. Tento povel je veden do vstupního synchronizátoru řízeného taktovacími impulsy ze zkoušené desky a takto zasynchronizovaným signálem se spouští časoměrný oscilátor. Nevýhodou tohoto řešení je, že spuštěný časoměrný oscilátor pracuje s kmitočtem, který je nezávislý na kmitočtu generátoru taktovacích impulsů a není tedy s ním koherentní. To vede k časové nepřesnosti naprogramovaných stimulů, vzhledem k taktům zkoušené desky, která je tím větší, čím větší je délka těchto stimulů i délka taktů.

Další nevýhodou uvedeného řešení je "mrtvá" oblast daná dopravním zpožděním mezi zasynchronizovaným startovacím povelem a mezi výstupem stimulů, která je rovna řádově několika stům ns. Tuto oblast lze odstranit naprogramováním přídavného zpoždění posunujícího výstup stimulů do blízkosti počátku následujícího taktu. Jelikož však nejmenší programovatelná hodnota je rovna periodě časoměrného oscilátoru například 20 ns, lze toto časové posunutí provést jedině se značnou nepřesností rovnou polovině této periody.

Blíže není znám žádný jiný způsob lepšího řešení uvedeného problému, který by zajistil spolehlivou a dostatečně přesnou synchronizaci mezi testovacím zařízením a testovaným celkem.

Tento problém řeší a nevýhody známého způsobu odstraňuje synchronizační zařízení testovacího systému podle vynálezu, neboť zajišťuje potřebnou koherenci mezi časoměrným oscilátorem testovacího zařízení a mezi generátorem taktovacích impulsů testovaného celku a to s přesností, která je nezávislá na délce programovaných stimulů.

Jeho podstata spočívá v tom, že výstupní svorka programovatelného děliče je připojena k první vstupní svorce fázového detektoru a k taktovací svorce vstupního synchronizátoru, jehož hodinová svorka je spojena s hodinovou svorkou programovatelného děliče a jehož výstupní svorka je spojena s hodinovou svorkou generátoru stimulů, jehož alespoň jedna výstupní svorka je připojena k odpovídající vstupní svorce zkoušeče funkce, jehož alespoň jedna výstupní svorka je připojena k odpovídající vstupní svorce testovaného celku, jehož alespoň jedna výstupní svorka je připojena k odpovídající vstupní svorce zkoušeče funkce, přičemž taktovací svorka testovaného celku je připojena ke druhé vstupní svorce fázového detektoru, jehož výstupní svorka je připojena k ovládací svorce napěťově řízeného oscilátoru.

Synchronizační zařízení testovacího systému podle vynálezu je znázorněno na připojeném výkrese.

Synchronizační zařízení s testovacím systémem obsahuje generátor 1 stimulů, jehož výstupní svorky 11, 12 jsou připojeny ke vstupním svorkám 91, 92 zkoušeče 9 funkce. Jeho výstupní svorky 93, 94 jsou připojeny ke vstupním svorkám 21, 22 testovaného celku 2. Jeho výstupní svorky 23, 24 jsou naopak připojeny ke vstupním svorkám 95, 96 zkoušeče 9 funkce. Taktovací svorka 20 testovaného celku 2 je připojena ke vstupní svorce 32 fázového detektoru 3, jehož výstupní svorka 33 je spojena s ovládací svorkou 50 napěťového řízeného oscilátoru 5.

Jeho výstupní svorka 51 je spojena se vstupní svorkou 81 přepínače 8, jehož druhá vstupní svorka 82 je spojena s výstupní svorkou 70 přídavného oscilátoru 7. Výstupní svorka 83 přepínače 8 je připojena k hodinové svorce 63 programovatelného děliče 6 a k hodinové svorce 43 vstupního synchronizátoru 4. Výstupní svorka 60 programovatelného děliče 6 je spojena s taktovací svorkou 44 vstupního synchronizátoru 4 a se vstupní svorkou 31 fázového detektoru 3. Výstupní svorka 42 vstupního synchronizátoru 4 je spojena s hodinovou svorkou 15 generátoru 1 stimulů. Nastavovací svorky 61, 62 programovatelného děliče 6, startovací svorka 41 vstupního synchronizátoru 4, nastavovací svorky 16, 17 generátoru 1 stimulů a ovládací svorky 97, 98 zkoušeče 9 funkce jsou připojeny k příslušným výstupním svorkám neznázorněného řídicího počítače.

Fázový detektor 3 je zapojen známým způsobem se dvěma D-klopnými obvody 34, 35 a s výstupním filtračním členem. Má tu vlastnost, že při fázovém rozdílu v rozsahu jedné periody je napětí na jeho výstupní svorce 33 přímo úměrné tomuto rozdílu, zatímco při fázovém rozdílu přesáhnuvším jednu periodu se již toto napětí více nemění. Tím je zajištěno, že i při velkém kmitočtovém rozdílu mezi signály na vstupních svorkách fázového detektoru dojde k automatickému zasynchronizování celého fázového závěsu a to bez ohledu na šířku pásma použitého filtračního členu.

Vstupní synchronizátor 4 obsahuje známou dvojici například D-klopných obvodů 45, 46, jejichž spojené hodinové svorky tvoří taktovací svorku 44 vstupního synchronizátoru 4. Výstupní svorky D-klopného obvodu 46 jsou připojeny ke vstupním svorkám JK-klopného obvodu 47, jehož hodinová svorka je spojena s první vstupní svorkou negačního součinného hradla 48 a tvoří hodinovou svorku vstupního synchronizátoru 4. Jeho výstupní svorku 42 pak tvoří výstupní svorka negačního součinného hradla 48. Vstupní synchronizátor 4 zajišťuje, že startovací signál z řídicího počítače přivedený na startovací svorku 41 je dvojicí D-klopných obvodů 45, 46 nejprve zasynchronizován se signálem na výstupní svorce 60 programovatelného děliče 6, který má pevný fázový vztah vzhledem k impulsům na výstupní svorce 51 časoměrného oscilátoru 5.

Jeho zpoždění vzhledem k nim pak upravuje JK-klopný obvod 47 tak, aby i první hodinový impuls prošel na výstupní svorku negačního součinného hradla 48 byl neporušený.

Celé zapojení na výkrese pracuje ve dvou režimech podle polohy přepínače 8. Jestliže testovaný celek 2 generuje na své taktovací svorce 20 taktovací impulsy, jak je tomu například u zkoušených desek s obvody mikroprocesorového typu, je přepínač 8 připojen na výstupní svorku 51 napěťově řízeného oscilátoru 2. Střední opakovací perioda tohoto oscilátoru je zvolena tak, aby byla stejná jako u přídavného oscilátoru 7 a s ohledem na programovatelný dělič 6 a na generátor 1 stimulů například rovně 20 ns. Programovatelný dělič 6 je řídicím počítačem naprogramován na takový dělicí poměr n , aby rozdíl mezi n -násobkem časoměrné opakovací periody například 20 ns a mezi opakovací periodou taktovacích impulsů testovaného celku 2 byl co nejmenší. Fázový detektor pak známým způsobem doladí svým výstupním napětím napěťově řízený časoměrný oscilátor 2 na takovou opakovací periodu, že fázový rozdíl mezi taktovacími impulsy na svorce 20 testovaného celku 2 a mezi výstupními impulsy na výstupní svorce 60 programovatelného děliče 6 je minimální, určený v podstatě vlastnostmi zpětnovazební smyčky fázového závěsu. Tím je dosaženo spolehlivé synchronizace celého testovacího systému na testovaný celek.

Přesnost časového nastavení stimulů na výstupu generátoru 1 stimulů a tím i na výstupních svorkách 23, 24 zkoušeče 2 funkce je stálá a je nezávislá na době trvání naprogramovaných stimulů. To umožňuje programovat tyto stimuly vzhledem ke hranám taktovacích impulsů na výstupní svorce 20 testovaného celku 2 a zápis časových posloupností stimulů provést invariantně ke skutečné opakovací periodě těchto impulsů.

Ve druhém režimu pracuje celé zapojení na obrázku 1 tehdy, jestliže testovaný celek 2 neobsahuje generátor taktovacích impulsů, například jestliže je ze zkoušené desky vyjmut mikroprocesor typu 8086 s vestavěným generátorem taktovacích impulsů, je-li deska osazena obvody statického typu nebo je-li z ní po dobu testování vyjmut i generátor taktovacích impulsů. V tom případě je přepínač 8 připojen na výstupní svorku 70 přídavného oscilátoru 7 a zpětnovazební smyčka fázového závěsu je rozpojena. Generátor 1 stimulů se vstupním synchronizátorem 4 a zkoušečem 2 funkce pracuje stejným způsobem jako v předcházejícím případě, rozdíl je pouze v tom, že časoměrná opakovací perioda například 20 ns je přesně nastavena například krystalem v přídavném oscilátoru 7. Zkoušeč 2 funkce opět přejímá stimuly z generátoru 1 stimulů a v souhlase s programem neznázorněného řídicího počítače je vysílá do testovaného celku 2; odezva naopak přijímá a vyhodnocuje.

V uvedeném druhém režimu činnost je také možno využít programovatelný dělič 6 tak, že jeho výstupní svorka 60 je připojena k taktovací svorce 20 testovaného celku 2 a tím případně nahrazuje jeho generátor taktovacích impulsů.

Časování celého testovacího zařízení je tedy řízeno buď vnitřním časoměrným oscilátorem nebo vnějším generátorem taktovacích impulsů, umístěným například na testované desce. Časovou nepřesnost synchronizačního systému podle vynálezu lze ilustrovat na časoměrné opakovací periodě například 20 ns.

Je-li opakovací perioda taktovacích impulsů na svorce 20 například 390 ns, je programovatelný dělič 6 naprogramován na dělicí poměr 19 nebo 20. Pomocí fázového závěsu se napěťově řízený oscilátor 2 samočinně doladí na opakovací periodu 20, 5 ns nebo 19,5 ns. To představuje chybu časoměrného kmitočtu zhruba $\pm 2,5\%$, což je pro nastavování šířek stimulačních impulsů zcela postačující. Při větší opakovací periodě taktovacích impulsů například 2 μ s je chyba časoměrného kmitočtu úměrně menší.

V synchronizačním systému podle vynálezu lze jako napěťově řízený oscilátor 2 s výhodou použít například doladitelný oscilátor se zpožďovací linkou, který vykazuje dobrou stabilitu vzhledem k napájecímu napětí a k teplotě okolí a je velmi rychle přeladitelný, takže ve zpětnovazební smyčce fázového závěsu nevzniká nežádoucí fázový posuv.

Přepínač 8 lze realizovat libovolným známým způsobem tak, aby programovatelný dělič 6 a vstupní synchronizátor 4 byly řízeny buď výstupem z napěťově řízeného oscilátoru 2 nebo výstupem z přidavného oscilátoru 7. Přitom je výhodné, jestliže je spřaženým přepínačem současně vypínáno napájení nepoužitého oscilátoru.

Fázový detektor 3 může podle potřeby obsahovat i další přepínač, jímž se na hodinovou svorku D-klopného obvodu 35 fázového detektoru 3 přivádějí impulsy z taktovací svorky 20 přímo nebo přes invertor. Tímto přepínačem lze pak volit vzestupnou nebo sestupnou hranu taktovacích impulsů, vzhledem k níž se testovací zařízení synchronizuje a generátor 1 stimulů programuje.

Zapojení podle obrázku 1 je také možno zjednodušit tím, že přepínač 8 se zařadí před napěťově řízený oscilátor 2. Výstupní svorka 21 tohoto oscilátoru je pak spojena přímo s hodinovou svorkou 63 programovatelného děliče 6 a s hodinovou svorkou 43 vstupního synchronizátoru 4. Výstupní svorka 33 fázového detektoru 3 je spojena s jednou vstupní svorkou přepínače 8, jehož druhá vstupní svorka je připojena k vnějšímu zdroji referenčního napětí a jehož výstupní svorka 83 je připojena k ovládací svorce 50 napěťově řízeného oscilátoru 2.

Zapojení pak pracuje v obou režimech činnosti s týmž oscilátorem 2. V prvním režimu je však samočinně dolaďován fázovým závěsem a v druhém režimu je jeho kmitočet pevně nastaven zdrojem referenčního napětí. Takto zjednodušený synchronizační systém je výhodný při menších nárocích na stabilitu časoměrného oscilátoru v druhém režimu činnosti.

V další neznázorněné variantě zapojení podle vynálezu je také možné zapojit přepínač 8 mezi vstupní svorku 32 fázového detektoru 3 a mezi taktovací svorku 20 testovaného celku 2 tak, aby jako vnější zdroj taktovacích impulsů bylo možno použít buď generátor taktovacích impulsů na zkoušené desce nebo jakýkoliv jiný vnější generátor.

V rovněž neznázorněné variantě zapojení podle vynálezu je také možno připojit vstupní svorku 31 fázového detektoru 3 k výstupní svorce 60 programovatelného děliče 6 přes zpožďovací obvod, jímž se kompenzuje dopravní zpoždění mezi zasynchronizovaným startovacím povelům na výstupu D-klopného obvodu 46 vstupního synchronizátoru 4 a mezi výstupy zkoušeče 2 funkce. Má-li toto zpoždění velikost řádově několik set ns, lze zpožďovací obvod s výhodou realizovat jako kombinaci čítače zapojeného obdobně jako programovatelný dělič 6, jímž se nastavuje zpoždění do hrubých kroků rovných opakovací periodě časoměrného oscilátoru a například zpožďovací linky nebo RC členu, jímž se provádí jemné nastavení zpoždění v rozsahu zhruba jedné opakovací periody.

Synchronizační systém testovacího zařízení podle vynálezu tedy dovoluje časově řídit testovací zařízení buď vnitřním časoměrným oscilátorem nebo jakýmkoliv vnějším generátorem taktovacích impulsů tak, že je dosaženo vysoké a stálé přesnosti při programování stimulačních impulsů. Tím je jeho použití výhodné zejména v zařízeních pro testování desek osazených mikroprocesorovými obvody, desek osazených dynamickými pamětovými obvody a vybavených autonomním generátorem impulsů pro obnovování obsahu paměti i jiných desek s číslicovými obvody dynamického typu.

P R E D M Ě T V Y N Á L E Z U

1. Synchronizační zařízení testovacího systému, vyznačený tím, že výstupní svorka (60) programovatelného děliče (6) je připojena k první vstupní svorce (31) fázového detektoru (3) a k taktovací svorce (44) vstupního synchronizátoru (4), jehož hodinová svorka (43) je spojena s hodinovou svorkou (63) programovatelného děliče (6) a jehož výstupní svorka (42) je spojena s hodinovou svorkou (15) generátoru (1) stimulů, jehož alespoň jedna výstupní svorka (11, 12) je připojena k odpovídající vstupní svorce (91, 92) zkoušeče (9) funkce, jehož alespoň jedna výstupní svorka (93, 94) je připojena k odpovídající vstupní svorce (21, 22) testovaného celku (2), jehož alespoň jedna výstupní svorka (23, 24) je připojena k odpovídající vstupní svorce (96, 95) zkoušeče (9) funkce, přičemž taktovací svorka (20) testovaného celku (2) je připojena ke druhé vstupní svorce (32) fázového detektoru (3), jehož výstupní svorka (33) je připojena k ovládací svorce (50) napěťově řízeného oscilátoru (5).

2. Synchronizační zařízení testovacího systému dle bodu 1, vyznačený tím, že výstupní svorka (51) napěťově řízeného oscilátoru (5) je spojena s první vstupní svorkou (81) přepínače (8), jehož druhá vstupní svorka (82) je spojena s výstupní svorkou (70) přídavného oscilátoru (7) a jehož výstupní svorka (83) je spojena s hodinovou svorkou (63) programovatelného děliče (6).

3. Synchronizační zařízení testovacího systému dle bodu 1, vyznačený tím, že výstupní svorka (51) napěťově řízeného oscilátoru (5) je spojena s hodinovou svorkou (63) programovatelného děliče (6) a výstupní svorka (33) fázového detektoru (3) je k ovládací svorce (50) napěťově řízeného oscilátoru (5) připojena tak, že je spojena s první vstupní svorkou (81) přepínače (8), jehož druhá vstupní svorka (82) je připojena ke zdroji referenčního napětí a jehož výstupní svorka (83) je spojena s ovládací svorkou (50) napěťově řízeného oscilátoru (5).

4. Synchronizační systém testovacího zařízení dle bodů 1 až 3, vyznačený tím, že první vstupní svorka (31) fázového detektoru (3) je k výstupní svorce (60) programovatelného děliče (6) připojena přes zpožďovací obvod.

