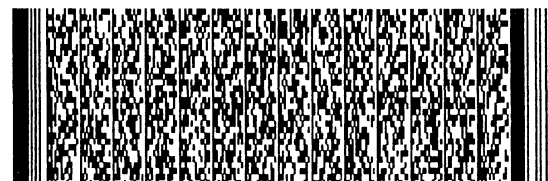


申請日期: 92-07-14	IPC分類: H61L27/15
申請案號: 92119191	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	非揮發記憶元件及其製造方法及記憶元件排列
	英文	Nonvolatile memory element and associated production methods and memory element arrangements
二、發明人 (共3人)	姓名 (中文)	1. 弗蘭茨·舒勒 2. 格奧爾格·特姆佩爾 3. 勞倫特·布魯伊爾
	姓名 (英文)	1. Franz Schuler 2. Georg Tempel 3. Laurent Breuil
	國籍 (中英文)	1. 德國 DE 2. 比利時 BE 3. 比利時 BE
	住居所 (中文)	1. 德國德累斯頓01109路德維希雅恩街4號 2. 比利時施特雷貝克B-1933毛里策德斯普雷特倫9號 3. 比利時勞芬B3010卡色達爾路97號
	住居所 (英文)	1. Ludwig-Jahn-Str. 4, 01109 Dresden, Germany 2. Maurice Despretlaan 9, B-1933 Sterrebeek, Belgium 3. Kesseldallaan 97, B-3010, Leuven, Belgium
三、申請人 (共1人)	名稱或姓名 (中文)	1. 億恆科技股份公司
	名稱或姓名 (英文)	1. Infineon Technologies AG
	國籍 (中英文)	1. 德國 DE
	住居所 (營業所) (中文)	1. 德國慕尼黑D-81669馬丁塊街53號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. St.-Martin-Str. 53, D-81669 Muenchen, Germany
	代表人 (中文)	1. 米夏埃爾·戈爾維茨爾; 2. 霍斯特·舍費爾
	代表人 (英文)	1. Michael Gollwitzer; 2. Dr. Horst Schaefer



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
德國 DE	2002/07/26	102 34 660.7	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明之領域

本發明係關於一種非揮發記憶體元件、其產製方法及記憶體元件排列，以及特別地係關於一種具有轉換材質之非揮發性記憶體元件，其中在生成步驟之後，可知至少有兩種不同的傳導性狀態，且傳導狀態間的轉換，可藉由使用預先決定的計劃電壓進行一次或多次的影響。

發明之背景

第一圖A至第一圖C係說明一般形式的非揮發記憶體元件之簡化的區段圖與簡化的U-I特性曲線，如美國專利5,360,981中所述者。

根據第一圖A，此非揮發記憶體元件具有一第一電極1，形成於其上的一轉換材質2以及一第二電極3，該電極1與電極3對應連接用於電壓的應用與電場E的產生。該轉換材質2包含如飽和的氫非晶矽半導體材質(氫化非晶型矽)，其具有p-型摻質。例如，一電傳導材質，較佳為鉻係用作為該第一電極1。該第二電極3之合適的選擇，係造成該轉換材質2之類比轉換作用或是數位轉換作用。根據第一圖A，例如使用釩(V)、鈷(Co)、鎳(Ni)與錳(Tb)作為第二電極3，可獲得類比轉換作用，而若使用鉻(Cr)、鎢(W)或銀(Ag)則是會具有數位轉換作用。

此非揮發記憶體元件的特性是特別需要一生成步驟，其係在開始進行，且可在第一位置形成該記憶體元件之實際非揮發記憶體性質。

根據第一圖B，例如初始存在的線性U-I特性曲線，僅



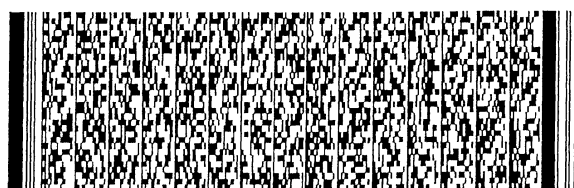
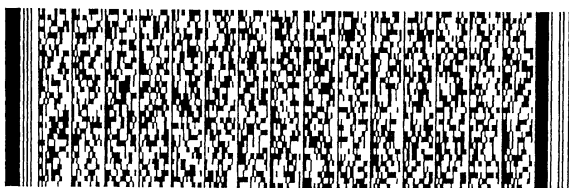
五、發明說明 (2)

藉由應用一生成電壓 F_A ，係轉變為根據第一圖C之記憶體特性曲線範圍。此生成電壓 F_A 係相對的高電壓，且通常範圍係於5至30伏特之間，根據第一圖B於生成電壓 $F_A = -20$ 伏特進行生成步驟。

因此，僅在此生成步驟已進行之後或是在使用此生成電壓 F_A 於該轉換材質2之後，產生一族 K_A 的特性曲線，其具有非揮發記憶體性質，且例如第一圖C中所示為兩傳導性狀態或是特性曲線分支開(ON)與關(OFF)。如第一圖C所示之該族 K_A 之特性曲線，鉻(Cr)係被用作為電極材質，且具有p-型摻質之飽和的氫非晶矽係作為轉換材質2。

根據第一圖C在生成步驟之後所得的複合族 K_A 之特性曲線之基礎上，可知藉由所對應的操作電壓，實際的非揮發記憶體作用、傳導性狀態開(ON)與關(OFF)，係沿箭頭方向來回移動。

更精確地，例如一轉換材質2具有該傳導狀態開(ON)可藉由使用設計電壓 V_{erase} 約2.5伏特而被再次設計，因此該傳導性狀態或特性曲線分支開(ON)轉變至其他傳導性狀態或特性曲線分支關(OFF)。同樣的方式中，例如可藉由另一設計電壓 V_{write} -3伏特，於該轉換材質2再次產生該傳導性狀態開(ON)。在此方式中，該族 K_A 的特性曲線中該兩傳導性狀態開(ON)與關(OFF)之間可向前或向後轉變，或者是影響低於該設計電壓設計的個別的讀取電壓 V_{read} ，根據第一圖C可為1伏特。由於該族 K_A 的特性曲線或是傳導性狀態開(ON)與關(OFF)一旦設計好了，在此轉換材質2中



五、發明說明 (3)

並不會改變，所以係以相關的讀取電流獲得一非揮發記憶體元件。

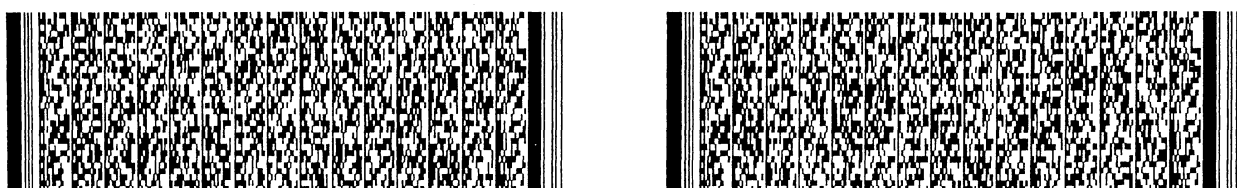
第二圖A說明另一習用的非揮發記憶體元件之簡化區段圖，其中該轉換材質包含多層順序。更精確地，在第一電極1上形成p-摻雜的飽和的氫非晶矽2A，該矽表面係與n-摻雜飽和的氫非晶矽層2B相接合。向著第二電極3，該轉換材質2更具有未摻雜的雜飽和的氫非晶矽，因而得到p-n-i結構。雖然此種形式的非揮發記憶體元件之優點為對於p-摻雜的半導體材質而言，該電極材質較不是關鍵，用於所需的生成步驟之電壓係高於根據第一圖A之該轉換材質，這就是其不能作為往後大部分非揮發記憶體的生產原因。

第二圖B係說明在生成步驟已發生後，簡化的族 K_A 特性曲線，造成一改善的設計，因為不同的傳導性狀態開(ON)與關(OFF)間較高的距離。

發明之概述

所以本發明之目的係提供一種非揮發記憶體元件、其產製方法及記憶體元件排列，其可被用整合於習用之半導體電路中。特別地，本發明之目的係優化該生成步驟，以形成該非揮發記憶體作用。

根據本發明，本發明目的之達成係藉由申請專利範圍第1項中該非揮發記憶體元件之特徵。此目的之達成係藉由申請專利範圍第8項之方法，以及申請專利範圍第22至24項之記憶體元件排列之特徵。



五、發明說明 (4)

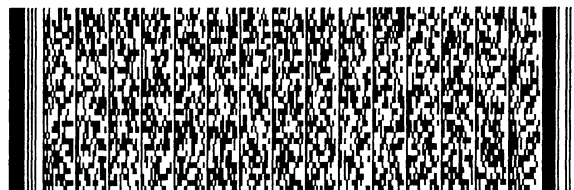
特別係透過使用至少一電場放大器結構於至少一電極，用於放大該轉換材質中電場的場強度，該生成步驟所需的該電壓係很高，係可被大幅降低，因此這些記憶體元件可被首次連結或組合於習用的半導體電路，例如CMOS電路。

該電場放大器結構較佳係包含該電極之突出物其係突出至該轉換材質中，例如係一小尖物(tip)、角(corner)或是邊緣(edge)，角度較佳係 ≤ 90 度。在此方式中，在整合的非揮發記憶體元件中以特別簡單的方式，可形成所需的電場高峰或電場增加。

該轉換材質較佳係包含飽和的氫非晶型半導體材質，其亦可使用多層結構，且該電極較佳係包含金屬材質。關於生產一非揮發記憶體元件的方法，特別係在一輔助層中形成一凹處，以及形成該第一電極，該凹處係以該第一電傳導材質充填，因此可在後續的步驟中以特別簡單的方式形成該電場放大器結構。

在此範例中，該電傳導材質較佳係以此方式沉積，其在該凹處區域中生成一銜接凹處，藉由非等向性的蝕刻方式，該電傳導材質被回蝕至少至該輔助層的表面，以及藉由非等向性的蝕刻方式，將該輔助層回蝕至該凹處的底部。在此方式中，在第一電極形成尖的小尖物(tip)，其導致所欲的電場增加，且因而降低該生成電壓。

然而，在另一方面，亦可能藉由磨光的方法造成該電傳導材質後退至少至該輔助層的表面，且藉由後續選擇性



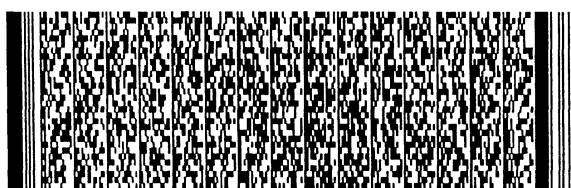
五、發明說明 (5)

的蝕刻方式將該輔助層回蝕一預先決定的量，因此可在該第一電極獲得非常尖的邊緣或角，其可造成所欲的電場放大或是電場增加。

根據另一方面，在該凹處中可藉由蝕刻方式可移除至少一預先決定量的電傳導材質，而後可在此方式中形成薄構造的電傳導層，其中在該凹處區域中生成一銜接凹處，且最後藉由非等向性蝕刻方法或一間隔物方法，將該電傳導層回蝕至少至該輔助層之表面。在藉由非等向性蝕刻方法又一回蝕步驟之後，該輔助層被回蝕至少至該銜接凹處的底部區域，可在該轉換材質之電場中獲得再次由該間隔物結構所造成的電場放大器結構或電場增加，因此該所需的生成電壓可被大幅降低。

關於記憶體元件排列方面，該非揮發記憶體元件係排列於矩陣形式中，且其連接係藉由排列在欄形式的位元線與排列在列形式的字元線，其中該記憶體元件之個別的第一電極係經由一歐姆接合或二極體接合，直接電性連接至一半導體基質中所形成的個別字元線，以及在該半導體基質的表面上的帶狀形式中，將形成個別位元線的個別第二電極進行圖案化。

然而，在另一方面，在一記憶體元件的排列中，對於每一個非揮發記憶體元件，在該半導體基質中可形成一選擇電晶體，其具有作為控制層的字元線與作為第一源極/汲極區域的字元線，其中該選擇電晶體的第二源極/汲極區域係電性連接至該記憶體元件的個別第一電極。



五、發明說明 (6)

亦可獲得新的高整合性的非揮發記憶體元件排列。

本發明之其他優點係如申請專利範圍依附項中所述。

發明之詳細說明

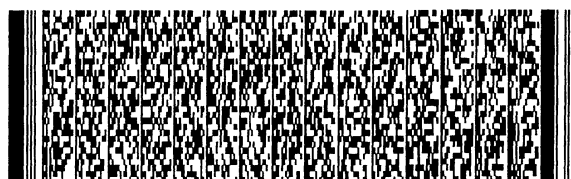
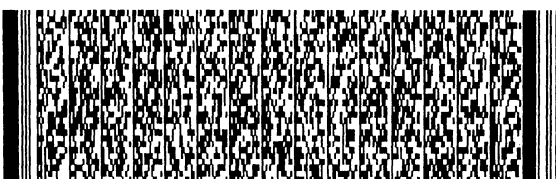
本發明係藉由根據第一圖A之記憶體元件為基礎，說明簡化的非揮發記憶體元件，相同的元件符號係指相同或對應的層或元件。然而，特別地，該轉換材質2亦具有多層的結構，特別係具有不同摻雜之無定型半導體材質。

第一實施例

根據第三圖A，根據第一實施例該非揮發記憶體元件SE包含一轉換材質2與兩個電傳導電極1與3於該轉換材質2，可使用一電壓於該電極，且可在該轉換材質2中產生一電場E。在此範例中，該轉換材質2具有特殊的性質，其中在生成步驟後，至少有兩個不同的傳導性狀態，其中可藉由使用預先決定的設計電壓重複影響轉換。

飽和的氫非晶矽或對應的多層結構較佳係作為該轉換材質2，非晶矽的製備係藉由所謂的發光釋放技術(glow discharge technique)。再者，該第一電極1與該第二電極2係包含合適的電傳導材質，其較佳係具有金屬。

適合作為該第一電極與第二電極1與3以及該轉換材質2之可能材料表列如下，仍有其他材質是可接受的：



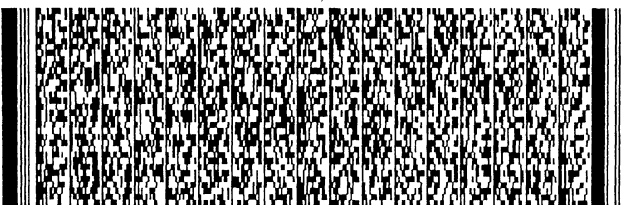
五、發明說明 (7)

第一電極	轉換材質	第二電極
不鏽鋼	p-n-i-摻雜的 a-Si : H	金(Au)或鋁(Al)
不鏽鋼	p-n-i-摻雜的 a-Si : H	金(Au)或鋁(Al)或鉻化鎳(NiCr)
鉻(Cr)	p-n-i-摻雜的 a-Si : H 或 n-p-i-摻雜的 a-Si : H 或 p-i-n-摻雜的 a-Si : H	鋁(Al)或鉻(Cr)
鉻(Cr)	p-摻雜的 a-Si : H	鈮(V)
鉻(Cr)	p-摻雜的 a-Si : H	銀(Ag)、鋁(Al)、鉻(Cr)、錳(Mn)、鐵(Fe)、鎢(W)、鈮(V)、鎳(Ni)、鈷(Co)、鉬(Mo)、鉛(Pd)
鉻(Cr)	a-SiC : H	鎳(Ni)
鉻(Cr)	a-SiN : H 或 a-SiC : H	鎳(Ni)或鉬(Mo)
鋁(Al)	四面體的無定型碳	鋁(Al)
電化學的鈍陰極	碲碲玻璃 (chalcogenide glass)具有 超過 30%的銀(Ag)	可氧化的銀(Ag) (陽極)
Indium-TiN 氧化物	碲碲合金 (Chalcogenide alloy)	金屬

目前為止在該轉換材質2中的製程尚未被完全闡明，雖然其假設特別是當使用非晶矽時，使用預先決定的電壓在非晶型材質中形成該轉換材質電傳導或金屬細絲，自使用相反電壓或相反電流之後，該預先決定的電壓係被破壞。

本發明的重點在於至少一電極1或3具有至少一電場放大器結構4，用以放大該轉換材質2中該電場E之電場強度。因此，根據第三圖A在第一電極1形成一小尖物4作為電場放大器結構，其造成該轉換材質2中電場E的顯著放大。此電場的放大造成電場的高峰於該轉換材質2中，其具有較佳的效應特別係對於上述之生成步驟。

根據第三圖B，如第三圖A中所述的非揮發記憶體元件SE與電場放大器結構4，一般所需要的生成電壓FA約20伏



五、發明說明 (8)

特，係轉變至例如降低的生成電壓 F_B 為-5伏特，電壓範圍可如習用CMOS可用之電壓範圍。更精確地，該非揮發記憶體元件中該電場放大器結構4，使得此元件可被首次整合至習用的半導體元件中，其係於電壓範圍低於10伏特進行操作，較佳係低於5伏特。用於所需的操作電壓之驅動電路可被簡化，因而可大幅降低電力的消耗。

根據第三圖C，該揮發記憶體元件SE或其轉換材質2，在生成步驟之後具有修飾族 K_B 的特性曲線，其現在具有顯著低的生成電壓 F_B 。在此範例中，根據習知技藝，特性曲線一族係以 K_A 表示。因此，在該第一電極1上所形成的電場放大結構4，不僅係降低的生成電壓，亦係改變該轉換材質2或該非揮發記憶體元件SE之特性曲線一族。更精確地，由於單側的電場放大，該特性曲線族係在負電壓範圍中由 K_A 壓縮至 K_B ，而由於相反的記號其係延伸至正的電壓範圍中。

因此，不僅可以降低生成電壓，亦可將該計劃電壓 V_{erase} 與 V_{write} 用於個別的分界條件。

第二實施例

第四圖A與第四圖B係根據本發明之第二實施例，說明非揮發記憶體元件之簡化的區段圖與簡化的U-I特性曲線，在下列重複的說明中相同的元件符號係指相同或對應的層或元件。

根據第四圖A，不僅有一小尖物4A生成在該第一電極1，該小尖物4A對面亦有生成對應的小尖物4B，作為該第



五、發明說明 (9)

二電極3之電場放大器結構，因此可生成兩方向的電場放大，亦即正電壓與負電壓。由於該非揮發記憶體元件SE中此電場放大器結構4A與4B，可再次降低該生成電壓，根據第四圖B可在正電壓範圍將特性曲線自 K_A 壓縮至 K_B 。因此，亦可能不但降低用於存寫或是將傳導性狀態自關(OFF)改變到開(ON)的設計電壓 V_{write} ，亦可降低用於消去該非揮發記憶體元件SE或用於改變開(ON)傳導性狀態至該關(OFF)傳導性狀態的設計電壓 V_{write} 。除了大幅降低生成電壓 F_B ，用於在該轉換材質2中或是非記憶體元件SE中產生該非揮發記憶體行為，由於該電場放大器，可獲得特性曲線的使用，特別係降低所需的存寫與消除電壓。在此方式中，可了解新的非揮發記憶體與大副降低的操作電壓，以及大幅改善的電流或電力的節省。

根據該第一與該第二實施例，一小尖物係生成在該第一電極1與/或該第二電極3，作為電場放大器結構。然而，在相同的方式中，該電極1與3的其他突出物，例如形成角或是邊緣，亦可作為電場放大器結構，其係突出至該轉換材質2中，且至少局部放大其中該電場E的電場強度。該電極1與3中該小尖物、角或邊緣的角度，較佳係為銳角，亦即角度 ≤ 90 度，因此可利用非常簡單的方式形成局部的電場高峰。然而，如下所示之方法，特別係其為簡單又有效節省成本的方法。

第三實施例

第五圖A至第五圖E係根據本發明之第三實施例，簡化



五、發明說明 (10)

說明生產一非揮發記憶體元件之主要方法步驟，在下列重複的說明中相同的元件符號係指相同或對應的層或元件。根據第五圖A，首先在一載體材質T上形成一輔助層I，且在該層中生產一凹處V。該載體材質T較佳係一半導體基質(Si)，其中已藉由STI(淺溝渠隔離，Shallow Trench Isolation)方法形成活性區域，且摻雜槽與/或完全或部分完成的半導體元件已存在。當然，除了該較佳的矽半導體基質之外，亦可使用其他載體材質，例如SOI或氧化矽、藍寶石矽晶(silicon on sapphire)等。

如同該輔助層I，較佳係一介電質層或絕緣層沉積於該載體材質T的整個區域上且具有凹處V，但是其亦可能係使用另一材質與電性傳導材質。

在形成該凹處V的過程中，其組成一溝渠或一孔洞於該輔助層I中，形成一電阻層，而後藉由習用光平板印刷方法進行圖案化。之後，藉由該圖案化的電阻層(未出示於圖中)將至少一部分的輔助層I移除，其中根據第五圖A，該輔助層I係被完全移除至該載體材質T，且因此生成一深溝渠或深孔洞做為該凹處V。最後，該電阻層被移除，且可能進行一清洗步驟，以移除可能產生的污染物。

較佳係藉由非等向性蝕刻，例如反應性的離子蝕刻(RIE)形成該凹處，因此可獲得該凹處V之垂直壁。

根據第五圖B，在一後續步驟中，以第一電性傳導材質填充該凹處V，用於形成一第一電極1，其中在該輔助層I的表面上進行一金屬(如鎢)的化學沉積方法(CVD，化學蒸氣



五、發明說明 (11)

沉積，Chemical Vapor Deposition)，在該凹處V的區域中，而後在該沉積材質1中生成一銜接的凹處VV。

如上所述，如第一電極1之電性傳導材質，亦可自上述的表中選擇材質或是藉由其他方式生成。

根據第五圖C，在後續的步驟中，該電性傳導材質1係退縮至少至該輔助層I之表面，亦即至該初始表面的相同程度，利用非等向蝕刻方法特別係作為回蝕步驟且該結構如第五圖C中所示係為該第一電極1。因此，該銜接凹處VV被接管或轉型至該凹處V中。

根據第五圖D，而後造成該轉助層I退縮，該小尖物4A係作為電場放大器結構餘該第一電極1中，且大幅突出在該輔助層1之上。該輔助層較佳係回蝕至該銜接凹處VV之底部區域，其造成(一溝渠之)該小尖物或角或邊緣之優化。造成該輔助層I退縮之過程，較佳係藉由非等向性回蝕步驟於該第一電極1之材質。

最後，根據第五圖E，在該第一電極1上形成一轉換材質2且在其中形成其電場放大器結構4A，其中用於上述表中的材質或多層結構可被用作為材質。在此範例中較佳係進行飽和的氫非晶矽或對應多層之沉積。

為了完成該非揮發記憶體元件SE，最後在該轉換材質2之表面上形成第二電傳導電極3，原則上亦可使用上述表中的材質。取決於個別的應用，隨可進行該第二電性傳導電極3之平面化與/或圖案化。

例如，藉由沉積含金屬層而形成該第二電極3。



五、發明說明 (12)

第四實施例

第六圖A至第六圖C係根據本發明之第四實施例，簡化說明生產一非揮發記憶體元件之主要方法步驟，在下列重複的說明中與第一圖至第四圖相同的元件符號係指相同或對應的層或元件。

根據第五圖A與第五圖B中第三實施例的製備方法，亦施行於第四實施例中，因此可參考對應的說明。

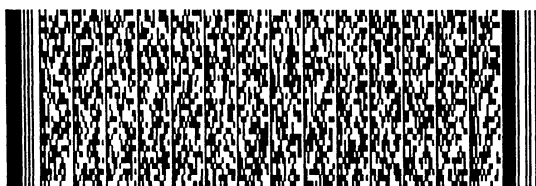
根據第六圖A，在第四實施例中，以第一電傳導材質充填該凹處V，用於形成一第一電極1(請參閱第五圖B)，首先進行一平面化方法，以造成該電傳導材質1至少退縮至該輔助層I之表面。較佳係於該錫層1上進行化學機械破壞(CMP)，因此可得第六圖A中所示的區段圖。

根據第六圖B，後續造成該輔助層I係退縮預先決定的量d1，例如藉由回蝕步驟，以揭露該第一電極1，且形成於其中的邊緣4A作為電場放大器結構。

根據第六圖C，如第三實施例在該輔助層I與該第一電極1的表面上，生成一轉換材質2，最後該第二電傳導電極3係生成於其上，因此可得具有降低的生成電壓的非揮發記憶體元件。在此範例中，該電場放大器結構係位於該第一電極1之右角邊緣4A中。關於生成該轉換材質2與該第二電極3之製程，可參考第三實施例。

第五實施例

第七圖A至第七圖D係根據本發明之第五實施例，簡化說明生產一非揮發記憶體元件之主要方法步驟，在下列重



五、發明說明 (13)

複的說明中與第一圖至第六圖相同的元件符號係指相同或對應的層或元件。

根據第七圖A，如第五圖A與第五圖B或第六圖A所示之實施例，首先在該凹處V中移除該第一電極之電性傳導材質1之預先決定的量(d2)。在此範例中，較佳係使用習用蝕刻方法，以回蝕該電性傳導層1。

根據第七圖B，而後形成一薄結構電性傳導層，其中一銜接凹處VV係保持於該凹處V的區域中。該層結構，亦即與參考表面的厚度相同，較佳係如該第一電性傳導材質1之相同的材質所組成，但是亦可使用其他的電性傳導材質，且多層結構形成該第一電極。

根據第七圖C，而後藉由非等向蝕刻方法，將該電性傳導層或其下電性傳導層退縮或至少回蝕至該輔助層I之表面，因此可得該小尖物4A。在第七圖B與第七圖C較佳係使用習用的間隔物方法，以形成該第一電極1中的該小尖物4A。

根據第七圖D，係使用第六圖B與第六圖C中所述的方法，其中該輔助層I係藉由一非等向蝕刻方法，被回蝕至該銜接凹處VV的底部區域，且而後形成該轉換材質2與該第二電極3。為了避免重複贅述，請參考上述實施例之說明。

在此方式中，可使用非常簡單的製程步驟，生產具有電場放大器結構的非揮發記憶體元件SE，因此可大幅降低所謂的「生成電壓」。



五、發明說明 (14)

上述非揮發記憶體元件可用典型的記憶體元件排列形成，非揮發記憶體之說明如下之實施例。

第六實施例

第八圖A係根據本發明之第六實施例，說明一記憶體元件排列之簡化的相等電路圖，且第八圖B係說明相關的記憶體元件之簡化的區段圖。

根據第八圖B，具有半導體材質之該載體材質T中，藉由摻雜區域可形成字元線，該區域係藉由淺溝渠隔離(STI)彼此隔離。另一記憶體元件結構係對應於根據第三實施例之記憶體元件，該第一電極1之材質選擇，係與該字元線WL或該摻雜區域形成二極體接合或Schottky二極體。

第八圖A係說明具有多重性的非揮發記憶體元件SE與配置於矩陣形式中的二極體DI，其連接係經由位於欄形式中的位元線BL1、BL2等，以及位於列形式中的字元線WL1、WL2等，該第一電極1係經由個別二極體接合或是二極體DI，連接至形成於該半導體基質T中的個別字元線，以及將個別的第二電極3圖案化，以在該輔助層I的表面上形成條狀形式的個別位元線BL。經由此一方式可獲得具有特別高度整合密度與低生成電壓的記憶體元件排列。

第七實施例

第九圖A係根據本發明之第七實施例，說明一記憶體元件排列之簡化的相等電路圖，第九圖B係說明其相關的記憶體元件之簡化的區段圖，以下重複的說明中相同的參



五、發明說明 (15)

考符號係指相同的元件或是對應於第八圖中的元件。

根據第九圖B，一個別的非揮發記憶體元件包含一第一電極1，其電性連接係經由一歐姆接合或一非反應性的電阻，直接連接至個別的電性傳導字元線WL，以及一個別的第二電極3，其被再次的圖案化，以於該輔助層I的表面上形成條狀形式的位元線BL。

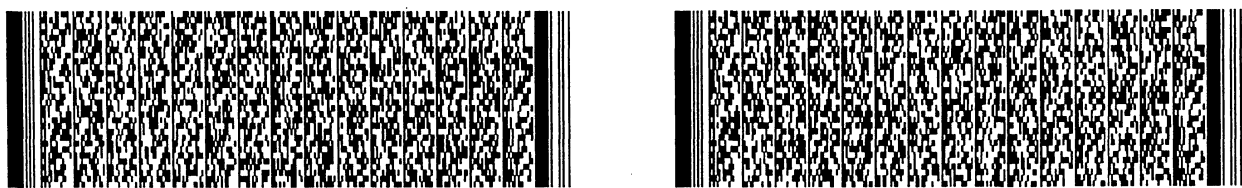
第八實施例

第十圖A係根據本發明之第八實施例，說明一記憶體元件排列之簡化的相等電路圖，第十圖B係說明其相關的記憶體元件之簡化的區段圖，以下重複的說明中相同的參考符號係指相同的元件或是對應於第八圖與第九圖中的元件。

根據第十圖B的區段圖，此種形式的記憶體元件排列，每一個非揮發記憶體元件SE，有一相連的選擇電晶體AT與字元線WL作為控制層，與位元線BL作為第一源極/汲極區域S/D於該半導體基質T中，該選擇電晶體AT之一第二源極/汲極區域S/D係連接至該非揮發記憶體元件SE之個別第一電極1，以及個別的第二電極3於共同的參考電位(例如共同的源極)。

可用別簡單的方式了解記憶體元件排列，應用於特定的領域，其具有小空間需求與大幅降低的生成電壓。已知，若加入串聯選擇的電晶體，則可獲得大幅改善的信號與雜訊的比值。使其可建構更大的胞元陣列與區段。

上述之本發明係基於所選擇的材質，且特別係基於飽和的



五、發明說明 (16)

氫非晶矽作為轉換材質。然而，其並不受限，仍可使用其他的材質，形成具有至少兩個不同傳導狀態的非揮發記憶體元件。



圖式簡單說明

第一圖A至第一圖C係說明習知技藝之非揮發記憶體元件之簡化的區段圖與簡化的U-I特性曲線。

第二圖A與第二圖B係說明習知技藝之另一非揮發記憶體元件之簡化的區段圖與簡化的U-I特性曲線。

第三圖A至第三圖C係根據本發明之第一實施例說明非揮發記憶體元件之簡化的區段圖與簡化的U-I特性曲線。

第四圖A與第四圖B係根據本發明之第二實施例說明非揮發記憶體元件之簡化的區段圖與簡化的U-I特性曲線。

第五圖A至第五圖E係根據本發明之第三實施例簡化說明生產一非揮發記憶體元件之主要方法步驟。

第六圖A至第六圖C係根據本發明之第四實施例簡化說明生產一非揮發記憶體元件之主要方法步驟。

第七圖A至第七圖D係根據本發明之第五實施例簡化說明生產一非揮發記憶體元件之主要方法步驟。

第八圖A與第八圖B係根據本發明之第六實施例說明一記憶體元件排列之簡化的相等電路圖與相關的記憶體元件之簡化的區段圖。

第九圖A與第九圖B係根據本發明之第七實施例說明一記憶體元件排列之簡化的相等電路圖與相關的記憶體元件之簡化的區段圖。

第十圖A與第十圖B係根據本發明之第八實施例說明一記憶體元件排列之簡化的相等電路圖與相關的記憶體元件之簡化的區段圖。



圖式簡單說明

元件符號說明

1	第一電極	2, 2A 至 2C	轉換材質
3	第二電極	E	電場
4, 4A, 4B	電場放大器結構	F _A , F _B	生成電壓
K _A , K _B	特性曲線族	V	凹處
SE	非揮發記憶體元件	VV	銜接凹處
T	載體材質	I	輔助層
BL	位元線	WL	字元線
DI	二極體		
AT	選擇電晶體		
S/D	第一源極/汲極區域		
STI	淺溝渠隔離		



四、中文發明摘要 (發明名稱：非揮發記憶元件及其製造方法及記憶元件排列)

本發明係關於一種非揮發記憶體元件、其產製方法及記憶體元件排列，其中為了降低生成電壓，一第一電極(1)具有一電場放大器結構(4)用於放大由一轉換材質(2)中第二電極所產生的一電場(E)之電場強度。

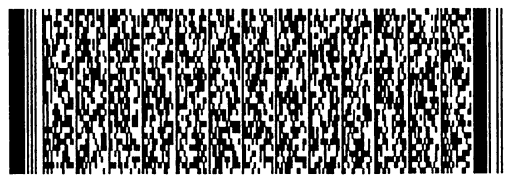
五、(一)、本案代表圖為：第 3A 圖

(二)、本案代表圖之元件代表符號簡單說明：

- 1 第一電極
- 2 轉換材質
- 3 第二電極
- 4 電場放大器結構
- E 電場
- SE 非揮發記憶體元件

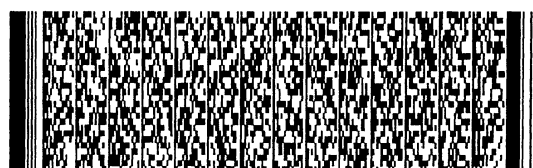
六、英文發明摘要 (發明名稱：Nonvolatile memory element and associated production methods and memory element arrangements)

The invention relates to a nonvolatile memory element and to associated production methods and memory element arrangements, in which case, in order to reduce a forming voltage, a first electrode (1) has a field amplifier structure (4) for amplifying a field strength of an electric field (E) generated by means of a second electrode (3) in a changeover material (2).



六、申請專利範圍

1. 一種非揮發記憶體元件，其具有一轉換材質(2)與兩個電傳導電極(1, 3)存在於該轉換材質(2)，且作為該轉換材質(2)中一電壓的應用與一電場(E)的產生，在一生成步驟之後，該轉換材質(2)中至少有兩個不同的傳導性狀態(開ON, 關OFF)，其中可藉由應用預先決定的計劃電壓(Vwrite, Verase)重複影響轉換，其中至少一電極(1, 3)具有至少一電場放大器結構(4)，用於放大該轉換材質(2)中該電場(E)的電場強度。
2. 如申請專利範圍第1項之非揮發記憶體元件，其中該電場放大器結構構成該電極(1, 3)之一突出物，其係突出至該轉換材質(2)。
3. 如申請專利範圍第2項之非揮發記憶體元件，其中該突出物係構成該電極(1, 3)之一小尖物、角或邊緣。
4. 如申請專利範圍第3項之非揮發記憶體元件，其中該小尖物、角或邊緣的角度係小於等於90度。
5. 如申請專利範圍第1項之非揮發記憶體元件，其中該轉換材質(2)具有氫飽和的非晶型半導體材質。
6. 如申請專利範圍第2項之非揮發記憶體元件，其中該轉換材質(2)具有氫飽和的非晶型半導體材質。
7. 如申請專利範圍第1項至第6項中任一項之非揮發記憶體元件，其中該轉換材質(2)具有多層結構(2A, 2B, 2C)。
8. 如申請專利範圍第1項至第4項中任一項之非揮發記憶體元件，其中該電極(1, 3)具有金屬。
9. 一種用於製造非揮發記憶體元件之方法，其包含之步驟



六、申請專利範圍

如下：

- a) 製備一載體材質(T)；
- b) 形成一輔助層(I)；
- c) 形成一凹處(V)於該輔助層(I)中；
- d) 以第一電性傳導材質充填該凹處(V)，用以形成一第一電極(1)；
- e) 於該第一電極(1)形成至少一電場放大器結構(4A)；
- f) 形成一轉換材質(2)電場放大器結構(4A)之該第一電極(1)上，在一生成步驟後，該轉換材質(2)中至少有兩個不同的傳導性狀態(開ON，關OFF)，其中可藉由應用預先決定的計劃電壓(Vwrite, Verase)重複影響轉換；以及
- g) 在該轉換材質(2)上，形成一第二電性傳導電極(3)。

10. 如申請專利範圍第9項之方法，其中在步驟a)中，一半導體基質被製備作為載體材質(T)。

11. 如申請專利範圍第10項之方法，其中在步驟a)中，在該凹處(V)區域中，形成字元線(WL)於該載體材質(T)中，該字元線(WL)具有一材質，其與該第一電極(1)之該材質形成歐姆或二極體接合(DI)。

12. 如申請專利範圍第9項之方法，其中在步驟a)中，在該凹處(V)區域中，形成字元線(WL)於該載體材質(T)中，該字元線(WL)具有一材質，其與該第一電極(1)之該材質形成歐姆或二極體接合(DI)。

13. 如申請專利範圍第9項之方法，其中在步驟a)中，在該載體材質(T)中形成具有源極/汲極區域(S/D)之一選擇電



六、申請專利範圍

晶體(AT)，該源極/汲極區域(S/D)於該第一電極(1)形成一位元線(BL)與一終端區域。

14. 如申請專利範圍第10項之方法，其中在步驟a)中，在該載體材質(T)中形成具有源極/汲極區域(S/D)之一選擇電晶體(AT)，該源極/汲極區域(S/D)於該第一電極(1)形成一位元線(BL)與一終端區域。

15. 如申請專利範圍第9項至第14項中任一項之方法，其中在步驟b)中，在該載體材質(T)的整個面積上，沉積一絕緣層(I)。

16. 如申請專利範圍第9項至第14項中任一項之方法，其中在步驟c)中，

形成一光阻層，且將其圖案化；

藉由該圖案化的電阻層，將該輔助層(I)之至少一部分移除；

移除該光阻層；以及

進行一清除步驟。

17. 如申請專利範圍第16項之方法，其中在步驟c)中，進行一非等向性蝕刻，以移除至少一部分的該輔助層(I)。

18. 如申請專利範圍第9項之方法，其中在步驟c)中，形成一溝渠或是一孔洞作為凹處(V)。

19. 如申請專利範圍第9項之方法，其中在步驟d)中，沉積該電性傳導材質，因此在該凹處(V)的區域中，產生一銜接凹處(VV)。

20. 如申請專利範圍第19項之方法，其中在步驟e)中，



六、申請專利範圍

e11) 藉由非等向性蝕刻方法，將該電性傳導材質(1)至少回蝕至該輔助層(I)之表面；以及

e12) 藉由非等向性蝕刻方法，將該輔助層(I)回蝕至該銜接凹處(VV)之底部區域。

21. 如申請專利範圍第9項之方法，其中在步驟e)中，

e21) 藉由平面化方法，造成該電性傳導材質(1)至少退縮至該輔助層(I)之表面；

e22) 藉由一選擇性的蝕刻方法，該輔助層(I)係被回蝕一預先決定量(d1)。

22. 如申請專利範圍第9項之方法，其中在步驟e)中，

e31) 藉由一蝕刻方法，移除該凹處(V)中該電性傳導材質(1)之至少一預先決定量(d2)；

e32) 形成一薄結構電性傳導層，因此一銜接凹處(VV)仍保留於該凹處(V)之該區域中；

e33) 藉由一非等向性蝕刻方法，將該電性傳導層(1)至少回蝕至該輔助層(I)之表面；以及

e34) 藉由非等向性蝕刻方法，將該輔助層(I)回蝕至該銜接凹處(VV)之底部區域。

23. 如申請專利範圍第9項之方法，其中在步驟f)中，以該電場放大結構(4；4A；4B)沉積一單一或多重氫飽和的非晶型半導體層於該第一電極(1)上。

24. 如申請專利範圍第9項之方法，其中在步驟g)中，係沉積鉻(Cr)、金(Au)、鋁(Al)、銅(Cu)、鉻化鎳(NiCr)、銀(Ag)、鎳(Ni)、鉬(Mo)、釩(V)、鈷(Co)、鐵(Fe)、鎢(W)



六、申請專利範圍

或錳(Mn)層，作為第二電極(3)。

25. 一種多重性非揮發記憶體元件排列，具有如申請專利範圍第1項至第6項中任一項之多重性非揮發記憶體元件，其係排列於矩陣形式中，且可經由排列於欄之位元線(BL)與排列於列之字元線(WL)進行連接，

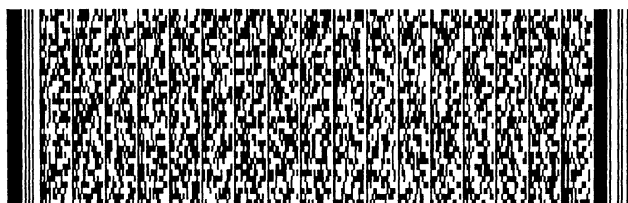
其中一個別的第一電極(1)係經由二極體接合(DI)電性連接至形成於半導體基質(T)中之個別字元線(WL)，以及用於形成個別位元線(BL)之個別第二電極(3)係在該輔助層(I)之表面被圖案化成為長條狀。

26. 一種多重性非揮發記憶體元件排列，具有如申請專利範圍第1項至第6項中任一項之多重性非揮發記憶體元件，其係排列於矩陣形式中，且可經由排列於欄之位元線(BL)與排列於列之字元線(WL)進行連接，

其中一個別的第一電極(1)係經由歐姆接合電性連接至形成於半導體基質(T)中之個別字元線(WL)，以及用於形成個別位元線(BL)之個別第二電極(3)係在該輔助層(I)之表面被圖案化成為長條狀。

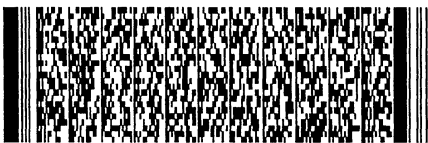
27. 一種多重性非揮發記憶體元件排列，具有如申請專利範圍第1項至第6項中任一項之多重性非揮發記憶體元件，其係排列於矩陣形式中，且可經由排列於欄之位元線(BL)與排列於列之字元線(WL)進行連接，

其中對於每一個記憶體元件(SE)，形成一選擇電晶體(AT)與一字元線(WL)作為控制層，與一位元線(BL)作為第一源極/汲極區域(S/D)於該半導體基質(T)中，該選擇電晶體

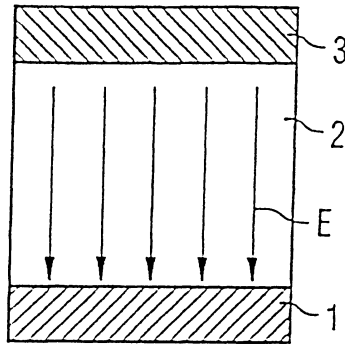


六、申請專利範圍

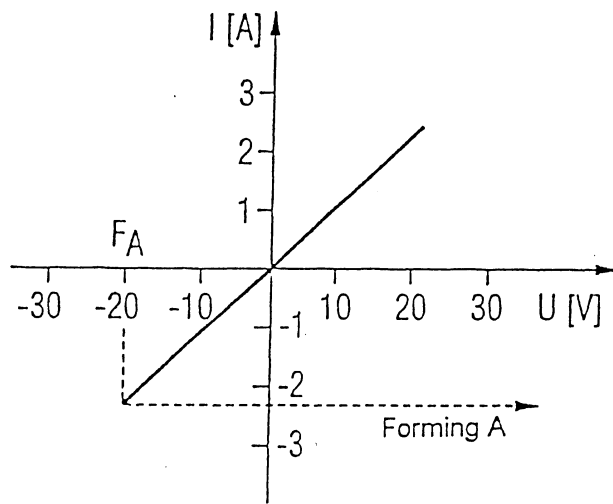
(AT)之第二源極/汲極區域(S/D)係電性連接至該記憶體元件(SE)之第一電極(1)及位於共同電位之個別第二電極(3)。



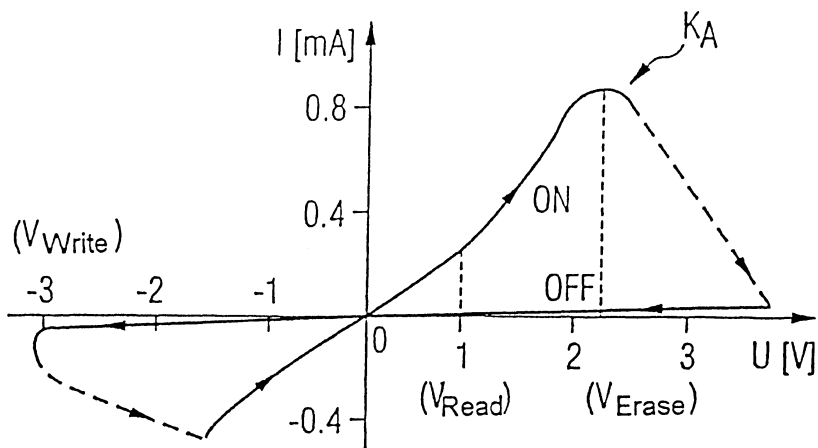
第 1A 圖



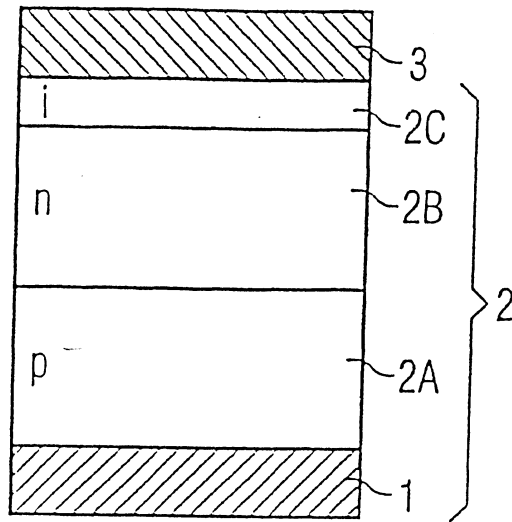
第 1B 圖



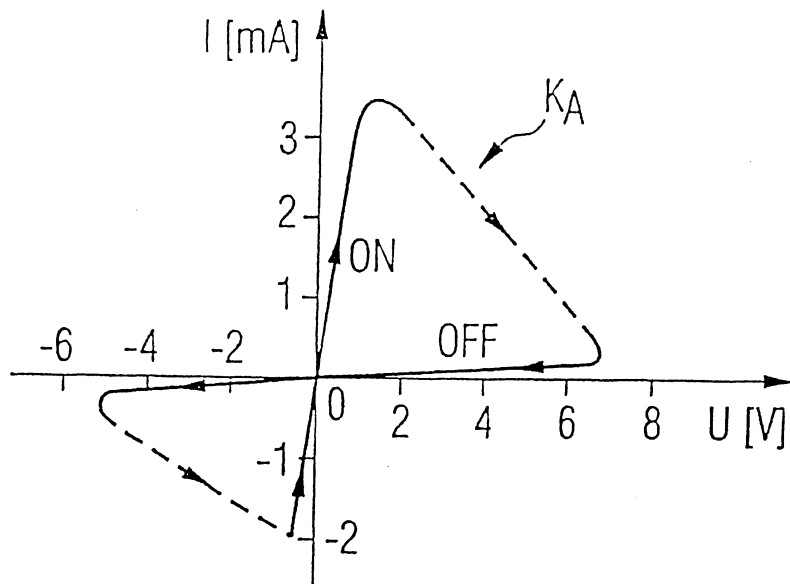
第 1C 圖



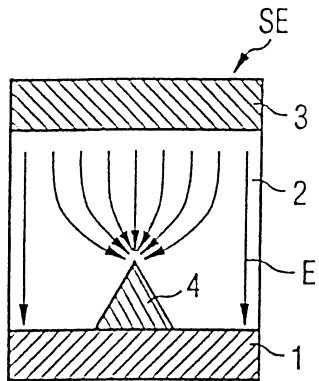
第 2A 圖



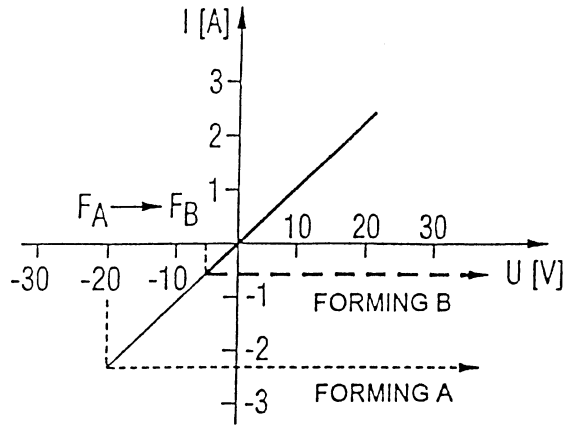
第 2B 圖



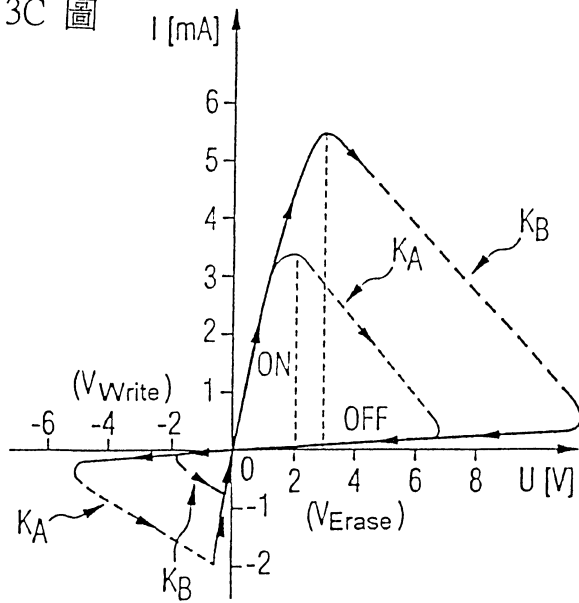
第 3A 圖



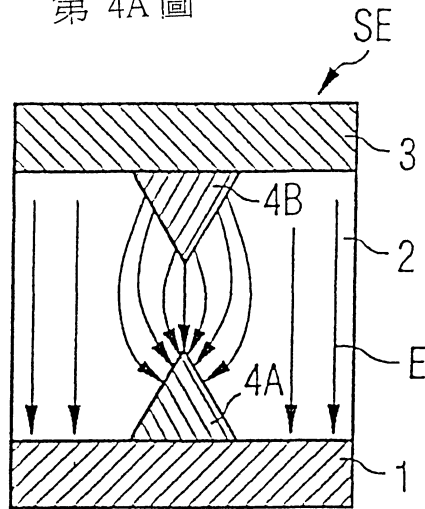
第 3B 圖



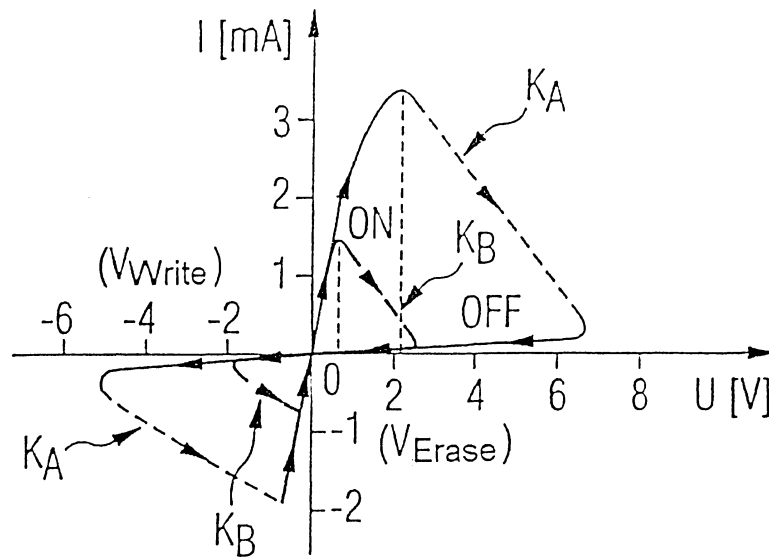
第 3C 圖



第 4A 圖



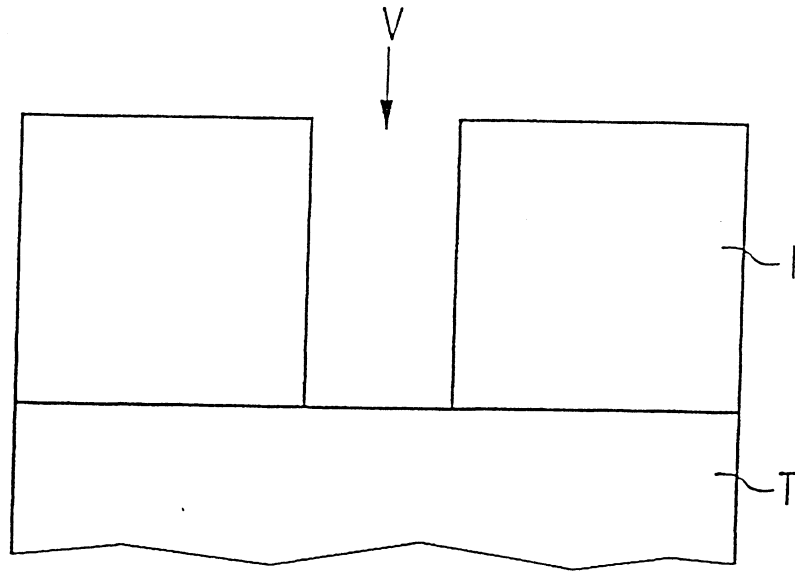
第 4B 圖



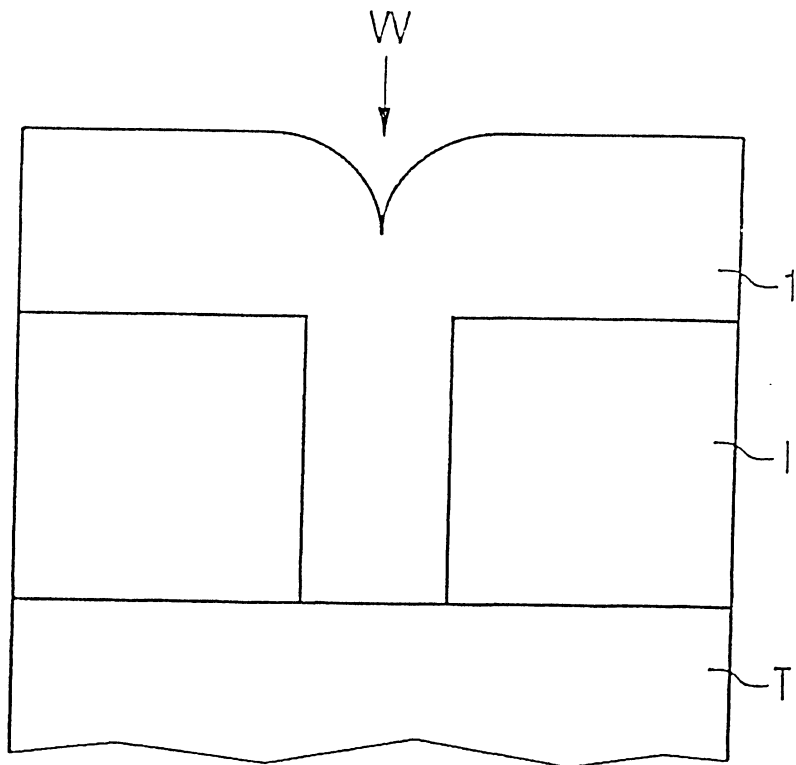
圖式

5/11

第 5A 圖



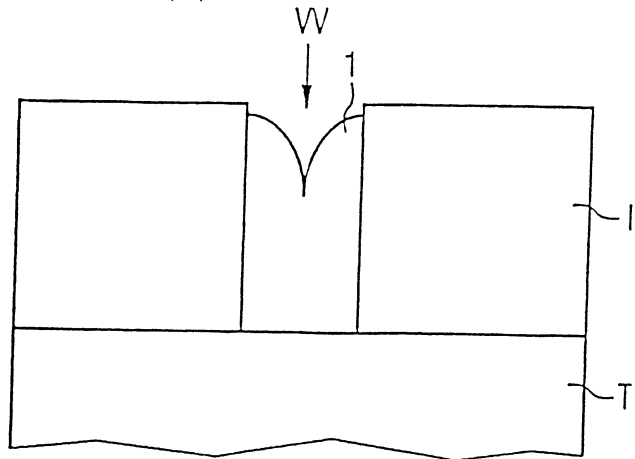
第 5B 圖



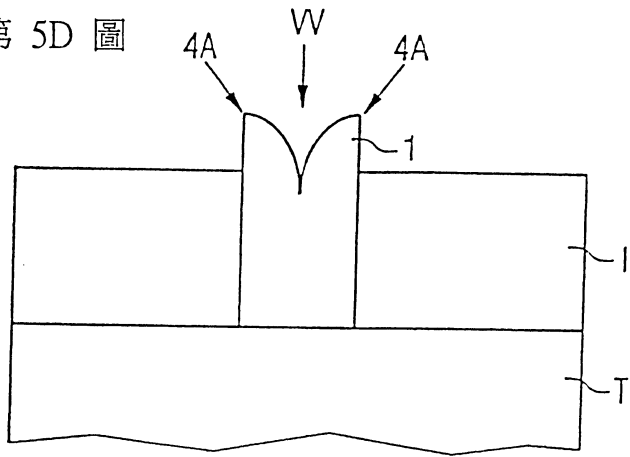
圖式

6/11

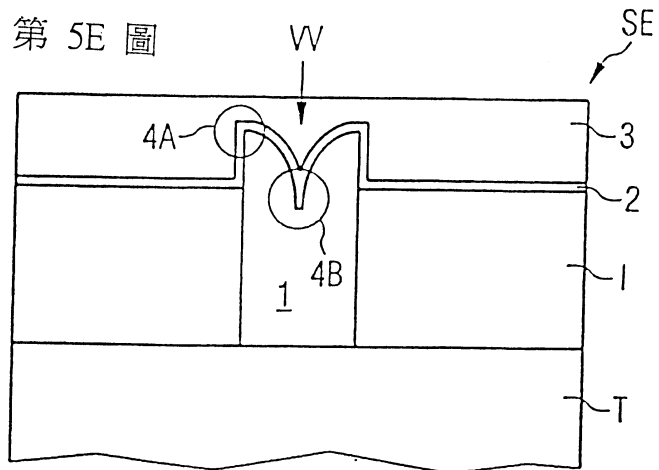
第 5C 圖



第 5D 圖



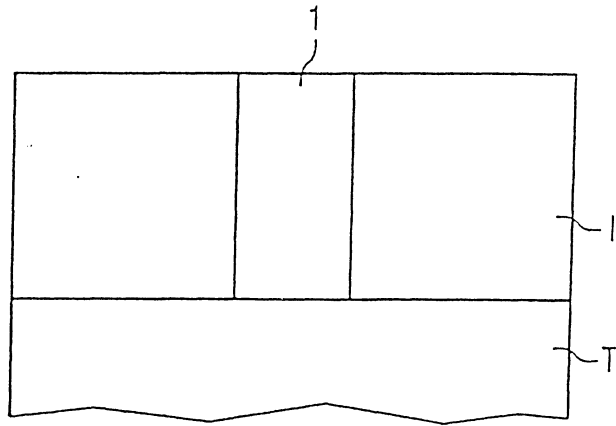
第 5E 圖



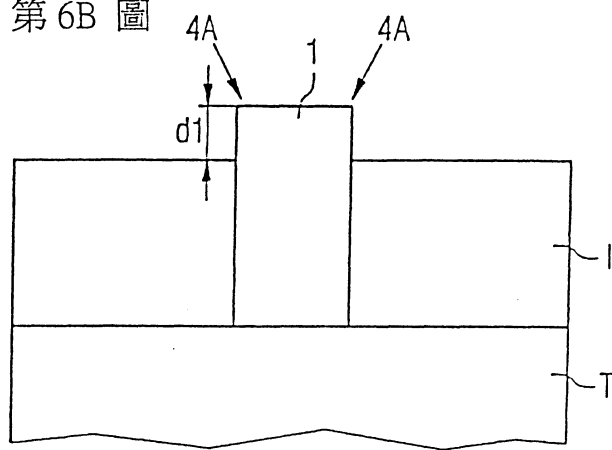
圖式

7/11

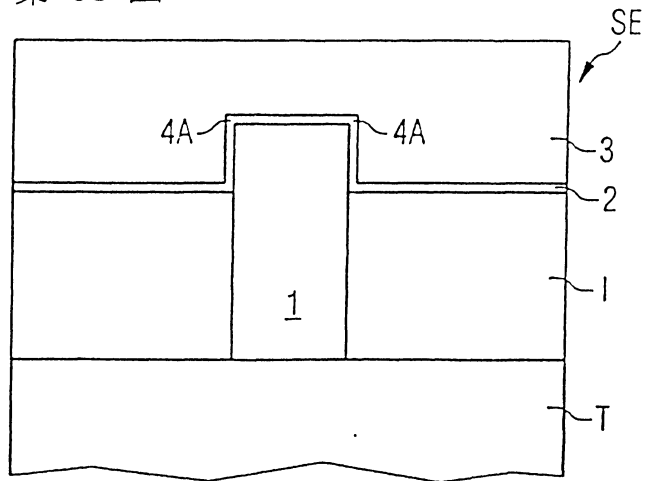
第 6A 圖



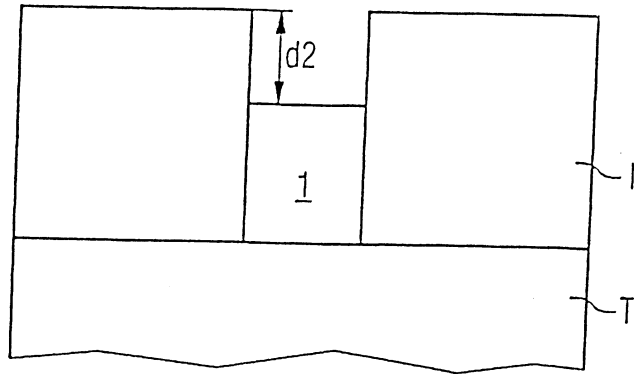
第 6B 圖



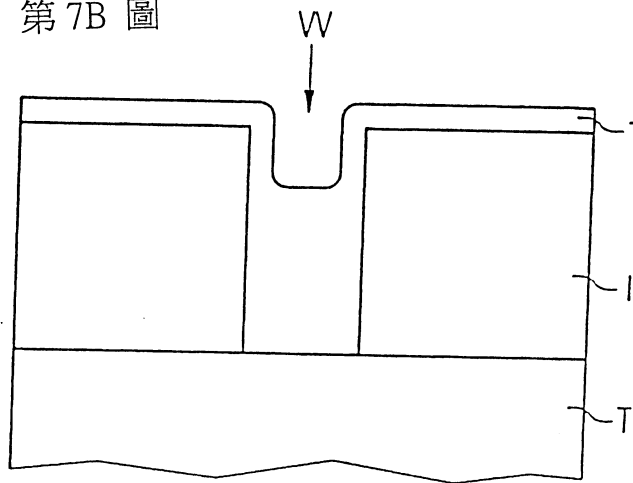
第 6C 圖



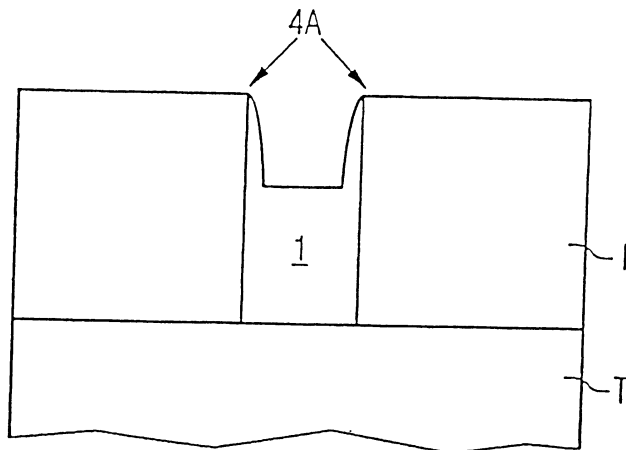
第 7A 圖



第 7B 圖



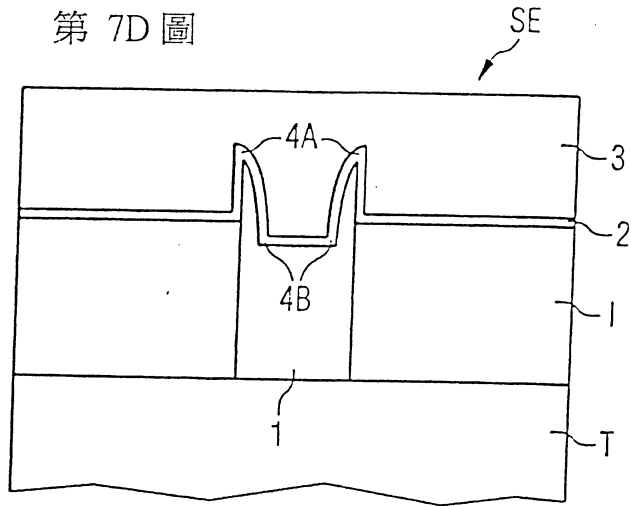
第 7C 圖



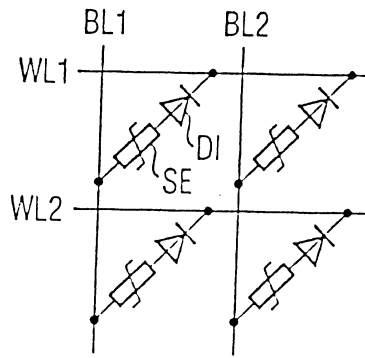
圖式

9/11

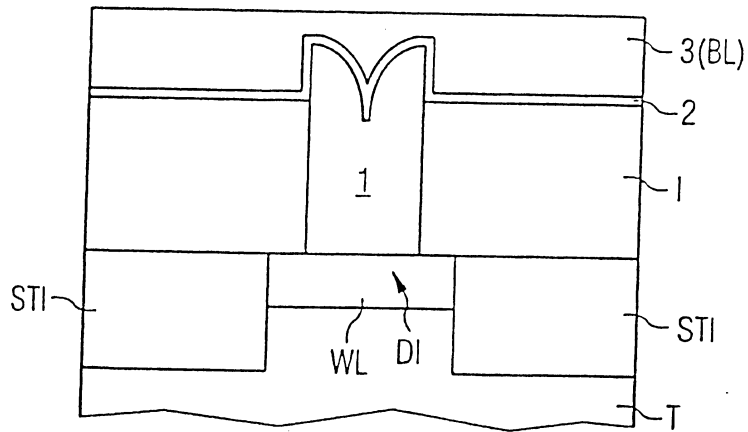
第 7D 圖



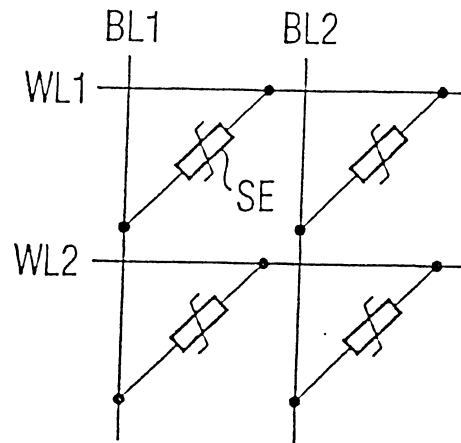
第 8A 圖



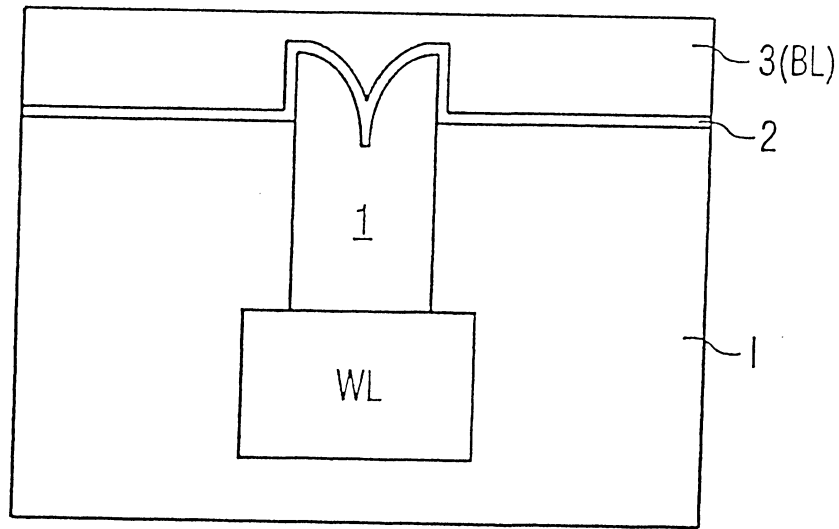
第 8B 圖



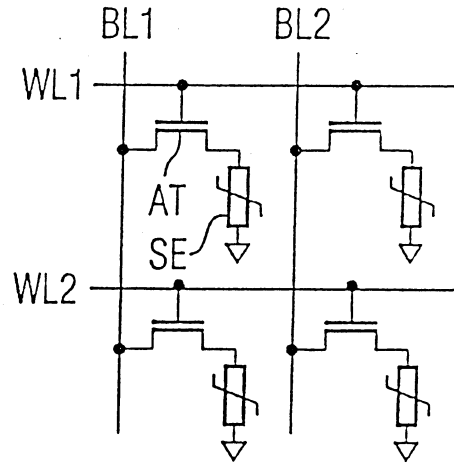
第 9A 圖



第 9B 圖



第 10A 圖



第 10B 圖

