

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H01L 21/8242

(11) 공개번호 특2002 - 0058412
(43) 공개일자 2002년07월12일

(21) 출원번호 10 - 2000 - 0086517
(22) 출원일자 2000년12월30일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1
(72) 발명자 장헌용
서울특별시서대문구천연동120 - 30
(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 반도체 소자의 캐패시터 형성방법

요약

본 발명은 반도체 제조 기술에 관한 것으로, 특히 반도체 소자 제조 공정 중 캐패시터 형성 공정에 관한 것이며, 캐패시터 구조의 높이를 줄일 수 있는 반도체 소자의 캐패시터 형성방법을 제공하는데 그 목적이 있다. 본 발명의 특징적인 반도체 소자의 캐패시터 형성방법은, 반도체 기판 상에 소정의 도전 구조 및 절연 구조를 구비한 하부층을 형성하는 제1 단계; 상기 하부층의 상기 절연 구조를 선택 식각하여 전하저장 전극 콘택홀을 형성하는 제2 단계; 상기 전하저장 전극 콘택홀 내에 콘택 플러그를 형성하는 제3 단계; 상기 제3 단계를 마친 전체 구조 상부에 희생막을 형성하는 제4 단계; 전하저장 전극 형성 영역 주위의 상기 희생막을 일정 선평만큼 선택 식각하여 홈을 형성하는 제5 단계; 상기 홈 내에 플레이트 전극용 전도막을 매립하는 제6 단계; 상기 전하저장 전극 형성 영역의 상기 희생막을 제거하는 제7 단계; 상기 노출된 상기 플레이트 전극용 전도막 측벽에 유전체 박막을 형성하는 제8 단계; 및 상기 전하저장 전극 형성 영역에 상기 콘택 플러그와 콘택되는 전하저장 전극용 전도막을 형성하는 제9 단계를 포함하여 이루어진다.

대표도
도 1e

색인어
캐패시터, 플레이트 전극, 전하저장 전극, 단차, 높이

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 본 발명의 일 실시예에 따른 캐패시터 형성 공정도.

도 2는 본 발명에 따른 캐패시터의 레이아웃도.

도 3은 본 발명의 다른 실시예에 따라 형성된 캐패시터의 단면도.

* 도면의 주요 부분에 대한 부호의 설명

14 : 제1 플레이트 전극용 전도막

16 : 제2 플레이트 전극용 전도막

17 : 유전체 박막

18 : 전하저장 전극용 전도막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 반도체 소자 제조 공정 중 캐패시터 형성 공정에 관한 것이다.

반도체 메모리 소자의 고집적화에 따라 동일 레이아웃 면적에서 보다 큰 캐패시턴스를 확보하기 위한 노력이 계속되고 있다.

캐패시터의 캐패시턴스는 유전율(ϵ) 및 전극의 유효 표면적에 비례하고, 전극간 거리에 반비례하기 때문에, 종래에는 주로 캐패시터 하부전극의 표면적을 확보하거나 유전체의 박막화로 전극간 거리를 최소화하는 방향으로 많은 연구가 진행되어 왔다. 그러나, 이 중 유전체의 박막화는 누설전류 증가를 수반하는 문제점이 있으며, 이에 따라 캐패시터 구조를 플라나 스택(Planar stack), 콘케이브(Concave), 실린더(cylinder)와 같은 3차원 구조로 형성하여 캐패시터의 유효 표면적을 증대시키는 방법을 주로 사용하여 왔다.

또한, 이러한 3차원 구조의 캐패시터의 적용과 함께 기존의 유전체 재료인 NO(nitride/oxide) 박막을 Ta_2O_5 , BST, TaON, TaO 등의 고유전체 박막으로 대체하는 방향으로 개발이 진행되고 있다.

그러나, 기존에 제안된 캐패시터는 유전체 박막의 종류와 관계 없이 하부전극(전하저장 전극)을 먼저 형성하고, 그 상부에 상부전극(플레이트 전극)을 덮는 구조로 형성되기 때문에 캐패시터 구조의 높이가 높은 경향이 있다.

이처럼 캐패시터 구조의 높이가 높으면 셀 영역과 주변회로 영역의 단차가 심화되어 후속 금속 콘택 공정시 마스크 공정을 어렵게 만들고, 층간절연막 식각 타겟을 증가시켜 공정 시간을 증가시키며, 금속 콘택 공정시 매립 특성을 확보하기 어려운 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 특히 캐패시터 구조의 높이를 줄일 수 있는 반도체 소자의 캐패시터 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 특징적인 반도체 소자의 캐패시터 형성방법은, 반도체 기판 상에 소정의 도전 구조 및 절연 구조를 구비한 하부층을 형성하는 제1 단계; 상기 하부층의 상기 절연 구조를 선택 식각하여 전하 저장 전극 콘택홀을 형성하는 제2 단계; 상기 전하저장 전극 콘택홀 내에 콘택 플러그를 형성하는 제3 단계; 상기 제3 단계를 마친 전체 구조 상부에 희생막을 형성하는 제4 단계; 전하저장 전극 형성 영역 주위의 상기 희생막을 일정 선폰만큼 선택 식각하여 홈을 형성하는 제5 단계; 상기 홈 내에 플레이트 전극용 전도막을 매립하는 제6 단계; 상기 전하저장 전극 형성 영역의 상기 희생막을 제거하는 제7 단계; 상기 노출된 상기 플레이트 전극용 전도막 측벽에 유전체 박막을 형성하는 제8 단계; 및 상기 전하저장 전극 형성 영역에 상기 콘택 플러그와 콘택되는 전하저장 전극용 전도막을 형성하는 제9 단계를 포함하여 이루어진다.

바람직하게, 본 발명은 상기 제7 단계 수행 후, 노출된 상기 플레이트 전극용 전도막 측벽에 보조 전도막을 형성하는 제10 단계를 더 포함하여 이루어진다.

바람직하게, 상기 플레이트 전극용 전도막, 상기 보조 전도막, 상기 전하저장 전극용 전도막으로 각각 폴리실리콘막 또는 금속막을 사용한다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

첨부된 도면 도 1a 내지 도 1e는 본 발명의 일 실시예에 따른 캐패시터 형성 공정을 도시한 것으로, 이하 이를 참조하여 설명한다.

우선, 도 1a에 도시된 바와 같이 실리콘 기판(10) 상에 소정의 절연 구조 및 도전 구조를 가지는 하부층(11)을 형성한다. 하부층(11)에는 워드라인, 비트라인 및 다수의 층간절연막이 포함되며, 하부전극 콘택 마스크를 사용한 사진 공정 및 층간절연막 식각 공정을 통해 하부전극 콘택홀을 형성한다. 이어서, 전체 구조 상부에 폴리실리콘막을 증착하고, 이를 에치백하여 하부전극 콘택홀 내에 폴리실리콘 플러그(12)를 형성한다.

다음으로, 도 1b에 도시된 바와 같이 전체 구조 상부에 희생산화막(13)을 증착하고, 플레이트 전극 마스크를 사용한 사진 공정 및 희생산화막(13) 식각 공정을 실시한다. 첨부된 도면 도 2는 본 발명에 따른 캐패시터의 레이아웃을 도시한 것으로, 전하저장 전극 콘택(300)에 오버랩 되는 전하저장 전극 영역(200)은 기존과 다르지 않으나, 플레이트 전극 영역(100)이 전하저장 전극 영역(200)을 둘러싸도록 되어 있다.

이어서, 도 1c에 도시된 바와 같이 전체 구조 상부에 제1 플레이트 전극용 전도막(14)을 증착하고, 이를 에치백하여 단위 셀 별로 분리한 다음, 전체 구조 상부에 포토레지스트를 도포하고, 전하저장 전극 마스크(도 2 참조)를 사용한 사진 공정을 통해 포토레지스트 패턴(15)을 형성한 후, 포토레지스트 패턴(15)을 사용하여 노출된 희생산화막(13)을 선택적으로 식각한다.

다음으로, 도 1d에 도시된 바와 같이 포토레지스트 패턴(15)을 제거하고, 전체 구조 상부에 제2 플레이트 전극용 전도막(16) 및 유전체 박막(17)을 증착한 다음, 이들을 에치백하여 제2 플레이트 전극용 전도막(16) 및 유전체 박막(17)이 제1 플레이트 전극용 전도막(16)의 측벽에만 잔류하도록 한다.

계속하여, 도 1e에 도시된 바와 같이 전체 구조 상부에 전하저장 전극용 전도막(18)을 증착하고, 이를 에치백하여 단위 셀 별로 분리시킨 다음, 전체 구조 상부에 층간절연막(19)을 증착한다.

상기 실시예에서 제1 및 제2 플레이트 전극용 전도막(14, 16)으로 각각 폴리실리콘막, 금속막 중 어느 하나를 사용하며, 전하저장 전극용 전도막(18)으로도 역시 폴리실리콘막, 금속막 중 어느 하나를 사용할 수 있다.

첨부된 도면 도 3은 본 발명의 다른 실시예에 따라 형성된 캐패시터의 단면도로서, 동일 부분에 대해서는 상기 도 1a 내지 도 1e에서 사용된 도면 부호를 사용하였다.

본 발명의 다른 실시예에 따른 캐패시터 형성 공정은 상기 도 1d에 도시된 공정까지 진행한 다음, 전체 구조 표면을 따라 전하저장 전극용 전도막(18)을 증착하고, 이를 에치백하여 단위 셀 별로 분리시킨 다음, 전체 구조 상부에 층간절연막(19)을 증착하는 것이다.

한편, 층간절연막(19)을 제1 층간절연막 및 제2 층간절연막으로 나누어 증착하되, 우선 갭필 특성이 우수한 제1 층간절연막을 증착하고 CMP 공정을 실시하여 평탄화를 이룬 다음, 전체 구조 상부에 제2 층간절연막을 증착함으로써 평탄도를 확보할 수 있다.

상기와 같이 본 발명은 플레이트 전극을 전하저장 전극 형성 전에 먼저 형성하고, 전하저장 전극과 플레이트 전극을 수평으로 배치함으로써 기존의 플레이트 전극 두께 만큼 캐패시터 구조의 높이를 줄일 수 있으며, 이로 인하여 셀 영역과 주변회로 영역의 단차 완화는 물론, 후속 공정을 용이하게 진행할 수 있도록 한다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

전술한 본 발명은 캐패시터 구조의 높이를 감소시키는 효과가 있으며, 이로 인하여 셀 영역과 주변회로 영역의 단차를 완화하고 후속 금속배선 공정을 용이하게 만드는 효과를 기대할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 소정의 도전 구조 및 절연 구조를 구비한 하부층을 형성하는 제1 단계;

상기 하부층의 상기 절연 구조를 선택 식각하여 전하저장 전극 콘택홀을 형성하는 제2 단계;

상기 전하저장 전극 콘택홀 내에 콘택 플러그를 형성하는 제3 단계;

상기 제3 단계를 마친 전체 구조 상부에 희생막을 형성하는 제4 단계;

전하저장 전극 형성 영역 주위의 상기 희생막을 일정 선평만큼 선택 식각하여 홈을 형성하는 제5 단계;

상기 홈 내에 플레이트 전극용 전도막을 매립하는 제6 단계;

상기 전하저장 전극 형성 영역의 상기 희생막을 제거하는 제7 단계;

상기 노출된 상기 플레이트 전극용 전도막 측벽에 유전체 박막을 형성하는 제8 단계; 및

상기 전하저장 전극 형성 영역에 상기 콘택 플러그와 콘택되는 전하저장 전극용 전도막을 형성하는 제9 단계를 포함하여 이루어진 반도체 소자의 캐패시터 형성방법.

청구항 2.

제1항에 있어서,

상기 제7 단계 수행 후,

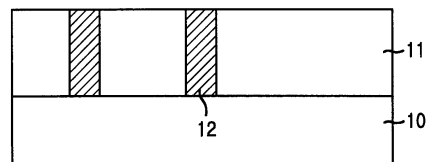
노출된 상기 플레이트 전극용 전도막 측벽에 보조 전도막을 형성하는 제10 단계를 더 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 3.

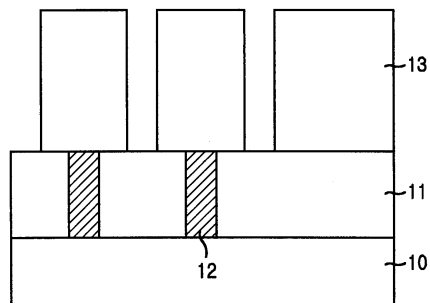
제2항에 있어서,

상기 플레이트 전극용 전도막, 상기 보조 전도막, 상기 전하저장 전극용 전도막으로 각각 폴리실리콘막 또는 금속막을 사용하는 것을 특징으로하는 반도체 소자의 캐패시터 형성방법.

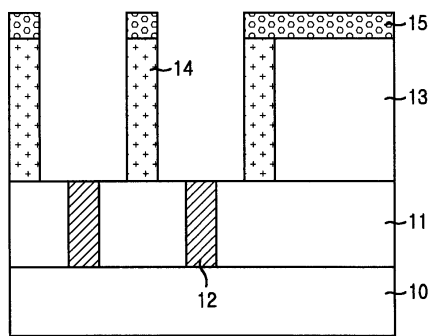
도면 1a



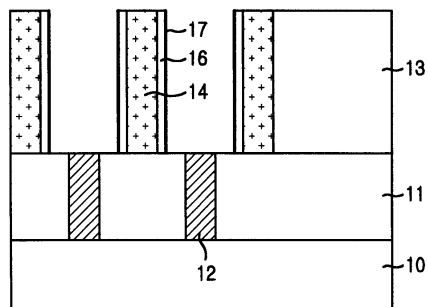
도면 1b



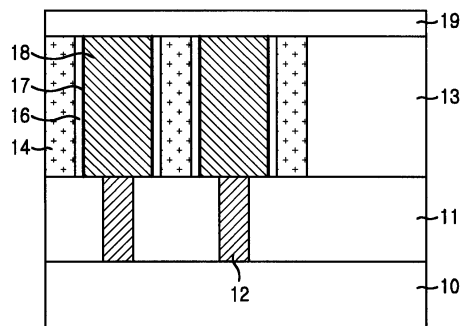
도면 1c



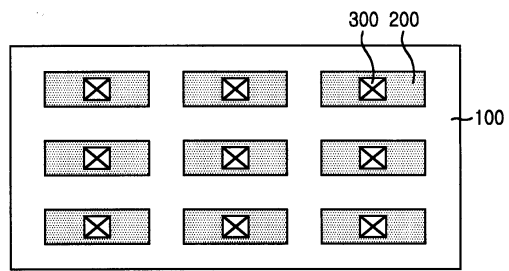
도면 1d



도면 1e



도면 2



도면 3

