



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0085835
(43) 공개일자 2010년07월29일

(51) Int. Cl.

H03M 1/10 (2006.01) G01R 31/316 (2006.01)

(21) 출원번호 10-2010-0000354

(22) 출원일자 2010년01월05일

심사청구일자 없음

(30) 우선권주장

JP-P-2009-011153 2009년01월21일 일본(JP)

(71) 출원인

소니 주식회사

일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자

효오도오 켄지

일본국 후쿠오카켄 후쿠오카시 사와라쿠 모모치하
마 2-3-2 소니 세미컨덕터 큐슈 코퍼레이션 내

이치리즈카 타카시

일본국 후쿠오카켄 후쿠오카시 사와라쿠 모모치하
마 2-3-2 소니 세미컨덕터 큐슈 코퍼레이션 내

(뒷면에 계속)

(74) 대리인

최달용

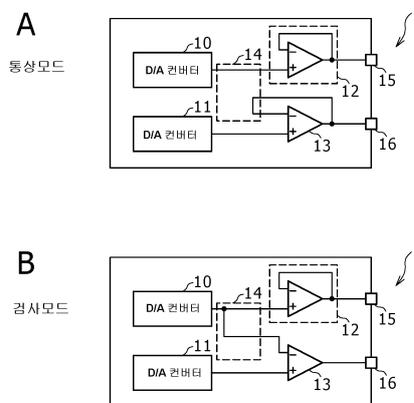
전체 청구항 수 : 총 6 항

(54) 반도체 집적 회로, 액정 구동 회로 및 액정 표시 장치

(57) 요약

본 발명의 반도체 집적 회로는, 제 1의 D/A 컨버터와, 제 2의 D/A 컨버터와, 상기 제 1의 D/A 컨버터의 출력을 증폭하는 증폭기와, 상기 제 2의 D/A 컨버터의 출력을 입력하는 오퍼레이팅 앰프와, 상기 제 2의 D/A 컨버터의 출력을 증폭하는 증폭기로서 상기 오퍼레이팅 앰프를 기능시키는 통상 모드와, 상기 제 2의 D/A 컨버터의 출력을 상기 제 1의 D/A 컨버터의 출력과 비교하는 비교기로서 상기 오퍼레이팅 앰프를 기능시키는 검사 모드를 전환하는 전환기를 구비한다.

대표도 - 도2



(72) 발명자

키모토 타쿠야

일본국 후쿠오카켄 후쿠오카시 사와라쿠 모모치하
마 2-3-2 소니 세미컨덕터 큐슈 코퍼레이션 내

토고 미노루

일본국 후쿠오카켄 후쿠오카시 사와라쿠 모모치하
마 2-3-2 소니 세미컨덕터 큐슈 코퍼레이션 내

특허청구의 범위

청구항 1

제 1의 D/A 컨버터와,

제 2의 D/A 컨버터와,

상기 제 1의 D/A 컨버터의 출력을 증폭하는 증폭기와,

상기 제 2의 D/A 컨버터의 출력을 입력하는 오퍼레이팅 앰프와,

상기 제 2의 D/A 컨버터의 출력을 증폭하는 증폭기로서 상기 오퍼레이팅 앰프를 기능시키는 통상 모드와, 상기 제 2의 D/A 컨버터의 출력을 상기 제 1의 D/A 컨버터의 출력과 비교하는 비교기로서 상기 오퍼레이팅 앰프를 기능시키는 검사 모드를 전환하는 전환기를 구비한 것을 특징으로 하는 반도체 집적 회로.

청구항 2

제 1항에 있어서,

상기 검사 모드인 때에, 상기 오퍼레이팅 앰프의 비반전 입력 노드에 상기 제 1의 D/A 컨버터의 출력을 입력함과 함께, 상기 오퍼레이팅 앰프의 반전 입력 노드에 상기 제 2의 D/A 컨버터의 출력을 입력하는 제 1 검사 모드와, 상기 오퍼레이팅 앰프의 비반전 입력 노드에 상기 제 2의 D/A 컨버터의 출력을 입력함과 함께, 상기 오퍼레이팅 앰프의 반전 입력 노드에 상기 제 1의 D/A 컨버터의 출력을 입력하는 제 2 검사 모드를 전환하는 제 2의 전환기를 구비한 것을 특징으로 하는 반도체 집적 회로.

청구항 3

제 1항에 있어서,

n개(n은 2 이상의 정수)의 상기 제 1의 D/A 컨버터와,

n개의 상기 제 2의 D/A 컨버터와,

각 상기 제 1의 D/A 컨버터의 출력을 증폭하는 n개의 상기 증폭기와,

각 상기 제 2의 D/A 컨버터의 출력을 입력하는 n개의 상기 오퍼레이팅 앰프와, n개의 상기 전환기를 더 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 4

제 3항에 있어서,

상기 n개의 오퍼레이팅 앰프의 출력이 전부 H레벨 또는 L레벨인 때에 정상 검출을 나타내는 신호를 출력하고, 상기 n개의 오퍼레이팅 앰프의 출력이 어느 하나라도 L레벨 또는 H레벨인 때에 이상 검출을 나타내는 신호를 출력하는 논리 회로를 더 구비한 것을 특징으로 하는 반도체 집적 회로.

청구항 5

n개(n은 2 이상의 정수)의 제 1의 D/A 컨버터와,

n개의 제 2의 D/A 컨버터와,

각 상기 제 1의 D/A 컨버터의 출력을 증폭하여 액정 패널에 출력하는 n개의 증폭기와,

각 상기 제 2의 D/A 컨버터의 출력을 입력하는 n개의 오퍼레이팅 앰프와,

상기 제 2의 D/A 컨버터의 출력을 증폭하는 증폭기로서 상기 오퍼레이팅 앰프를 기능시키는 통상 모드와, 상기 제 2의 D/A 컨버터의 출력을 상기 제 1의 D/A 컨버터의 출력과 비교하는 비교기로서 상기 오퍼레이팅 앰프를 기능시키는 검사 모드를 전환하는 n개의 전환기를 구비한 것을 특징으로 하는 액정 구동 회로.

청구항 6

액정 패널과, 이 액정 패널에 마련된 화소를 구동시키기 위한 구동 신호를 출력하는 액정 구동 회로를 구비하고,

상기 액정 구동 회로는,

n개(n은 2 이상의 정수)의 제 1의 D/A 컨버터와,

n개의 제 2의 D/A 컨버터와,

각 상기 제 1의 D/A 컨버터의 출력을 증폭하여 액정 패널에 출력하는 n개의 증폭기와,

각 상기 제 2의 D/A 컨버터의 출력을 입력하는 n개의 오퍼레이팅 앰프와,

상기 제 2의 D/A 컨버터의 출력을 증폭하는 증폭기로서 상기 오퍼레이팅 앰프를 기능시키는 통상 모드와, 상기 제 2의 D/A 컨버터의 출력을 상기 제 1의 D/A 컨버터의 출력과 비교하는 비교기로서 상기 오퍼레이팅 앰프를 기능시키는 검사 모드를 전환하는 n개의 전환기를 구비한 것을 특징으로 하는 액정 표시 장치.

명세서

기술분야

[0001] 본 발명은, DA(디지털-아날로그) 변환기 및 D/A 컨버터의 출력을 증폭하는 증폭기를 구비한 반도체 집적 회로, 액정 구동 회로 및 액정 표시 장치에 관한 것이다.

배경기술

[0002] 종래로부터 반도체 집적 회로에서는, 예를 들면, 액정 패널에 마련된 화소를 구동시키기 위한 구동 신호를 출력하는 액정 구동 회로와 같이, 복수의 D/A 컨버터와 이들의 D/A 컨버터의 출력을 증폭하는 복수의 증폭기를 구비하는 것이 알려져 있다.

[0003] 이런 종류의 반도체 집적 회로는, 예를 들면, 도 14에 도시하는 바와 같이, 복수의 기준 전압을 생성하는 저항 러더 회로(101)과, 복수의 D/A 컨버터(102a 내지 102n)와, 각 D/A 컨버터(102a 내지 102n)의 출력을 증폭하는 증폭기(103a 내지 103n)를 구비하고 있다.

[0004] D/A 컨버터(102a 내지 102n)는, 각각 복수의 스위치를 구비하여 구성되고, 외부에서 입력되는 디지털 신호(이하, 「입력 디지털 신호」라고 한다)에 응하여 복수의 스위치중 하나의 스위치를 선택하여, 입력 디지털 신호에 응한 전압을 출력한다.

[0005] 증폭기(103a 내지 103n)는, 각각 오퍼레이팅 앰프에 의해 구성되고, 반전 입력 노드와 출력 노드가 접속되어 비 반전 입력 노드에 입력된 아날로그 신호를 전류 증폭하여 출력하는 볼티지 폴로워로서 기능한다.

[0006] 이러한 반도체 집적 회로(이하 「디바이스」라고도 부른다)는, 제조시에 소정의 검사용의 디지털 신호를 입력하여 각 D/A 컨버터(102a 내지 102n)를 동작시키고, 증폭기(103a 내지 103n)로부터 소망하는 아날로그 전압치가 출력하는지의 여부를 판정하여, 그 양부가 판정된다.

[0007] 그러나, 이러한 양부 판정에서는, 출력 노드(104a 내지 104n)의 전부에 검사용 프로브를 접속하여 소망하는 아날로그 전압치가 정상적으로 출력되어 있는지를 판정하는 것으로 되기 때문에, 출력 노드 수가 증대함에 따라 필요해지는 검사용 프로브 수도 증대한다. 반도체 검사 장치에서는 한번에 측정 가능한 검사용 프로브의 수에 상한이 있기 때문에, 한번에 측정 가능한 디바이스 수를 감소시키고, 검사 비용의 증대를 초래하고 있다.

[0008] 그래서, 도 15에 도시하는 바와 같이, 2개의 D/A 컨버터의 출력을 비교하는 비교기(105)를 마련하고, 각 D/A 컨버터의 출력 전압을 변화시켜서 비교기(105)로부터 출력되는 전압을 검출함에 의해, 각 D/A 컨버터의 양부를 판정하는 기술이 제안되어 있다(특허 문헌1 참조).

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 특개2006-279132호 공보

발명의 내용

해결하려는 과제

[0010] 그러나, 특허 문헌 1에 기재된 기술에서는, 별도 비교기(105)가 필요해지기 때문에, 반도체 집적 회로에서의 실장 면적이 증대하여 버리고, 제조 비용을 증대시켜 버리게 된다.

[0011] 그래서, 본 발명은, 실장 면적의 증가를 억제하면서, 검사 비용을 저감시킬 수 있는 반도체 집적 회로, 액정 구동 회로 및 액정 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0012] 상기 목적을 달성하기 위해, 청구항 제 1항에 기재된 발명은, 제 1의 D/A 컨버터와, 제 2의 D/A 컨버터와, 상기 제 1의 D/A 컨버터의 출력을 증폭하는 증폭기와, 상기 제 2의 D/A 컨버터의 출력을 입력하는 오퍼레이팅 앰프와, 상기 제 2의 D/A 컨버터의 출력을 증폭하는 증폭기로서 상기 오퍼레이팅 앰프를 기능시키는 통상 모드와, 상기 제 2의 D/A 컨버터의 출력을 상기 제 1의 D/A 컨버터의 출력과 비교하는 비교기로서 상기 오퍼레이팅 앰프를 기능시키는 검사 모드를 전환하는 전환기를 구비한 반도체 집적 회로로 하였다.

[0013] 또한, 청구항 제 2항에 기재된 발명은, 청구항 제 1항에 기재된 반도체 집적 회로에 있어서, 상기 검사 모드일 때에, 상기 오퍼레이팅 앰프의 비반전 입력 노드에 상기 제 1의 D/A 컨버터의 출력을 입력함과 함께, 상기 오퍼레이팅 앰프의 반전 입력 노드에 상기 제 2의 D/A 컨버터의 출력을 입력하는 제 1 검사 모드와, 상기 오퍼레이팅 앰프의 비반전 입력 노드에 상기 제 2의 D/A 컨버터의 출력을 입력함과 함께, 상기 오퍼레이팅 앰프의 반전 입력 노드에 상기 제 1의 D/A 컨버터의 출력을 입력하는 제 2 검사 모드를 전환하는 제 2의 전환기를 구비한 것이다.

[0014] 또한, 청구항 제 3항에 기재된 발명은, 청구항 제 1항 또는 청구항 제 2항에 기재된 반도체 집적 회로에 있어서, n개(n은 2 이상의 정수)의 상기 제 1의 D/A 컨버터와, n개의 상기 제 2의 D/A 컨버터와, 각 상기 제 1의 D/A 컨버터의 출력을 증폭하는 n개의 상기 증폭기와, 각 상기 제 2의 D/A 컨버터의 출력을 입력하는 n개의 상기 오퍼레이팅 앰프와, n개의 상기 전환기를 구비한 것이다.

[0015] 또한, 청구항 제 4항에 기재된 발명은, 청구항 제 3항에 기재된 반도체 집적 회로에 있어서, 상기 n개의 오퍼레이팅 앰프의 출력이 전부 H레벨 또는 L레벨인 때에 정상 검출을 나타내는 신호를 출력하고, 상기 n개의 오퍼레이팅 앰프의 출력이 어느 하나라도 L레벨 또는 H레벨인 때에 이상 검출을 나타내는 신호를 출력하는 논리 회로를 구비한 것이다.

[0016] 또한, 청구항 제 5항에 기재된 발명은, n개(n은 2 이상의 정수)의 제 1의 D/A 컨버터와, n개의 제 2의 D/A 컨버터와, 각 상기 제 1의 D/A 컨버터의 출력을 증폭하여 액정 패널에 출력하는 n개의 증폭기와, 각 상기 제 2의 D/A 컨버터의 출력을 입력하는 n개의 오퍼레이팅 앰프와, 상기 제 2의 D/A 컨버터의 출력을 증폭하는 증폭기로서 상기 오퍼레이팅 앰프를 기능시키는 통상 모드와, 상기 제 2의 D/A 컨버터의 출력을 상기 제 1의 D/A 컨버터의 출력과 비교하는 비교기로서 상기 오퍼레이팅 앰프를 기능시키는 검사 모드를 전환하는 n개의 전환기를 구비한 액정 구동 회로로 하였다.

[0017] 또한, 청구항 제 6항에 기재된 발명은, 액정 패널과, 이 액정 패널에 마련된 화소를 구동시키기 위한 구동 신호를 출력하는 액정 구동 회로를 구비하고, 상기 액정 구동 회로는, n개(n은 2 이상의 정수)의 제 1의 D/A 컨버터와, n개의 제 2의 D/A 컨버터와, 각 상기 제 1의 D/A 컨버터의 출력을 증폭하여 액정 패널에 출력하는 n개의 증폭기와, 각 상기 제 2의 D/A 컨버터의 출력을 입력하는 n개의 오퍼레이팅 앰프와, 상기 제 2의 D/A 컨버터의 출력을 증폭하는 증폭기로서 상기 오퍼레이팅 앰프를 기능시키는 통상 모드와, 상기 제 2의 D/A 컨버터의 출력을 상기 제 1의 D/A 컨버터의 출력과 비교하는 비교기로서 상기 오퍼레이팅 앰프를 기능시키는 검사 모드를 전환하는 n개의 전환기를 구비하는 액정 표시 장치로 하였다.

발명의 효과

[0018] 본 발명에 의하면, 실장 면적의 증가를 억제하면서, 디바이스 검사시에 출력 노드에의 프로브 수를 삭감하는 것

이 가능해지고, 동시에 측정 가능한 디바이스 수를 증가시킬 수 있다. 이로써 1디바이스당의 검사 시간을 단축하고, 검사 비용을 삭감하는 것이 가능해진다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 한 실시 형태의 반도체 집적 회로의 구성을 도시하는 도면.
- 도 2는 본 발명의 한 실시 형태의 반도체 집적 회로의 동작을 설명하기 위한 도면.
- 도 3은 본 발명의 한 실시 형태의 반도체 집적 회로의 구성을 도시하는 도면.
- 도 4는 본 발명의 한 실시 형태의 액정 구동 회로를 구비한 액정 표시 장치의 구성을 도시하는 도면.
- 도 5는 도 4에 도시하는 액정 구동 회로의 구성을 도시하는 도면.
- 도 6은 도 4에 도시하는 액정 구동 회로의 구성을 도시하는 도면.
- 도 7은 도 4에 도시하는 액정 구동 회로의 구성을 도시하는 도면.
- 도 8은 도 4에 도시하는 액정 구동 회로의 동작 모드를 설명하기 위한 도면.
- 도 9는 도 4에 도시하는 액정 구동 회로의 동작 모드를 설명하기 위한 도면.
- 도 10은 도 4에 도시하는 액정 구동 회로의 동작 모드를 설명하기 위한 도면.
- 도 11은 도 4에 도시하는 액정 구동 회로의 동작 모드를 설명하기 위한 도면.
- 도 12는 다른 액정 구동 회로의 동작 모드를 설명하기 위한 도면.
- 도 13은 다른 액정 구동 회로의 동작 모드를 설명하기 위한 도면.
- 도 14는 D/A 컨버터 및 증폭기를 구비한 종래의 반도체 집적 회로의 구성을 도시하는 도면.
- 도 15는 D/A 컨버터 및 증폭기를 구비한 종래의 반도체 집적 회로의 구성을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 발명을 실시하기 위한 형태(이하, 「실시 형태」라고 한다)에 관해
- [0021] 설명한다. 또한, 설명은 이하의 순서로 행한다.
- [0022] 1. 반도체 집적 회로의 개요
- [0023] 2. 액정 구동 회로 및 그것을 구비한 액정 표시 장치의 구성 및 동작
- [0024] 3. 그 밖의 실시 형태
- [0025] [1. 반도체 집적 회로의 개요]
- [0026] 본 실시 형태의 반도체 집적 회로의 개요에 관해 도면을 참조하여 구체적으로 설명한다. 도 1 및 도 3은 본 실시 형태의 반도체 집적 회로의 구성을 도시하는 도면, 도 2는 본 실시 형태의 반도체 집적 회로의 동작을 설명하기 위한 도면이다.
- [0027] 도 1에 도시하는 바와 같이, 본 실시 형태의 반도체 집적 회로(1)는, 제 1의 D/A 컨버터(10)와, 제 2의 D/A 컨버터(11)와, 제 1의 D/A 컨버터(10)의 출력을 증폭하는 증폭기(12)와, 제 2의 D/A 컨버터(11)의 출력을 입력하는 오퍼레이팅 앰프(13)를 구비하고 있다.
- [0028] 제 1 및 제 2의 D/A 컨버터(10, 11)는, 각각 외부에서 입력되는 디지털 제어 신호에 의거한 전압치의 아날로그 신호를 출력한다. 각 D/A 컨버터(10, 11)는, 각각 다른 전압에 접속된 복수의 스위치를 구비하고 있고, 이들의 스위치를 디지털 제어 신호에 의거하여 제어함에 의해 해당 디지털 제어 신호에 응한 전압치의 아날로그 신호를 출력한다.
- [0029] 증폭기(12)는, 오퍼레이팅 앰프로 구성되고, 오퍼레이팅 앰프의 비반전 입력 노드를 입력으로 하고, 반전 입력 노드를 출력 노드에 접속하여 볼티지 폴로워를 구성하고 있다.
- [0030] 또한, 반도체 집적 회로(1)에는, 증폭기로서 오퍼레이팅 앰프(13)을 기능시키는 통상 모드와 오퍼레이팅 앰프

(13)을 비교기로서 기능시키는 검사 모드를 전환하는 전환기(14)를 구비하고 있다.

- [0031] 그리고, 통상 모드시에서는, 오퍼레이팅 앰프(13)는 제 2의 D/A 컨버터(11)의 출력을 전류 증폭하여 출력 노드(16)로부터 출력하고, 검사 모드시에서는, 오퍼레이팅 앰프(13)는 제 2의 D/A 컨버터(11)의 출력을 제 1의 D/A 컨버터(10)의 출력과 비교한다.
- [0032] 구체적으로는, 통상 모드시에서는, 도 2(a)에 도시하는 바와 같이, 오퍼레이팅 앰프(13)의 비반전 입력 노드를 입력으로 하고, 반전 입력 노드를 출력 노드에 접속하여 볼티지 폴로워를 구성한다. 또한, 검사 모드시에서는, 도 2(b)에 도시하는 바와 같이, 오퍼레이팅 앰프(13)의 반전 입력 노드에 제 1의 D/A 컨버터(10)의 출력을 입력함과 함께, 오퍼레이팅 앰프(13)의 비반전 입력 노드에 제 2의 D/A 컨버터(11)의 출력을 입력한다.
- [0033] 이와 같이 통상 모드시에는, 오퍼레이팅 앰프(13)를 증폭기로서 기능시키면서 도, 검사 모드시에는 오퍼레이팅 앰프(13)를 비교기로서 기능시키도록 하고 있다. 그 때문에, 별도 비교기를 준비할 필요가 없고, 실장 면적의 증가를 억제할 수 있다.
- [0034] 또한, 검사 모드시에는, 제 1의 D/A 컨버터(10)로부터 출력시키는 전압을 제 2의 D/A 컨버터(11)로부터 출력시키는 전압보다도 낮은 관계가 되도록 설정하고, 이 관계를 유지하면서도 제 1 및 제 2의 D/A 컨버터(10, 11)로부터 출력시키는 전압을 순차적으로 증가시켜 간다. 이 때 각 D/A 컨버터(10)이 정상이면, 오퍼레이팅 앰프(13)의 출력은 H레벨(고전위 레벨)이 되고, 이상하면 L레벨(저전위 레벨)이 된다. 따라서 오퍼레이팅 앰프(13)의 출력을 출력 노드(16)에서 검출함으로써 각 D/A 컨버터(10, 11)의 양부를 판정할 수 있다.
- [0035] 또한, 제 1의 D/A 컨버터(10)가 이상하여 전압이 최소 전압에 고정되어 있는 때는, 제 2의 D/A 컨버터(11)의 출력보다도 항상 전압이 낮아진다. 제 2의 D/A 컨버터(11)이 이상하여 전압이 최대 전압인 때에도 마찬가지로 것을 말할 수 있다. 그 때문에, 상기한 바와 같은 전압을 각 D/A 컨버터(10, 11)로부터 출력시킨 것에서는, 각 D/A 컨버터(10, 11)의 이상을 검출할 수가 없는 경우가 있다.
- [0036] 그래서, 상기 검사의 후, 제 1의 D/A 컨버터(10)로부터 출력시키는 전압을 제 2의 D/A 컨버터(11)로부터 출력시키는 전압보다도 높은 관계가 되도록 설정하고, 이 관계를 유지하면서 도 제 1 및 제 2의 D/A 컨버터(10, 11)로부터 출력시키는 전압을 순차적으로 증가시켜 간다. 이 때 각 D/A 컨버터(10)가 정상이면, 오퍼레이팅 앰프(13)의 출력은 L레벨이 되고, 이상하면 H레벨이 되고, 상기 검사와 합쳐서, 출력 노드(16)에서 검출함으로써 각 D/A 컨버터(10, 11)의 양부를 판정할 수 있다.
- [0037] 또한, 도 3에 도시하는 바와 같이, 복수의 제 1의 D/A 컨버터(10a, 10b), 복수의 제 2의 D/A 컨버터(11a, 11b), 복수의 증폭기(12a, 12b), 복수의 오퍼레이팅 앰프(13a, 13b), 복수의 전환기(14a, 14b)를 마련한 경우에는, 검사 모드시의 출력을 공통으로 할 수 있다. 즉, 복수의 제 2의 D/A 컨버터(11a, 11b)의 출력을 논리곱(AND) 회로(17)에 입력하고, 이 AND 회로(17)의 출력을 출력 노드(18)에 접속한다.
- [0038] 그리고, 각 오퍼레이팅 앰프(13a, 13b)가 정상일 때에는 출력 노드(18)의 출력이 H레벨이 되고, 이상하면 L레벨이 된다. 이와 같이 하나의 단자로 각 D/A 컨버터(10, 11)의 양부를 판정함으로써 반도체 집적 회로(1)의 검사시에 필요한 프로브를 가급적 저감시킬 수 있고, 따라서 검사 비용을 보다 저감할 수 있다.
- [0039] 또한, 상기 오퍼레이팅 앰프는, 2개의 입력 사이의 전위차에 의해 동작하고, 나이득(裸利得)이 높은 차동 증폭 회로 등을 이용할 수 있고, 같은 기능을 갖는 회로라면 어떤 회로 구성이라도 좋다. 이것은 이하에서도 마찬가지이다.
- [0040] [2. 액정 구동 회로 및 그것을 구비한 액정 표시 장치의 구성 및 동작]
- [0041] 이하, 본 실시 형태의 반도체 집적 회로를 액정 구동 회로(이하에서는 소스 드라이버 회로를 예로 들다)에 적용한 경우의 구체적인 한 예를 설명한다. 또한, 이하에서는 우선 액정 구동 회로를 구비한 액정 표시 장치의 구성을 설명하고, 그 후, 액정 구동 회로의 구성 및 동작을 설명한다. 도 4는 액정 구동 회로를 구비한 액정 표시 장치의 구성을 도시하는 도면, 도 5 내지 도 7은 액정 구동 회로의 구성을 도시하는 도면, 도 8 내지 도 11은 액정 구동 회로의 동작 모드를 설명하기 위한 도면이다.
- [0042] [2. 1. 액정 구동 장치의 구성]
- [0043] 도 4에 도시하는 바와 같이, 액정 표시 장치(20)는, 액정 패널(21), 복수의 소스 드라이버 회로(23)(액정 구동 회로의 한 예에 상당)를 갖는 수평 구동 회로(22), 복수의 게이트 드라이버 회로(25)를 갖는 수직 구동 회로(24), 인터페이스(I/F) 회로(26)를 갖고 있다.

- [0044] 액정 패널(21)은, 투명한 화소 전극과 TFT를 배치한 반도체 기판과, 표시부 전체에 하나의 투명한 전극을 형성한 대향 기판을 갖고 있고, 이들의 기판 사이에 액정이 봉입된 구조를 갖고 있다. 그리고, 스위칭 기능을 갖는 TFT를 제어함에 의해, 각 화소 전극에 화소 계조에 응한 전압을 인가하고, 각 화소 전극과 대향 기판의 전극 사이의 전위차를 발생시킴에 의해 액정의 투과율을 변화시켜서 화상을 표시한다.
- [0045] 또한, 이 액정 패널(21)은, 이들의 화소 전극이 수직 방향 및 수평 방향으로 매트릭스형상으로 배치되어 있다. 또한, 액정 패널(21)의 반도체 기판상에는, 수직 방향으로 배열된 각 화소 전극을 접속하여 각 화소 전극에 계조 전압을 인가하기 위한 복수의 데이터선과, TFT의 스위칭시키기 위한 제어 신호를 인가하는 주사선이 배치되어 있다.
- [0046] 각 화소 전극에의 계조 전압의 인가는, 데이터선을 통하여, 소스 드라이버 회로(23)로부터 출력되는 구동 신호에 의해 행하여진다. 즉, 이 구동 신호에 의해, 화상 표시의 1프레임 기간에 데이터선에 접속되는 모든 화소 전극에의 계조 전압의 인가가 행하여지고, 화소 전극이 구동되고 액정 패널(21)에 화상이 표시된다.
- [0047] 소스 드라이버 회로(23)는, I/F 회로(26)로부터 출력되는 신호에 의거하여, 데이터선에 구동 신호를 수평 라인마다 순차적으로 전환하여 출력한다.
- [0048] 게이트 드라이버 회로(25)는, 수평 라인마다 TFT를 스위칭시키기 위한 제어 신호를 순차적으로 출력하고, 이로써 1수평 라인씩 온 하면서 소스 드라이버 회로(23)로부터 출력되는 구동 신호에 의거하여 액정 패널(21)에 화상을 표시하여 간다.
- [0049] [2. 2. 소스 드라이버 회로의 구성]
- [0050] 소스 드라이버 회로(23)는, 도 5에 도시하는 바와 같이, 신호 처리부(30), 라인 버퍼(31), 레벨 시프터(32), DA(디지털-아날로그) 변환 블록(33), 증폭 블록(34) 등으로 구성된다.
- [0051] 신호 처리부(30)는, I/F 회로(26)를 통하여 각종 제어 신호나 디지털 영상 신호가 입력되고, 디지털 영상 신호에 응한 화소 데이터를 라인마다 순차적으로 라인 버퍼(31)에 입력한다. 또한, 신호 처리부(30)는, 증폭 블록(34) 등에 각종 제어 신호를 출력한다. 예를 들면, 신호 처리부(30)는, I/F 회로(26)를 통하여 입력되는 제어 신호에 의거하여 TEST 제어 신호를 증폭 블록(34)에 출력한다. 이 TEST 제어 신호에는, 후술하는 바와 같이 TEST 이네이블 신호나 TEST 모드 전환 신호 등이 포함된다.
- [0052] 라인 버퍼(31)는, 신호 처리부(30)로부터 입력되는 각 라인의 화소 데이터(여기에서는, 12비트의 데이터로 한다)를 보존하고, 소정의 타이밍에서 라인마다 화소 데이터를 순차적으로 레벨 시프터(32)에 출력한다.
- [0053] 레벨 시프터(32)는, 라인 버퍼(31)로부터 출력된 각 화소 데이터의 레벨을 액정 패널(21)의 액정과 TFT의 트랜지스터 능력에 응한 레벨로 시프트하여, 디지털 구동 신호를 생성한다.
- [0054] DA 변환 블록(33)은, 레벨 시프터(32)로부터 출력되는 각 디지털 구동 신호를 아날로그 구동 신호로 변환하는 복수의 D/A 컨버터(41, 42)(도 6, 도 7 등 참조)를 구비하고 있다. 각 D/A 컨버터(41, 42)는 후술하는 바와 같이 저항 러더 회로에서의 각 기준 전압 노드에 접속된 복수의 스위치를 구비하고 있고, 이들의 스위치를 제어함에 의해, 소망하는 전압을 출력한다.
- [0055] 증폭 블록(34)은, DA 변환 블록(33)의 각 D/A 컨버터(41, 42)에 대응하여 증폭기를 구비하고 있고, 각 D/A 컨버터(41, 42)로부터 출력되는 아날로그 구동 신호를 각각 전류 증폭하여 액정 패널(21)에 출력하여, 액정 패널(21)의 각 화소를 구동한다. 또한, 증폭 블록(34)은, 신호 처리부(30)로부터 출력되는 TEST 제어 신호에 의거하여, 검사 모드에서 동작하고, D/A 컨버터(41, 42)의 양부를 나타내는 TEST 출력 신호를 출력한다.
- [0056] [2. 3. DA 변환 블록 및 증폭 블록의 구체적 구성]
- [0057] 상술한 바와 같이 구성된 소스 드라이버 회로(23)에 관해, 그 특징적 부분인 DA 변환 블록(33) 및 증폭 블록(34)의 구체적 구성 및 동작에 관해 설명한다.
- [0058] 도 6 및 도 7에 도시하는 바와 같이 DA 변환 블록(33)은, 제 1의 저항 러더 회로(40a), 제 2의 저항 러더 회로(40b), 제 1의 D/A 컨버터(41-a1, b1, ..., an, bn), 제 2의 D/A 컨버터(42-a1, b1, ..., an, bn)를 구비하다. 또한, 이하에 있어서, 제 1의 D/A 컨버터(41-a1, b1, ...)의 임의의 하나 또는 전부를 나타낼 때는 제 1의 D/A 컨버터(41)로 하고, 제 2의 D/A 컨버터(42-a1, b1, ...)의 임의의 하나 또는 전부를 나타낼 때는 제 2의 D/A 컨버터(42)로 하는 경우가 있다.

- [0059] 제 1의 저항 러더 회로(40a)는, 공통 전압(Vcom)보다도 높은 기준 전압(Vp1 내지 Vp4)를 생성하는 회로이고, 제 2의 저항 러더 회로(40b)는, 공통 전압(Vcom)보다도 낮은 기준 전압(Vn1 내지 Vn4)을 생성하는 회로이다. 또한, 여기서는, 이해를 용이하게 하기 위해 각 저항 러더 회로(40a, 40b)의 기준 전압 노드를 각각 4개(Vp1 내지 Vp4, Vn1 내지 Vn4)로 하지만, 실제로는 DA 변환한 비트수를 곱한 수의 전압 노드가 존재한다.
- [0060] 이처럼, DA 변환 블록(33)에는, 제 1 및 제 2의 D/A 컨버터(41, 42)에 이용하는 기준 전압으로서, 각 기준 전압 노드의 전압이 다른 제 1 및 제 2의 저항 러더 회로(40a, 40b)가 마련되어 있다.
- [0061] 각 D/A 컨버터(41, 42)는, 저항 러더 회로의 각 기준 전압 노드에 접속된 복수의 스위치를 구비하고 있고, 이들의 스위치중 어느 하나의 스위치를 단락함에 의해 기준 전압 노드를 선택하고, 해당 선택한 기준 전압 노드의 전압을 출력한다.
- [0062] 즉, 제 1의 D/A 컨버터(41-a1, a2, ...), 및 제 2의 D/A 컨버터(42-a1, a2, ...)는, 저항 러더 회로(40a)의 각 기준 전압 노드(Vp1 내지 Vp4)에 접속된 복수의 스위치를 구비하고, Vp1 내지 Vp4중 어느 하나의 기준 전압을 출력한다. 또한, 제 1의 D/A 컨버터(41-b1, b2, ...), 및 제 2의 D/A 컨버터(42-b1, b2, ...)는, 저항 러더 회로(40b)의 각 기준 전압 노드(Vn1 내지 Vn4)에 접속된 복수의 스위치를 구비하고, Vn1 내지 Vn4중 어느 하나의 기준 전압을 출력한다.
- [0063] 이들의 D/A 컨버터(41, 42)는, 레벨 시프터(32)로부터 출력되는 각 디지털 구동 신호에 의거하여 내부의 스위치를 제어하고, 디지털 구동 신호에 응한 전압을 출력함으로써 아날로그 구동 신호를 생성하여 출력한다.
- [0064] 또한, 증폭 블록(34)은, 복수의 증폭부(34a)를 구비하고 있다. 각 증폭부(34a)에는, 증폭기(43-a1, a2, b1, b2)와, 오퍼레이팅 앰프(44-a1, a2, b1, b2)와, 제 1의 전환기(45-a1, a2, b1, b2)와, 제 2의 전환기(46-a1, a2, b1, b2), 부정 논리곱(NAND) 회로(47)를 구비하고 있다.
- [0065] 또한, 이하에 있어서, 증폭기(43-a1, a2, b1, b2)의 임의의 하나 또는 전부를 나타낼 때는 증폭기(43)로 하고, 오퍼레이팅 앰프(44-a1, a2, b1, b2)의 임의의 하나 또는 전부를 나타낼 때는 오퍼레이팅 앰프(44)로 하는 경우가 있다. 또한, 제 1의 전환기(45-a1, a2, b1, b2)의 임의의 하나 또는 전부를 나타낼 때는 제 1의 전환기(45)로 하고, 제 2의 전환기(46-a1, a2, b1, b2)의 임의의 하나 또는 전부를 나타낼 때는 제 2의 전환기(46)로 하는 경우가 있다.
- [0066] 증폭기(43)는, 오퍼레이팅 앰프로 구성되고, 오퍼레이팅 앰프의 비반전 입력 노드(+)를 입력으로 하고, 반전 입력 노드(-)를 출력 노드에 접속하여 볼티지 폴로워를 구성하고 있고, 제 1의 D/A 컨버터(41)로부터 출력되는 아날로그 구동 신호를 전류 증폭한다.
- [0067] 제 1의 전환기(45)는, 신호 처리부(30)로부터 출력되는 TEST 이네이블 신호에 의거하여, 오퍼레이팅 앰프(44)의 출력 노드와 제 2의 전환기(46)의 어느 하나를 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에 접속한다. 구체적으로는, TEST 이네이블 신호가 H레벨인 때는, 제 2의 전환기(46)를 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에 접속하고, TEST 이네이블 신호가 L레벨인 때는, 오퍼레이팅 앰프(44)의 출력 노드를 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에 접속한다.
- [0068] 제 2의 전환기(46)는, 신호 처리부(30)로부터 출력되는 TEST 모드 전환 신호에 의거하여, 오퍼레이팅 앰프(44)의 비반전 입력 노드(+)에의 입력과 제 1의 전환기(45)에의 입력을 전환한다. 구체적으로는, TEST 모드 전환 신호가 L레벨인 때에, 제 1의 D/A 컨버터(41)의 출력을 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에 접속하고, 제 2의 D/A 컨버터(42)의 출력을 제 1의 전환기(45)에 접속한다. 또한, TEST 모드 전환 신호가 H레벨인 때에, 제 2의 D/A 컨버터(42)의 출력을 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에 접속하고, 제 1의 D/A 컨버터(41)의 출력을 제 1의 전환기(45)에 접속한다.
- [0069] NAND 회로(47)는, 오퍼레이팅 앰프(44-a1, a2, b1, b2)의 출력의 부정적 논리곱을 취하는 회로이다. 즉, NAND 회로(47)는, 이들의 오퍼레이팅 앰프(44)의 출력이 전부 H레벨인 때에 L레벨의 신호를 출력하고, 이들의 오퍼레이팅 앰프(44)의 출력이 어느 하나라도 L레벨인 때에 H레벨의 신호를 출력한다.
- [0070] 또한, 소스 드라이버 회로(23)에는, 복수의 증폭부(34a)에서의 각 NAND 회로(47)의 출력의 논리합을 취하는 복수의 논리합(OR) 회로(48)가 마련되어 있다. 도 7에 도시하는 바와 같이, 이 OR 회로(48)의 출력은 다른 OR 회로(48)의 출력과 NAND 회로(47)의 출력이 입력되고, 최종단의 OR 회로(48x)에 의해 복수의 증폭부(34a) 모든 NAND 회로(47)의 출력의 논리합이 출력된다. 따라서, 복수의 증폭부(34a)의 어느 하나의 NAND 회로(47)로부터 H레벨의 신호가 출력된 때는, 최종단의 OR 회로(48x)로부터 H레벨의 신호가 출력되고, 그 이외인 때는 최종단의

OR 회로(48x)로부터 L레벨의 신호가 출력된다. 또한, 초단의 OR 회로(48)a는, 한쪽의 입력 노드가 접지 전위에 접속된다.

- [0071] [2. 4. DA 변환 블록 및 증폭 블록의 동작]
- [0072] 상술한 바와 같이 구성된 소스 드라이버 회로(23)에 관해, DA 변환 블록(33) 및 증폭 블록(34)의 동작을 중심으로 구체적으로 설명한다.
- [0073] 소스 드라이버 회로(23)는, 외부에서 입력되는 제어 신호에 의거하여, 통상 모드의 동작에 더하여, 검사 모드에서 동작함에 의해 D/A 컨버터(41, 42)의 양부의 판정이 가능하게 되어 있다. 또한, 검사 모드에서는 제 1 검사 모드와 제 2 검사 모드에서의 동작에 의해 정밀도 좋게 D/A 컨버터(41, 42)의 양부를 가능하게 하고 있다.
- [0074] [2. 4. 1. 통상 모드의 동작]
- [0075] 우선, 통상 모드의 동작에 관해 설명한다. 통상 모드시에 있어서, 소스 드라이버 회로(23)에는 표시하여야 할 화상에 응한 디지털 영상 신호가 입력되고, 신호 처리부(30)는 입력하는 디지털 영상 신호에 의거하여 표시하여야 할 화상의 각 라인의 화소 데이터를 라인 버퍼(31)에 순차적으로 입력한다.
- [0076] 라인 버퍼(31)는 표시하는 화상의 라인마다 각 화소에 대응한 디지털 구동 신호를 출력하고, 레벨 시프터(32)에서 레벨을 조정 후, DA 변환 블록(33)에 입력된다.
- [0077] DA 변환 블록(33)에서는, 상기 각 화소에 대응한 디지털 구동 신호를 아날로그 구동 신호로 변환하여 증폭 블록(34)에 출력한다.
- [0078] 따라서 각 제 1의 D/A 컨버터(41)로부터 각 증폭기(43)에 아날로그 구동 신호가 입력되고, 각 증폭기(43)에 의해 전류 증폭되어 출력된다.
- [0079] 또한, 이 때, 증폭 블록(34)에는, 신호 처리부(30)로부터 L레벨의 TEST 이네이블 신호와, L레벨의 TEST 모드 전환 신호가 입력된다. 그 때문에, 제 2의 전환기(46)에 의해, 제 2의 D/A 컨버터(42)의 출력 노드가 오퍼레이팅 앰프(44)의 비반전 입력 노드(+)에 접속되고, 제 1의 전환기(45)에 의해, 오퍼레이팅 앰프(44)의 출력 노드가 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에 접속된다. 즉, 오퍼레이팅 앰프(44)는, 제 2의 D/A 컨버터(42)의 출력을 전류 증폭하는 볼티지 폴로워로서 기능한다.
- [0080] 이와 같이 통상 모드에서는, 도 8에 도시하는 바와 같이, 오퍼레이팅 앰프(44)에 의해 볼티지 폴로워가 구성되고, 제 2의 D/A 컨버터(42)로부터 출력되는 아날로그 구동 신호는 오퍼레이팅 앰프(44)에 의해 전류 증폭되어 출력된다. 또한, 제 1의 D/A 컨버터(41)로부터 출력된 아날로그 구동 신호는 증폭기(43)에 의해 전류 증폭되어 출력된다.
- [0081] 또한, 액정 패널(21)에 공통 전압(Vcom)보다도 낮은 아날로그 구동 신호를 출력할 때는 D/A 컨버터(41-b1, ... bn, 42-b1, ...bn)가 동작하고, 액정 패널(21)에 공통 전압(Vcom)보다도 높은 아날로그 구동 신호를 출력할 때는 D/A 컨버터(41-a1, ...an, 42-a1, ...an)가 동작한다. 또한, 도시하지 않지만, 소스 드라이버 회로(23)에는, 증폭기(43-a1과 43-b1)의 출력, (43-a2와 43-b2)의 출력, 오퍼레이팅 앰프(44-a1과 44-b1)의 출력, (44-a2와 44-b2)의 출력을 각각 전환하는 전환기가 구비되어 있다.
- [0082] [2. 4. 2. 검사 모드]
- [0083] 다음에, 검사 모드에 관해 설명한다. 이 검사 모드는, 또한 오퍼레이팅 앰프(44)에의 입력이 서로 교체되는 제 1 검사 모드와 제 2 검사 모드가 있고, 도시하지 않은 반도체 검사 장치에 의해 실행되는 것이다. 반도체 검사 장치는, 소스 드라이버 회로(23)의 입력 단자에 제어 신호를 입력하고, 출력 단자(TEST-OUT)로부터 출력되는 전압을 검출함에 의해 DA 변환 블록(33)의 양부를 검출한다.
- [0084] 검사 모드는, 반도체 검사 장치로부터 소스 드라이버 회로(23)에 검사 시작을 나타내는 제어 신호가 입력된 때에 통상 모드로부터 이행하여 시작되고, 검사 종료로 나타내는 제어 신호가 입력된 때에 종료하여 통상 모드로 이행한다.
- [0085] 반도체 검사 장치로부터 검사 시작을 나타내는 제어 신호가 입력되면, 신호 처리부(30)는, H레벨의 TEST 이네이블 신호를 증폭 블록(34)에 입력한다.
- [0086] H레벨의 TEST 이네이블 신호가 증폭 블록(34)에 입력되면, 제 1의 전환기(45)는, 오퍼레이팅 앰프(44)의 출력 노드와 반전 입력 노드(-)와의 접속을 분리하고, 반전 입력 노드(-)를 제 2의 전환기(46)에 접속한다. 이로써,

오퍼레이팅 앰프(44)는, 제 1의 D/A 컨버터(41)의 출력과 제 2의 D/A 컨버터(42)의 출력을 비교하는 비교기로서 기능한다.

[0087] 또한, 신호 처리부(30)는, 반도체 검사 장치로부터 입력되는 제어 신호에 의하여, TEST 모드 전환 신호를 H레벨 또는 L레벨의 어느 하나로 하여 증폭 블록(34)에 입력한다.

[0088] L레벨의 TEST 모드 전환 신호가 증폭 블록(34)에 입력되면, 제 2의 전환기(46)는, 제 1 검사 모드로 동작한다. 즉, 제 2의 전환기(46)는, 제 2의 D/A 컨버터(42)의 출력 노드를 오퍼레이팅 앰프(44)의 비반전 입력 노드(+)에 접속하고, 제 1의 D/A 컨버터(41)의 출력 노드를 제 1의 전환기(45)를 통하여 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에 접속한다.

[0089] 또한, H레벨의 TEST 모드 전환 신호가 증폭 블록(34)에 입력되면, 제 2의 전환기(46)는, 제 2 검사 모드로 동작한다. 즉, 제 2의 전환기(46)는, 제 2의 D/A 컨버터(42)의 출력 노드를 제 1의 전환기(45)를 통하여 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에 접속하고, 제 1의 D/A 컨버터(41)의 출력 노드를 오퍼레이팅 앰프(44)의 비반전 입력 노드(+)에 접속한다.

[0090] (제 1 검사 모드)

[0091] 제 1 검사 모드에서는, 상술한 바와 같이 오퍼레이팅 앰프(44)의 비반전 입력 노드(+)에는 제 2의 D/A 컨버터(42)의 출력 노드가 접속되고, 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에는 제 1의 전환기(45)를 통하여 제 1의 D/A 컨버터(41)의 출력 노드가 접속된다.

[0092] 그리고, 도 9(a)에 도시하는 바와 같이, 제 1의 D/A 컨버터(41)에는 CodeA의 디지털 구동 신호가 입력되고, 이 제 1의 D/A 컨버터(41)에 의해 아날로그 구동 신호로 변환되고 증폭기(43)의 입력 노드와 오퍼레이팅 앰프(44)의 반전 입력 단자(-)에 입력된다. 또한, 제 2의 D/A 컨버터(42)에는 CodeB의 디지털 구동 신호가 입력되고, 이 제 2의 D/A 컨버터(42)에 의해 아날로그 구동 신호로 변환되어 오퍼레이팅 앰프(44)의 비반전 입력 단자(+)에 입력된다.

[0093] 이 상태에서, CodeA에 의한 아날로그 구동 신호의 전압 레벨이 CodeB에 의한 아날로그 구동 신호의 전압 레벨보다도 낮아지도록, 도 10에 도시하는 출력순으로 CodeA 및 CodeB가 출력되도록 영상 디지털 신호를 입력한다. 즉, (CodeA : CodeB)가, (00 : 01), (01 : 10), (10 : 11)의 관계로 순차적으로 입력되도록 한다. 이로써, 각 D/A 컨버터(41, 42)가 정상일 때는, 제 1의 D/A 컨버터(41)로부터 출력되는 아날로그 구동 신호의 전압 레벨은 $V_{n1} \rightarrow V_{n2} \rightarrow V_{n3}$ 으로 변화하고, 제 2의 D/A 컨버터(42)로부터 출력되는 아날로그 구동 신호의 전압 레벨은 $V_{n2} \rightarrow V_{n3} \rightarrow V_{n4}$ 로 변화한다. $V_{n1} < V_{n2} < V_{n3} < V_{n4}$ 의 관계에 있기 때문에, 오퍼레이팅 앰프(44)로부터는 H레벨의 전압이 계속해서 출력되고, 정상 검출을 나타내는 신호가 NAND 회로(47)로부터 출력된다. 즉, NAND 회로(47)의 출력 전압이 L레벨이 된다.

[0094] 그러나, 제 1의 D/A 컨버터(41) 또는 제 2의 D/A 컨버터(42)가 이상한 때는, 기본적으로 상기 출력 동작이 행하여지지 않고, 오퍼레이팅 앰프(44)로부터는 H레벨의 전압이 계속해서 출력되지 않고, NAND 회로(47)의 출력 전압이 일시적 또는 계속적으로 H레벨이 된다. 즉, NAND 회로(47)로부터 이상 검출을 나타내는 신호가 출력된다. 그 결과, OR 회로(48x)를 통하여 출력 단자(TEST-OUT)로부터 출력되는 전압이 일시적 또는 계속적으로 H레벨이 된다.

[0095] 따라서 제 1 검사 모드중에 출력 단자(TEST-OUT)의 전압이 계속적으로 L레벨인 때에 DA 변환 블록(33)이 양품으로 판정하고, 출력 단자(TEST-OUT)의 전압이 일시적 또는 계속적으로 H레벨인 때에 DA 변환 블록(33)이 불량품으로 판정할 수 있다.

[0096] (제 2 검사 모드)

[0097] 제 2 검사 모드에서는, 상술한 바와 같이 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에는 제 1의 전환기(45)를 통하여 제 2의 D/A 컨버터(42)의 출력 노드가 접속되고, 오퍼레이팅 앰프(44)의 비반전 입력 노드(+)에는 제 1의 D/A 컨버터(41)의 출력 노드가 접속된다.

[0098] 그리고, 도 9(b)에 도시하는 바와 같이, 제 1의 D/A 컨버터(41)에는 CodeA의 디지털 구동 신호가 입력되고, 이 제 1의 D/A 컨버터(41)에 의해 아날로그 구동 신호로 변환되어 증폭기(43)의 입력 노드와 오퍼레이팅 앰프(44)의 비반전 입력 단자(+)에 입력된다. 또한, 제 2의 D/A 컨버터(42)에는 CodeB의 디지털 구동 신호가 입력되고, 이 제 2의 D/A 컨버터(42)에 의해 아날로그 구동 신호로 변환되어 오퍼레이팅 앰프(44)의 반전 입력 단자(-)에

입력된다.

- [0099] 이 상태에서, CodeB에 의한 아날로그 구동 신호의 전압 레벨이 CodeA에 의한 아날로그 구동 신호의 전압 레벨보다도 낮아지도록, 도 10에 도시하는 출력순으로 CodeA 및 CodeB가 출력되도록 영상 디지털 신호를 입력한다. 즉, (CodeA : CodeB)가, (01 : 00), (10 : 01), (11 : 10)의 관계로 순차적으로 입력되도록 한다. 각 D/A 컨버터(41, 42)가 정상일 때는, 제 1의 D/A 컨버터(41)의 출력 전압 레벨은 $V_{n2} \rightarrow V_{n3} \rightarrow V_{n4}$ 로 변화하고, 제 2의 D/A 컨버터(42)의 출력 전압 레벨은 $V_{n1} \rightarrow V_{n2} \rightarrow V_{n3}$ 으로 변화하고, 오퍼레이팅 앰프(44)로부터는 H레벨의 전압이 계속해서 출력되고, 정상 검출을 나타내는 신호가 NAND 회로(47)로부터 출력된다. 즉, NAND 회로(47)의 출력 전압이 L레벨이 된다.
- [0100] 그러나, 제 1의 D/A 컨버터(41) 또는 제 2의 D/A 컨버터(42)가 이상한 때는, 기본적으로 상기 동작이 행하여지지 않고, 오퍼레이팅 앰프(44)로부터는 H레벨의 전압이 계속해서 출력되지 않고, NAND 회로(47)의 출력 전압이 일시적 또는 계속적으로 H레벨이 된다. 즉, NAND 회로(47)로부터 이상 검출을 나타내는 신호가 출력된다. 그 결과, OR 회로(48x)를 통하여 출력 단자(TEST-OUT)로부터 출력되는 전압이 일시적 또는 계속적으로 H레벨이 된다.
- [0101] 따라서 제 2 검사 모드중에 출력 단자(TEST-OUT)의 전압이 계속적으로 L레벨인 때에 DA 변환 블록(33)이 양품으로 판정하고, 출력 단자(TEST-OUT)의 전압이 일시적 또는 계속적으로 H레벨인 때에 DA 변환 블록(33)이 불량품으로 판정할 수 있다.
- [0102] 이 제 2 검사 모드는, 제 1 검사 모드에서 검출할 수가 없는 불량을 검출할 수 있다. 예를 들면, 제 2의 D/A 컨버터(42)의 일부의 스위치가 고장나서 V_{p4} 의 전위 노드에 항상 접속되어 있는 때는, 제 1의 검사 모드에서는 항상 오퍼레이팅 앰프(44)의 출력이 H레벨이 되고, 출력 단자(TEST-OUT)로부터 L레벨의 신호가 출력된다. 한편, 이와 같은 경우에 제 2 검사 모드에서는, 일시적 또는 계속적으로 오퍼레이팅 앰프(44)로부터 L레벨의 신호가 출력되게 되고, 출력 단자(TEST-OUT)로부터 일시적 또는 계속적으로 H레벨의 신호가 출력된다. 마찬가지로, 제 2 검사 모드에서 검출할 수 없는 불량을 제 1 검사 모드에서 검출하는 것이 가능하다.
- [0103] 따라서 제 1 검사 모드와 제 2 검사 모드를 실행함에 의해, DA 변환 블록(33)의 불량의 검출을 정밀도 좋게 행할 수 있다.
- [0104] 이 제 1 검사 모드와 제 2 검사 모드를 연속 실행함에 의해, 반도체 검사 장치에서는, 출력 단자(TEST-OUT)의 전압이 계속적으로 L레벨일 때만, DA 변환 블록(33)이 양품으로 판정할 수 있고, 그 밖의 경우에는 불량품으로 판정할 수 있다.
- [0105] 또한, 제 1 검사 모드 또는 제 2 검사 모드의 어느 하나의 검사 모드를 마련하지 않고, 도 11에 도시하는 바와 같이, CodeA>CodeB의 상태와 CodeA<CodeB의 상태로 검사를 행하도록 하여도 좋다. 이 경우, 도 12에 도시하는 바와 같이, 오퍼레이팅 앰프(44-a1, b1, a2, b2)의 출력의 논리합을 취하는 OR 회로(50)를 마련함과 함께, 이 OR 회로(50)의 출력과 NAND 회로(47)의 출력을 선택하여 출력하는 제 3의 전환기(51)를 마련한다.
- [0106] 그리고, CodeA<CodeB의 상태일 때는 제 3의 전환기(51)를 제어하여 NAND 회로(47)의 출력을 OR 회로(48)에 입력하고, CodeA>CodeB의 상태일 때는 제 3의 전환기(51)를 제어하여 OR 회로(50)의 출력을 OR 회로(48)에 입력한다. 이와 같이 함으로써, DA 변환 블록(33)이 양품인 경우에는, 출력 단자(TEST-OUT)의 전압이 계속적으로 L레벨이 되고, 그 밖의 경우에는 일시적 또는 계속적으로 H레벨이 되어, 제 2의 전환기(46)를 마련할 필요가 없다.
- [0107] 또한, 도 6 및 도 7 등의 회로 구성에서는, 오퍼레이팅 앰프(44)의 출력을 NAND 회로(47)에 입력하고, DA 변환 블록(33)의 정상시에 출력 단자(TEST-OUT)로부터 L레벨을 출력시키도록 하였지만, 이것으로 한정되지 않는다. 예를 들면, NAND 회로(47)에 대신하여 AND 회로를 마련하고, DA 변환 블록(33)의 정상시에 출력 단자(TEST-OUT)로부터 H레벨을 출력시키도록 하여도 좋다. 이 경우, OR 회로(48)에 대신하여 AND 회로를 이용함에 의해, DA 변환 블록(33)의 정상시에는 출력 단자(TEST-OUT)의 전압이 계속적으로 H레벨이 되고, 이상시에는 일시적 또는 계속적으로 출력 단자(TEST-OUT)로부터 L레벨을 출력시킬 수 있다.
- [0108] 이와 같이 소스 드라이버 회로(23)에는, n개(n은 정수)의 제 1의 D/A 컨버터(41), n개의 제 2의 D/A 컨버터(42), 제 1의 D/A 컨버터(41)의 출력을 증폭하는 n개의 증폭기(43), 제 2의 D/A 컨버터(42)의 출력을 입력하는 n개의 오퍼레이팅 앰프(44)가 마련되어 있다.
- [0109] 그리고, 소스 드라이버 회로(23)에는, 반도체 검사 장치로부터 출력되는 제어 신호에 의거하여, 제 2의 D/A 컨버터(42)의 출력을 증폭하는 증폭기로서 오퍼레이팅 앰프(44)를 기능시키는 통상 모드와, 제 2의 D/A 컨버터

(2)의 출력을 제 1의 D/A 컨버터(41)의 출력과 비교하는 비교기로서 오퍼레이팅 앰프(44)를 기능시키는 검사 모드를 전환하는 제 1의 전환기(45)를 갖고 있다.

[0110] 이와 같이 본 실시 형태에서의 소스 드라이버 회로(23)에서는, 오퍼레이팅 앰프(44)를 증폭기에 더하여 비교기로서도 기능시키는 것으로 하고 있기 때문에, 별도 비교기를 마련할 필요가 없고, 또한 복수의 비교기의 출력을 논리 회로에서 집약하여 출력하도록 하고 있다. 따라서, 실장 면적의 증가를 억제하면서 디바이스 검사시에 출력 노드에의 프로브 수를 대폭적으로 삭감하는 것이 가능해지고, 동시에 측정 가능한 디바이스 수를 증가시킬 수 있고, 1디바이스당의 검사 시간을 단축하고, 검사 비용을 삭감하는 것이 가능해진다.

[0111] 또한, 소스 드라이버 회로(23)에는, 검사 모드일 때에, 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에 제 1의 D/A 컨버터(41)의 출력을 입력함과 함께, 오퍼레이팅 앰프(44)의 비반전 입력 노드(+)에 제 2의 D/A 컨버터(42)의 출력을 입력하는 제 1 검사 모드와, 오퍼레이팅 앰프(44)의 반전 입력 노드(-)에 제 2의 D/A 컨버터(42)의 출력을 입력함과 함께, 오퍼레이팅 앰프(44)의 비반전 입력 노드(+)에 제 1의 D/A 컨버터(41)의 출력을 입력하는 제 2 검사 모드를 전환하는 제 2의 전환기(46)를 마련하고 있다.

[0112] 이와 같이 제 1 검사 모드와 제 2 검사 모드를 마련함에 의해, 반도체 검사 장치에 의한 검출을 용이하게 행할 수 있다. 즉, 반도체 검사 장치에서는, 제 1 검사 모드와 제 2 검사 모드를 연속적으로 실시하고, 출력 단자(TEST-OUT)의 전압이 계속적으로 L레벨 또는 H레벨인 때만, DA 변환 블록(33)이 양품으로 판정할 수 있고, 그 밖의 경우에는 불량품으로 판정할 수 있다.

[0113] 특히, 도 6 등에 도시하는 바와 같이, 증폭 블록(34)를 복수의 증폭부(34a)로 나누어서, 복수의 오퍼레이팅 앰프(44)의 출력을 논리 회로(예를 들면, NAND 회로(47))에 입력하여, 각 증폭부(34a)의 출력을 논리 회로에서 논리합이나 논리곱을 취하는 경우에는, 그 논리 회로의 구성을 간이하게 할 수 있고, 소스 드라이버 회로(23)의 실장 면적의 증가를 억제할 수 있다.

[0114] 또한, 검사 모드에 있어서, 상술한 바와 같이 D/A 컨버터(41, 42)로부터 출력시키는 전압을 순차적으로 증가 또는 감소시켜 가도록 하고 있기 때문에, 오퍼레이팅 앰프(44)의 비교기로서의 응답성을 높일 수 있고, 검사 속도를 향상시킬 수 있다. 그 결과, 1디바이스당의 검사 시간을 단축하고, 검사 비용을 삭감하는 것이 가능해진다.

[0115] [3. 그 밖의 실시 형태]

[0116] 상술에서는, 2종류의 저항 러더 회로(40a, 40b)에 의해, 고전압측의 D/A 컨버터(41a, 42a)와 저전압측의 D/A 컨버터(41b, 42b)를 마련하는 것으로 하였지만, 이것으로 한정되지 않는다. 예를 들면, 도 13에 도시하는 바와 같이 저전압측부터 고전압측에 걸쳐서 기준 전압을 생성하는 저항 러더 회로(40')를 마련하도록 하여도 좋다.

[0117] 또한, 검사 모드시에 오퍼레이팅 앰프(44)로부터 같은 레벨의 전압이 출력된 때에, DA 변환 블록(33)을 양품으로서 판정하도록 하였지만, 이것으로 한정되지 않는다. 예를 들면, 인접하는 오퍼레이팅 앰프(44)에의 입력을 교대로 교체하도록 하여, 인접하는 오퍼레이팅 앰프(44)끼리에서 서로 다른 전압이 출력된 때에 DA 변환 블록(33)을 양품으로 판정하도록 하여도 좋다.

[0118] 본 출원은 JP 2009-011153호((2009년 1월 21일 출원)의 우선권 주장출원이다.

[0119] 본 발명에 관한 실시의 한 형태에 관해 구체적으로 설명하였지만, 본 발명은, 상술한 실시의 형태로 한정되는 것이 아니고, 본 발명의 기술적 사상에 의거한 각종의 변형은 가능하다.

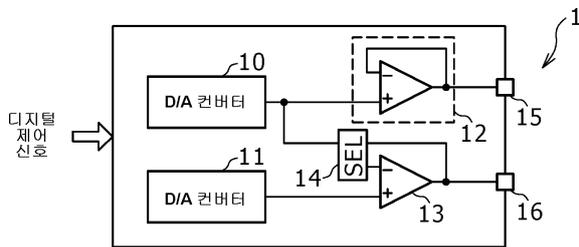
부호의 설명

- [0120] 1 : 반도체 집적 회로
- 10 : 제 1의 D/A 컨버터
- 11 : 제 2의 D/A 컨버터
- 12 : 증폭기
- 13 : 오퍼레이팅 앰프
- 20 : 액정 표시 장치
- 23 : 소스 드라이버 회로(반도체 집적 회로의 한 예)

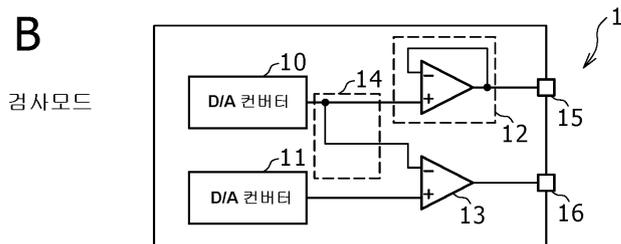
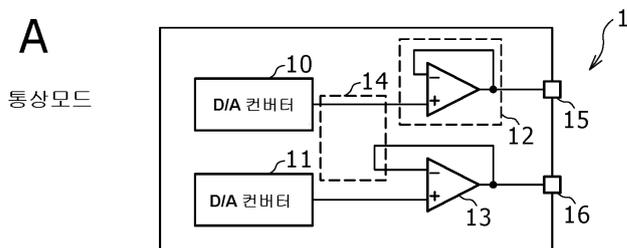
- 30 : 신호 처리부
- 31 : 라인 버퍼
- 32 : 레벨 시프터
- 33 : DA 변환 블록
- 34 : 증폭 블록
- 40a, 40b : 저항 리더 회로
- 41 : 제 1의 D/A 컨버터
- 42 : 제 2의 D/A 컨버터
- 43 : 증폭기
- 44 : 오퍼레이팅 앰프
- 45 : 제 1의 전환기
- 46 : 제 2의 전환기
- 47 : 부정 논리곱 회로
- 48 : 논리합 회로

도면

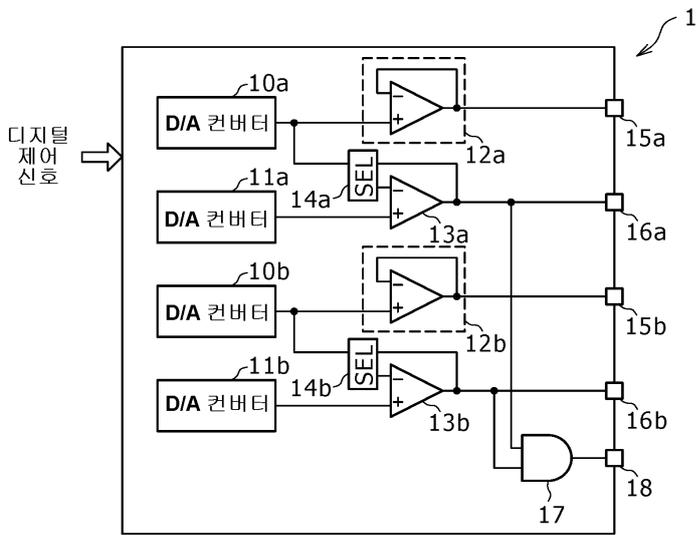
도면1



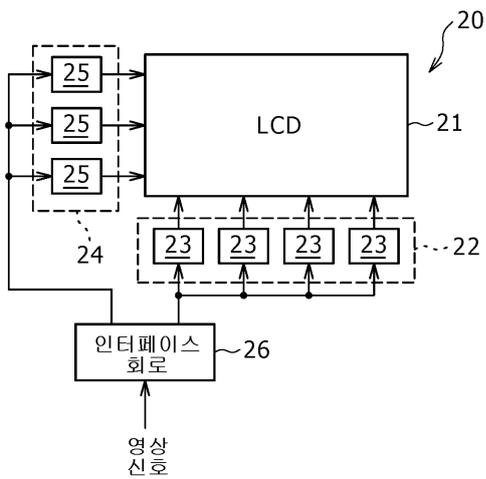
도면2



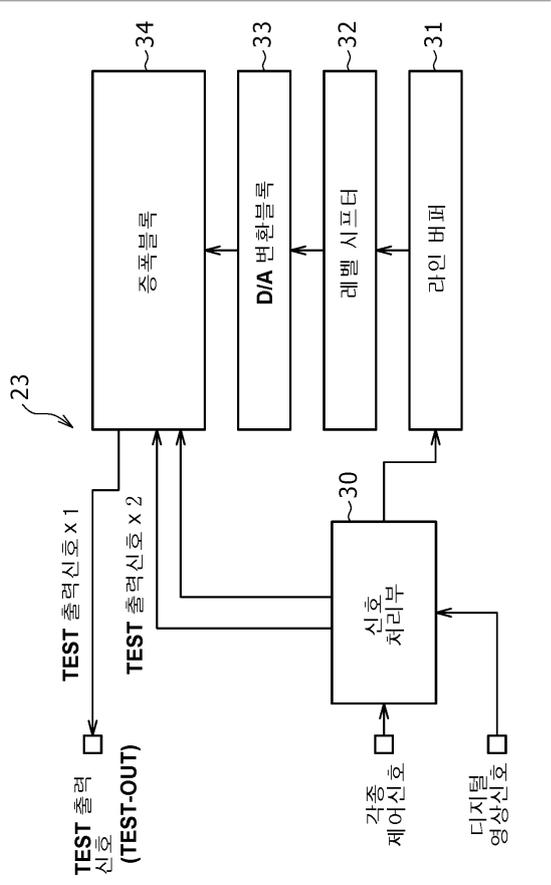
도면3



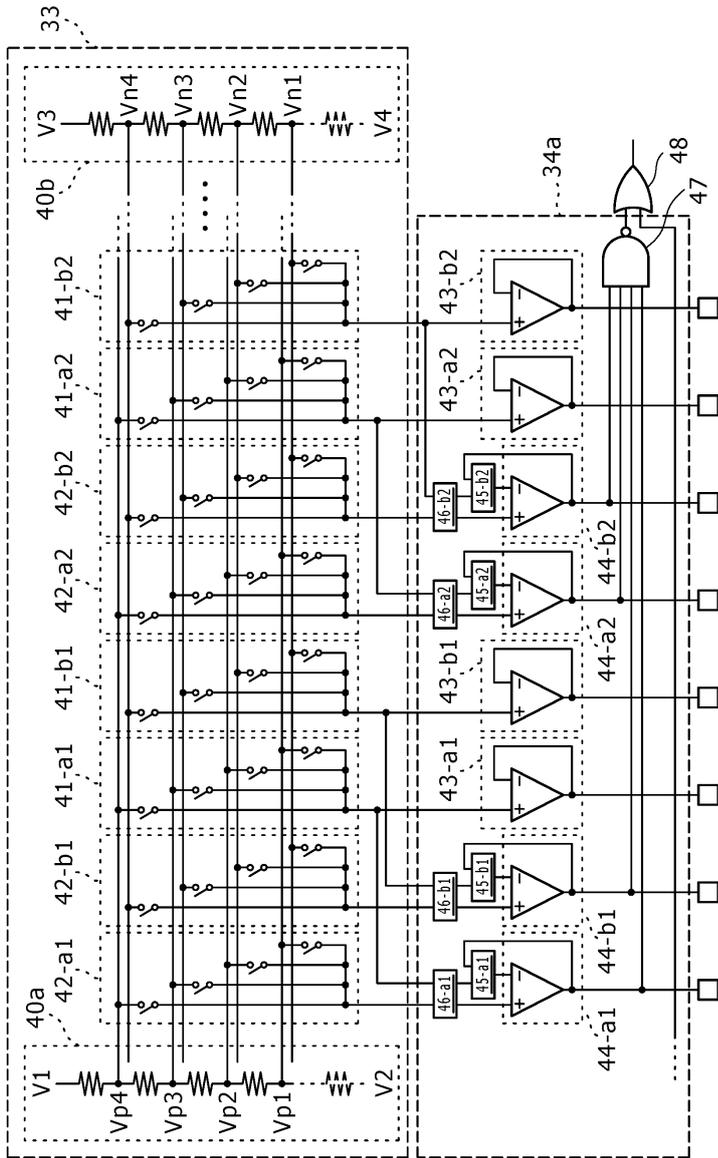
도면4



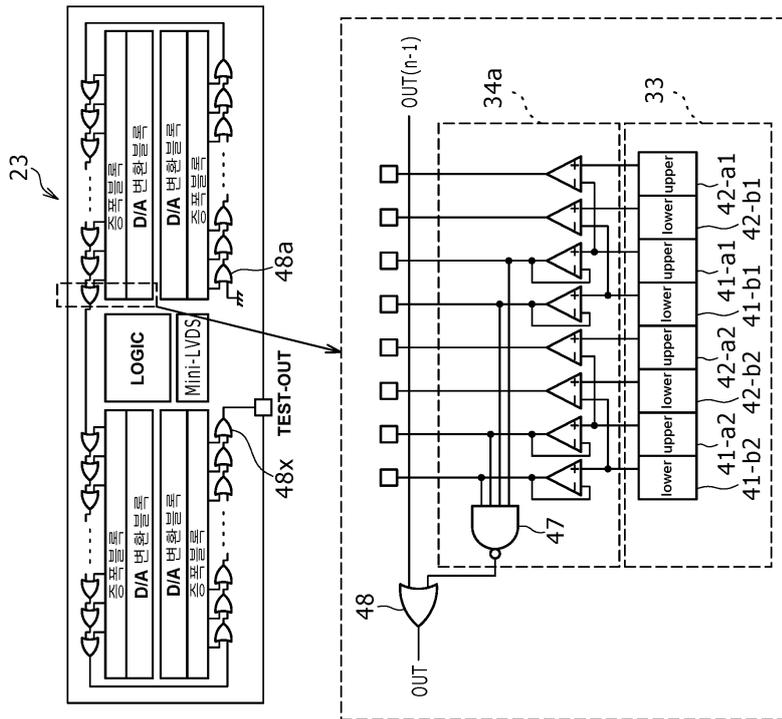
도면5



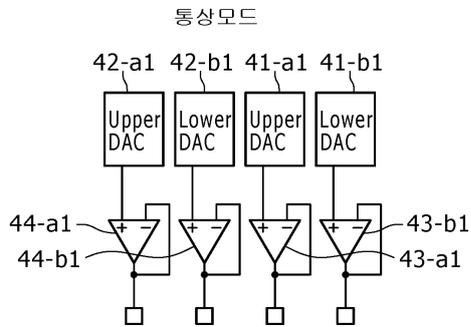
도면6



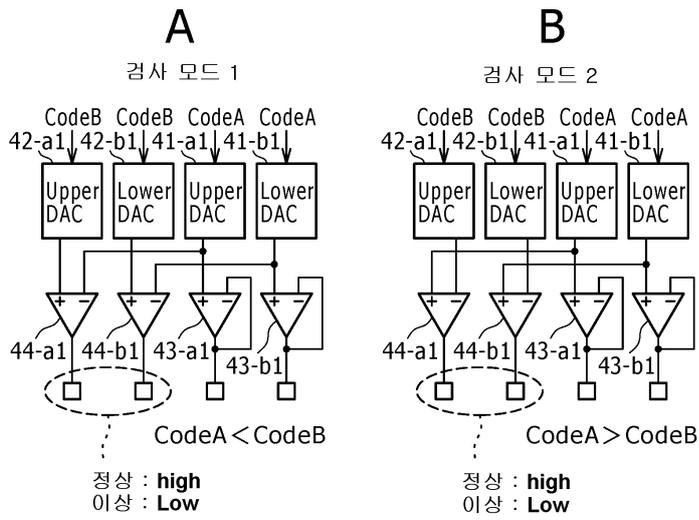
도면7



도면8



도면9



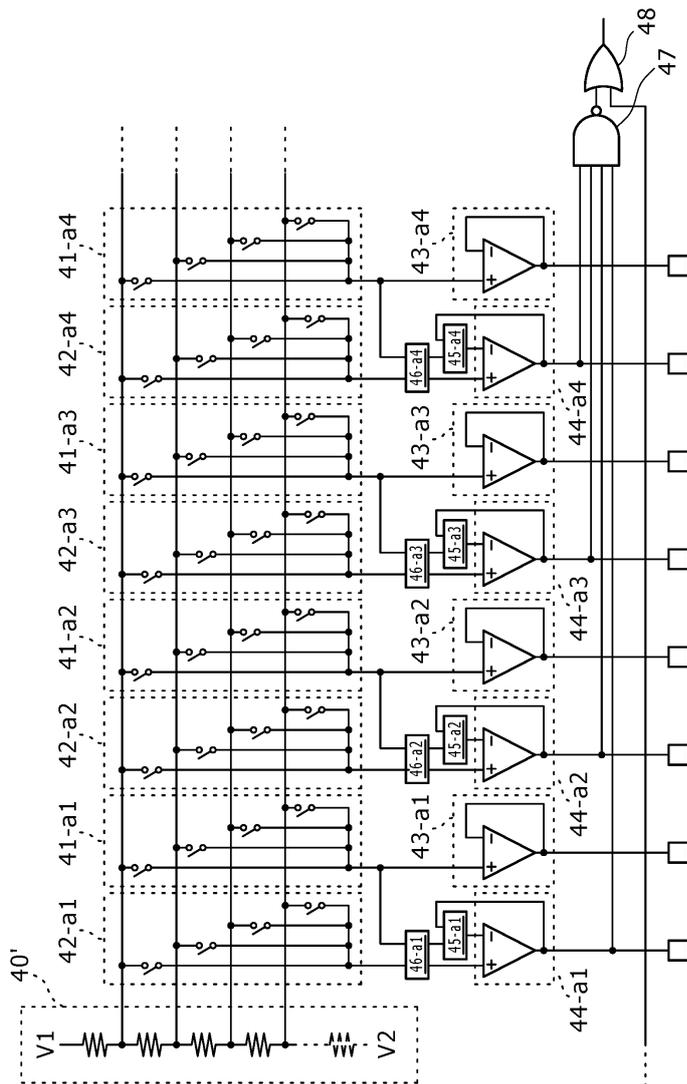
도면10

검사모드 전환신호	출력순	CodeA	CodeB
Low (제1 검사모드)	1	00	01
	2	01	10
	3	10	11
High (제2 검사모드)	1	01	00
	2	10	01
	3	11	10

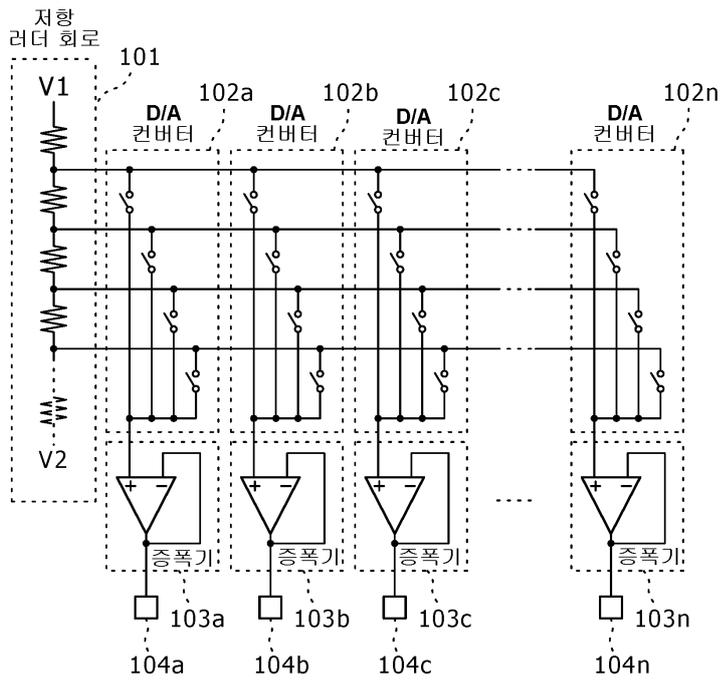
도면11

출력순	CodeA	CodeB
1	00	01
2	01	10
3	10	11
3	01	00
4	10	01
5	11	10

도면13



도면14



도면15

