(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H03F 3/45

(45) 공고일자 2001년04월16일
(11) 등록번호 10-0285933
(24) 등록일자 2001년01월09일

(21) 출원번호 10-1997-0035409
(65) 공개번호 특1998-0012857
(22) 출원일자 1997년07월28일
(43) 공개일자 1998년04월30일
(30) 우선권주장 96-199062 1996년07월29일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 지슬라프 챠뉴
일본 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸 580-1가부시기가이샤 도시바 반도체 시스템 기술 센터내
도바시 노리아키
일본 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸 580-1가부시기가이샤 도시바 반도체 시스템 기술 센터내
(74) 대리인 나영환, 이상섭

심사관 : 인치복

(54) 전차동형아날로그회로

요약

고주파수 영역에 있어서도 확실한 동작을 보증할 수 있는 전차동형 아날로그 회로를 제공하는 것을 목적으로 하고 있다.

정과 부의 입력 단자 사이에 가상 접지가 성립하여, 특성이 동일한 제1, 제2 회로(CK1,CK2)의 정의 입력 단자를 공통 접속하고, 이들 회로의 부의 입력 단자에 각각 제1, 제2의 입력 신호를 부여한다. 그리고, 이들 제1, 제2 회로의 정의 입력 단자와 기준 전위 공급원(VR) 사이에 제3 회로(CK3)를 설치한 것을 특징으로 하고 있다. 제3 회로는, 제1, 제2 회로의 정의 입력 단자의 전위를, 제1, 제2 회로의 출력 단자와 부의 입력 단자와의 전위차의 평균치에 기준 전위(V_{REF})를 가한 전위로 함으로써, 상기 제1, 제2 회로 출력의 직류 바이어스 전위를 상기 기준 전위와 거의 동일하게 한다. 공통 모드 피드백을 이용하는 일없이 동상 신호를 제거할 수 있으며, 고주파수 영역에 있어서도 확실한 동작을 보증할 수 있다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 기본 원리에 관한 설명하기 위한 것으로, 전차동형 아날로그 회로의 개념을 나타내는 블록도.

도 2는 이상적 전차동형 아날로그 회로의 입출력의 관계에 관해서 설명하기 위한 심벌도.

도 3은 도 1에 나타낸 회로를 연산 증폭기를 이용하여 실현할 경우의 개략적인 구성예를 나타내는 블록도.

도 4는 도 1에 나타낸 회로를 연산 증폭기를 이용하여 실현할 경우의 개략적인 다른 구성예를 나타내는 블록도.

도 5는 본 발명의 제1 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 전차동형의 반전 증폭 회로를 나타내는 회로도.

도 6은 본 발명의 제2 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 전차동형의 1차 저역 필터를 나타내는 회로도.

도 7은 본 발명의 제3 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 스위치드 커패시터 회로를 이용한 전차동형의 1차 저역 필터를 나타내는 회로도.

도 8은 본 발명의 제4 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 전차동형의 1차 고역 필터를 나타내는 회로도.

도 9는 본 발명의 제5 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 전차동

형의 다중 귀환형 2차 저역 필터를 나타내는 회로도.

도 10은 본 발명의 제6 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 전차동형의 다중 귀환형 2차 고역 필터를 나타내는 회로도.

도 11은 본 발명의 제7 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 전차동형의 바이컷형 2차 저역 필터를 나타내는 회로도.

도 12는 종래의 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 전차동형 반전 증폭 회로의 구성예를 나타내는 회로도.

〈도면의 주요부분에 대한 부호의 설명〉

CK1 : 제1 회로

CK2 : 제2 회로

CK3 : 제3 회로

18,19,28,29,42,43,56,57,78,79,206~211 : 연산 증폭기

20~27,30~37,44~51,58~69,80~87,212~225 : 저항

38~41,52~55,70~77,88~99,228~231 : 커패시터

SC30~SC37 : 스위치드 커패시터 회로

Vi1,Vi2 : 신호 입력 단자

Vo1,Vo2 : 신호 출력 단자

Vf1,Vf2 : 피드백 전압

VR : 기준 전위 공급원

V_{REF} : 기준 전위

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 전차동형 아날로그 회로에 관한 것으로, 특히 공통 모드 피드백을 불필요로 하고, 입력 신호의 동상 성분을 제거할 수 있는 고속용의 전차동형 아날로그 회로에 관한 것이다.

근래, 디지탈·아날로그 혼재 반도체 집적 회로 장치의 수요가 증가하고 있다. 이 장치에서는, 단일의 반도체 칩중에 디지탈 회로와 아날로그 회로를 혼재하기 때문에, 아날로그 회로는 디지탈 회로에서의 노이즈, 소위 디지탈 노이즈의 영향을 고려하여 설계할 필요가 있다. 회로를 대칭 구성으로 하여, 동상 입력 신호나 전원 전압등으로부터의 동상 성분의 노이즈를 제거하는 전차동 회로는 상기 디지탈 노이즈 대책의 대표적인 것이다.

종래, 연산 증폭기를 이용한 전차동형의 아날로그 회로로서, 예컨대 도 12에 나타내는 회로가 알려져 있다. 이 회로는 반전 증폭 회로이고, 전차동형의 연산 증폭기(16)와 4개의 저항(10,11,12,13)으로 구성되어 있다. 상기 저항(10)은 제1 신호 입력 단자(Vi1)와 연산 증폭기(16)의 부의 입력 단자 사이에 접속되고, 상기 저항(11)은 제2 신호 입력 단자(Vi2)와 연산 증폭기(16)의 정의 입력 단자 사이에 접속되어 있다. 또한, 상기 저항(12)은 상기 부의 입력 단자와 제1 신호 출력 단자(Vo1)와의 사이에 접속되고, 상기 저항(13)은 상기 정의 입력 단자와 제2 신호 출력 단자(Vo2)와의 사이에 접속되어 있다. 상기 전차동형의 연산 증폭기(16)에는 2개의 귀환 저항(14,15)과 연산 증폭기(17)가 내장되어 있다. 상기 귀환 저항(14,15)은 신호 출력 단자(Vo1,Vo2) 사이에 직렬 접속되고, 연산 증폭기(17)는 이들 저항(14,15)의 접속점의 전위와 기준 전위 공급원(VR)의 기준 전위(V_{REF})와의 전위차를 증폭하여 귀환한다. 이 연산 증폭기(16)는 소위 공통 모드 피드백(CMF)으로 동상 입력 성분을 제거하는 구성으로 되어 있다.

그런데, 상기 도 12에 나타낸 회로에서는, 귀환 저항(14,15)은 연산 증폭기(16)의 부하로 간주되기 때문에, 연산 증폭기(16)의 구동력(출력 전류)등의 제약때문에 그다지 낮은 저항치로 설정할 수 없으며, 어느 정도 높은 저항치가 필요하게 된다. 그러나, 반도체 집적 회로 장치의 구성상, 저항과 기판등과의 사이에는 기생 용량이 형성되고, 저항치가 높아짐에 따라서 이 기생 용량도 증대한다. 이 때문에 고주파수 영역에서는 기생 용량을 무시할 수 없게 되어, 회로의 주파수 특성에 영향을 준다. 또한, 최악의 경우에는 귀환 경로의 위상 지연에 의해 발진할 가능성이 있다.

또한, 전차동형의 연산 증폭기는, 통상의 연산 증폭기에 비하여, 약간 회로 구성이 복잡하기 때문에 설계가 간단하다고는 할 수 없다.

발명이 이루고자 하는 기술적 과제

상기한 바와 같이 종래의 전차동형 아날로그 회로는, 귀환 저항의 저항치를 충분히 낮게할 수 없으며, 기생 용량에 의해 주파수 특성이 영향을 받는다는 문제가 있었다.

또한, 회로 구성이 복잡하고, 설계도 어렵다는 문제가 있었다.

본 발명은 상기와 같은 사정에 감안하여 이루어진 것으로, 그 목적으로 하는 바는, 공통 모드 피드백을 이용하는 일없이 동상 신호를 제거할 수 있으며, 고주파수 영역에 있어서도 확실한 동작을 보증할 수 있는 전차동형 아날로그 회로를 제공하는데 있다.

또한, 본 발명의 다른 목적은, 설계의 간단화를 도모할 수 있는 전차동형 아날로그 회로를 제공하는데 있다.

발명의 구성 및 작용

본 발명의 청구범위 제1항에 기재한 전차동형 아날로그 회로는, 정의 입력 단자와 부의 입력 단자 사이에 가상 접지가 성립되는 제1 회로와, 정의 입력 단자와 부의 입력 단자 사이에 가상 접지가 성립되고, 상기 제1 회로와 특성이 같고 또한 정의 입력 단자가 상기 제1 회로의 정의 입력 단자와 공통 접속된 제2 회로와, 상기 제1, 제2 회로의 정의 입력 단자의 공통 접속점과 기준 전위 공급원 사이에 접속되고, 상기 제1, 제2 회로의 정의 입력 단자의 공통 접속점의 전위를, 상기 제1 회로의 출력 단자와 부의 입력 단자와의 전위차와, 상기 제2 회로의 출력 단자와 부의 입력 단자와의 전위차와의 평균치에 상기 기준 전위 공급원의 기준 전위를 가한 전위로 설정하여, 상기 제1, 제2 회로의 출력의 직류 바이어스 전위를, 상기 기준 전위와 거의 같게 하는 제3 회로를 구비하고, 상기 제1, 제2 회로의 부의 입력 단자에 각각 제1, 제2 입력 신호를 공급하며, 상기 제1, 제2 회로의 출력 단자로부터 제1, 제2 출력 신호를 수득하는 것을 특징으로 한다.

본 발명의 청구범위 제2항에 기재한 전차동형 아날로그 회로는, 제1 연산 증폭기와 이 제1 연산 증폭기와 특성이 동일하고, 정의 입력 단자가 상기 제1 연산 증폭기의 정의 입력 단자에 공통 접속된 제2 연산 증폭기와, 상기 제1, 제2 연산 증폭기의 정의 입력 단자의 공통 접속점과 기준 전위 공급원과의 사이에 접속되고, 상기 제1, 제2 연산 증폭기의 정의 입력 단자의 공통 접속점의 전위를, 상기 제1 연산 증폭기의 출력 단자와 부의 입력 단자와의 전위차와, 상기 제2 연산 증폭기의 출력 단자와 부의 입력 단자와의 전위차와의 평균치에 상기 기준 전위 공급원의 기준 전위를 가한 전위로 함으로써, 상기 제1, 제2 연산 증폭기 출력의 직류 바이어스 전위를, 상기 기준 전위와 거의 같게 하는 전위 설정 수단을 구비하며, 상기 제1, 제2 연산 증폭기의 부의 입력 단자에 각각 제1, 제2 입력 신호를 공급하여, 상기 제1, 제2 연산 증폭기의 출력 단자로부터 제1, 제2 출력 신호를 수득하는 것을 특징으로 한다.

청구범위 제3항에 기재한 바와 같이, 청구범위 제2항 기재의 전차동형 아날로그 회로에 있어서, 상기 전위 설정 수단은 수동 소자로 구성되는 것을 특징으로 한다.

청구범위 제4항에 기재한 바와 같이, 청구범위 제2항 기재의 전차동형 아날로그 회로에서 상기 전위 설정 수단은, 수동 소자와 능동 소자로 구성되는 것을 특징으로 한다.

본 발명의 청구범위 제5항에 기재한 전차동형 아날로그 회로는, 제1 연산 증폭기와 이 제1 연산 증폭기의 부의 입력 단자와 제1 신호 입력 단자와의 사이에 설치되고, 상기 제1 연산 증폭기의 출력이 귀환되는 제1 회로 블록과, 상기 제1 신호 입력 단자와 상기 제1 연산 증폭기의 정의 입력 단자와의 사이에 설치되며, 기준 전위 공급원에서 기준 전위를 부여하여 상기 제1 연산 증폭기의 정의 입력 단자의 전위를 설정하는 제2 회로 블록과, 정의 입력 단자가 상기 제1 연산 증폭기의 정의 입력 단자에 공통 접속된 제2 연산 증폭기와, 이 제2 연산 증폭기의 부의 입력 단자와 제2 신호 입력 단자와의 사이에 설치되며, 상기 제2 연산 증폭기의 출력이 귀환되는 제3 회로 블록과, 상기 제2 신호 입력 단자와 상기 제2 연산 증폭의 정의 입력 단자와의 사이에 설치되고, 상기 기준 전위 공급원에서 기준 전위를 부여하여 상기 제2 연산 증폭기의 정의 입력 단자의 전위를 설정하는 제4 회로 블록을 구비하여, 상기 제1, 제2 신호 입력 단자로부터 각각 제1, 제2 입력 신호가 공급되고, 상기 제1, 제2 연산 증폭기의 출력 단자에 각각 접속된 제1, 제2 신호 출력 단자로부터 제1, 제2 출력 신호를 수득하도록 하여 이루어지며, 상기 제1, 제2 연산 증폭기의 특성은 동일하고, 또한 상기 제1 회로 블록과 제3 회로 블록 및 상기 제2 회로 블록과 제4 회로 블록의 회로 특성은 각각 동일하며, 상기 제1, 제2 신호 입력 단자로부터 입력되는 제1, 제2 입력 신호의 전위를 각각 Vi1(s), Vi2(s)로, 상기 제1, 제2 신호 출력 단자로부터 출력되는 제1, 제2 출력 신호의 전위를 각각 Vo1(s), Vo2(s)로, 상기 제1, 제3 회로 블록에 있어서의 상기 제1, 제2 연산 증폭기의 부의 입력 단자와의 접속점의 전위를 각각 Vx1(s), Vx2(s)로, 입력 계수를 Ki(s)로, 귀환 계수를 Ko(s)로 할 때,

$$Vxl(s)=Ki(s)Vi1(s)+Ko(s)Vo1(s)$$

$$Vx2(s)=Ki(s)=K2(s)+Ko(s)Vo2(s)$$

로 표시되고, 상기 제2, 제4 회로 블록의 입력 계수를 Ki(s)로, 상기 제2, 제4 회로 블록과 상기 제1, 제2 연산 증폭기의 정의 입력 단자와의 접속점의 전위를 Vxc(s)로 할 때,

$$Vxc(s)=Ki(s)\cdot(Vi1(s)+Vi2(s))/2$$

로 표시되는 것을 특징으로 한다.

청구범위 제6항에 기재한 바와 같이, 청구범위 제5항 기재의 전차동형 아날로그 회로에서 상기 제1 및 제3 회로 블록에 상기 기준 전위 공급원에서 기준 전위를 부여하는 것을 특징으로 한다.

본 발명의 청구범위 제7항에 기재한 전차동형 아날로그 회로는, 제1 연산 증폭기와 이 제1 연산 증폭기의 부의 입력 단자와 제1 신호 입력 단자 사이에 접속된 제1 저항과, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 제1 신호 입력 단자 사이에 접속된 제2 저항과, 상기 제1 연산 증폭기의 부의 입력 단자와 제1 신호 출력 단자 사이에 접속된 제3 저항과, 상기 제1 연산 증폭기의 정의 입력 단자와 기준 전위 공급원 사이에 접속된 제4 저항과, 정의 입력 단자가 상기 제1 연산 증폭기의 정의 입력 단자에 공통 접속된 제2 연산 증폭기와, 이 제2 연산 증폭기의 부의 입력 단자와 제2 신호 입력 단자 사이에 접속된 제5 저항과, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 제2 신호 입력 단자 사이에 접속된 제6 저항과, 상기 제2 연산 증폭기의 부의 입력 단자와 제2 신호 출력 단자 사이에 접속된 제7 저항과, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제8 저항을 구비하고, 상기 제1, 제2 연산 증폭

기는 특성이 동일하고, 상기 제1 저항과 제5 저항, 상기 제2 저항과 제6 저항, 상기 제3 저항과 제7 저항, 및 상기 제4 저항과 제8 저항의 저항치가 각각 동일하며, 또한 상기 제1 저항과 제2 저항의 저항치의 비와, 상기 제3 저항과 제4 저항의 저항치의 비가 동일한 것을 특징으로 한다.

청구범위 제8항에 기재한 바와 같이, 청구범위 제7항 기재의 전차동형 아날로그 회로에 있어서, 상기 제1 연산 증폭기의 부의 입력 단자와 상기 제1 신호 출력 단자 사이에 접속된 제1 커패시터와, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제2 커패시터와, 상기 제2 연산 증폭기의 부의 입력 단자와 상기 제2 신호 출력 단자 사이에 접속된 제3 커패시터와, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제4 커패시터를 추가로 구비하며, 상기 제1 커패시터와 제3 커패시터 및 상기 제2 커패시터와 제4 커패시터의 용량이 각각 동일하고, 또한 상기 제1 저항과 제2 저항의 저항치의 비와, 상기 제1 커패시터와 제2 커패시터의 임피던스의 비가 동일한 것을 특징으로 한다.

청구범위 제9항에 기재한 바와 같이, 청구범위 제7항 기재의 전차동형 아날로그 회로에 있어서, 상기 제1 저항과 상기 제1 연산 증폭기의 부의 입력 단자 사이에 설치된 제1 커패시터와, 상기 제2 저항과 상기 제1 연산 증폭기의 정의 입력 단자 사이에 설치된 제2 커패시터와, 상기 제5 저항과 상기 제2 연산 증폭기의 부의 입력 단자 사이에 설치된 제3 커패시터와, 상기 제6 저항과 상기 제2 연산 증폭기의 정의 입력 단자 사이에 설치된 제4 커패시터를 추가로 구비하고, 상기 제1 커패시터와 제3 커패시터 및 상기 제2 커패시터와 제4 커패시터의 용량이 각각 동일하고, 또한 상기 제1 저항과 제2 저항의 저항치의 비와, 상기 제1 커패시터와 제2 커패시터의 임피던스의 비가 동일한 것을 특징으로 한다.

본 발명의 청구범위 제10항에 기재한 전차동형 아날로그 회로는, 제1 연산 증폭기와, 이 제1 연산 증폭기의 부의 입력 단자와 제1 신호 입력 단자 사이에 직렬 접속된 제1, 제2 저항과, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 제1 신호 입력 단자 사이에 직렬 접속된 제3, 제4 저항과, 상기 제1, 제2 저항의 접속점과 기준 전위 공급원 사이에 접속된 제1 커패시터와, 상기 제3, 제4 저항의 접속점과 상기 기준 전위 공급원 사이에 접속된 제2 커패시터와, 상기 제1, 제2 저항의 접속점과 상기 제1 연산 증폭기의 출력 단자 사이에 접속된 제5 저항과, 상기 제1 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제3 커패시터와, 상기 제3, 제4 저항의 접속점과 상기 기준 전위 공급원 사이에 접속된 제6 저항과, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제4 커패시터와, 정의 입력 단자가 상기 제1 연산 증폭기의 정의 입력 단자에 공통 접속된 제2 연산 증폭기와, 이 제2의 연산 증폭기의 부의 입력 단자와 제2 신호 입력 단자 사이에 직렬 접속된 제7, 제8 저항과, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 제2 신호 입력 단자 사이에 직렬 접속된 제9, 제10 저항과, 상기 제7, 제8 저항의 접속점과 상기 기준 전위 공급원 사이에 접속된 제5 커패시터와, 상기 제9, 제10 저항의 접속점과 상기 기준 전위 공급원 사이에 접속된 제6 커패시터와, 상기 제7, 제8 저항의 접속점과 상기 제2 연산 증폭기의 출력 단자에 접속된 제11 저항과, 상기 제2 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제7 커패시터와, 상기 제9, 제10 저항의 접속점과 상기 기준 전위 공급원 사이에 접속된 제12 저항과, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제8 커패시터를 구비하고, 상기 제1, 제2 연산 증폭기의 출력 단자에 각각 접속된 제1, 제2 신호 출력 단자로부터 출력 신호를 수득하도록 하여 이루어지며, 상기 제1, 제2 연산 증폭기는 특성이 동일하고, 상기 제1 저항과 제7 저항, 상기 제2 저항과 제8 저항, 상기 제3 저항과 제9 저항, 상기 제4 저항과 제10 저항, 상기 제5 저항과 제11 저항 및 상기 제6 저항과 제12 저항의 저항치가 각각 동일하며, 또한 상기 제1 커패시터와 제5 커패시터, 상기 제2 커패시터와 제6 커패시터, 상기 제3 커패시터와 제7 커패시터 및 상기 제4 커패시터와 제8 커패시터의 용량이 각각 동일하고, 상기 제1 저항과 제3 저항의 저항치의 비, 상기 제2 저항과 제4 저항의 저항치의 비, 상기 제5 저항과 제6 저항의 저항치의 비, 상기 제1 커패시터와 제2 커패시터의 임피던스의 비 및 상기 제3 커패시터와 제4 커패시터의 임피던스의 비가 각각 동일한 것을 특징으로 한다.

본 발명의 청구범위 제11항에 기재한 전차동형 아날로그 회로는, 제1 연산 증폭기와, 이 제1 연산 증폭기의 부의 입력 단자와 제1 신호 입력 단자 사이에 직렬 접속된 제1, 제2 커패시터와, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 제1 신호 입력 단자 사이에 직렬 접속된 제3, 제4 커패시터와, 상기 제1, 제2 커패시터의 접속점과 기준 전위 공급원 사이에 접속된 제1 저항과, 상기 제3, 제4 커패시터의 접속점과 상기 기준 전위 공급원 사이에 접속된 제2 저항과, 상기 제1, 제2 커패시터의 접속점과 상기 제1 연산 증폭기의 출력 단자 사이에 접속된 제5 커패시터와, 상기 제1 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제3 저항과, 상기 제3, 제4 커패시터의 접속점과 상기 기준 전위 공급원 사이에 접속된 제6 커패시터와, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제4 저항과, 정의 입력 단자가 상기 제1 연산 증폭기의 정의 입력 단자에 공통 접속된 제2 연산 증폭기와, 이 제2 연산 증폭기의 부의 입력 단자와 제2 신호 입력 단자 사이에 직렬 접속된 제7, 제8 커패시터와, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 제2 신호 입력 단자 사이에 직렬 접속된 제9, 제10 커패시터와, 상기 제7, 제8 커패시터의 접속점과 상기 기준 전위 공급원 사이에 접속된 제5 저항과, 상기 제9, 제10 커패시터의 접속점과 상기 기준 전위 공급원 사이에 접속된 제6 저항과, 상기 제7, 제8 커패시터의 접속점과 상기 제2 연산 증폭기의 출력 단자 사이에 접속된 제11 커패시터와, 상기 제2 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제7 저항과, 상기 제9, 제10 커패시터의 접속점과 상기 기준 전위 공급원 사이에 접속된 제12 커패시터와, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제8 저항을 구비하고, 상기 제1, 제2 연산 증폭기의 출력 단자에 각각 접속된 제1, 제2 신호 출력 단자로부터 출력 신호를 수득하도록 하여 이루어지며, 상기 제1, 제2 연산 증폭기는 특성이 동일하고, 상기 제1 저항과 제5 저항, 상기 제2 저항과 제6 저항, 상기 제3 저항과 제7 저항, 및 상기 제4 저항과 제8 저항의 저항치가 각각 동일하고, 또한 상기 제1 커패시터와 제7 커패시터, 상기 제2 커패시터와 제8 커패시터, 상기 제3 커패시터와 제9 커패시터, 상기 제4 커패시터와 제10 커패시터, 상기 제5 커패시터와 제11 커패시터, 및 상기 제6 커패시터와 제12 커패시터의 용량이 각각 동일하고, 상기 제1 커패시터와 제3 커패시터의 임피던스의 비, 상기 제2 커패시터와 제4 커패시터의 임피던스의 비, 상기 제5 커패시터와 제6 커패시터의 임피던스의 비, 상기 제1 저항과 제2 저항의 저항치의 비 및 상기 제3 저항과 제4 저항의 저항치의 비가 각각 동일한 것을 특징으로 한다.

본 발명의 청구범위 제12항에 기재한 전차동형 아날로그 회로는, 정의 입력 단자가 기준 전위 공급원에

접속된 제1 연산 증폭기와, 이 제1 연산 증폭기의 부의 입력 단자와 제1 신호 입력 단자 사이에 접속된 제1 저항과, 상기 제1 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제2 저항과, 상기 제1 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제1 커패시터와, 정의 입력 단자가 상기 기준 전위 공급원에 접속된 제2 연산 증폭기와, 이 제2 연산 증폭기의 부의 입력 단자와 상기 제1 연산 증폭기의 출력 단자 사이에 접속된 제3 저항과, 상기 제2 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제2 커패시터와, 제3 연산 증폭기와, 이 제3 연산 증폭기의 부의 입력 단자와 상기 제2 연산 증폭기의 출력 단자 사이에 접속된 제4 저항과, 상기 제3 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제5 저항과, 상기 제3 연산 증폭기의 정의 입력 단자와 상기 제2 연산 증폭기의 출력 단자 사이에 접속된 제6 저항과, 상기 제3 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제7 저항과, 상기 제1 연산 증폭기의 부의 입력 단자와 상기 제3 연산 증폭기의 출력 단자 사이에 접속된 제8 저항과, 정의 입력 단자가 상기 기준 전위 공급원에 접속된 제4 연산 증폭기와, 이 제4 연산 증폭기의 부의 입력 단자와 제2 신호 입력 단자 사이에 접속된 제9 저항과, 상기 제4 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제10 저항과, 상기 제4 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제3 커패시터와, 정의 입력 단자가 상기 기준 전위 공급원에 접속된 제5 연산 증폭기와, 이 제5 연산 증폭기의 부의 입력 단자와 상기 제4 연산 증폭기의 출력 단자 사이에 접속된 제11 저항과, 상기 제5 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제4 커패시터와, 정의 입력 단자가 상기 제3 연산 증폭기의 정의 입력 단자에 공통 접속된 제6 연산 증폭기와, 이 제6 연산 증폭기의 부의 입력 단자와 상기 제5 연산 증폭기의 출력 단자 사이에 접속된 제12 저항과, 상기 제6 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제13 저항과, 상기 제6 연산 증폭기의 정의 입력 단자와 상기 제5 연산 증폭기의 출력 단자 사이에 접속된 제14 저항과, 상기 제6 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제15 저항과, 상기 제4 연산 증폭기의 부의 입력 단자와 상기 제6 연산 증폭기의 출력 단자 사이에 접속된 제16 저항을 구비하고, 상기 제3, 제6 연산 증폭기의 출력 단자에 각각 접속된 제1, 제2 신호 출력 단자로부터 출력 신호를 수득하도록 하여 이루어지며, 상기 제1 연산 증폭기와 제4 연산 증폭기, 상기 제2 연산 증폭기와 제5 연산 증폭기, 및 상기 제3 연산 증폭기와 제6 연산 증폭기는 각각 특성이 동일하며, 상기 제1 저항과 제9 저항, 상기 제2 저항과 제10 저항, 상기 제3 저항과 제11 저항, 상기 제4 저항과 제12 저항, 상기 제5 저항과 제13 저항, 상기 제6 저항과 제14 저항, 상기 제7 저항과 제15 저항, 및 상기 제8 저항과 제16 저항의 저항치가 각각 동일하고, 또한 상기 제1 커패시터와 제3 커패시터, 및 상기 제2 커패시터와 제4 커패시터의 용량이 각각 동일하며, 상기 제4 저항과 제6 저항의 저항치의 비와, 상기 제5 저항과 제7 저항의 저항치의 비가 동일한 것을 특징으로 한다.

청구범위 제13항에 기재한 바와 같이, 청구범위 제7항 기재의 전차동형 아날로그 회로에 있어서, 상기 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용한 것을 특징으로 한다.

청구범위 제14항에 기재한 바와 같이, 청구범위 제10항 기재의 전차동형 아날로그 회로에 있어서, 상기 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용한 것을 특징으로 한다.

청구범위 제15항에 기재한 바와 같이, 청구범위 제11항 기재의 전차동형 아날로그 회로에 있어서, 상기 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용한 것을 특징으로 한다.

청구범위제16항에 기재한 바와 같이, 청구범위 제12항 기재의 전차동형 아날로그 회로에 있어서, 상기 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용한 것을 특징으로 한다.

본 발명의 전차동형 아날로그 회로는, 공통 모드 피드 포워드를 이용하고 있고, 청구범위 제1항 내지 16항과 같은 구성에 의하면, 공통 모드 피드백을 이용하는 일없이 동상 신호를 제거할 수 있고, 고주파수 영역에 있어서도 확실한 동작을 보증할 수 있다. 또한, 청구범위 제2항 내지 16 항의 구성에서는, 통상의 연산 증폭기를 이용하여 전차동형 아날로그 회로를 구성하기 때문에, 전차동형의 연산 증폭기로 필요해지는 저항치가 높은 귀환 저항은 불필요해지고, 기생 용량의 증대에 의한 주파수 특성으로의 영향이 없으며, 회로 구성도 간단화할 수 있다.

청구범위 제7항과 같은 구성에 의하면, 전차동 구성의 반전 증폭 회로가 수득된다.

청구범위 제8항과 같이, 청구범위 제5항의 구성에 제1 내지 제4 커패시터를 부가함으로써 전차동 구성의 1차 저역 필터가 수득된다.

청구범위 제9항과 같이, 청구범위 제7항의 구성에 제1 내지 제4 커패시터를 부가함으로써 전차동 구성의 1차 고역 필터가 수득된다.

청구범위 제10항과 같은 구성에 의하면, 전차동 구성의 다중 귀환형 2차 저역 필터가 수득된다.

청구범위 제11항과 같은 구성에 의하면, 전차동 구성의 다중 귀환형 2차 고역 필터가 수득된다.

청구범위 제12항과 같은 구성에 의하면, 전차동 구성의 바이컷형 2차 저역 필터가 수득된다.

청구범위 제13항에 기재한 바와 같이, 청구범위 제7항 기재의 전차동형 아날로그 회로에 있어서, 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용할 수 있다.

청구범위 제14항에 기재한 바와 같이, 청구범위 제10항 기재의 전차동형 아날로그 회로에 있어서, 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용할 수 있다.

청구범위 제15항에 기재한 바와 같이, 청구범위 제11항 기재의 전차동형 아날로그 회로에 있어서, 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용할 수 있다.

청구범위 제16항에 기재한 바와 같이, 청구범위 제12항 기재의 전차동형 아날로그 회로에 있어서, 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용할 수 있다.

이하, 본 발명의 실시 형태에 관해서 도면을 참조하여 설명한다.

도 1 내지 도 4는 각각, 본 발명의 기본 원리에 관해서 설명하기 위한 것으로, 도 1은 본 발명에 의한 전차동형 아날로그 회로의 개념을 나타내는 블록도, 도 2는 이상적 전차동형 아날로그 회로의 입출력의 관

계에 관해서 설명하기 위한 심벌도, 도 3 및 도 4는 각각 상기 도 1에 나타내는 전차동형 아날로그 회로를 연산 증폭기를 이용하여 실현할 경우의 개략적인 구성예를 나타내는 블록도이다.

도 1에 나타내는 바와 같이, 본 발명의 전차동형 아날로그 회로는, 정의 입력 단자와 부의 입력 단자 사이에 가상 접지가 성립하는 제1 회로(CK1)와, 정의 입력 단자와 부의 입력 단자 사이에 가상 접지가 성립하며, 상기 제1 회로(CK1)와 특성이 동일하고 또한 정의 입력 단자가 상기 제1 회로(CKI)의 정의 입력 단자와 공통 접속된 제2 회로(CK2)와, 상기 제1, 제2 회로(CKI,CK2)의 정의 입력 단자의 공통 접속점과 기준 전위 공급원(VR) 사이에 접속되는 제3 회로(CK3)를 구비하고 있다. 상기 제1, 제2 회로(CK1,CK2)로서는, 예컨대 연산 증폭기나 gm 셀(트랜스 컨덕터)등이 이용된다. 제1 회로(CKI)의 출력은 도시하지 않은 부하 소자등을 통해 부의 입력 단자에 피드백되고 있고, 제2 회로(CK2)의 출력도 도시하지 않은 부하 소자등을 통해 부의 입력 단자에 피드백된다. 제3 회로(CK3)는 저항등의 부하 소자, 또는 부하 소자와 커패시터등의 용량성 부하를 포함하여 구성되어 있으며, 제1, 제2 회로(CKI,CK2)의 정의 입력 단자의 공통 접속점 Nx의 전위를, 상기 제1 회로(CKI)의 출력 단자와 부의 입력 단자와의 전위차(Vfl)와, 상기 제2 회로(CK2)의 출력 단자와 부의 입력 단자와의 전위차(Vf2)와의 평균치 (Vf1+Vf2)/2에 상기 기준 전위 공급원(VR)의 기준 전위(V_{REF})를 가한 전위, 즉 (Vfl+Vf2)/2+V_{REF}로 설정하는 것이다. 이것에 의해서, 상기 제1, 제2 회로(CKI,CK2)의 출력의 직류 바이어스 전위는, 상기 기준 전위(V_{REF})와 거의 동일해진다.

도 2에 나타내는 이상적 전차동 회로(CK)를 상정하고, 입력 단자(Vi1,Vi2)에 각각 입력되는 신호의 전위를 Vi1(s), Vi2(s)로, 출력 단자(Vo1,Vo2)로부터 각각 출력되는 신호의 전위를 Vo1(s), Vo2(s)로, 전차동 회로(CK)의 계수, 즉 게인을 K(s)로 하면, 이하의 식이 성립된다.

$$Vo1(s)-Vo2(s)=K(s)\cdot(Vi1(s)-Vi2(s))$$

또한,

$$Vo1(s)+Vo2(s)=0$$

이 되며, 동상 신호 성분은 제거된다.

도 3은 상기 도 1에 나타낸 전차동형 아날로그 회로의 개략적인 구성예를 나타내는 것으로, 제1 회로(CKI)으로서 연산 증폭기(8)와 회로 블록(4)을 이용하고, 제2 회로(CK2)로서 연산 증폭기(9)와 회로 블록(7)을 이용하며, 제3 회로(CK3)로서 회로 블록(5,6)을 이용하고 있다. 상기 연산 증폭기(8,9)의 특성은 동일하고, 또한 회로 블록(4와 7) 및 회로 블록(5와 6)은 각각 완전히 동일한 회로 구성과 회로 특성으로 되어 있다. 신호 입력 단자(Vi1)에는 회로 블록(4,5)의 입력 단자(i)가 각각 접속되고, 이들 회로 블록(4,5)의 출력 단자(x)가 연산 증폭기(8)의 부 및 정의 입력 단자(-),(+)에 각각 접속된다. 이 연산 증폭기(8)의 출력 단자는 신호 출력 단자(Vo1)에 접속되는 동시에, 회로 블록(4)의 단자(o)에 접속되어 출력 신호가 귀환된다. 동일하게, 신호 입력 단자(Vi2)에는 회로 블록(6,7)의 입력 단자(i)가 접속되고, 이들 회로 블록(6,7)의 출력 단자(x)가 연산 증폭기(9)의 정 및 부의 입력 단자(+),(-)에 각각 접속된다. 이 연산 증폭기(9)의 출력 단자는 신호 출력 단자(Vo2)에 접속되는 동시에, 회로 블록(7)의 단자(o)에 접속되어 출력 신호가 귀환된다. 또한, 상기 회로 블록(5,6)의 단자(o)는 기준 전위 공급원(VR)에 접속되고, 기준 전위(V_{REF})가 인가된다. 그리고, 상기 연산 증폭기(8,9)의 정의 입력 단자(+)가 공통 접속되어 있다.

회로 블록(4)은, 연산 증폭기(8)의 부의 입력 단자에 신호 입력 단자(Vil)에서의 신호 입력과 연산 증폭기(8)의 출력으로부터의 귀환을 행하고, 회로 블록(5)은 신호 입력 단자(Vil)에 입력된 신호와 기준 전위 공급원(VR)의 기준 전위(V_{REF})에 기초하여 상기 연산 증폭기(8)의 정의 입력 단자의 전위를 설정하도록 되어 있다. 또, 회로 블록(6)은 신호 입력 단자(Vi2)에 입력된 신호와 기준 전위(V_{REF})에 기초하여 상기 연산 증폭기(9)의 정의 입력 단자의 전위를 설정하고, 회로 블록(7)은 연산 증폭기(9)의 부의 입력 단자에 신호 입력 단자(Vi2)로부터의 신호 입력과 연산 증폭기(9)의 출력으로부터의 귀환을 행하고 있다.

도 3에 있어서, 상기 각 회로 블록(4~7)로서 저항과 커패시터로 구성되는 RC 블록을 상정하고, 각 회로 블록(4,7)의 입력 계수를 Ki(s)로, 귀환 계수를 Ko(s)로 하면, 회로 블록(4,7)의 출력 단자(x)의 전위 Vx1(s), Vx2(s)는 각각,

$$Vx1(s)=Ki(s)Vi1(s)+Ko(s)Vo1(s)$$

$$Vx2(s)=Ki(s)Vi2(s)+Ko(s)Vo2(s)$$

로 나타낼 수 있다. 또한, 회로 블록(5,6)의 입력 계수를 Ki(s)로 하면, 출력 단자(x)의 전위Vxc(s)는,

$$Vxc(s)=Ki(s)\cdot(Vi1(s)+Vi2(s))/2$$

가 된다. 따라서, 출력 신호 Vo1(s), Vo2(s)는 연산 증폭기의 관계식으로부터,

$$Vo1(s)=Koa(s)\cdot(Vxc(s)-Vx1(s))$$

$$Vo2(s)=Koa(s)\cdot(Vxc(s)-Vx2(s))$$

로 나타낼 수 있다. 단, Koa(s)는 연산 증폭기(8,9)의 계수이다. 수학식 3~수학식 7로부터,

$$Vo1(s)-Vo2(s)=-Ki(s)/(\mu(s)+Ko(s))\cdot(Vil(s)-Vi2(s))$$

가 된다. 단, μ(s)=1/Koa(s)이다. 또,

$$Vo1(s)+Vo2(s)=0$$

가 되어, 동상 신호 성분은 제거된다.

수학식 1 및 수학식 2와 수학식 8 및 수학식 9를 비교하면, 도 3이 이상의 경우와 일치하고 있고, 이것으로부터, 도 3과 같이 구성함으로써 전차동 회로를 실현할 수 있는 것을 알 수 있다.

또한, 도 3에 나타내는 회로에 있어서는, 전위Vxc(s)는 2개의 피드백 전압Vf1과 Vf2로 나타낼 수 있다. 수학식 3 및 수학식 4로부터 각각의 연산 증폭기(4,7)의 피드백 전압(Vf1,Vf2)을 구하면,

$$Vfl=Vx1(s)-Vo1(s)=Ki(s)Vil(s)+(Ko1(s)-1)\cdot Vo1(s)$$

$$Vf2=Vx2(s)-Vo2(s)=Ki(s)Vi2(s)+(Ko2(s)-1)\cdot Vo2(s)$$

가 된다. 수학식 10 및 수학식 11로부터,

$$(Vfl+Vf2)/2=(Ki(s)\cdot(Vi1(s)+Vi2(s)))/2+((Ko(s)-1)\cdot(Vo1(s)+Vo2(s)))/2$$

이다. 여기서, Vo1(s)+Vo2(s)=0이 되기 때문에, 수학식 12는,

$$(Vf1+Vf2)/2=(Ki(s)\cdot(Vil(s)+Vi2(s)))/2$$

가 되고, 회로 블록(5,6)의 출력 단자(x), 바꾸어 말하면 연산 증폭기(8,9)의 정의 입력 단자의 전위 Vxc(s)는,

$$Vxc(s)=(Vfl+Vf2)/2$$로 나타낼 수 있다.

도 4는 상기 도 1에 나타내는 회로의 다른 개략 구성예를 나타내는 것으로, 제1 회로(CK1)로서 연산 증폭기(8)와 회로 블록(4′)을 이용하고, 제2 회로(CK2)로서 연산 증폭기(9)와 회로 블록(7′)을 이용하며, 제3 회로(CK3)로서 회로 블록(5′ ,6′)을 이용하고 있다. 이 도 4에 나타내는 회로는, 도 3에 나타낸 회로에서의 회로 블록(4,5,6,7)에 단자(y)를 설치하고, 기준 전위 공급원(VR)에 접속하여 기준 전위(V_{REF})를 부여하도록 한 것이다. 수학식 3~수학식 14에는 기준 전위(V_{REF})가 부여되는 단자(y)에 관계되는 요소는 없기 때문에, 도 4에 나타내는 구성만으로도 실질적으로 도 3에 나타낸 회로와 같고, 공통 모드 피드백을 이용하는 일없이 동상 입력 신호를 제거할 수 있다.

다음에, 상술한 본 발명의 기본 원리에 따라서 구성한 전차동형 아날로그 회로의 구체적인 구성예에 관해서 상세히 설명한다.

도 5는, 본 발명의 제1 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 상술한 본 발명의 기본 원리를 이용하여 구성한 반전 증폭 회로이고, 상기 도 3의 회로를 구체화한 것이다. 이 반전 증폭 회로는 2개의 연산 증폭기(18,19)와 8개의 저항(20~27)으로 구성되어 있다. 신호 입력 단자(Vi1)에는 저항(20,21)의 일단이 공통 접속되고, 이들 저항(20,21)의 타단은 연산 증폭기(18)의 부 및 정의 입력 단자에 각각 접속된다. 저항(24)은 상기 연산 증폭기(18)의 부의 입력 단자와 출력 단자 사이에 접속된다. 저항(25)의 일단은 연산 증폭기(18)의 정의 입력 단자에 접속되고, 타단은 기준 전위 공급원(VR)에 접속되어 기준 전위(V_{REF})가 인가된다. 동일하게, 신호 입력 단자(Vi2)에는 저항(22,23)의 일단이 공통 접속되고, 이들 저항(22,23)의 타단은 연산 증폭기(19)의 정 및 부의 입력 단자에 각각 접속된다. 저항(27)은 상기 연산 증폭기(19)의 부의 입력 단자와 출력 단자 사이에 접속된다. 저항(26)의 일단은 연산 증폭기(19)의 정의 입력 단자에 접속되고, 타단은 기준 전위 공급원(VR)에 접속되어 기준 전위(V_{REF})가 인가된다. 그리고, 상기 연산 증폭기(18,19)의 정의 입력 단자가 공통 접속되고, 연산 증폭기

(18)의 출력 단자는 신호 출력 단자(Vo1)에, 연산 증폭기(19)의 출력 단자는 신호 출력 단자(Vo2)에 각각 접속되어 있다. 여기서, 연산 증폭기(18,19)의 특성은 동일하고, 또한 저항(20과 23), 저항(21과 22), 저항(24와 27), 및 저항(25와 26)은 각각 같은 저항치이고, 또한 저항(20과 21)의 저항치의 비와, 저항(24와 25)의 저항치의 비는 동일하다.

상기와 같은 구성에 의하면, 공통 모드 피드백을 이용하는 일없이 동상 신호를 제거할 수 있으며, 고주파수 영역에 있어서도 확실한 동작을 보증할 수 있는 전차동형의 반전 증폭 회로를 실현할 수 있다. 또한, 통상의 연산 증폭기와 저항을 이용하여 구성하고 있기 때문에, 회로 구성이 간단하고, 설계의 간단화도 도모된다.

도 6은, 본 발명의 제2 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 상기 도 3에 나타낸 회로를 구체화하여, 전차동형의 1차 저역 필터를 구성한 것이다. 이 1차 저역 필터는 2개의 연산 증폭기(28,29), 8개의 저항(30~37), 및 4개의 커패시터(38~41)로 구성되어 있다. 신호 입력 단자(Vi1)에는 저항(30,31)의 일단이 공통 접속되고, 이들 저항(30,31)의 타단은 연산 증폭기(28)의 부 및 정의 입력 단자에 각각 접속된다. 저항(34) 및 커패시터(38)는 연산 증폭기(28)의 부의 입력 단자와 출력 단자 사이에 병렬 접속된다. 저항(35)의 일단 및 커패시터(39)의 한쪽의 전극은 연산 증폭기(28)의 정의 입력 단자에 접속되고, 저항(35)의 타단 및 커패시터(39)의 다른쪽의 전극은 기준 전위 공급원(VR)에 접속되어 기준 전위(V_{REF})가 인가된다. 동일하게, 신호 입력 단자(Vi2)에는 저항(32,33)의 일단이 공통 접속되고, 이들 저항(32,33)의 타단은 연산 증폭기(29)의 정 및 부의 입력 단자에 각각 접속된다. 저항(37) 및 커패시터(41)는 연산 증폭기(19)의 부의 입력 단자와 출력 단자 사이에 병렬 접속된다. 저항(36)의 일단 및 커패시터(40)의 한쪽의 전극은 연산 증폭기(29)의 정의 입력 단자에 접속되고, 저항(36)의 타단 및 커패시터(40)의 다른쪽의 전극은 기준 전위 공급원(VR)에 접속되어 기준 전위(V_{REF})가 인가된다. 그리고, 상기 연산 증폭기(28,29)의 정의 입력 단자가 공통 접속되고, 연산 증폭기(28)의 출력 단자는 신호 출력 단자(Vo1)에, 연산 증폭기(29)의 출력 단자는 신호 출력 단자(Vo2)에 각각 접속되어 있다. 여기서, 연산 증폭기(28,29)의 특성은 동일하고, 저항(30과 33), 저항(31과 32), 저항(34와 37), 및 저항(35와 36)은 각각 저항치가 같다. 또한, 커패시터(38과 41), 및 커패시터(39와 40)는 각각 용량이 동일하고, 저항(30과 31)의 저항치의 비, 저항(34와 35)의 저항치의 비, 및 커패시터(38과 39)의 임피던스의 비는 각각 동일하다.

상기와 같은 구성에 의하면, 공통 모드 피드백을 이용하는 일없이 동상 신호를 제거할 수 있으며, 고주파수 영역에 있어서도 확실한 동작을 보증할 수 있는 전차동형의 1차 저역 필터를 실현할 수 있다. 또한, 통상의 연산 증폭기, 저항 및 커패시터를 이용하여 구성하고 있기 때문에, 회로 구성이 간단하고, 설계의 간단화도 도모된다.

도 7은, 본 발명의 제3 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 상기 도 3의 회로를 구체화하여, 제2 실시 형태와 같이 전차동형의 1차 저역 필터를 구성한 다른 예이다. 도 7에 나타내는 회로는 상기 도 6의 1차 저역 필터에 있어서의 각 저항(30~37)을 스위치드 커패시터 회로(SC30~SC37)로 각각 치환한 것이다. 각 스위치드 커패시터 회로(SC30~SC37)는, 1개의 커패시터와, 이 커패시터의 충전과 방전을 제어하는 4개의 스위치, 예컨대 트랜지스터로 구성되어 있다.

스위치드 커패시터 회로(SC30) 중의 커패시터는, 제1 동작 타이밍으로 신호 입력 단자(Vi1)와 기준 전위 공급원(VR) 사이에 접속되고, 제2 동작 타이밍으로 기준 전위 공급원(VR)과 연산 증폭기(28)의 부의 입력 단자 사이에 접속된다. 스위치드 커패시터 회로(SC31) 중의 커패시터는, 제1 동작 타이밍으로 신호 입력 단자(Vi1)와 기준 전위 공급원(VR) 사이에 접속되고, 제2 동작 타이밍으로 기준 전위 공급원(VR)과 연산 증폭기(28)의 정의 입력 단자 사이에 접속된다. 스위치드 커패시터 회로(SC32) 중의 커패시터는, 제1 동작 타이밍으로 신호 입력 단자(Vi2)와 기준 전위 공급원(VR) 사이에 접속되고, 제2 동작 타이밍으로 기준 전위 공급원(VR)과 연산 증폭기(29)의 정의 입력 단자 사이에 접속된다. 스위치드 커패시터 회로(SC33) 중의 커패시터는, 제1 동작 타이밍으로 신호 입력 단자(Vi2)와 기준 전위 공급원(VR) 사이에 접속되고, 제2 동작 타이밍으로 기준 전위 공급원(VR)과 연산 증폭기(29)의 부의 입력 단자 사이에 접속된다. 스위치드 커패시터 회로(SC34) 중의 커패시터는, 제1 동작 타이밍으로 연산 증폭기(28)의 부의 입력 단자와 출력 단자 사이에 접속되고, 제2 동작 타이밍으로 커패시터의 양방의 전극이 기준 전위 공급원(VR)에 접속된다. 스위치드 커패시터 회로(SC35) 중의 커패시터는, 제1 동작 타이밍으로 연산 증폭기(28)의 정의 입력 단자와 기준 전위 공급원(VR) 사이에 접속되고, 제2 동작 타이밍으로 양방의 전극이 기준 전위 공급원(VR)에 접속된다. 스위치드 커패시터 회로(SC36) 중의 커패시터는, 제1 동작 타이밍으로 연산 증폭기(29)의 정의 입력 단자와 기준 전위 공급원(VR) 사이에 접속되고, 제2 동작 타이밍으로 양방의 전극이 기준 전위 공급원(VR)에 접속된다. 그리고, 스위치드 커패시터 회로(SC37) 중의 커패시터는, 제1 동작 타이밍으로 연산 증폭기(29)의 부의 입력 단자와 출력 단자 사이에 접속되고, 제2 동작 타이밍으로 양방의 전극이 기준 전위 공급원(VR)에 접속된다.

상기한 바와 같이 각 스위치드 커패시터 회로(SC30~SC37) 중의 각 스위치를 선택적으로 온/오프 제어하여 커패시터를 충방전함으로써 등가적인 저항으로서 이용할 수 있고, 도 6에 나타낸 실시 형태와 같은 회로 동작을 행할 수 있으며, 같은 작용 효과가 수득된다.

또, 상기 스위치드 커패시터 회로(30~33)는 각각, 도 7에 괄호를 붙여서 나타내는 동작 타이밍으로 각 스위치를 전환 조작하도록 하여도 좋다. 즉, 스위치드 커패시터 회로(SC30) 중의 커패시터는, 제1 동작 타이밍으로 신호 입력 단자(Vil)와 연산 증폭기(28)의 부의 입력 단자 사이에 접속하고, 제2 동작 타이밍으로 양방의 전극을 기준 전위 공급원(VR)에 접속한다. 스위치드 커패시터 회로(SC31) 중의 커패시터는, 제1 동작 타이밍으로 신호 입력 단자(Vil)와 연산 증폭기(28)의 정의 입력 단자 사이에 접속하고, 제2 동작 타이밍으로 양방의 전극을 기준 전위 공급원(VR)에 접속한다. 또한, 스위치드 커패시터 회로(SC32) 중의 커패시터를, 제1 동작 타이밍으로 신호 입력 단자(Vi2)와 연산 증폭기(29)의 정의 입력 단자 사이에 접속하고, 제2 동작 타이밍으로 양방의 전극을 기준 전위 공급원(VR)에 접속한다. 스위치드 커패시터 회로(SC33) 중의 커패시터는, 제1 동작 타이밍으로 신호 입력 단자(Vi2)와 연산 증폭기(29)의 부의 입력 단자 사이에 접속하고, 제2 동작 타이밍으로 양방의 전극을 기준 전위 공급원(VR)에 접속한다.

도 8은, 본 발명의 제4 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설현하기 위한 것으로, 상기 도 3의 회로를 구체화하여, 전차동형의 1차 고역 필터를 구성한 것이다. 이 1차 고역 필터는 2개의 연산 증폭기(42,43), 8개의 저항(44~51), 및 4개의 커패시터(52~55)로 구성되어 있다. 신호 입력 단자(Vil)에는 저항(44,45)의 일단이 공통 접속되고, 이들 저항(44,45)의 타단과 연산 증폭기(42)의 부 및 정의 입력 단자 사이에는 커패시터(52,53)가 각각 접속된다. 저항(48)은 연산 증폭기(42)의 부의 입력 단자와 출력 단자 사이에 접속된다. 저항(49)의 일단은 연산 증폭기(42)의 정의 입력 단자에 접속되고, 타단은 기준 전위 공급원(VR)에 접속되어 기준 전위(V_{REF})가 인가된다. 동일하게, 신호 입력 단자(Vi2)에는 저항(46,47)의 일단이 공통 접속되고, 이들 저항(46,47)의 타단과 연산 증폭기(43)의 정 및 부의 입력 단자 사이에는 커패시터(54,55)가 각각 접속된다. 저항(51)은 연산 증폭기(43)의 부의 입력 단자와 출력 단자 사이에 접속된다. 저항(50)의 일단은 연산 증폭기(43)의 정의 입력 단자에 접속되고, 타단은 기준 전위 공급원(VR)에 접속되어 기준 전위(V_{REF})가 인가된다. 그리고, 상기 연산 증폭기(42,43)의 정의 입력 단자가 공통 접속되고, 연산 증폭기(42)의 출력 단자는 신호 출력 단자(Vol)에, 연산 증폭기(43)의 출력 단자는 신호 출력 단자(Vo2)에 각각 접속되어 있다. 여기서, 연산 증폭기(42,43)의 특성은 동일하고, 저항(44와 47), 저항(45와 46), 저항(48과 51), 및 저항(49와 50)은 각각 같은 저항치이다. 또한, 커패시터(52와 55), 및 커패시터(53과 54)는 각각 같은 용량이고, 저항(44와 45)의 저항치의 비, 저항(48과 49)의 저항치의 비, 및 커패시터(52와 53)의 임피던스의 비는 각각 동일하다.

상기와 같은 구성에 의하면, 공통 모드 피드백을 이용하는 일없이 동상 신호를 제거할 수 있으며, 고주파수 영역에 있어서도 확실한 동작을 보증할 수 있는 전차동형의 1차 고역 필터를 실현할 수 있다. 또한, 통상의 연산 증폭기, 저항 및 커패시터를 이용하여 구성하고 있기 때문에, 회로 구성이 간단하고, 설계의 간단 화도 도모된다.

도 9는, 본 발명의 제5 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 상기 도 4의 회로를 구체화하여, 전차동형의 다중 귀환형 2차 저역 필터를 구성한 것이다. 이 다중 귀환형 2차 저역 필터는 2개의 연산 증폭기(56,57), 12개의 저항(58~69), 및 8개의 커패시터(70~77)로 구성되어 있다. 신호 입력 단자(Vil)와 연산 증폭기(56)의 부의 입력 단자 사이에는 저항(58,62)이 직렬 접속되고, 신호 입력 단자(Vi1)와 연산 증폭기(56)의 정의 입력 단자 사이에는 저항(59,63)이 직렬 접속되어 있다. 저항(66)은 상기 저항(58,62)의 접속점과 연산 증폭기(56)의 출력 단자 사이에 접속되고, 커패시터(74)는 상기 연산 증폭기(56)의 부의 입력 단자와 출력 단자 사이에 접속된다. 커패시터(70)의 한쪽의 전극은 저항(58,62)의 접속점에 접속되고, 다른쪽의 전극은 기준 전위 공급원(VR)에 접속된다. 커패시터(71)의 한쪽의 전극은 저항(59,63)의 접속점에 접속되고, 다른쪽의 전극은 기준 전위 공급원(VR)에 접속된다. 저항(67)의 일단은 저항(59,63)의 접속점에 접속되고, 타단은 기준 전위 공급원(VR)에 접속된다. 커패시터(75)의 한쪽의 전극은 연산 증폭기(56)의 정의 입력 단자에 접속되고, 타단은 기준 전위 공급원(VR)에 접속된다. 동일하게, 신호 입력 단자(Vi2)와 연산 증폭기(57)의 부의 입력 단자 사이에는 저항(61,65)이 직렬 접속되고, 신호 입력 단자(Vi2)와 연산 증폭기(57)의 정의 입력 단자 사이에는 저항(60,64)이 직렬 접속된다. 저항(69)은 상기 저항(61,65)의 접속점과 연산 증폭기(57)의 출력 단자 사이에 접속되고, 커패시터(77)는 상기 연산 증폭기(57)의 부의 입력 단자와 출력 단자 사이에 접속된다. 커패시터(72)의 한쪽의 전극은 저항(60,64)의 접속점에 접속되고, 다른쪽의 전극은 기준 전위 공급원(VR)에 접속된다. 커패시터(73)의 한쪽의 전극은 저항(61,65)의 접속점에 접속되고, 다른쪽의 전극은 기준 전위 공급원(VR)에 접속된다. 저항(68)의 일단은 저항(60,64)의 접속점에 접속되고, 타단은 기준 전위 공급원(VR)에 접속된다. 커패시터(76)의 한쪽의 전극은 연산 증폭기(57)의 정의 입력 단자에 접속되고, 타단은 기준 전위 공급원(VR)에 접속된다. 그리고, 상기 연산 증폭기(56,57)의 정의 입력 단자가 공통 접속되고, 연산 증폭기(56)의 출력 단자는 신호 출력 단자(Vo1)에, 연산 증폭기(57)의 출력 단자는 신호 출력 단자(Vo2)에 각각 접속되어 있다. 여기서, 연산 증폭기(56,57)의 특성은 동일하고, 저항(58과 61), 저항(59와 60), 저항(62와 65), 저항(63과 64), 저항(66과 69), 및 저항(67과 68)의 저항치도 각각 동일하다. 또한, 커패시터(70과 73), 커패시터(71과 72), 커패시터(74와 77), 및 커패시터(75와 76)는 각각 용량이 동일하고, 저항(58과 59)의 저항치의 비, 저항(62와 63)의 저항치의 비, 저항(66과 67)의 저항치의 비, 커패시터(70과 71)의 임피던스의 비, 및 커패시터(74와 75)의 임피던스의 비는 각각 동일하다.

상기와 같은 구성에 의하면, 공통 모드 피드백을 이용하는 일없이 동상 신호를 제거할 수 있으며, 고주파수 영역에 있어서도 확실한 동작을 보증할 수 있는 전차동형의 다중 귀환형 2차 저역 필터를 실현할 수 있다. 또한, 통상의 연산 증폭기, 저항 및 커패시터를 이용하여 구성하고 있기 때문에, 회로 구성이 간단하고, 설계의 간단화도 도모된다.

도 10은, 본 발명의 제6 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 상기 도 4에 나타낸 회로를 구체화하여, 전차동형의 다중 귀환형 2차 고역 필터를 구성한 것이다. 이 다중 귀환형 2차 고역 필터는, 2개의 연산 증폭기(78,79), 8개의 저항(80~87), 및 12개의 커패시터(88~99)로 구성되어 있고, 기본적으로는 도 9에 나타낸 회로에서의 저항과 커패시터를 대체한 회로 구성으로 되어 있다. 즉, 신호 입력 단자(Vi1)와 연산 증폭기(78)의 부의 입력 단자 사이에는 커패시터(88,92)가 직렬 접속되고, 신호 입력 단자(Vi1)와 연산 증폭기(78)의 정의 입력 단자 사이에는 커패시터(89,93)가 직렬 접속된다. 커패시터(96)는 상기 커패시터(88,92)의 접속점과 연산 증폭기(78)의 출력 단자 사이에 접속되고, 저항(84)은 상기 연산 증폭기(78)의 부의 입력 단자와 출력 단자 사이에 접속된다. 저항(80)의 일단은 커패시터(88,92)의 접속점에 접속되고, 타단은 기준 전위 공급원(VR)에 접속된다. 저항(81)의 일단은 커패시터(89,93)의 접속점에 접속되고, 타단은 기준 전위 공급원(VR)에 접속된다. 커패시터(97)의 한쪽의 전극은 커패시터(89,93)의 접속점에 접속되고, 다른쪽의 전극은 기준 전위 공급원(VR)에 접속된다. 저항(85)의 일단은 연산 증폭기(78)의 정의 입력 단자에 접속되고, 타단은 기준 전위 공급원(VR)에 접속된다. 동일하게, 신호 입력 단자(Vi2)와 연산 증폭기(79)의 부의 입력 단자 사이에는 커패시터(91,95)가 직렬 접속되고, 신호 입력 단자(Vi2)와 연산 증폭기(79)의 정의 입력 단자 사이에는 커패시터(90,94)가 직렬 접속된다. 커패시터(99)는 상기 커패시터(91,95)의 접속점과 연산 증폭기(79)의 출력 단자 사이에 접속되고, 저항(87)은 상기 연산 증폭기(79)의 부의 입력 단자와 출력 단자 사이에 접속된다. 저항(82)의 일단은 커패시터(90,94)의 접속점에 접속되고, 다른쪽의 전극은 기준 전위 공급원(VR)에 접속된다. 저항(83)의 일단은 커패시터(91,95)의 접속점에 접속되고, 타단은 기준 전위 공급원(VR)에 접속된다. 커패시터

(98)의 한쪽의 전극은 커패시터(90,94)의 접속점에 접속되고, 다른쪽의 전극은 기준 전위 공급원(VR)에 접속된다. 저항(86)의 일단은 연산 증폭기(79)의 정의 입력 단자에 접속되고, 타단은 기준 전위 공급원(VR)에 접속된다. 그리고, 상기 연산 증폭기(78,79)의 정의 입력 단자가 공통 접속되고, 연산 증폭기(78)의 출력 단자는 신호 출력 단자(Vo1)에, 연산 증폭기(79)의 출력 단자는 신호 출력 단자(Vo2)에 각각 접속되어 있다. 여기서, 연산 증폭기(78,79)의 특성은 동일하고, 저항(80과 83), 저항(81과 82), 저항(84와 87), 및 저항(85와 86)의 저항치도 각각 동일하다. 또한, 커패시터(88과 91), 커패시터(89와 90), 커패시터(92와 95), 커패시터(93과 94), 커패시터(96과 99), 및 커패시터(97과 98)는 각각 동일한 용량이고, 저항(80과 81)의 저항치의 비, 저항(84와 85)의 저항치의 비, 커패시터(88과 89)의 임피던스의 비, 커패시터(92와 93)의 임피던스의 비, 및 커패시터(96과 9)의 임피던스의 비는 각각 동일하다.

상기와 같은 구성에 의하면, 공통 모드 피드백을 이용하는 일없이 동상 신호를 제거할 수 있으며, 고주파수 영역에 있어서도 확실한 동작을 보증할 수 있는 전차동형의 다중 귀환형 2차 고역 필터를 실현할 수 있다. 또한, 통상의 연산 증폭기, 저항 및 커패시터를 이용하여 구성하고 있기 때문에, 회로 구성이 간단하고, 설계의 간단화도 도모된다.

도 11은, 본 발명의 제7 실시 형태에 관한 전차동형 아날로그 회로에 관해서 설명하기 위한 것으로, 상기 도 3에 나타낸 회로를 조합하여 구체화하고, 전차동형의 바이컷형 2차 저역 필터를 구성한 것이다. 이 바이컷형 2차 고역 필터는, 6개의 연산 증폭기(206~211), 16개의 저항(212~227), 및 4개의 커패시터(228~231)로 구성되어 있다. 신호 입력 단자(Vi1)와 연산 증폭기(206)의 부의 입력 단자 사이에는 저항(212)이 접속되고, 이 연산 증폭기(206)의 부의 입력 단자와 출력 단자(Vx1) 사이에는 저항(214) 및 커패시터(228)가 병렬 접속된다. 상기 연산 증폭기(206)의 출력 단자(Vx1)와 연산 증폭기(208)의 부의 입력 단자 사이에는 저항(216)이 접속된다. 커패시터(230)는 상기 연산 증폭기(208)의 부의 입력 단자와 출력 단자 사이에 접속된다. 저항(218)은 연산 증폭기(208)의 출력 단자와 연산 증폭기(210)의 부의 입력 단자 사이에 접속되고, 저항(220)은 연산 증폭기(208)의 출력 단자와 연산 증폭기(210)의 정의 입력 단자 사이에 접속된다. 저항(222)은 상기 연산 증폭기(210)의 부의 입력 단자와 출력 단자 사이에 접속된다. 저항(226)의 일단은 상기 연산 증폭기(206)의 부의 입력 단자에 접속되고, 타단은 연산 증폭기(210)의 출력 단자 및 신호 출력 단자(Vo1)에 접속된다. 저항(224)의 일단은 상기 연산 증폭기(210)의 정의 입력 단자에 접속되고, 타단은 기준 전위 공급원(VR)에 접속된다.

동일하게, 신호 입력 단자(Vi2)와 연산 증폭기(207)의 부의 입력 단자 사이에는 저항(213)이 접속되고, 이 연산 증폭기(207)의 부의 입력 단자와 출력 단자(Vx2) 사이에는 저항(215) 및 커패시터(229)가 병렬 접속된다. 상기 연산 증폭기(207)의 출력 단자(Vx2)와 연산 증폭기(209)의 부의 입력 단자 사이에는, 저항(217)이 접속된다. 커패시터(231)는 상기 연산 증폭기(209)의 부의 입력 단자와 출력 단자 사이에 접속된다. 저항(219)은 연산 증폭기(209)의 출력 단자와 연산 증폭기(211)의 부의 입력 단자 사이에 접속되고, 저항(221)은 연산 증폭기(209)의 출력 단자와 연산 증폭기(211)의 정의 입력 단자 사이에 접속된다. 저항(223)은 상기 연산 증폭기(211)의 부의 입력 단자와 출력 단자 사이에 접속된다. 저항(227)의 일단은 상기 연산 증폭기(207)의 부의 입력 단자에 접속되고, 타단은 연산 증폭기(211)의 출력 단자 및 신호 출력 단자(Vo2)에 접속된다. 저항(225)의 일단은 상기 연산 증폭기(211)의 정의 입력 단자에 접속되고, 타단은 기준 전위 공급원(VR)에 접속된다. 상기 연산 증폭기(206,207,208,209)의 정의 입력 단자는 각각 기준 전위 공급원(VR)에 접속되고, 상기 연산 증폭기(210와 211)의 정의 입력 단자가 공통 접속되어 있다.

상기 연산 증폭기(206과 207), 상기 연산 증폭기(208과 209), 및 상기 연산 증폭기(210과 211)의 특성은 각각 동일하다. 또한, 상기 저항(212과 213), 저항(214와 215), 저항(216과 217), 저항(218과 219), 저항(220과 221), 저항(222와 223), 저항(224와 225), 및 저항(226과 227)의 저항치도 각각 동일하다. 또, 커패시터(228과 229), 및 커패시터(230과 231)의 용량은 각각 동일한 것이고, 저항(218과 220)의 저항치의 비와 저항(222와 224)의 저항치의 비는 동일하다.

상기와 같은 구성에 의하면, 공통 모드 피드백을 이용하는 일없이 동상 신호를 제거할 수 있으며, 고주파수 영역에 있어서도 확실한 동작을 보증할 수 있는 전차동형의 바이컷형 2차 저역 필터를 실현할 수 있다. 또한, 통상의 연산 증폭기, 저항 및 커패시터를 이용하여 구성하고 있기 때문에, 회로 구성이 간단하고, 설계의 간단화도 도모된다.

또, 상기 제1 내지 제7 실시 형태에서는, 전차동형 아날로그 회로의 예로서, 반전 증폭 회로, 1차 저역 필터, 1차 고역 필터, 다중 귀환형 2차 저역 필터, 다중 귀환형 2차 고역 필터, 및 바이컷형 2차 저역 필터를 각각 예로 들어 설명하였지만, 본 발명은 이들 실시 형태에 한정되는 것이 아니고, 도 1 내지 도 4를 이용하여 설명한 기본 원리에 따라서 다양하게 변형하여 실시하는 것이 가능하다. 또한, 제3 실시 형태에서는 제2 실시 형태에 있어서의 저항를 대신하여 스위치드 커패시터 회로를 이용하였지만, 다른 제1, 제4 내지 제7 실시 형태의 회로에 있어서, 저항을 대신하여 스위치드 커패시터 회로를 이용하여도 좋은 것은 물론이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 공통 모드 피드백을 이용하는 일없이 동상 신호를 제거할 수 있으며, 고주파수 영역에 있어서도 확실한 동작을 보증할 수 있는 전차동형 아날로그 회로가 수득된다. 또한, 설계의 간단화가 도모되는 전차동형 아날로그 회로가 수득된다.

(57) 청구의 범위

청구항 1

제1 연산 증폭기와, 이 제1 연산 증폭기의 부의 입력 단자와 제1 신호 입력 단자와의 사이에 설치되고, 상기 제1 연산 증폭기의 출력이 귀환되는 제1 회로 블록과, 상기 제1 신호 입력 단자와 상기 제1 연산 증폭기의 정의 입력 단자와의 사이에 설치되며, 기준 전위 공급원에서 기준 전위가 부여되어 상기 제1 연산

증폭기의 정의 입력 단자의 전위를 설정하는 제2 회로 블록과, 정의 입력 단자가 상기 제1 연산 증폭기의 정의 입력 단자에 공통 접속된 제2 연산 증폭기와, 이 제2 연산 증폭기의 부의 입력 단자와 제2 신호 입력 단자와의 사이에 설치되고, 상기 제2 연산 증폭기의 출력이 귀환되는 제3 회로 블록과, 상기 제2 신호 입력 단자와 상기 제2 연산 증폭기의 정의 입력 단자와의 사이에 설치되고, 상기 기준 전위 공급원에서 기준 전위를 부여하여 상기 제2 연산 증폭기의 정의 입력 단자의 전위를 설정하는 제4 회로 블록을 구비하며, 상기 제1, 제2 신호 입력 단자로부터 각각 제1, 제2 입력 신호가 공급되고, 상기 제1, 제2 연산 증폭기의 출력 단자에 각각 접속된 제1, 제2 신호 출력 단자로부터 제1, 제2 출력 신호를 수득하도록 하여 이루어지며,

상기 제1, 제2 연산 증폭기의 특성은 동일하고, 또한 상기 제1 회로 블록과 제3 회로 블록, 및 상기 제2 회로 블록과 제4 회로 블록의 회로 특성은 각각 동일하며,

상기 제1, 제2 신호 입력 단자로부터 입력되는 제1, 제2 입력 신호의 전위를 각각 Vi1(s), Vi2(s)로, 상기 제1, 제2 신호 출력 단자로부터 출력되는 제1, 제2 출력 신호의 전위를 각각 Vo1(s), Vo2(s)로, 상기 제1, 제3 회로 블록에 있어서의 상기 제1, 제2 연산 증폭기의 부의 입력 단자와의 접속점의 전위를 각각 Vx1(s), Vx2(s)로, 입력 계수를 Ki(s)로, 귀환 계수를 Ko(s)로 할 때,

$$Vx1(s)=Ki(s)Vi1(s)+Ko(s)Vo1(s)$$

$$Vx2(s)=Ki(s)Vi2(s)+Ko(s)Vo2(s)$$

로 표시되고,

상기 제2, 제4 회로 블록의 입력 계수를 Ki(s)로, 상기 제2, 제4 회로 블록과 상기 제1, 제2 연산 증폭기의 정의 입력 단자와의 접속점의 전위를 Vxc(s)로 했을 때,

$$Vxc(s)=Ki(s)\cdot(Vil(s)+Vi2(s))/2$$

로 표시되는 것을 특징으로 하는 전차동형 아날로그 회로.

청구항 2

제1항에 있어서, 상기 제1 및 제3 회로 블록에 상기 기준 전위 공급원에서 기준 전위를 인가하는 것을 특징으로 하는 전차동형 아날로그 회로.

청구항 3

제1 연산 증폭기와, 이 제1 연산 증폭기의 부의 입력 단자와 제1 신호 입력 단자 사이에 접속된 제1 저항과, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 제1 신호 입력 단자 사이에 접속된 제2 저항과, 상기 제1 연산 증폭기의 부의 입력 단자와 제1 신호 출력 단자 사이에 접속된 제3 저항과, 상기 제1 연산 증폭기의 정의 입력 단자와 기준 전위 공급원 사이에 접속된 제4 저항과, 정의 입력 단자가 상기 제1 연산 증폭기의 정의 입력 단자에 공통 접속된 제2 연산 증폭기와, 이 제2 연산 증폭기의 부의 입력 단자와 제2 신호 입력 단자 사이에 접속된 제5 저항과, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 제2 신호 입력 단자 사이에 접속된 제6 저항과, 상기 제2 연산 증폭기의 부의 입력 단자와 제2 신호 출력 단자 사이에 접속된 제7 저항과, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제8 저항을 구비하고,

상기 제1, 제2 연산 증폭기는 특성이 동일하고, 상기 제1 저항과 제5 저항, 상기 제2 저항과 제6 저항, 상기 제3 저항과 제7 저항, 및 상기 제4 저항과 제8 저항의 저항치가 각각 동일하고, 또한 상기 제1 저항과 제2 저항의 저항치의 비와, 상기 제3 저항과 제4 저항의 저항치의 비가 동일한 것을 특징으로 하는 전차동형 아날로그 회로.

청구항 4

제3항에 있어서, 상기 제1 연산 증폭기의 부의 입력 단자와 상기 제1 신호 출력 단자 사이에 접속된 제1 커패시터와, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제2 커패시터와, 상기 제2 연산 증폭기의 부의 입력 단자와 상기 제2 신호 출력 단자 사이에 접속된 제3 커패시터와, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제4 커패시터를 더 구비하고,

상기 제1 커패시터와 제3 커패시터, 및 상기 제2 커패시터와 제4 커패시터의 용량이 각각 동일하고, 또한 상기 제1 저항과 제2 저항의 저항치의 비와, 상기 제1 커패시터와 제2 커패시터의 임피던스의 비가 동일한 것을 특징으로 하는 전차동형 아날로그 회로.

청구항 5

제3항에 있어서, 상기 제1 저항과 상기 제1 연산 증폭기의 부의 입력 단자 사이에 설치된 제1 커패시터와, 상기 제2 저항과 상기 제1 연산 증폭기의 정의 입력 단자 사이에 설치된 제2 커패시터와, 상기 제5 저항과 상기 제2 연산 증폭기의 부의 입력 단자 사이에 설치된 제3 커패시터와, 상기 제6 저항과 상기 제2 연산 증폭기의 정의 입력 단자 사이에 설치된 제4 커패시터를 추가로 구비하고,

상기 제1 커패시터와 제3 커패시터, 및 상기 제2 커패시터와 제4 커패시터의 용량이 각각 동일하고, 또한 상기 제1 저항과 제2 저항의 저항치의 비와, 상기 제1 커패시터와 제2 커패시터의 임피던스의 비가 동일한 것을 특징으로 하는 전차동형 아날로그 회로.

청구항 6

제1 연산 증폭기와, 이 제1 연산 증폭기의 부의 입력 단자와 제1 신호 입력 단자 사이에 직렬 접속된 제1, 제2 저항과, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 제1 신호 입력 단자 사이에 직렬 접속된

제3, 제4 저항과, 상기 제1, 제2 저항의 접속점과 기준 전위 공급원 사이에 접속된 제1 커패시터와, 상기 제3, 제4 저항의 접속점과 상기 기준 전위 공급원 사이에 접속된 제2 커패시터와, 상기 제1, 제2 저항의 접속점과 상기 제1 연산 증폭기의 출력 단자 사이에 접속된 제5 저항과, 상기 제1 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제3 커패시터와, 상기 제3, 제4 저항의 접속점과 상기 기준 전위 공급원 사이에 접속된 제6 저항과, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제4 커패시터와, 정의 입력 단자가 상기 제1 연산 증폭기의 정의 입력 단자에 공통 접속된 제2 연산 증폭기와, 이 제2 연산 증폭기의 부의 입력 단자와 제2 신호 입력 단자 사이에 직렬 접속된 제7, 제8 저항과, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 제2 신호 입력 단자 사이에 직렬 접속된 제9, 제10 저항과, 상기 제7, 제8 저항의 접속점과 상기 기준 전위 공급원 사이에 접속된 제5 커패시터와, 상기 제9, 제10 저항의 접속점과 상기 기준 전위 공급원 사이에 접속된 제6 커패시터와, 상기 제7, 제8 저항의 접속점과 상기 제2 연산 증폭기의 출력 단자간(사이)에 접속된 제11 저항과, 상기 제2 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제7 커패시터와, 상기 제9, 제10 저항의 접속점과 상기 기준 전위 공급원 사이에 접속된 제12 저항과, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제8 커패시터를 구비하고, 상기 제1, 제2 연산 증폭기의 출력 단자에 각각 접속된 제1, 제2 신호 출력 단자로부터 출력 신호를 수득하도록 하여 이루어지고,

상기 제1, 제2 연산 증폭기는 특성이 동일하고, 상기 제1 저항과 제7 저항, 상기 제2 저항과 제8 저항, 상기 제3 저항과 제9 저항, 상기 제4 저항과 제10 저항, 상기 제5 저항과 제11 저항, 및 상기 제6 저항과 제12 저항의 저항치가 각각 동일하고, 또한 상기 제1 커패시터와 제5 커패시터, 상기 제2 커패시터와 제6 커패시터, 상기 제3 커패시터와 제7 커패시터, 및 상기 제4 커패시터와 제8 커패시터의 용량이 각각 동일하며, 상기 제1 저항과 제3 저항의 저항치의 비, 상기 제2 저항과 제4 저항의 저항치의 비, 상기 제5 저항과 제6 저항의 저항치의 비, 상기 제1 커패시터와 제2 커패시터의 임피던스의 비, 및 상기 제3 커패시터와 제4 커패시터의 임피던스의 비가 각각 동일한 것을 특징으로 하는 전차동형 아날로그 회로.

청구항 7

제1 연산 증폭기와, 이 제1 연산 증폭기의 부의 입력 단자와 제1 신호 입력 단자 사이에 직렬 접속된 제1, 제2 커패시터와, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 제1 신호 입력 단자 사이에 직렬 접속된 제3, 제4 커패시터와, 상기 제1, 제2 커패시터의 접속점과 기준 전위 공급원 사이에 접속된 제1 저항과, 상기 제3, 제4 커패시터의 접속점과 상기 기준 전위 공급원 사이에 접속된 제2 저항과, 상기 제1, 제2 커패시터의 접속점과 상기 제1 연산 증폭기의 출력 단자 사이에 접속된 제5 커패시터와, 상기 제1 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제3 저항과, 상기 제3, 제4 커패시터의 접속점과 상기 기준 전위 공급원 사이에 접속된 제6 커패시터와, 상기 제1 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제4 저항과, 정의 입력 단자가 상기 제1 연산 증폭기의 정의 입력 단자에 공통 접속된 제2 연산 증폭기와, 이 제2 연산 증폭기의 부의 입력 단자와 제2 신호 입력 단자 사이에 직렬 접속된 제7, 제8 커패시터와, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 제2 신호 입력 단자 사이에 직렬 접속된 제9, 제10 커패시터와, 상기 제7, 제8 커패시터의 접속점과 상기 기준 전위 공급원 사이에 접속된 제5 저항과, 상기 제9, 제10 커패시터의 접속점과 상기 기준 전위 공급원 사이에 접속된 제6 저항과, 상기 제7, 제8 커패시터의 접속점과 상기 제2 연산 증폭기의 출력 단자 사이에 접속된 제11 커패시터와, 상기 제2 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제7 저항과, 상기 제9, 제10 커패시터의 접속점과 상기 기준 전위 공급원 사이에 접속된 제12 커패시터와, 상기 제2 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제8 저항을 구비하고, 상기 제1, 제2 연산 증폭기의 출력 단자에 각각 접속된 제1, 제2 신호 출력 단자로부터 출력 신호를 수득하도록 하여 이루어지며,

상기 제1, 제2 연산 증폭기는 특성이 동일하고, 상기 제1 저항과 제5 저항, 상기 제2 저항과 제6 저항, 상기 제3 저항과 제7 저항, 및 상기 제4 저항과 제8 저항의 저항치가 각각 동일하며, 또한 상기 제1 커패시터와 제7 커패시터, 상기 제2 커패시터와 제8 커패시터, 상기 제3 커패시터와 제9 커패시터, 상기 제4 커패시터와 제10 커패시터, 상기 제5 커패시터와 제11 커패시터, 및 상기 제6 커패시터와 제12 커패시터의 용량이 각각 동일하고, 상기 제1 커패시터와 제3 커패시터의 임피던스의 비, 상기 제2 커패시터와 제4 커패시터의 임피던스의 비, 상기 제5 커패시터와 제6 커패시터의 임피던스의 비, 상기 제1 저항과 제2 저항의 저항치의 비, 및 상기 제3 저항과 제4 저항의 저항치의 비가 각각 동일한 것을 특징으로 하는 전차동형 아날로그 회로.

청구항 8

정의 입력 단자가 기준 전위 공급원에 접속된 제1 연산 증폭기와, 이 제1 연산 증폭기의 부의 입력 단자와 제1 신호 입력 단자 사이에 접속된 제1 저항과, 상기 제1 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제2 저항과, 상기 제1 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제1 커패시터와, 정의 입력 단자가 상기 기준 전위 공급원에 접속된 제2 연산 증폭기와, 이 제2 연산 증폭기의 부의 입력 단자와 상기 제1 연산 증폭기의 출력 단자 사이에 접속된 제3 저항과, 상기 제2 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제2 커패시터와, 제3 연산 증폭기와, 이 제3 연산 증폭기의 부의 입력 단자와 상기 제2 연산 증폭기의 출력 단자 사이에 접속된 제4 저항과, 상기 제3 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제5 저항과, 상기 제3 연산 증폭기의 정의 입력 단자와 상기 제2 연산 증폭기의 출력 단자 사이에 접속된 제6 저항과, 상기 제3 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제7 저항과, 상기 제1 연산 증폭기의 부의 입력 단자와 상기 제3 연산 증폭기의 출력 단자 사이에 접속된 제8 저항과, 정의 입력 단자가 상기 기준 전위 공급원에 접속된 제4 연산 증폭기와, 이 제4 연산 증폭기의 부의 입력 단자와 제2 신호 입력 단자 사이에 접속된 제9 저항과, 상기 제4 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제10 저항과, 상기 제4 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제3 커패시터와, 정의 입력 단자가 상기 기준 전위 공급원에 접속된 제5 연산 증폭기와, 이 제5 연산 증폭기의 부의 입력 단자와 상기 제4 연산 증폭기의 출력 단자 사이에 접속된 제11 저항과, 상기 제5 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제4 커패시터와, 정의 입력 단자가 상기 제3 연산 증폭기의 정의 입력 단자에 공통 접속된 제6 연산 증폭기와, 이 제6 연산 증폭기의 부의 입력 단자와 상기 제5 연산 증폭기의 출력 단자 사이에 접속된 제

12 저항과, 상기 제6 연산 증폭기의 부의 입력 단자와 출력 단자 사이에 접속된 제13 저항과, 상기 제6 연산 증폭기의 정의 입력 단자와 상기 제5 연산 증폭기의 출력 단자 사이에 접속된 제14 저항과, 상기 제6 연산 증폭기의 정의 입력 단자와 상기 기준 전위 공급원 사이에 접속된 제15 저항과, 상기 제4 연산 증폭기의 부의 입력 단자와 상기 제6 연산 증폭기의 출력 단자 사이에 접속된 제16 저항을 구비하여, 상기 제3, 제6 연산 증폭기의 출력 단자에 각각 접속된 제1, 제2 신호 출력 단자로부터 출력 신호를 수득하도록 하여 이루어지고,

상기 제1 연산 증폭기와 제4 연산 증폭기, 상기 제2 연산 증폭기와 제5 연산 증폭기, 및 상기 제3 연산 증폭기와 제6 연산 증폭기는 각각 특성이 동일하고, 상기 제1 저항과 제9 저항, 상기 제2 저항과 제10 저항, 상기 제3 저항과 제11 저항, 상기 제4 저항과 제12 저항, 상기 제5 저항과 제13 저항, 상기 제6 저항과 제14 저항, 상기 제7 저항과 제15 저항, 및 상기 제8 저항과 제16 저항의 저항치가 각각 동일하고, 또한 상기 제1 커패시터와 제3 커패시터, 및 상기 제2 커패시터와 제4 커패시터의 용량이 각각 동일하며, 상기 제4 저항과 제6 저항의 저항치의 비와, 상기 제5 저항과 제7 저항의 저항치의 비가 동일한 것을 특징으로 하는 전차동형 아날로그 회로.

청구항 9

제3항에 있어서, 상기 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용한 것을 특징으로 하는 전차동형 아날로그 회로.

청구항 10

제6항에 있어서, 상기 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용한 것을 특징으로 하는 전차동형 아날로그 회로.

청구항 11

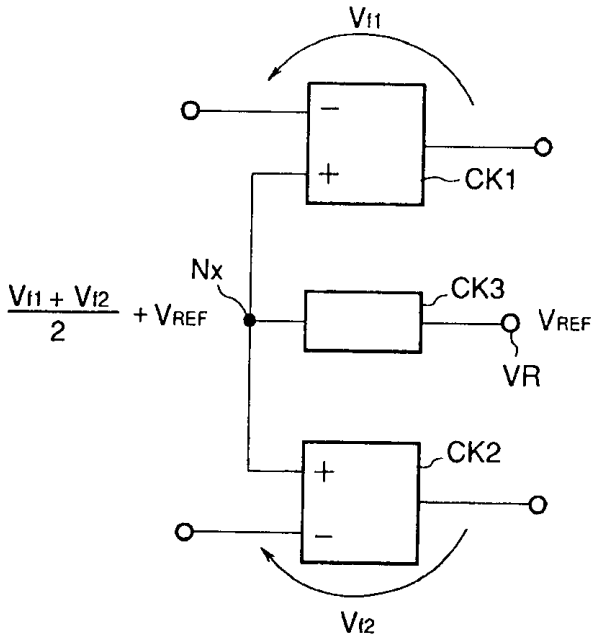
제7항에 있어서, 상기 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용한 것을 특징으로 하는 전차동형 아날로그 회로.

청구항 12

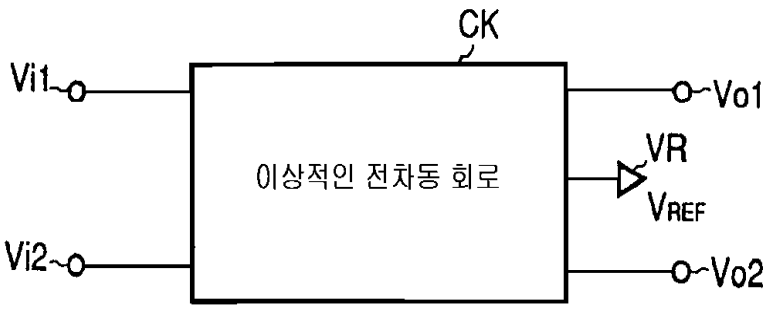
제8항에 있어서, 상기 각 저항의 적어도 1개로서 스위치드 커패시터 회로를 이용한 것을 특징으로 하는 전차동형 아날로그 회로.

도면

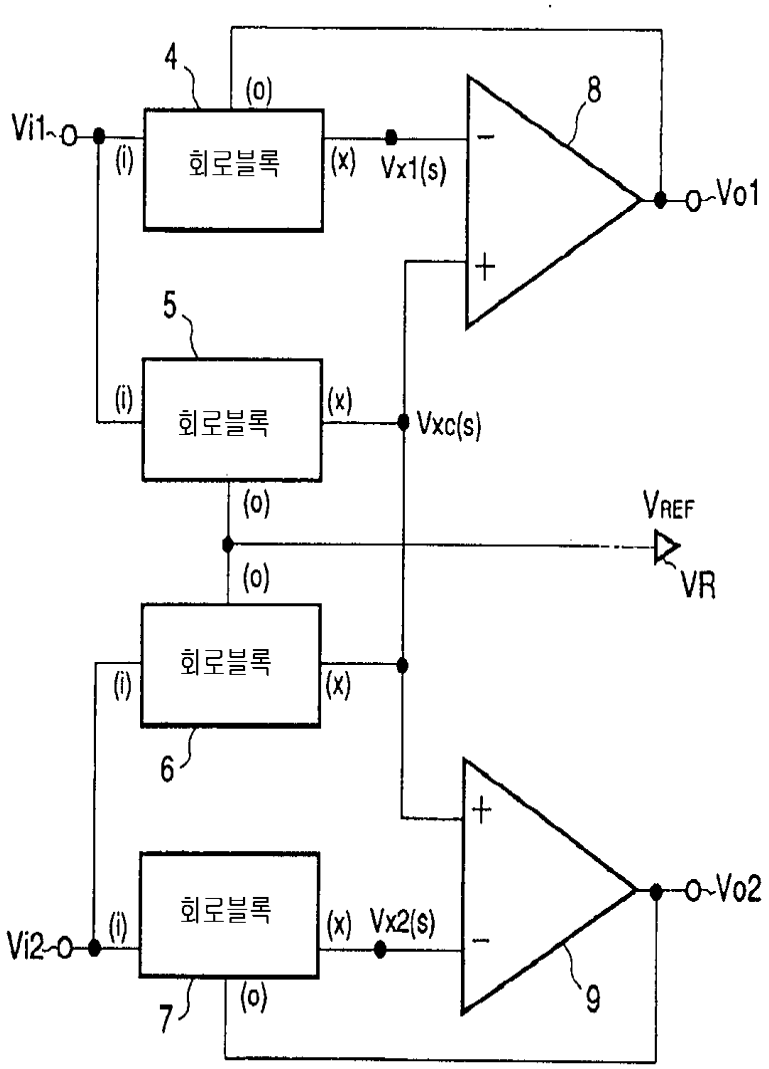
도면1



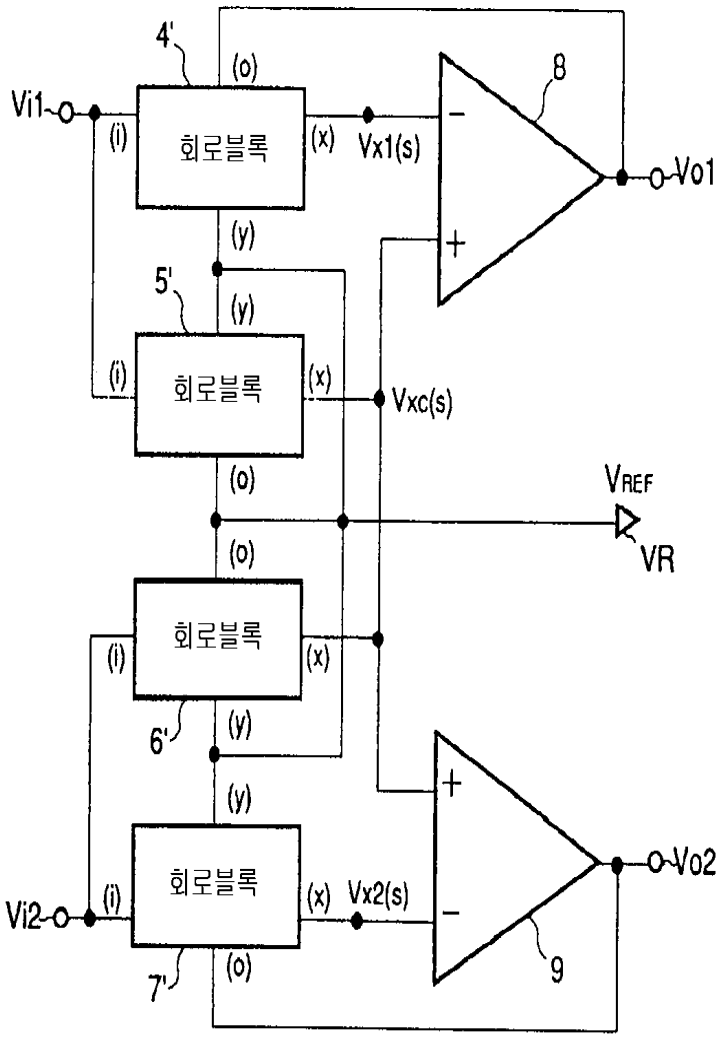
도면2


CK
Vi1
Vi2
이상적인 전차동 회로
Vo1
VR
VREF
Vo2

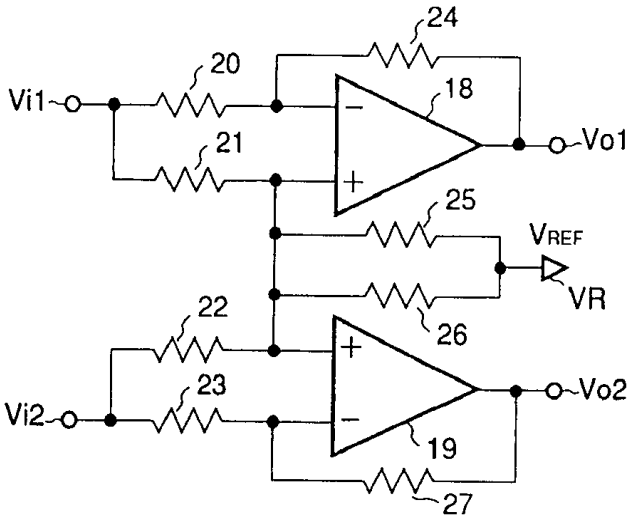
도면3


4
(o)
Vi1
(i)
회로블록
(x)
Vx1(s)
8
Vo1
5
(i)
회로블록
(x)
Vxc(s)
(o)
VREF
VR
(o)
회로블록
(i)
(x)
6
Vi2
(i)
회로블록
(x)
Vx2(s)
Vo2
7
(o)
9

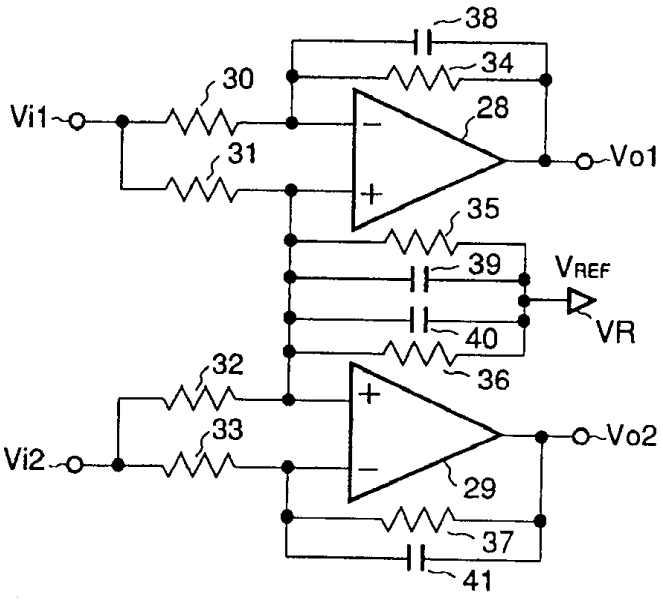
도면4


4'
(o)
Vi1
(i)
회로블록
(x)
Vx1(s)
8
Vo1
(y)
5'
(y)
(i)
회로블록
(x)
Vxc(s)
(o)
VREF
VR
(o)
회로블록
(i)
(x)
6'
(y)
(y)
회로블록
Vi2
(i)
(x)
Vx2(s)
Vo2
9
7'
(o)

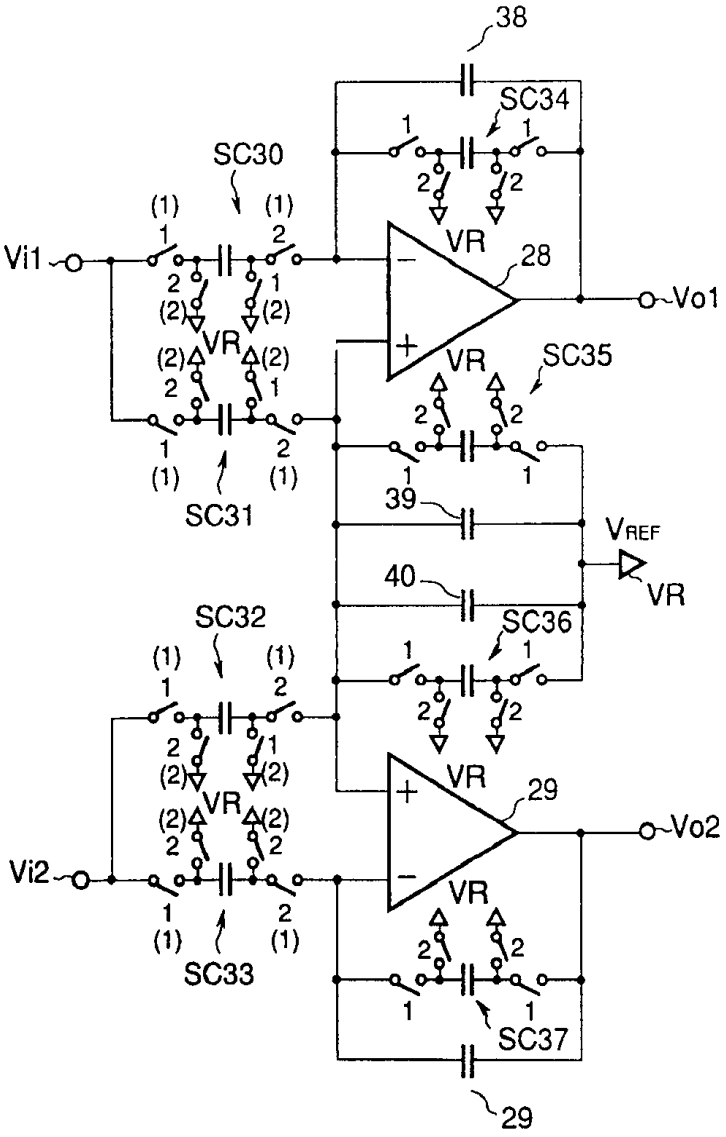
도면5


24
20
18
Vi1
21
Vo1
25
VREF
VR
22
26
Vi2
23
Vo2
19
27

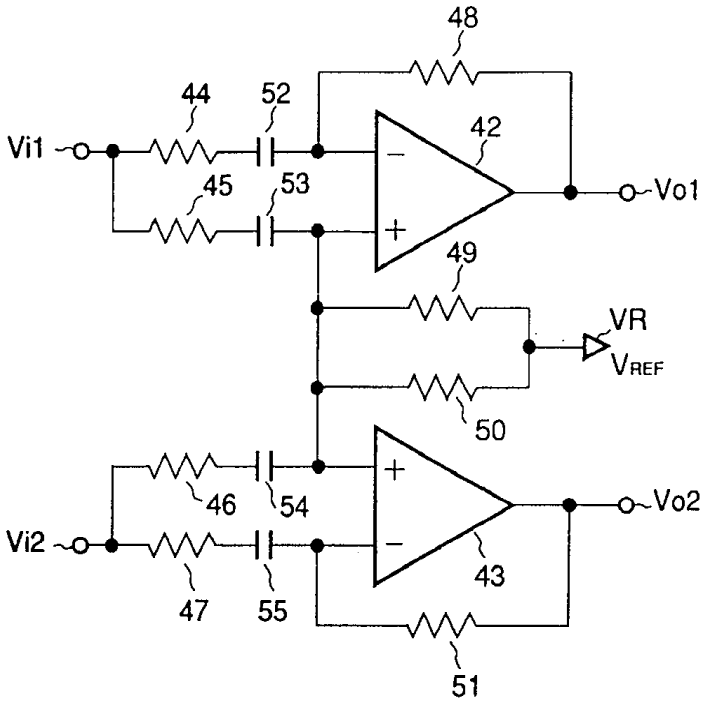
도면6



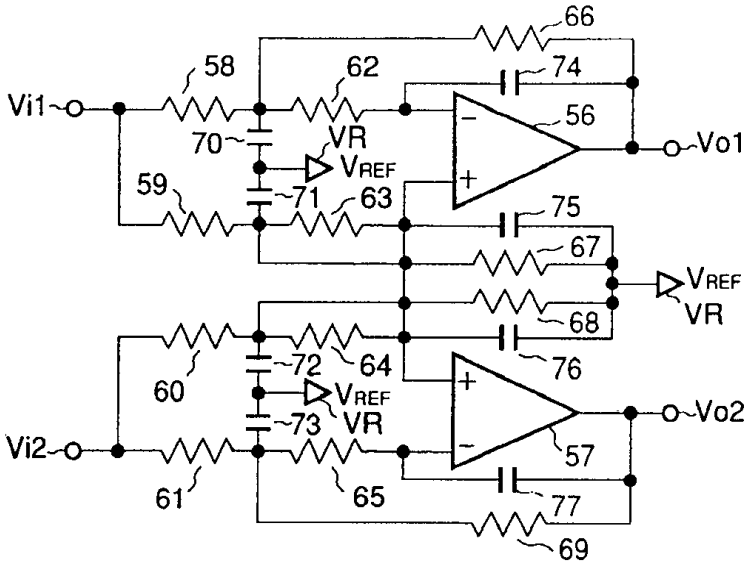
도면7


38
SC34
SC30
VR
28
Vi1
Vo1
SC35
SC31
39
VREF
40
SC32
SC36
29
Vi2
Vo2
SC33
SC37
29

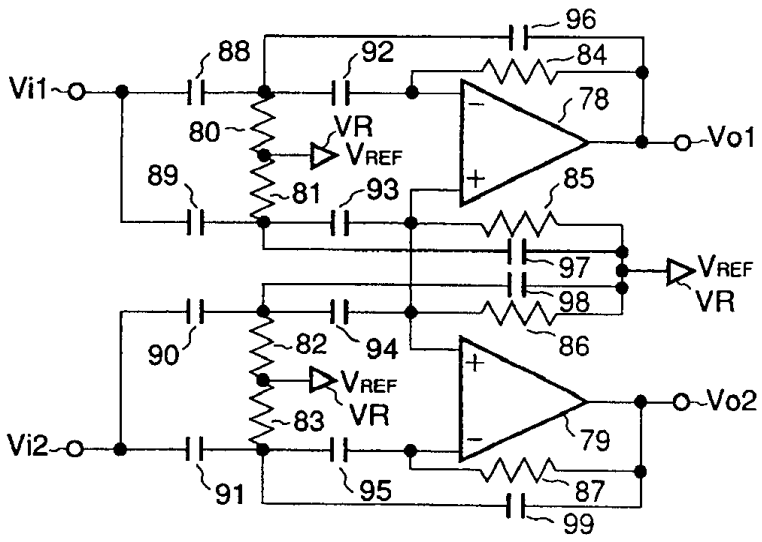
도면8


48
44
52
Vi1
42
45
53
Vo1
49
VR
VREF
50
46
54
Vo2
Vi2
43
47
55
51

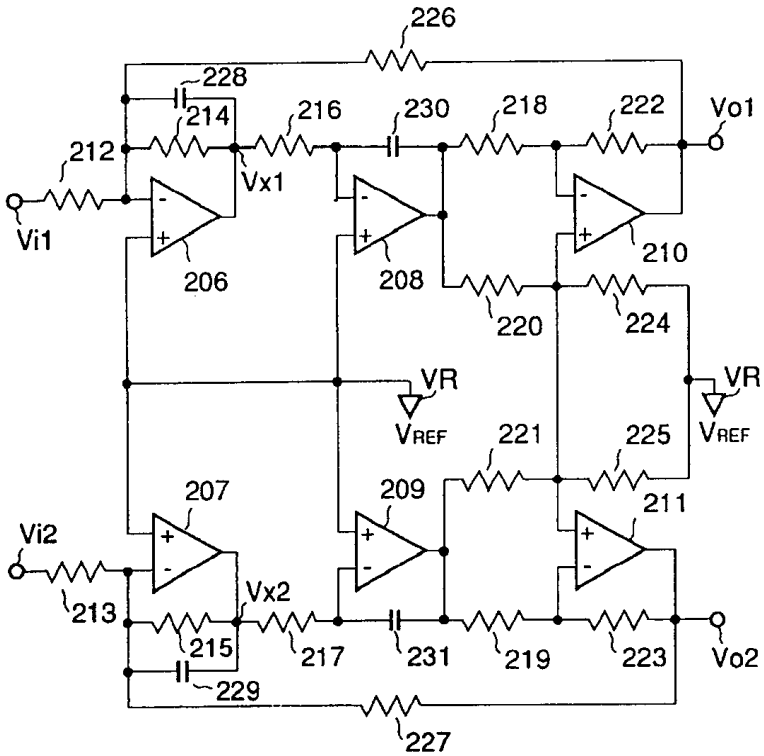
도면9


66
58
62
74
Vi1
56
70
VR
VREF
Vo1
59
71
63
75
67
VREF
VR
68
60
72
64
76
VREF
VR
Vo2
73
Vi2
57
61
65
77
69

도면10


Vi1
Vi2
Vo1
Vo2
VR
VREF
88
89
90
91
92
93
94
95
96
97
98
99
80
81
82
83
84
85
86
87
78
79

도면11


Vi1
Vi2
Vo1
Vo2
Vx1
Vx2
VR
VREF
206
207
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
223
224
225
226
227
228
229
230
231

도면12

