

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-200717

(P2004-200717A)

(43) 公開日 平成16年7月15日(2004.7.15)

(51) Int.Cl.⁷

H01L 21/768

F I

H01L 21/90

D

テーマコード (参考)

5F033

審査請求 有 請求項の数 2 O L (全 12 頁)

(21) 出願番号 特願2004-62055 (P2004-62055)
 (22) 出願日 平成16年3月5日(2004.3.5)
 (62) 分割の表示 特願平7-266455の分割
 原出願日 平成7年9月20日(1995.9.20)
 (31) 優先権主張番号 特願平6-300301
 (32) 優先日 平成6年11月9日(1994.11.9)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000004075
 ヤマハ株式会社
 静岡県浜松市中沢町10番1号
 (74) 代理人 100075074
 弁理士 伊沢 敏昭
 (72) 発明者 日比野 三十四
 静岡県浜松市中沢町10番1号ヤマハ株式
 会社内

Fターム(参考) 5F033 HH08 HH09 HH18 HH33 HH35
 JJ08 JJ09 JJ18 JJ33 JJ35
 KK01 MM08 MM12 MM13 NN06
 NN07 NN32 PP15 PP16 QQ08
 QQ09 QQ10 QQ11 QQ34 QQ37
 QQ73 QQ75 RR04 VV12 WW03
 XX02 XX09 XX30 XX33 XX37

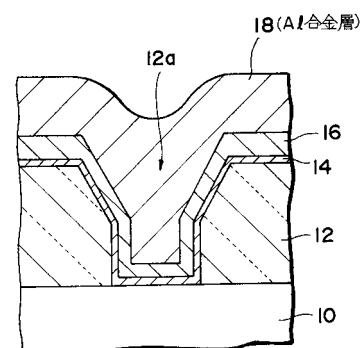
(54) 【発明の名称】 配線形成法

(57) 【要約】

【課題】配線形成法において、配線を構成するAl又はAl合金層の段差被覆性を改善する。

【解決手段】半導体基板10の表面に被接続部を覆って絶縁膜12を形成した後、絶縁膜12に被接続部に対応した接続孔12aを形成する。接続孔12aは、外方へいくにつれて開口径が増大する形状に形成する。基板上面にTi膜14及びTiON膜16を順次にスパッタ法で形成した後、Al-Si-Cu等のAl合金層18をスパッタ法で形成する。引き続き減圧雰囲気中で基板温度350～450℃にてアニール処理を行なうことによりAl合金層18を流動化させて接続孔12aを埋める。Al合金層18の下地膜としてTiON膜16を用いることでAl合金層18のリフロー性能が向上する。この後、配線パターンニングを行なう。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板の表面に被接続部を覆って絶縁膜を形成した後、該絶縁膜に該被接続部に対応した接続孔を外方にいくにつれて開口径が増大する形状に形成する工程と、

前記接続孔及び前記絶縁膜を覆ってTi膜、TiON膜及びAl又はAl合金層を順次に堆積する工程と、

前記Al又はAl合金層を堆積した後、熱処理により前記Al又はAl合金層を流動化させて前記接続孔を埋める工程と、

前記接続孔を埋めた後、前記Ti膜、前記TiON膜及び前記Al又はAl合金層の積層をパターンングして配線層を形成する工程と

を含む配線形成法。

10

【請求項 2】

基板の表面に被接続部を覆って絶縁膜を形成した後、該絶縁膜に該被接続部に対応した接続孔を外方にいくにつれて開口径が増大する形状に形成する工程と、

前記接続孔及び前記絶縁膜を覆ってTi膜、TiON膜及びAl合金層を順次に堆積する工程と、

前記Al合金層を堆積した後、前記基板の温度を350～450℃の範囲内の温度とする熱処理により前記Al合金層を流動化させて前記接続孔を埋める工程と、

前記接続孔を埋めた後、前記Ti膜、前記TiON膜及び前記Al合金層の積層をパターンングして配線層を形成する工程と

を含む配線形成法。

20

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、LSI等の半導体装置の製造に用いるに好適な配線形成法に関し、特に配線用のAl又はAl合金層をリフロー処理して接続孔を埋めることにより段差被覆性を改善する場合において、Al又はAl合金層の下地としてTiON膜を用いることによりリフロー性能の向上を図ったものである。

【背景技術】

【0002】

従来、配線材を流動化して微小な接続孔を埋めて段差被覆性を改善する方法としては、リフロー処理が知られている（例えば、特許文献1参照）。

30

【0003】

リフロー処理では、図17に示すように、例えばSiからなる基板1の表面を覆う絶縁膜2に所望の接続孔2aを形成した後、基板温度を200℃以下にした状態で基板上面にAl合金層3をスパッタ法で形成する。そして、550℃程度の熱処理によりAl合金層3を流動化させて接続孔2aを埋める。

【0004】

段差被覆性を改善するための他の方法としては、高温バイアススパッタ法又は高温スパッタ法等の加熱スパッタ処理を用いるものが知られている（例えば、特許文献2又は3参照）。

40

【0005】

高温バイアススパッタ法を用いる方法では、図18に示すように、例えばSiからなる基板1の表面に不純物ドーパ領域4を覆って絶縁膜2を形成した後、領域4の一部に対応した接続孔2aを絶縁膜2に形成する。基板上面にTi膜5、TiON膜6及びTi膜7を順次に形成した後、基板1をヒートブロックで500℃程度に加熱し且つ該ヒートブロックにRFバイアスを印加した状態でAl合金のスパッタリングを行なうことによりAl合金層3を形成する。このとき、Al合金層3は、流動化して接続孔2aを埋める形で形成される。Ti膜5は、接触抵抗を低減するための膜、TiON膜6は、Si基板1へAlが拡散するのを防止するためのバリア膜、Ti膜7は、Al合金層3に対する濡れ性を

50

改善するための膜である。

【0006】

高温スパッタ法を用いる方法では、図18に関して上記した方法において、RFバイアスなしで500℃程度に基板1を加熱した状態でAl合金のスパッタリングを行なうことによりAl合金層3を形成する。この場合、Ti膜7の代りに、酸化しにくいTiN膜を用いると濡れ性が一層向上する。

【特許文献1】特開平4-65831号公報

【特許文献2】特開平4-264719号公報

【特許文献3】特開平5-36627号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0007】

上記した図17の方法によると、バリア膜を設けていないため、熱処理時にSi基板1中にAlが拡散してAlスパイクを発生させ、接合リーク不良を招くことがある。

【0008】

一方、図18の方法によると、スパッタ中の温度条件、バイアス条件等を管理する必要がある上、スパッタ前に5, 6, 7の3層膜を形成する必要があるなど工程的な複雑さを免れない。

【0009】

この発明の目的は、リフロー処理を用いて簡単に段差被覆性を改善することができる新規な配線形成法を提供することにある。 20

【課題を解決するための手段】

【0010】

この発明に係る配線形成法は、

基板の表面に被接続部を覆って絶縁膜を形成した後、該絶縁膜に該被接続部に対応した接続孔を外方にいくにつれて開口径が増大する形状に形成する工程と、

前記接続孔及び前記絶縁膜を覆ってTi膜、TiON膜及びAl又はAl合金層を順次に堆積する工程と、

前記Al又はAl合金層を堆積した後、熱処理により前記Al又はAl合金層を流動化させて前記接続孔を埋める工程と、 30

前記接続孔を埋めた後、前記Ti膜、前記TiON膜及び前記Al又はAl合金層の積層をパターンニングして配線層を形成する工程とを含むものである。

【0011】

この発明の方法によると、Al又はAl合金層の下地膜としてTiON膜を用いたので、Al又はAl合金層のリフロー性能が向上し、良好な埋込み性を得ることができる。先に引用した特許文献2及び3には、高温バイアススパッタ法又は高温スパッタ法を用いる場合、TiON膜の表面にTi膜又はTiN膜等の濡れ性のよい膜を設けると、Al合金層の埋込み性を改善できる旨述べられている。しかし、本願発明者の研究によれば、リフロー処理を用いる場合には、TiON膜の表面に濡れ性の良い膜を設けない方が良好な埋込み性が得られることが判明した。 40

【0012】

この発明の方法にあつては、Al合金層を用いる場合、熱処理時の基板温度を350～450℃の範囲内に設定するのが好ましい。350℃は、一般的に使用される熱処理装置内で実現可能な 1×10^{-8} [Torr]程度の圧力でリフローを行なえる下限の温度であり、これより低い温度ではリフロー困難となる。また、450℃より高い温度でリフローすると、パターンニングした後の配線同士がAl合金層からのSi, Cu等の析出物により電氣的に短絡する不良が生じ、歩留りが低下する。

【発明の効果】

【0013】

50

この発明によれば、Al又はAl合金層をリフロー処理して接続孔を埋める場合にAl又はAl合金層の下地膜としてTiON膜を用いるようにしたので、良好なリフロー性能が得られる。また、接続孔を外方にいくにつれて開口径が増大する形状に形成したので、接続孔の開口部で段差が緩和される。従って、リフロー処理を用いて簡単に段差被覆性を改善できる効果が得られる。その上、Ti膜又はTiN膜等を設けなくてよいので、工程が簡単になる利点もある。

【0014】

その上、Al合金層をリフロー処理するときの基板温度を350～450℃の範囲内に設定すると、Si、Cu等の析出物による配線間短絡を防止することができ、配線形成歩留りが向上する効果もある。

10

【発明を実施するための最良の形態】

【0015】

図1～4は、この発明に係る配線形成法を示すもので、各々の図に対応する工程(1)～(4)を順次に説明する。

【0016】

(1)例えばSiからなる半導体基板10の表面にシリコンオキサイド等の絶縁膜12を形成する。基板10の表面には、不純物ドーパ領域等の被接続部が予め形成されている。絶縁膜12には、周知のホトリソグラフィ及びドライエッチング技術により被接続部に対応した接続孔12aを形成する。接続孔12aは、外方にいくにつれて開口径が増大する形状に形成するのが段差緩和のために好ましい。

20

【0017】

(2)次に、基板上面に接続孔12a及び絶縁膜12を覆ってTi膜14をスパッタ法で堆積する。Ti膜14は、接触抵抗を低減させるためのもので、例えば10[nm]の厚さに形成する。Ti膜14を形成するためのスパッタ条件は、一例として、平行平板型スパッタ装置を用い、供給電力1[kW]、スパッタガスAr、ガス圧力5[mTorr]、成膜速度100[nm/min]、基板温度200℃とすることができる。

【0018】

次に、Ti膜14を覆ってTiON膜16を反応性スパッタ法により堆積する。TiON膜16は、TiN膜に比べてバリア性が良好なバリア膜であり、例えば100[nm]の厚さに堆積する。TiON膜16を形成するためのスパッタ条件は、一例として、平行平板型スパッタ装置を用い、供給電力5[kW]、ガス組成Ar(40%)－N₂(50%)－O₂(10%)、ガス圧力5[mTorr]、成膜速度100[nm/min]、基板温度200℃とすることができる。

30

【0019】

TiON膜16を形成するための他の方法としては、反応性スパッタ法でTiN膜を形成した後、O₂を含む雰囲気中でアニール処理を行なうことによりTiN膜をTiON膜16に変換するようにしてもよい。

【0020】

(3)次に、TiON膜16を覆ってAl－Cu又はAl－Si－Cu等のAl合金を200℃以下の温度でスパッタ法により堆積してAl合金層18を形成する。Al合金層18の厚さは、例えば500[nm]にすることができる。この後引き続いて減圧雰囲気中でアニール処理を行なうことによりAl合金層18を流動化して接続孔12aを埋める(リフロー処理)。このときのアニール処理は、一例として、500℃の温度で120秒間行なうことができる。この結果、Al合金層18の断面形状は、図3に示すように接続孔12aの開口段差に順応したものとなる。なお、アニール処理温度500℃は、アニール装置内の温度であり、アニール処理時の基板温度は、440℃であった。

40

【0021】

(4)この後は、Ti膜14、TiON膜16及びAl合金層18の積層を周知のホトリソグラフィ及びドライエッチング技術によりパターンニングして配線層20を形成する。配線層20は、Ti膜14の残存部14A、TiON膜16の残存部16A及びAl合金

50

層 18 の残存部 18 A の積層からなり、接続孔 12 a を介して基板 10 の被接続部に接続される。

【0022】

Al 合金層 18 の下地膜として TiON 膜又は Ti 膜のいずれが段差被覆性向上効果が大きいかわかるための実験が行なわれた。段差被覆性を評価する場合、試料を接続孔の中心部で割ることが困難であるため、定量的なカバレッジ率を出すのが困難である。そこで、通常は、SEM（走査型電子顕微鏡）による断面写真を見て段差被覆性の良否を判断することが多い。

【0023】

図 5～8 は、実験に用いられた試料の SEM 断面写真を模写したものである。試料としては、Si 基板 10 の表面にシリコンオキサイドからなる絶縁膜 12 を形成した後、図 1～4 で述べたと同様にして接続孔 12 a の形成、バリア性の積層 17 又は 19 の形成、Al-Si-Cu からなる Al 合金層 18 の形成、480℃120 秒のリフロー処理を順次に行ない、リフロー処理後に Al 合金層 18 上に反射防止用の積層 21 をスパッタ法により形成したものをを用いた。また、このような試料と比較するために、該試料とはリフロー処理しない点のみ異なる試料を用いた。なお、リフロー処理温度 480℃は、熱処理装置内の温度であり、リフロー処理時の基板温度は、430℃であった。

【0024】

各試料において、バリア性の積層 17 は、Ti 膜上に TiON 膜を堆積して成る TiON/Ti 積層であり、Ti 膜及び TiON 膜の厚さは、それぞれ 20 [nm] 及び 100 [nm] であった。バリア性の積層 19 は、積層 17 と同様の積層において TiON 膜の表面に Ti 膜を堆積して成る Ti/TiON/Ti 積層であり、TiON 膜上の Ti 膜の厚さは、20 [nm] であった。Al 合金層 18 の厚さは、400 [nm] であった。反射防止用の積層 21 は、Ti 膜の上に TiN 膜を堆積して成る TiN/Ti 積層であり、Ti 膜及び TiN 膜の厚さは、それぞれ 7 [nm] 及び 40 [nm] であった。

【0025】

図 5, 6 は、Al 合金層 18 と TiON 膜（積層 17 の最上層）との間に Ti 膜を介在させない場合に関するもので、図 5 がリフロー処理しないときの状態を示し、図 6 がリフロー処理したときの状態を示す。図 5 及び図 6 を対比すると、リフロー処理により段差被覆性が大幅に改善されているのがわかる。図 6 の場合が、この発明に相当する。

【0026】

図 7, 8 は、Al 合金層 18 と TiON 膜（積層 19 の中間層）との間に Ti 膜を介在させた場合に関するもので、図 7 がリフロー処理しないときの状態を示し、図 8 がリフロー処理したときの状態を示す。図 7 及び図 8 を対比すると、リフロー処理しても、段差被覆性がさほど改善されていないのがわかる。また、図 6 と図 8 を対比すると、この発明による段差被覆性の向上効果が大きいことがわかる。

【0027】

なお、図 7, 8 の場合において、バリア性の積層 19 を TiN/TiON/Ti 積層とした（TiON 膜の上に Ti 膜の代りに TiN 膜を堆積した）ものについても上記したと同様の実験を行なった。この結果、リフロー処理による段差被覆性の向上効果は、図 8 の場合より若干良い程度で、図 6 の場合より劣ることがわかった。

【0028】

TiON 膜の上に Ti 膜、TiN 膜等の濡れ性のよい膜を設けない方がリフロー性能が向上する原因は定かでないが、本願発明者は、次のように考えている。すなわち、リフロー処理では、結晶粒の成長により埋込みが実現するというモデルを考える。一方、経験上、Ti 膜の上に Al-Si-Cu 層を比較的高い温度で堆積しても、結晶粒が大きく成長しない。これは、Al-Si-Cu 中に Ti が溶解することにより結晶粒の成長を妨げているためであると考えられる。これと同様にしてリフロー処理でも Ti が結晶粒の成長を妨げているものと考えられる。

【0029】

10

20

30

40

50

上記した実施形態においては、A l 合金層 1 8 に代えて A l 層を用いてもよい。

【0030】

図 9 は、オーバーエッチング率をパラメータとして歩留りの基板温度依存性を示すものである。このようなデータを得るために、上記した工程 (1) ~ (3) に従ってスパッタ法による A l 合金層 1 8 の形成までの処理を行なうことにより第 1 ~ 第 3 群のサンプルを用意した。サンプルは、各群毎に 7 グループに分けられ、各群毎に 7 グループでそれぞれ 4 3 5 °C、4 4 0 °C、4 4 5 °C、4 5 0 °C、4 5 5 °C、4 6 0 °C、4 6 5 °C を基板温度として A l 合金層 1 8 にリフロー処理を施した。そして、第 1、2、3 群のサンプルについてそれぞれ 8 0 %、9 0 %、1 0 0 % のオーバーエッチング率で配線パターンニングを行なってから、各群のサンプルについて各グループ毎に配線形成の歩留りを求めた。

10

【0031】

配線パターンニングは、図 1 0、1 1 に示すようにして行なわれた。半導体基板の表面を覆う S i O₂ 等の絶縁膜 3 0 の上に図 3 の T i 膜 1 4、T i O N 膜 1 6 及び A l 合金層 1 8 に相当する膜を含む配線材膜を形成した後、密集配線パターン及び孤立配線パターンにそれぞれ対応するレジスト層 3 4 a 及び 3 4 b を形成した。そして、レジスト層 3 4 a、3 4 b をマスクとする選択的ドライエッチング処理により密集配線層 3 2 a 及び孤立配線層 3 2 b を形成した。

【0032】

このようなドライエッチング処理では、孤立配線層 3 2 b に比べて密集配線層 3 2 a でエッチング進行が遅れるので、孤立配線層 3 2 b が形成された後も密集配線層 3 2 a の相互分離を確実にするためオーバーエッチングを行なう。実エッチング時間を a とし、孤立配線層を形成するに必要なエッチング時間を b とすると、オーバーエッチング率 O E は、次の数 1 の式で表わされる。

20

【0033】

【数 1】

$$OE = \{ (a - b) / b \} \times 100 [\%]$$

【0034】

図 9 において、ライン S₁、S₂、S₃ は、それぞれオーバーエッチング率 O E が 8 0 %、9 0 %、1 0 0 % のときの歩留りの基板温度依存性を示す。

30

【0035】

オーバーエッチング率が 8 0 % の S₁ の場合、基板温度が 4 5 0 °C 以下では、歩留りが 1 0 0 % に達しないが、歩留りの低下は目立っていない。基板温度が 4 5 0 °C を越えると、温度上昇に伴って歩留りが低下する。基板温度が 4 6 5 °C では、歩留りが約 1 5 % まで低下している。

【0036】

オーバーエッチング率が 9 0 % の S₂ の場合、基板温度が 4 5 0 °C 以下では、歩留りが 1 0 0 % 又は 1 0 0 % に近く、ほぼ一定である。しかし、基板温度が 4 5 0 °C を越えると、温度上昇に伴って歩留りが低下する。基板温度が 4 6 5 °C では、歩留りが約 2 4 % まで低下している。

40

【0037】

オーバーエッチング率が 1 0 0 % の S₃ の場合、基板温度が 4 5 0 °C 以下では、歩留りが 1 0 0 % であり、配線間短絡のような不良も発生しない。一方、基板温度が 4 5 0 °C を越えると、基板温度の上昇に伴って歩留りが大きく低下する。基板温度 4 6 5 °C では、歩留りが約 4 0 % まで低下している。

【0038】

要するに、図 9 からは、基板温度が 4 5 0 °C を越えると、歩留りが大きく低下すること明らかである。このように歩留りが低下する原因について、本願発明者は次のように考え

50

ている。

【0039】

基板温度が450℃より高い温度でリフロー処理を行なうと、Al合金層（例えば、Al-Si-Cu合金層又はAl-Cu合金層等）の中に含まれるSi又はCuがリフロー処理中に析出する傾向を示すようになる。Si又はCuの析出は、リフロー温度が高くなるほど顕著となる。Si又はCuは、配線下地膜としての絶縁膜の上にも析出し、パターンニング後も絶縁膜上に残存する。パターンニングの際にオーバーエッチング率が低いほど、絶縁膜上に残存するSi又はCuの量が多くなる。絶縁膜上に残存するSi又はCuは、配線同士を電氣的に短絡させ、歩留りの低下を招く。一方、基板温度を450℃以下にしてリフロー処理した後でパターンニングした配線にあっては、析出物が殆どないため、析出物による配線間短絡も殆ど起こらず、オーバーエッチング率を高めることで歩留りの向上を図ることができる。

【0040】

図12は、バリア膜としてTiON膜又はTiN膜を使用した場合について歩留りの基板温度依存性を示すものである。このようなデータを得るために、図13～15に示すようなテスト素子40を作製し、図16に示すような回路でテスト素子40の逆方向リーク電流を測定した。図15は、テスト素子40の配線構造において図14に示す断面の一部Yを拡大して示すものである。

【0041】

テスト素子40は、図13、14に示すように、Siからなる半導体基板42の表面に形成された細長いP型ウェル領域44を有すると共に、領域44の表面に一列状に形成されたN⁺型不純物ドープ領域46(1)、46(2)…46(m)を有する。基板表面には、図15に示すようにPSG(リン・ケイ酸ガラス)膜48aの上にBPSG(ボロン・リン・ケイ酸ガラス)膜48bを積層した絶縁膜48が形成されており、絶縁膜48の上には、配線層50(1)、50(2)…50(n)が一列状に形成されている。各配線層は、図15で配線層50(n)について示すように下から順にTi膜50a、TiON膜50b、Al合金層50c及びTiN膜50dを積層したもので、Al合金層50cには、リフロー処理が施されている。

【0042】

配線層50(1)は、P型ウェル領域44に接続され、配線層50(2)の一端は、N⁺型領域46(1)に接続される。配線層50(1)及び50(2)の間には領域44及び46(1)の間に形成されたPN接合が介在する。

【0043】

配線層50(2)の他端は、N⁺型領域46(2)の一部に接続され、領域46(2)の他の部分には、図示しない配線層50(3)の一端が接続される。これと同様にしてN⁺型領域46(m)までの多数のN⁺型領域が配線層50(n)までの多数の配線層により直列接続される。各配線層の接続部は、図14、15の配線層50(n)の接続部CNとして示すものと同様の構成になっている。配線層50(1)～50(n)の数nは、N⁺型領域46(1)～46(m)の数をmとすると、m+1となる。

【0044】

配線層50(1)～50(n)は、図2、3で前述したと同様の方法で形成した。Al合金層50cにリフロー処理を施した後、反射防止膜としてのTiN膜50dを形成した。この場合、図15の配線構造を構成する層及び膜の厚さは、次の表1に示す通りであった。

【0045】

10

20

30

40

【表 1】

層又は膜	厚さ [nm]
50 d	40
50 c	500
50 b	100
50 a	10
48 b	900
48 a	100

10

20

【0046】

このようにして、テスト素子40を多数作製し、第1群のサンプルとした。一方、図15の配線構造において、TiON膜50bの代りに100nmの厚さのTiN膜を用いた以外は図13～15及び表1について上記したと同様の構成のテスト素子を多数作製し、第2群のサンプルとした。サンプルは、各群毎に4グループに分けられ、各群毎に4グループでそれぞれ450℃、475℃、500℃、525℃を基板温度としてAl合金層50cにリフロー処理を施した。そして、各群のサンプルについて各グループ毎に配線形成の歩留りを求めた。

【0047】

歩留りを求めるにあたっては、図16に示すようにテスト素子40において配線層50(1)及び50(n)の間に電圧 $V=10$ [V]を領域44-46(1)間のPN接合が逆方向にバイアスされるように印加して電流計Aにより逆方向リーク電流を測定した。そして、逆方向リーク電流の測定値が所定値以上であれば配線不良と判断した。一例として、図14、15に示したような接続部CNの数が5000個のテスト素子については、所定値を10 [nA]として歩留りを求めた。また、接続部CNの数が5000より少ないテスト素子については、接続部CNの数を5000個に換算して良、不良を判断した。例えば、接続部CNの数が100個で逆方向リーク電流が1 [nA]であった場合は、 $1 \times (5000 / 100) = 50$ [nA]となり、配線不良と判断した。

30

【0048】

このような歩留り算出を第1群及び第2群のサンプルに適用した結果を示すのが図12であり、同図において、 S_{11} 、 S_{12} は、それぞれバリア膜50bとしてTiON膜及びTiN膜を使用した第1群及び第2群のサンプルに関する歩留りの基板温度依存性を示す。

40

【0049】

バリア膜としてTiON膜を使用した S_{11} の場合、歩留りが100%であり、基板温度を上昇させても歩留りが低下しない。

【0050】

一方、バリア膜としてTiN膜を使用した S_{12} の場合には、基板温度が475℃までは歩留りが100%であるが、それより高い温度では、温度上昇に伴って歩留りが大きく低下する。

50

【0051】

この結果から、バリア膜としてTiON膜を使用するこの発明の方法が配線の耐熱性に優れていることがわかる。従って、配線形成後の別工程（上層配線の形成、絶縁膜の形成等）で基板を加熱する必要がある場合などには、この発明の配線形成法を採用すると、後工程で熱処理時の温度設定のマージンをとることができ、有利である。

【図面の簡単な説明】

【0052】

【図1】この発明に係る配線形成法における接続孔形成工程を示す基板断面図である。

【図2】図1の工程に続くTiON/Ti積層形成工程を示す基板断面図である。

【図3】図2の工程に続くAl合金被着・アニール工程を示す基板断面図である。

10

【図4】図3の工程に続く配線パターンニング工程を示す基板断面図である。

【図5】TiON膜とAl合金層との間にTi膜を介在させない場合においてリフロー処理しないときの配線材積層を示すSEM写真の模写図である。

【図6】図5と同様の場合においてリフロー処理したときの配線材積層を示すSEM写真の模写図である。

【図7】TiON膜とAl合金層との間にTi膜を介在させた場合においてリフロー処理しないときの配線材積層を示すSEM写真の模写図である。

【図8】図7と同様の場合においてリフロー処理したときの配線材積層を示すSEM写真の模写図である。

【図9】オーバーエッチング率をパラメータとして歩留りの基板温度依存性を示すグラフである。

20

【図10】配線パターンニングにおけるレジスト層形成工程を示す断面図である。

【図11】図10の工程に続く選択的ドライエッチング工程を示す断面図である。

【図12】バリア膜としてTiON層又はTiN層を使用した場合について歩留まりの基板温度依存性を示すグラフである。

【図13】図12のデータを得るために使用されたテスト素子を示す上面図である。

【図14】図12のX-X'線に沿う断面図である。

【図15】テスト素子の配線構造の一部を示す断面図である。

【図16】テスト素子の逆方向リーク電流を測定するための回路を示す結線図である。

【図17】従来のリフロー処理を説明するための基板断面図である。

30

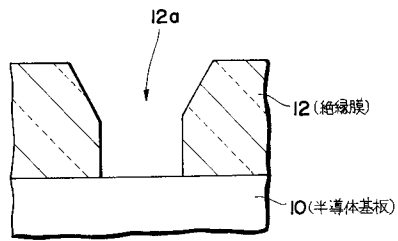
【図18】従来の加熱スパッタ処理を説明するための断面図である。

【符号の説明】

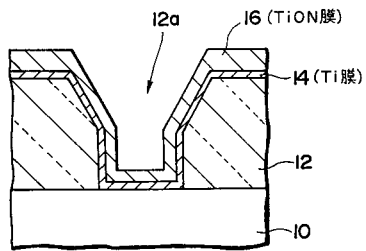
【0053】

10：半導体基板、12：絶縁膜、14：Ti膜、16：TiON膜、17：TiON/Ti積層、18：Al合金層、19：Ti/TiON/Ti積層、20：配線層、21：TiN/Ti積層。

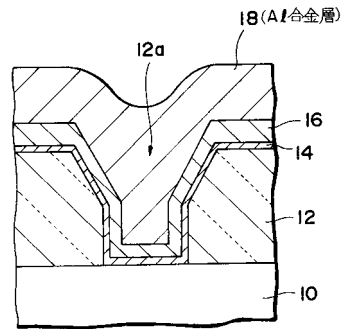
【図 1】



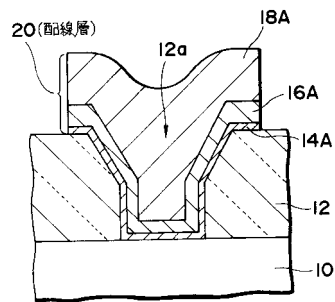
【図 2】



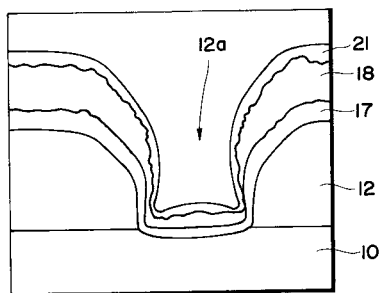
【図 3】



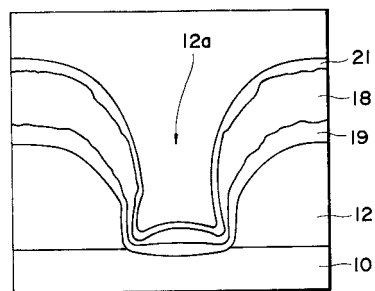
【図 4】



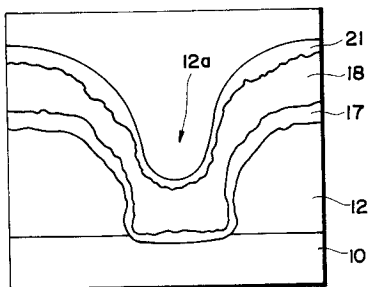
【図 5】



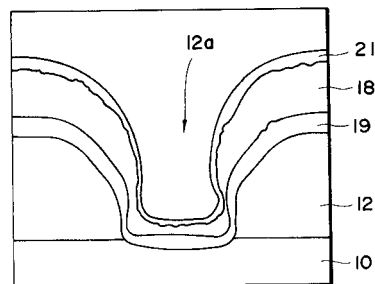
【図 7】



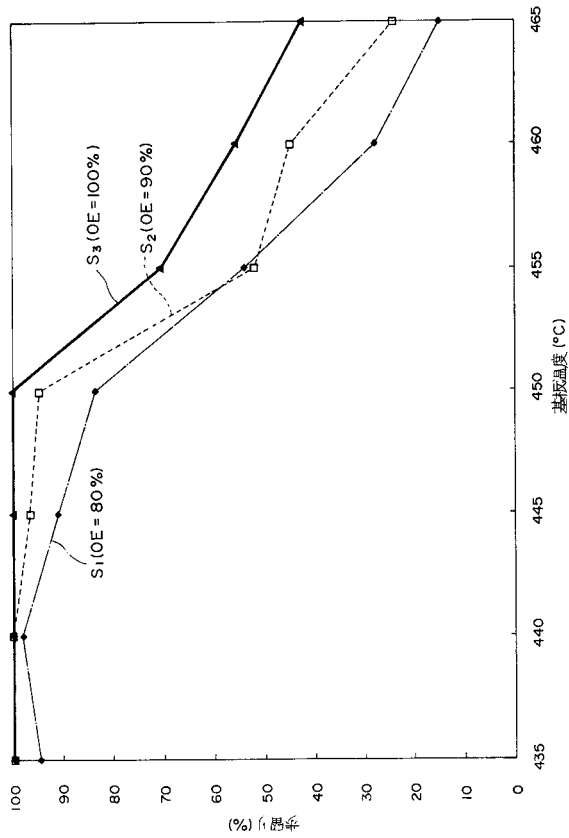
【図 6】



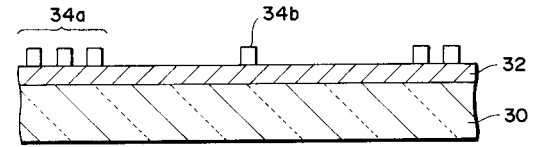
【図 8】



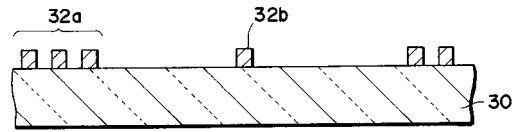
【図 9】



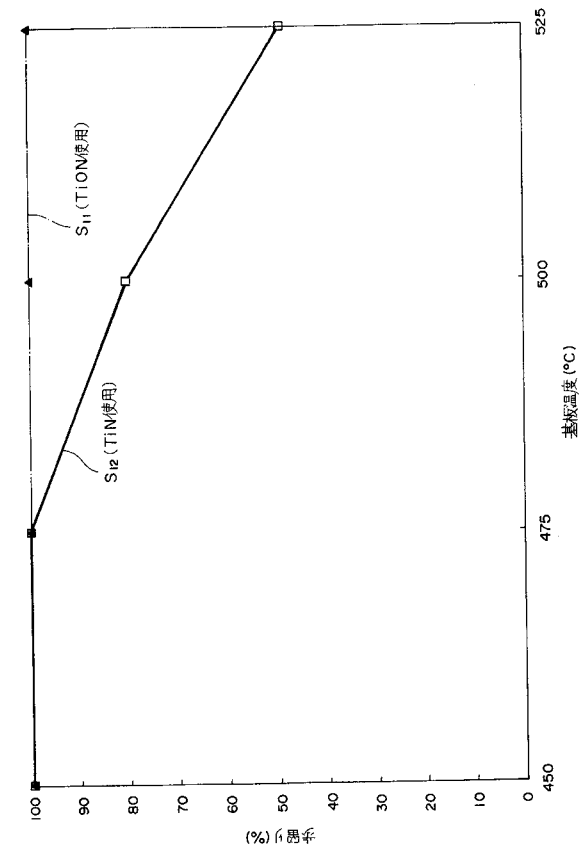
【図 10】



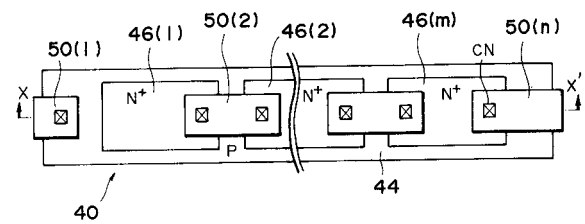
【図 11】



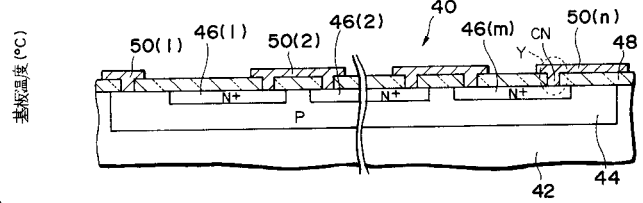
【図 12】



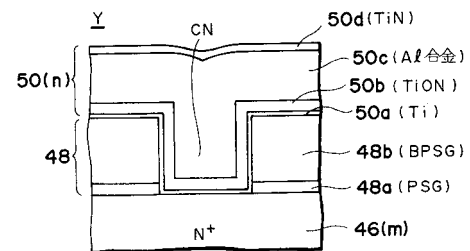
【図 13】



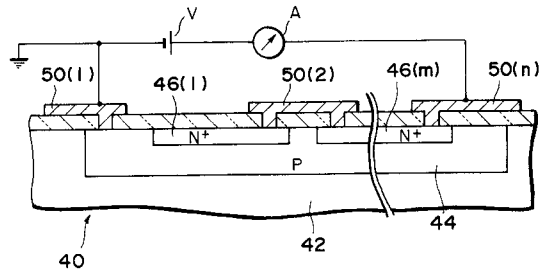
【図 14】



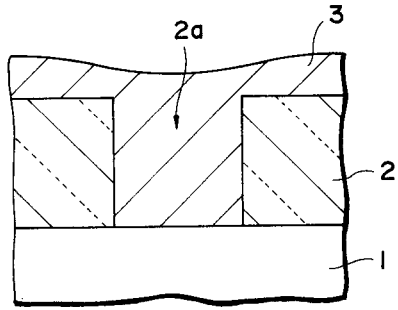
【図 15】



【図 16】



【図 17】



【図 18】

