

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 535 067

(21) N° d'enregistrement national :

82 17742

(51) Int Cl<sup>3</sup> : G 01 S 15/46.

(12)

## DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 22 octobre 1982.

(30) Priorité

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 17 du 27 avril 1984.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : THOMSON-CSF, Société anonyme. — FR.

(72) Inventeur(s) : Alain Demeure.

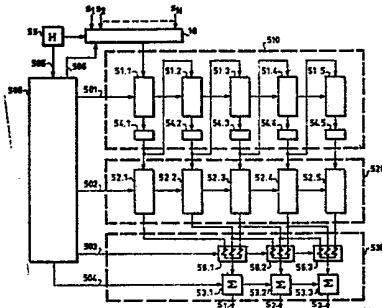
(73) Titulaire(s) :

(74) Mandataire(s) : Philippe Guilguet.

(54) Dispositif numérique de formation de voies sonar.

(57) Dispositif numérique de formation de voies pour sonar.  
Le dispositif comprend deux mémoires 510 et 520 composées chacune de B blocs-mémoires 51.m et 52.m. La première mémoire 510 acquiert des échantillons pendant un temps T<sub>c</sub> à partie des N signaux multiplexés correspondant aux N transducteurs composant l'antenne sonar. Chaque bloc-mémoire 51.m stocke P groupes de ces N échantillons. Les échantillons stockés dans un bloc-mémoire 51.m sont transférés au suivant 51.m + 1. Finalement les échantillons stockés dans chaque bloc-mémoire 51.m de la première mémoire sont transférés dans le bloc-mémoire 52.m correspondant de la seconde mémoire, où les échantillons retardés sont lus et sommés fournissant simultanément Q échantillons temporels d'une même voie spatiale.

Application à la détection de cibles par sonar.



FR 2 535 067 - A1

D

DISPOSITIF NUMERIQUE DE FORMATION  
DE VOIES SONAR

La présente invention se rapporte aux dispositifs de formation de voies sonar, à grande bande de fréquence. Ces voies sont formées par compensation pour chaque voie des retards géométriques des signaux reçus par les différents capteurs, formant l'antenne sonar.

5 L'invention se rapporte à une formation de voies par des techniques numériques.

Cette invention s'applique plus particulièrement aux sonars de bateaux ou de sous-marins ayant une antenne acoustique ne présentant que peu ou pas de symétrie.

10 Il est connu de former des voies dites angulaires ou spatiales, pour une antenne de  $N$  capteurs, par un dispositif numérique comportant une mémorisation des signaux, un calculateur d'adresses et un sommateur. Les  $N$  signaux reçus par ces capteurs sont numérisés et multiplexés. Dans une première étape les échantillons numériques sont écrits dans une mémoire vive à accès aléatoire, du type RAM. On inscrit ainsi un certain nombre  $P$  de groupes de  $N$  échantillons successifs, aux  $NP$  adresses correspondantes. Dans une deuxième étape, grâce au calculateur d'adresses on lit dans cette mémoire, aux bonnes adresses, les échantillons retardés, qui sont sommés pour former une voie.

15

20 Pour former un grand nombre de voies, avec ce dispositif suivant l'art antérieur, il faut utiliser un grand nombre de circuits de formation en parallèle.

25 Le dispositif suivant l'invention, a l'avantage par rapport à ce dispositif suivant l'art antérieur de permettre l'utilisation d'un générateur d'adresses commun à tous les circuits de calcul, ce qui réduit considérablement le volume de matériel nécessaire, par rapport à l'art antérieur.

30 Brièvement c'est un dispositif numérique de formation de voies spatiales pour sonar ayant une antenne acoustique comportant  $N$  capteurs, les  $N$  signaux reçus par ces  $N$  capteurs étant multiplexés

dans le temps fournissant séquentiellement des groupes de N échantillons, comportant des moyens de mémorisation de ces échantillons, composés de plusieurs mémoires vives appelées blocs-mémoires, des moyens d'adressage pour l'écriture et la lecture de ces échantillons dans les blocs-mémoires et des moyens de sommation des échantillons lus dans ces blocs-mémoires dans lesquels sont stockés plusieurs groupes de N échantillons caractérisé par le fait que les blocs-mémoires reçoivent simultanément le même adressage pour fournir ainsi à la sortie des moyens de sommation plusieurs échantillons temporels d'une même voie.

D'autres caractéristiques et avantages ressortiront de la description qui va suivre illustrée par les figures qui représentent :

- figure 1, un dispositif de formation de voies numérique, suivant l'art antérieur ;
- figure 2, une représentation temporelle des cycles écriture-lecture pour ce dispositif, suivant l'art antérieur ;
- figure 3, un schéma explicatif pour la formation de voies, suivant l'invention ;
- figure 4, une représentation temporelle des cycles écriture-lecture, suivant l'invention ;
- figure 5, un exemple de réalisation de dispositif de formation de voies, suivant l'invention ;
- figure 6, un schéma du générateur d'adresses pour le dispositif de formation de voies, suivant l'invention ;
- figures 7 et 8, les diagrammes temporels des voies formées, suivant l'invention.

Il est connu que la surveillance d'un secteur angulaire par un sonar s'effectue par la formation de plusieurs voies directives pointées dans des directions prédéterminées, régulièrement espacées dans la plupart des cas.

Chaque voie formée est adaptée à une direction particulière d'indice  $k$  pour laquelle les retards électriques introduits par la formation de voie permettent la remise en synchronisme des signaux issus des différents capteurs de l'antenne lorsque une onde plane, ou

sphérique si l'antenne est destinée à travailler en champ proche, provient de la direction repérée par l'indice "k".

Après introduction des retards électriques, les signaux de réception sont pondérés en amplitude et additionnés, soit :

$$5 \quad v_k(t) = \sum_i A_{ik} \cdot s_i(t - \tau_{ik}) \quad (1)$$

où  $v_k(t)$  est le signal temporel de la voie "k" calculé à l'instant  $t$ ,  $s_i(t)$  est le signal temporel reçu par le capteur d'indice "i" à l'instant  $t$ ,  $A_{ik}$  est un coefficient de pondération d'amplitude qui dans certaines applications ne dépend que de l'indice "i" et  $\tau_{ik}$  est le retard électrique appliqué au signal du capteur "i" pour former la voie "k".

La figure 1 représente le synoptique de formation de voies, suivant l'art antérieur. Les échantillons numériques des signaux  $s_1, \dots, s_N$  fournis par les  $N$  capteurs sont multiplexés séquentiellement dans un multiplexeur 10, piloté par une horloge  $H$ , et sont stockés dans une mémoire vive à accès aléatoire 11, type RAM. Un générateur d'adresses 12 fournit les adresses d'écriture  $A_E$  et de lecture  $A_L$  à cette mémoire 11. Cette mémoire travaille alternativement en mode écriture et en mode lecture. Le mode écriture correspond à l'acquisition des  $N$  échantillons en sortie du multiplexeur 10. Le mode de lecture est utilisé pour le calcul des voies, qui sont obtenues en sortie d'un sommateur 13, recevant les échantillons lus dans la mémoire 11 aux adresses où sont stockés les échantillons ayant les retards nécessaires à la voie à former.

La figure 2 représente le séquencement écriture-lecture au niveau de la mémoire. La période  $T_S$  représente la période d'échantillonnage de chaque signal de capteur. Le temps  $T_E$  correspond à la durée d'écriture des  $N$  échantillons et le temps de lecture  $T_L = T_S - T_E$ .

En écriture, la mémoire est gérée de manière à ce que entre deux périodes  $T_S$  l'adresse d'écriture  $A_E$  soit incrémentée de  $N$ , les échantillons étant rangés successivement à partir de cette adresse. La mémoire 11 se trouve ainsi remplie d'une succession de  $P$  groupes

$G_1, \dots G_p$  de  $N$  échantillons séparés d'un temps  $T_S$ . Soit  $\bar{\tau}_{\max}$  la plus grande valeur des retards  $\bar{\tau}_{ik}$  compensée. On pose  $A = \bar{\tau}_{\max}/T_S$ . Cette valeur de  $A$  sera désignée par la suite par profondeur d'antenne. Pour former toutes les voies il faut que  $P \gg A$ .

5 Les adresses d'écriture  $A_E$  pour les  $P$  groupes de  $N$  échantillons sont fournies par un compteur 120, recevant les signaux d'horloge  $H$ .

En lecture, un échantillon de signal de la voie "k" est formé en lisant un échantillon de chaque capteur "i" dans les groupes correspondant aux retards  $\bar{\tau}_{ik}$ . Pour cela le générateur d'adresses 121 fournit à la mémoire 11 les adresses de lecture  $A_L$  des  $M$  échantillons nécessaires pour former un échantillon de voie car généralement on n'utilise pour former chaque voie qu'une partie des  $N$  capteurs de l'antenne. Le générateur d'adresses 121 effectue l'addition de l'adresse d'écriture, qui s'incrémente d'une unité à chaque période d'échantillonnage  $T_S$  du signal d'entrée, avec les retards quantifiés  $\bar{\tau}_{ik}$  lus dans une mémoire à lecture seule d'accès aléatoire, type PROM. Cette mémoire des retards fournit également l'indice  $i$  du capteur à utiliser à chaque étape du calcul et éventuellement la pondération d'amplitude  $A_{ik}$  à appliquer aux signaux  $s_1, \dots s_N$  des capteurs avant sommation, suivant la relation (1). Chaque signal  $V_k(t)$ , défini suivant cette relation (1), constitue ce que l'on appelle un échantillon temporel à l'instant  $t$  de la voie spatiale  $k$ .

25 Pour chaque voie il faut obtenir au moins un tel échantillon pendant une période  $T_v$ , où  $T_v$  correspond à la règle de Shannon :  $T_v = 1/2B$ ,  $B$  étant la bande passante nécessaire. La période d'échantillonnage  $T_S$  est déterminée par la précision nécessaire pour les retards et l'on a généralement  $T_S \leq T_v$ .

Il en résulte que pendant le temps de lecture-calcul  $T_L$  on ne peut calculer que  $K$  voies, où  $K$  est donné par la relation :

$$K < \frac{1}{M} \cdot \frac{T_v}{T_S} \left[ \frac{T_S}{t_o} - N \right] \quad (2)$$

où  $M$  est le nombre d'échantillons pris pour former une voie et  $t_0$  le temps du cycle élémentaire en lecture ou en écriture de la mémoire

11. A titre d'exemple si l'on prend :

$$N = 64, M = 24, T_S = 16 \mu s, T_V = 32 \mu s \text{ et } t_0 = 0,125 \mu s ;$$

5 on trouve :

$$K = 5$$

Pour former un plus grand nombre de voies, suivant l'art antérieur, il faut utiliser plusieurs dispositifs en parallèle, chaque mémoire stockant des échantillons de capteurs identiques sur une 10 durée égale, comme précédemment, à la profondeur d'antenne.

Si l'antenne possède une symétrie circulaire, les différents circuits de calcul peuvent être pilotés par un même générateur d'adresses. Cependant si les voies préformées doivent être stabilisées, en corrigeant les mouvements de l'antenne, en roulis et 15 tangage par exemple, la symétrie circulaire disparaît. Pour une antenne quelconque, il y aura donc autant de générateurs d'adresses, tels que 12, que de circuits formateurs, un circuit formateur étant défini comme l'ensemble mémoire 11 et sommateur 13. Or actuellement un générateur d'adresses comporte 2 à 3 fois plus de composants qu'un circuit formateur, ce qui conduit à des volumes de 20 matériel importants.

Le dispositif numérique de formation de voies, suivant l'invention permet de réduire le volume matériel même dans le cas d'antennes de forme quelconque et de stabilisation des voies en cas de mouvement de la plateforme supportant l'antenne.

25 Suivant l'invention, une disposition particulière des boîtiers mémoires et le stockage d'une tranche temporelle du signal supérieure à la profondeur d'antenne permettent d'obtenir simultanément plusieurs échantillons temporels d'une même voie spatiale au cours d'un même adressage de ces mémoires.

30 Le générateur d'adresse est unique, donc beaucoup plus simple que celui qui est nécessaire pour former simultanément plusieurs voies spatiales selon l'art antérieur.

Sur la figure 3 on a représenté deux mémoires 30 et 31 mises

en série et associées chacune à un sommateur, respectivement 32 et 33. Soit  $P$  le nombre de groupes de  $N$  échantillons (il est déterminé par la taille du module de mémoire choisi) contenus dans chacune de ces mémoires. La tranche de temps correspondante à chaque mémoire est donc  $PT_S$ . On considère que les échantillons stockés dans ces deux mémoires correspondent à deux tranches de temps successives : donc à la même adresse les deux mémoires contiennent des échantillons du même capteur d'antenne d'indice  $i$  mais dont les âges diffèrent de  $PT_S$ , ce qui est réalisable par exemple en alimentant "en série" la mémoire 31 par la sortie  $W$  de la mémoire 30.

Autrement dit les échantillons contenus dans la mémoire 30 sont plus récents que ceux contenus dans la mémoire 31 de la durée  $PT_S$ .

Pour former un échantillon d'une voie, il faut disposer des échantillons de  $M$  capteurs, nombre généralement inférieur au nombre total  $N$  de capteurs, dont les adresses sont distantes au plus de  $N \times A$ ,  $A$  étant la profondeur d'antenne évaluée en nombre de périodes  $T_S$ .

En se rapportant à la figure 3, un échantillon de la voie de direction  $k$  relatif à un instant  $t$  est formé par l'addition de  $M$  échantillons 35.1, ...35. $\ell$  ...35. $M$  prélevés successivement dans la mémoire 30 à des adresses  $AD_L$  dépendant de l'indice  $i$  de chaque capteur, de l'indice  $k$  de la voie et également de  $t/T_S$ . Les mêmes adresses appliquées à la mémoire 31 permettent le calcul d'un échantillon de voie de la même direction  $k$  mais à l'instant  $t - PT_S$ , en prélevant les échantillons 36.1, ...36. $\ell$  , ...36. $M$ . On peut étendre ce principe à  $Q$  circuits formateurs commandés par un générateur d'adresses unique. Chaque mémoire est utilisée pour calculer des échantillons intermédiaires de chaque voie d'indice  $k$  pour des instants d'échantillonnage espacés régulièrement de  $T_v$  à l'intérieur d'une période  $PT_S$ ,  $T_v$  étant un multiple de  $T_S$  et un sous-multiple de  $PT_S$ . Le rapport  $T_v/T_S$  est un entier généralement compris entre 2 et 8.

En raison de la profondeur d'antenne et du fait que les mémoires du type 30 et 31 contiennent des tranches temporelles adjacentes chaque circuit de pondération et addition doit en réalité avoir accès à au moins 2 mémoires adjacentes ce qui entraîne la nécessité de placer des circuits sélecteurs de mémoires et d'avoir au moins  $Q + 1$  mémoires disponibles. Les circuits sélecteurs de mémoire sont commandés en synchronisme par le générateur d'adresses. Si la profondeur d'antenne est supérieure à  $PT_S$  chaque circuit de sommation doit avoir accès à plus de 2 mémoires.

Un exemple du dispositif de formation de voies, suivant l'invention, est montré par la figure 5.

Il comporte un générateur d'adresses 500, deux mémoires vives, de type RAM, 510 et 520, appelées respectivement mémoire d'acquisition et mémoire de formation et un ensemble de sommation 530.

Les deux mémoires 510 et 520 et l'ensemble de sommation 530 sont agencés pour constituer un nombre de circuits formateurs, égal au nombre d'opérateurs 53.1, 53.2 et 53.3 de l'ensemble 530. Un opérateur est le circuit qui réalise les opérations  $\sum_i A_{ik} s_i$  suivant la relation (1). La figure correspond à titre d'exemple à  $Q = 3$ . Chaque mémoire comporte  $B$  blocs-mémoires : 51.m et 52.m, avec  $m \leq B$ . Le nombre  $B > Q$  dépend du rapport entre la durée  $P$  des tranches élémentaires et de la profondeur d'antenne  $A$  comptées en périodes de  $T_S$ . Sur la figure 5 on a pris  $B = 5$ .

La sortie de chaque bloc 51.m de la mémoire acquisition est connectée à l'entrée du bloc correspondant 52.m de la mémoire de formation. Dans la mémoire acquisition 510 sont écrits les échantillons des capteurs fournis par le multiplexeur 10. Dans la mémoire de formation 520 sont lus les échantillons des capteurs, et les sorties des blocs de cette mémoire sont connectées à l'ensemble de sommation 530. Le générateur d'adresses 500 est commun aux deux mémoires 510 et 520 auxquelles il fournit l'adressage et les signaux de commande écriture-lecture.

La mémoire acquisition 510 est conçue comme une ligne à

retard à une entrée et B sorties ( $B = 5$ ). Sur la figure 5 l'ancienneté des échantillons croît de gauche à droite : le premier bloc reçoit en série les échantillons des capteurs et les échantillons sont transférés d'un bloc au bloc adjacent situé immédiatement à droite. Ces 5 transferts sont réalisés par cycles élémentaires lecture-écriture échantillon par échantillon : au cours du cycle lecture on lit dans les blocs-mémoires 51.1 ... 51.B et on stocke simultanément dans des registres tampons 54.1 ... 54.B un échantillon par bloc ; au cours du cycle écriture on écrit un échantillon dans chaque bloc 51.1, ... 51.B. 10 L'adressage commun à tous les blocs est effectué par incrémentation de 1 (modulo  $P \times N$ ) après chaque écriture.

Le nombre B de mémoires qui est supérieur au nombre Q de connecteurs est donné par :

$$B = Q+1 + \text{partie entière} (A/P) \quad (3)$$

15 L'ensemble de sommation 530 comporte Q circuits sélecteurs 56.1 ... 56.Q à plusieurs entrées et une sortie. Le nombre d'entrées correspond au nombre de blocs-mémoires adjacents qui est égal à  $1 + \text{partie entière} (\frac{A}{P})$ . Ces circuits permettent d'aiguiller une seule sortie de mémoire vers l'opérateur et ils sont commandés par le générateur d'adresses comme précisé plus loin.

20 Aux Q sorties  $S_1, \dots, S_Q$  de l'ensemble de sommation 530, on dispose au même instant de Q échantillons de la même voie spatiale et ces échantillons sont mis en série au moyen d'un multiplexeur 54 sur la sortie unique V. Ils sont disponibles pour être exploités, par exemple, par un ensemble de visualisation non représenté.

25 Le générateur d'adresses est schématiquement représenté sur la figure 6, il comporte deux chaînes, la première chaîne 600 générant les adresses des blocs-mémoires d'acquisition dont la fréquence d'écriture et de lecture est égale à  $N/T_S$  tandis que la deuxième chaîne 610 délivre les adresses des blocs-mémoires de formation de voies.

30 La première chaîne comprend un compteur 60 modulo N qui reçoit en 505 le signal d'horloge à la fréquence  $N/T_S$  et qui délivre à la sortie 506 la période  $T_S$  pour le multiplexeur 10 (figure 5). Les

5                    adresses d'écriture dans la mémoire d'acquisition 510 sont fournis à la sortie 501 par le compteur 60 modulo N et un compteur 61 modulo P, le compteur 61 recevant les signaux de sortie du compteur 60. Le signal de sortie du compteur modulo P est appliqué à un compteur 62 modulo Q, qui délivre à sa sortie le signal I d'initialisation de la seconde chaîne 610.

10                  Lorsque le nombre N de capteurs constituant l'antenne est une puissance de 2, la réalisation de la première chaîne de génération d'adresses est simplifiée.

15                  La deuxième chaîne de génération d'adresses comprend un compteur 63 modulo M qui reçoit en 505 les signaux d'horloge à la période  $t_o$ . Un compteur 64 modulo D, où D est le nombre de voies à former, reçoit les signaux de sortie du compteur 63. Les deux compteurs 63 et 64 fournissent les adresses appliquées à une mémoire morte 66 contenant la table des retards électriques  $T_{ik}$ , les indices "i" des capteurs à utiliser et la pondération d'amplitude  $A_{ik}$  à appliquer aux signaux suivant la relation (1). Un troisième compteur 65 modulo  $PT_S/T_v$ , alimenté par le compteur 64 fournit un décalage, que l'on additionne en 68 à  $T_{ik}$  pour obtenir le retard vrai. Le décalage augmente de la quantité  $T_v/T_S$  fournie par la mémoire 67 à chaque impulsion du compteur 64. La mémoire morte 67 est alimentée par la sortie du compteur 65. Les bits de fort poids délivrés par l'additionneur 68 correspondant à un dépassement de la capacité du bloc-mémoire de formation sont utilisés pour la commande des sélecteurs de blocs-mémoires en 503.

20                  25                  Les adresses sont données, d'une part en sortie 503 pour un adressage de dégrossissage aux sélecteurs 56.1,...56.Q et d'autre part en 502 pour une adresse fine modulo NP aux mémoires de formation 52.1,...52.Q. La sortie 504 fournit les pondérations d'amplitude et un signal de remise à zéro  $I_k$  commandé par le compteur 63 de modulo M.

30                  Le fonctionnement du dispositif, suivant l'invention, est schématisé sur les figures 4, 7 et 8.

La mémoire acquisition 510 acquiert en permanence les échan-

tillons des capteurs à la cadence  $T_S/N$ . La mémoire d'acquisition stocke une tranche temporelle  $T$  du signal de chaque capteur égale à  $BPT_S$  dont la valeur est plus grande que la profondeur d'antenne  $A.T_S$ .

5 Le nombre d'échantillons par bloc 51.m étant égal à  $N.P$ , le remplissage d'un bloc est effectué dans un temps  $PT_S$ . Comme indiqué sur la figure 4, le dispositif fonctionne par cycles de durée  $T_c$  dont la durée correspond au temps qui est nécessaire pour renouveler les échantillons de capteurs. Au cours de chaque cycle 10  $T_c$ , on remplit  $Q$  blocs de la mémoire d'acquisition de sorte que  $T_c = PQT_S$ .

Les deux mémoires d'acquisition et de formation fonctionnent sur des cycles de durée  $T_c$ .

15 Un cycle commence par le transfert du contenu des blocs-mémoires 51.1 ... 51.B dans les blocs-mémoires 52.1 ... 52.B et cela bloc à bloc, les blocs 51.m recevant les mêmes adresses que les blocs 52.m. Cette phase  $L_j$  a une durée  $T_L = PT_S$  et le fonctionnement de la mémoire acquisition n'est pas modifié pendant le chargement de la mémoire de formation. Au cours de cette phase de transfert la mémoire de formation 520 reçoit les adresses de la première chaîne du générateur d'adresses 500.

20 A la fin de la phase transfert  $L_j$  la mémoire 520 est utilisée en lecture seule pour la formation des voies pendant la phase de formation  $F_j$ . La durée  $T_F$  de cette phase  $F_j$ .

Pendant le cycle correspondant à l'acquisition des échantillons 25 de capteurs  $E_j$ , on effectue le transfert  $L_{j-1}$  des échantillons de capteurs  $E_{j-1}$  suivi de la formation des échantillons de voies  $F_{j-1}$ .

Pendant le cycle correspondant à l'acquisition des échantillons de capteurs  $E_{j+1}$ , on effectue le transfert  $L_j$  des échantillons de capteurs  $E_j$  suivi de la formation des échantillons de voies  $F_j$ .

30 Puisque le nombre  $B$  de blocs-mémoires est supérieur au nombre  $Q$  d'opérateurs, il y a un recouvrement de durée  $(B-Q).P.T_S$  entre les tranches temporelles transférées dans la mémoire de

formations de chaque cycle de durée  $Q.P.T_S$ . Si la profondeur d'antennes  $AT_S$  est inférieure à  $PT_S$  on a  $B = Q + 1$  et il y a au moins un recouvrement de durée  $PT_S$ .

5 Pendant la phase de formation  $F_j$ , les fréquences de fonctionnement des deux chaînes 600 et 610 du générateur d'adresses peuvent être différentes, la deuxième chaîne recevant l'ordre d'initialisation I à la fin du transfert.

10 Généralement le circuit de formation de voies est spécifié pour former un nombre déterminé D de voies spatiales  $V_k(t)$  échantillonnées à la période  $T_v$ , chaque voie étant formée à partir de M capteurs. Sachant que l'on utilise des composants mémoires de temps d'accès ou cycle élémentaire,  $t_o$  on en déduit le nombre Q de circuits formateurs à utiliser pour obtenir simultanément Q échantillons temporels d'une même voie spatiale.

15 En effet, au cours d'un cycle  $T_c$ , le dispositif fournit Q échantillons de la même voie spatiale décalés temporellement de  $PT_S$ , soit  $V_k(t)$ ,  $V_k(t-PT_S)$  ...  $V_k(t-T_c)$ . Il y a à calculer, pour chaque voie spatiale,  $PT_S/T_v$  échantillons de voies en comptant les échantillons intermédiaires.

20 Le calcul d'un échantillon de voie, soit de la même voie spatiale, soit d'une voie spatiale différente, a une durée égale à  $Mt_o$ . La durée de calcul de  $PT_S/T_v$  échantillons de voies pour D voies est donc égale à  $\frac{PT_S}{T_v} DMt_o$ . L'égalité de la durée  $T_c$  et de cette durée de calcul fournit le nombre Q de circuits formateurs soit :

$$Q = 1 + D.M.t_o/T_v \quad (4)$$

25 Ce nombre est indépendant de la taille NP des blocs-mémoires d'acquisition et de formation. Seul le nombe  $B - Q$  de blocs-mémoires additionnels dépend de cette taille et de la profondeur d'antenne A, exprimée en période d'échantillonnage des capteurs.  $B - Q$  se déduit de la relation (3).

30 Pour aider la compréhension du fonctionnement on se reportera aux figures 7 et 8 qui représentent, horizontalement, les instants comptés en périodes  $T_S$  en fonction verticalement, des

instants comptés en cycles élémentaires  $t_o$  pour les échantillons de voies calculés au cours de chaque cycle  $T_c$ . La partie 70 correspond la phase de calcul et la partie 71 à la phase de transfert.

Sur ces figures, les échantillons sont représentés par des points. La figure 8 est un détail de l'échelle verticale de la partie 72 de la figure 7, celui, par exemple, du cycle de calcul de tous les échantillons de la voie spatiale  $V_1$ .

Les valeurs correspondantes à l'exemple d'application choisi sont les suivantes :

- 10 -  $T_S$  = période d'échantillonnage des signaux reçus = 16  $\mu s$
- $T_v$  = période d'échantillonage des voies formées = 32  $\mu s$
- $t_o$  = temps de cycle élémentaire de la mémoire formation = 0,125  $\mu s$
- D = nombre de voies formées = 128
- 15 - N = nombre de capteurs = 64
- M = nombre de capteurs utilisés pour une voie = 24
- A = profondeur d'antenne =  $83T_S$ , soit 2 mètres de profondeur moyenne
- taille mémoire = 4096 mots soit NP = 4096, P = 64

20 Pour cet exemple, on obtient :

- Q = nombre de circuits formateurs = 13
- B = nombre de blocs-mémoires = 15
- $T_c$  = période de renouvellement des échantillons de capteurs dans Q blocs de la mémoire d'acquisition = 13312  $\mu s$

25 -  $PT_S/T_v = 32$

L'intervalle de temps entre deux sorties d'échantillons de voies est  $Mt_o = 3 \mu s$ . Par conséquent, la fréquence du multiplexeur 54 est supérieure à  $1/Mt_o$ .

Chaque opérateur à accès à  $B-Q+1 = 3$  blocs adjacents.

30 Tel que représenté sur les figures 7 et 8, on calcule tous les échantillons d'une même voie spatiale  $V_k$  décalés temporellement de  $T_v$ , puis tous les échantillons de la voie spatiale  $k+1$ , ainsi de suite.

Suivant une variante de fonctionnement, on peut modifier l'ordre de calcul des échantillons des voies. Par exemple, après avoir

calculé les 13 premiers échantillons de la voie  $V_1$  de la figure 8, on calcule alors les 13 premiers échantillons de la voie  $V_2$ , et ainsi de suite jusqu'à la voie  $V_{128}$ . On calcule alors la deuxième ligne de la voie  $V_1$ , puis la deuxième ligne de la voie  $V_2$ , etc... D'autres variantes combinant ces deux ordres de calcul sont également possibles.

Avec le générateur d'adresses tel que décrit précédemment, les directions des  $D$  voies spatiales sont fixes par rapport à l'antenne. Il est possible de former des voies dans des directions variables au cours du temps, soit pour compenser les mouvements de la plateforme supportant l'antenne, soit pour poursuivre des sources mobiles. Pour cela la mémoire morte 66 contenant les adresses des capteurs  $i$  et  $\tau_{ik}$  doit être remplacée par une mémoire vive rafraîchie périodiquement par un calculateur, recevant les paramètres de position de cette plateforme mobile. Ainsi une voie  $V_k$  étant définie par exemple par des coordonnées sphériques absolues et les angles de rotation du bateau étant mesurés, un calculateur détermine les coordonnées sphériques des voies relatives au bateau. A partir de ces valeurs connaissant la géométrie de l'antenne le calculateur détermine les valeurs de  $\tau_{ik}$  qui sont stockées dans la mémoire vive. Cette période de renouvellement doit être égale ou multiple de la durée du cycle  $T_c$  pendant laquelle les circuits formateurs de voies calculent simultanément plusieurs échantillons temporels de la même voie. Dans l'application numérique précédente la durée du cycle  $T_c$  est de l'ordre de 13 millisecondes ce qui permettrait de conserver une précision de pointage à 0,1 degré près jusqu'à des vitesses angulaires de 7,5 degrés par seconde.

Le dispositif suivant l'invention est particulièrement avantageux pour la formation des voies de veille d'un sonar utilisant une antenne conforme, c'est-à-dire qui épouse la forme de la coupe du navire ou du sous-marin. En reprenant les paramètres de l'application numérique précédente dans le cas où des signaux d'entrée sont codés à un bit par écrêtage et utilisant des boîtiers à accès aléatoire de taille 4096 mots de 4 bits, on atteint un volume de

l'ordre d'une centaine de boîtiers pour le multiplexage d'entrée, la formation des voies et le générateur d'adresses.

Suivant l'art antérieur le nombre de boîtiers aurait été de l'ordre de 250 boîtiers en utilisant au mieux la symétrie gauche-droite qui existe généralement dans une antenne conforme.  
5

REVENTICATIONS

1. Dispositif numérique de formation de voies spatiales pour sonar ayant une antenne acoustique comportant N capteurs, les N signaux reçus ( $s_1, s_2, \dots, s_N$ ) par ces N capteurs étant multiplexés dans le temps fournissant séquentiellement des groupes de N échantillons, comportant des moyens de mémorisation de ces échantillons, composés de plusieurs mémoires vives appelées blocs-mémoires, des moyens d'adressage pour l'écriture et la lecture de ces échantillons dans les blocs-mémoires et des moyens de sommation des échantillons lus dans ces blocs-mémoires dans lesquels sont stockés plusieurs groupes de N échantillons caractérisé par le fait que les blocs-mémoires reçoivent simultanément le même moyen d'adressage pour fournir ainsi à la sortie des moyens de sommation plusieurs échantillons temporels d'une même voie.
2. Dispositif de formation de voies suivant la revendication 1, pour lequel la période d'échantillonnage de chaque signal d'un même capteur est  $T_S$  caractérisé par le fait que les moyens de mémorisation stockent pour chaque signal de capteur, les échantillons d'une tranche de temps supérieure à la profondeur d'antenne  $\bar{T}_m = AT_S$  où  $\bar{T}_m$  est la plus grande des valeurs des retards  $T_{ik}$ , où i est le numéro du capteur et k celui de la voie.
3. Dispositif de formation de voies, suivant la revendication 2, caractérisé par le fait que les blocs-mémoires sont tous de même taille et stockent chacun P groupes des N échantillons et que les blocs-mémoires sont montés en série, les valeurs stockées dans un bloc-mémoire (30) étant transférées dans le suivant (31).
4. Dispositif de formation de voies suivant la revendication 2, caractérisé par le fait que les moyens de mémorisation comportent deux ensembles de B blocs-mémoires (510, 520), un premier ensemble (510) effectuant l'acquisition des échantillons de capteurs sur une tranche de temps  $T_c$ , et un deuxième ensemble (520) qui est monté de façon à connecter chaque bloc-mémoire (51.m) du premier

ensemble avec un bloc-mémoire (52.m) du deuxième ensemble et que la lecture simultanée des échantillons dans les B blocs-mémoires du deuxième ensemble fournit les échantillons retardés, qui appliqués aux moyens de sommation (530) fournissent simultanément des échantillons temporels d'une même voie distants de  $PT_S$  et que le premier ensemble (510) est appelé mémoire d'acquisition et le deuxième ensemble (520) mémoire de formation.

5. Dispositif de formation de voies suivant la revendication 4, caractérisé par le fait que la mémoire d'acquisition (510) acquiert en permanence au rythme de  $T_S/N$  les échantillons ( $s_1, \dots s_N$ ) fournis par le multiplexeur (10), que les B blocs-mémoires (51.m) de la mémoire d'acquisition sont lus avec un même adressage (501), le contenu d'un bloc-mémoire (51-m) soit NP échantillons étant transféré dans le bloc-mémoire suivant (51.m+1), les adresses d'écriture (501) étant les mêmes pour tous les blocs-mémoires, le premier bloc-mémoire recevant le signal ( $s_1, \dots s_N$ ) issu du multiplexeur (10).

10 6. Dispositif de formation de voies suivant la revendication 5, caractérisé par le fait que le dispositif fonctionne suivant des cycles de durée  $T_C$ , avec  $T_C = QPT_S$  où Q est le nombre d'échantillons d'une même voie obtenus simultanément et que pendant ce cycle sont formées les D voies.

15 7. Dispositif de formation de voies suivant la revendication 6, caractérisé par le fait qu'au cycle de durée  $T_C$  et pendant un temps  $T_L = PT_S$  le contenu lu dans les blocs-mémoires (51.m) est transféré dans les mémoires tampons (54.m) et réinscrit dans les blocs-mémoires (52.m) de la mémoire de formation (520), tous les blocs-mémoires (52.m) recevant le même signal d'adressage (502).

20 8. Dispositif de formation suivant la revendication 7, caractérisé par le fait qu'au cours du cycle de durée  $T_C$  pendant le temps  $T_F = T_C - T_L$  sont formées toutes les voies spatiales ( $V_k$ ) à partir des échantillons de la mémoire de formation acquis pendant le cycle précédent.

25 9. Dispositif de formation de voies suivant la revendication 8, caractérisé par le fait que le nombre Q d'échantillons obtenus

simultanément pour chaque voie est tel que :  $Q = 1 + DMt_0/T_v$ , D étant le nombre total de voies, M le nombre de signaux de capteurs utilisés pour former une voie,  $t_0$  le temps de lecture d'un échantillon dans les blocs-mémoires (52.m) et  $T_v$  la période d'échantillonnage de chaque voie.

5

10. Dispositif de formation de voies suivant la revendication 9, caractérisé par le fait que le nombre B de blocs-mémoires (51.m, 52.m) de la mémoire d'acquisition (510) et de la mémoire de formation (520) est donné par la relation :

10

$$B = Q + 1 + \text{partie entrée (A/P)}.$$

15

15

20

25

30

11. Dispositif de formation de voies suivant les revendications 9 ou 10, caractérisé par le fait que le générateur d'adresses (500) recevant les signaux d'horloge (505) de période  $t_0$  et  $T_S N$  comporte, un premier ensemble (600) comprenant des compteurs modulo N (60), modulo P (61) et modulo Q (62) et qui fournit les impulsions (506) du multiplexeur (10), les adresses d'écriture (501) dans les blocs-mémoires (51.m) et un signal d'initialisation I appliqué à un deuxième ensemble (610), ce deuxième ensemble comprenant des compteurs modulo M (63), modulo D (64) et modulo  $PT_S/T_v$  (65), une mémoire à accès aléatoire (66) stockant les valeurs des  $\tau_{ik}$  et des pondérations  $A_{ik}$ , une mémoire à accès aléatoire (67) stockant le rapport  $T_v/T_S$  et un sommateur (68) recevant les valeurs de  $\tau_{ik}$  et de  $T_v/T_S$  et qui fournit un signal de sélection (503) pour les Q sélecteurs de sommation (56.1, 56.2, 56.3) des échantillons lus dans les B blocs-mémoires (52.m) de la mémoire de formation, et que le deuxième ensemble (610) fournit les adresses de lecture (502) dans ces blocs-mémoires (52.m), et les valeurs de pondération  $A_{ik}$  aux opérateurs (53.1,...).

12. Dispositif de formation de voies suivant la revendication 11, caractérisé par le fait que l'horloge de base des deux ensembles (600, 610) du générateur d'adresses (500) est le même.

13. Dispositif de formation de voies suivant la revendication 11, caractérisé par le fait que l'horloge de base des deux ensembles (600, 610) du générateur d'adresses (500) sont différents.

14. Dispositif de formation de voies suivant les revendications 12 ou 13, caractérisé par le fait qu'au cours du cycle de formation  $T_F$  de durée (Q-1)  $PT_S$  le générateur d'adresses (500) fournit successivement les adresses de lecture (502) correspondant à  $PMT_S/T_v$  échantillons d'une même voie et ainsi successivement pour toutes les D voies.

5

15. Dispositif de formation de voies suivant les revendications 12 ou 13, caractérisé par le fait qu'au cours du cycle de formation de durée  $T_F$  le générateur d'adresses (500) fournit successivement les adresses de lecture (502) correspondant à DM échantillons de toutes les voies et ainsi successivement pour les  $PT_S/T_v$  échantillons intermédiaires des voies.

10

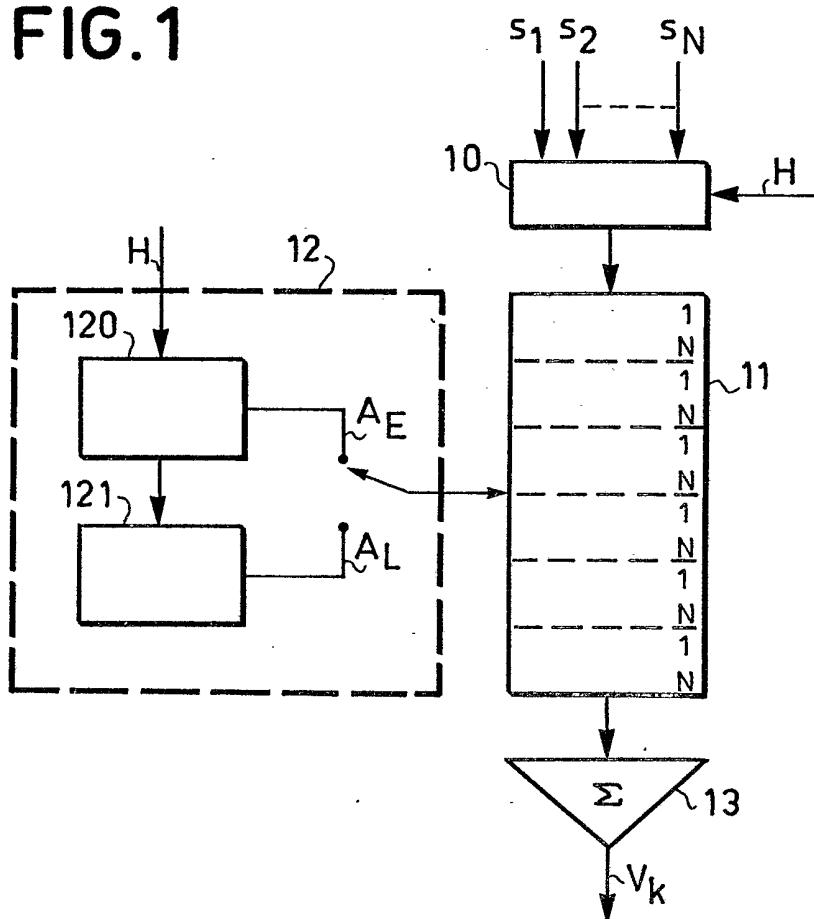
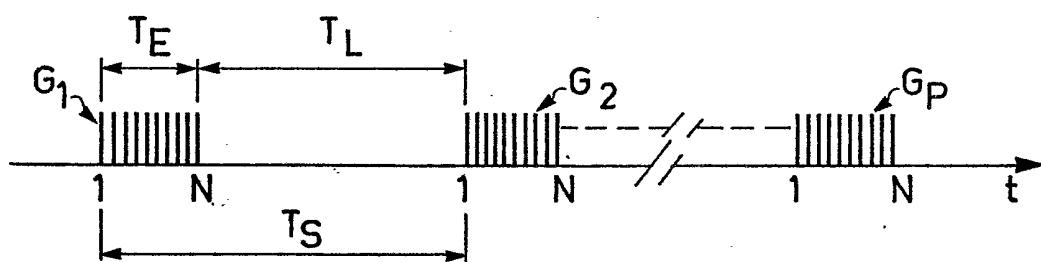
16. Dispositif de formation de voies suivant la revendication 14, caractérisé par le fait que la mémoire à accès aléatoire (66) contenant les valeurs des retards  $\tau_{ik}$  et de pondération  $A_{ik}$  est à lecture seulement.

15

20

17. Dispositif de formation de voies suivant la revendication 14, caractérisé par le fait que la mémoire à accès aléatoire (66) contenant les valeurs des retards  $\tau_{ik}$  et de pondération  $A_{ik}$  est une mémoire vive recevant périodiquement les valeurs d'un calculateur relié à un dispositif fournissant les paramètres de position de la plateforme supportant l'antenne.

1/6

**FIG. 1****FIG. 2**

2/6

FIG.3

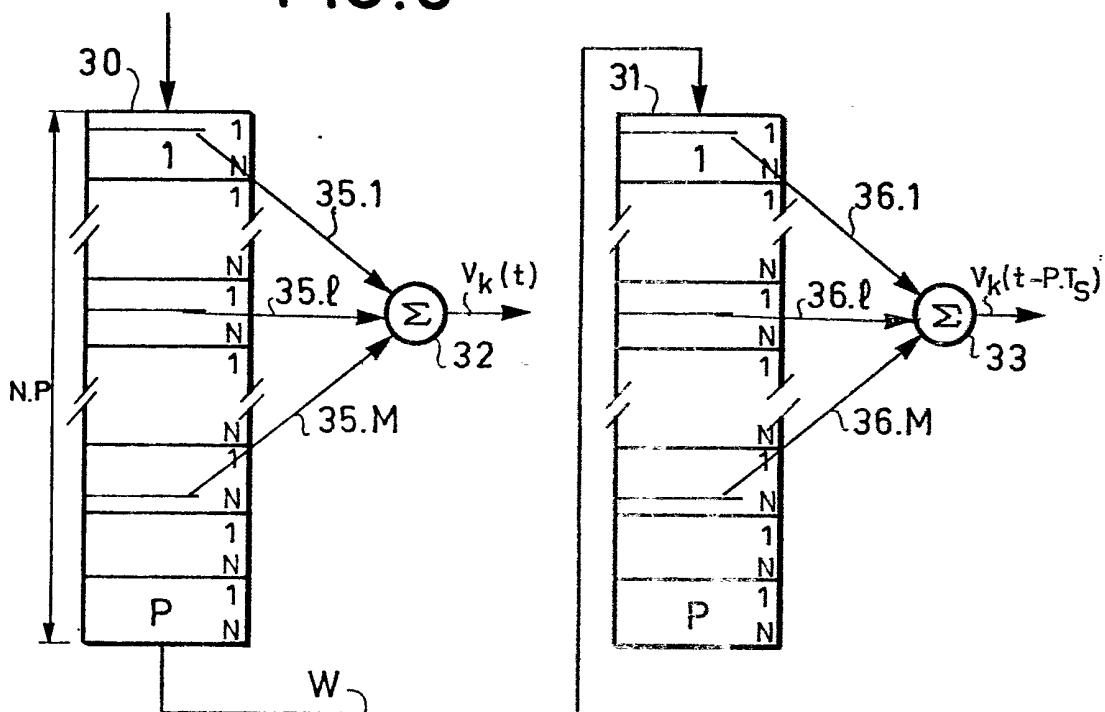
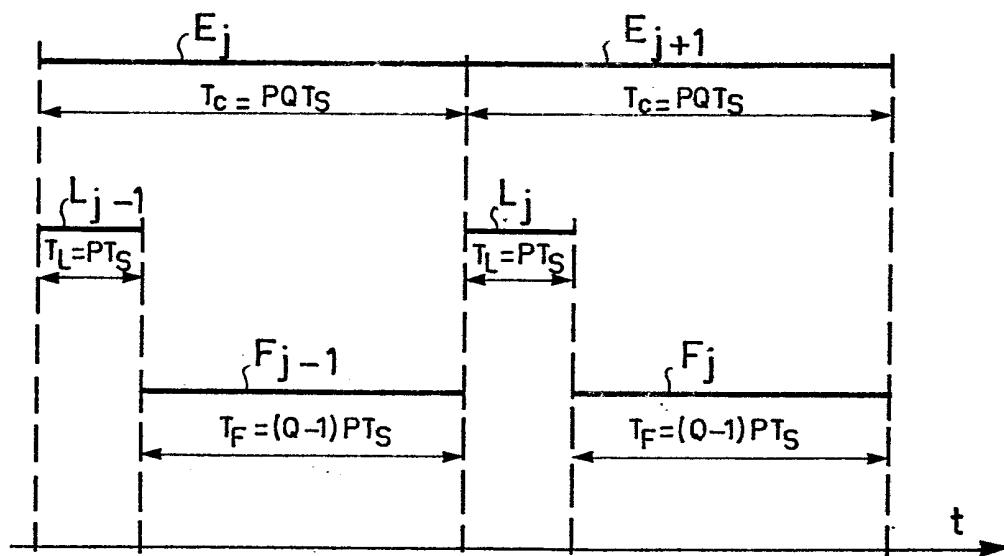


FIG.4



3/6

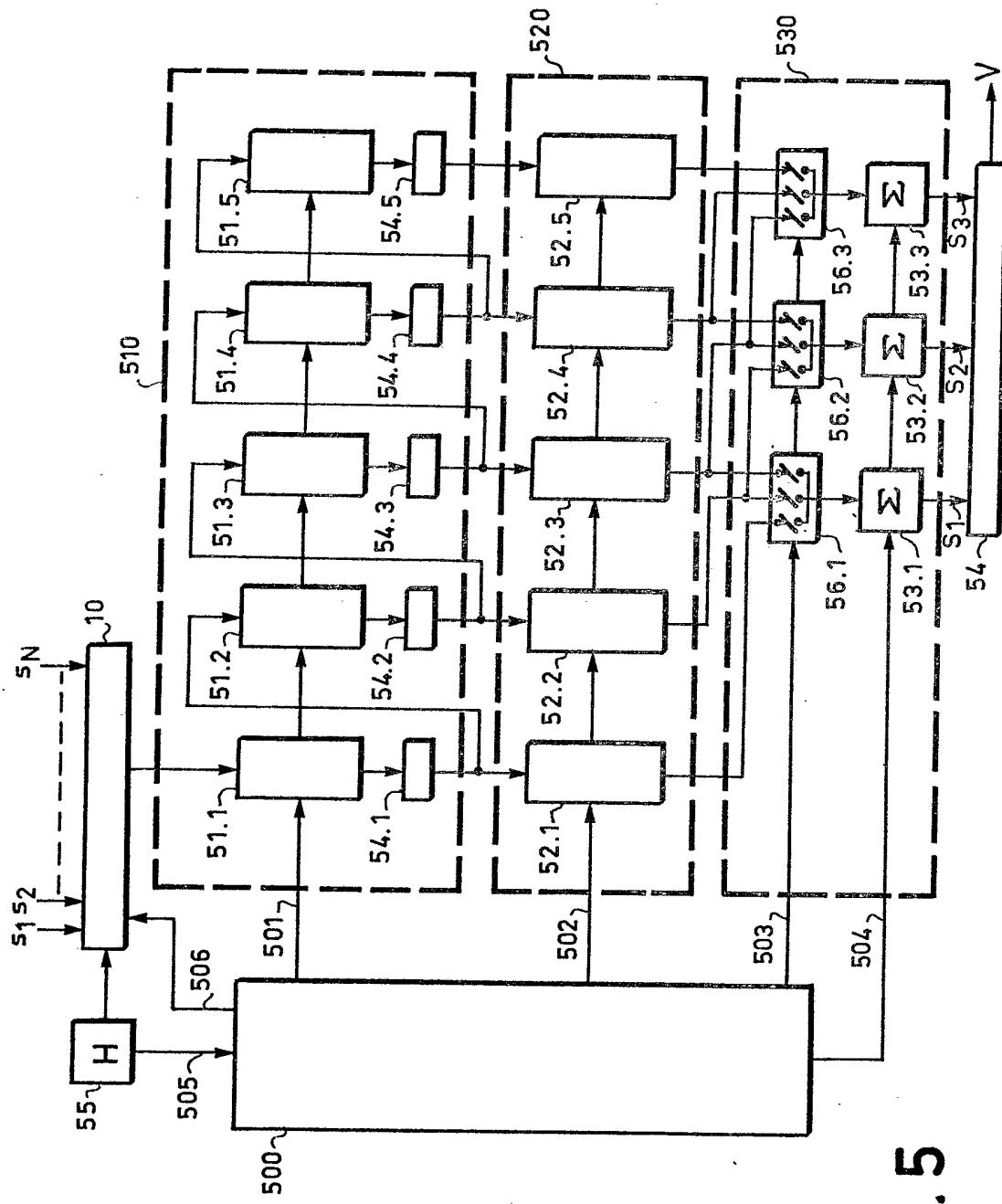
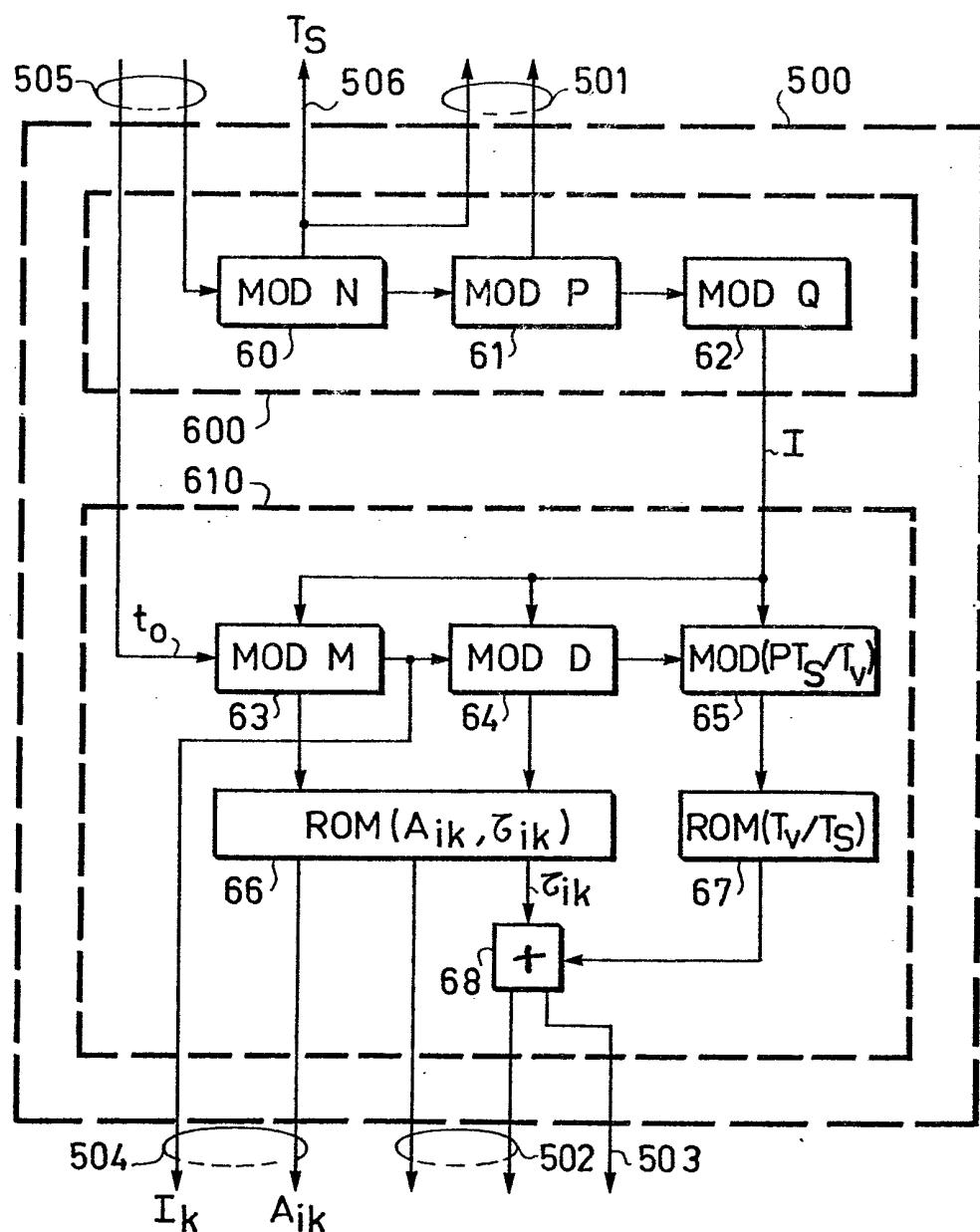


FIG. 5

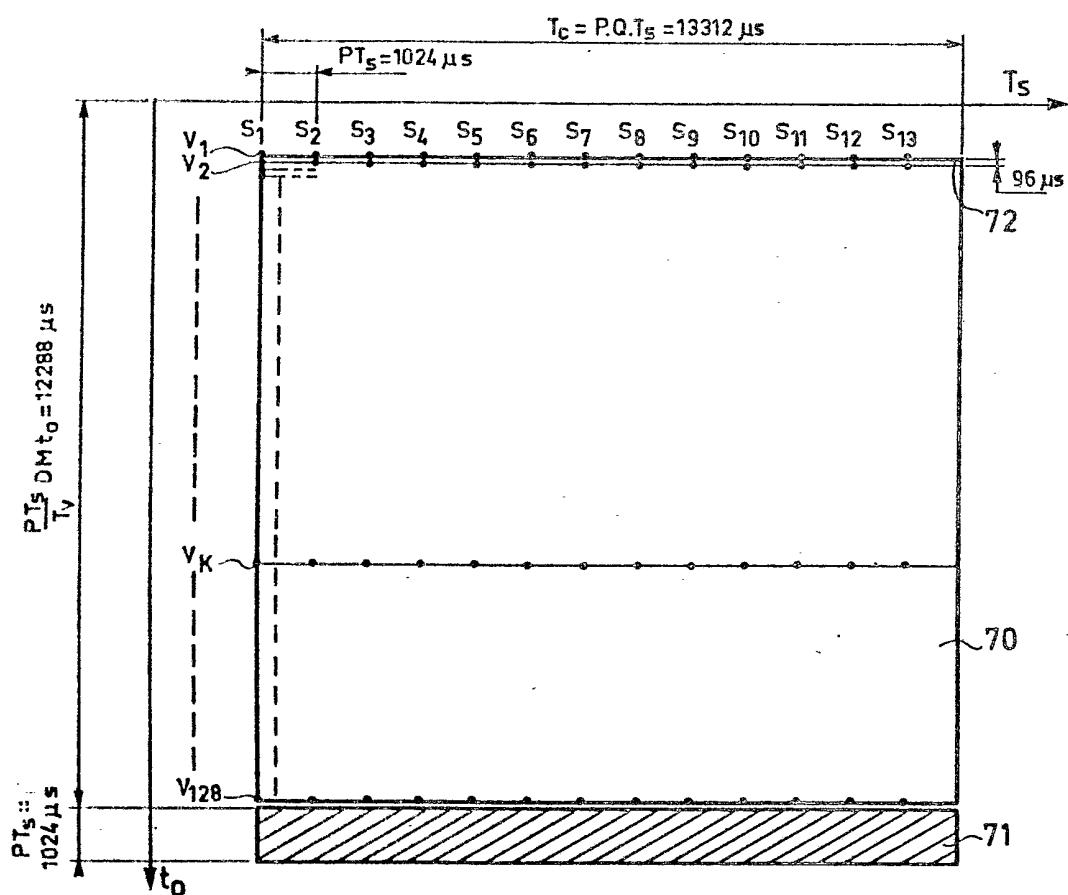
4/6

FIG. 6



5/6

FIG.7



**FIG. 8**      **6/6**

