

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93102420

※申請日期：93 年 02 月 03 日

※IPC 分類：H01L 21/00 (2006.01)

一、發明名稱：

(中) 矽半導體基板及其製造方法

(英)

二、申請人：(共 2 人)

1. 姓名：(中) 信越半導體股份有限公司
(英) SHIN-ETSU HANDOTAI CO., LTD.

代表人：(中) 1. 小柳俊一
(英)

地址：(中) 日本國東京都千代田區丸之內一丁目四番二號
(英)

國籍：(中英) 日本 JAPAN

2. 姓名：(中) 大見忠弘
(英)

代表人：(中)
(英)

地址：(中) 日本國宮城縣仙台市青葉區米袋二丁目一番一七號三〇一
(英)

國籍：(中英) 日本 JAPAN

三、發明人：(共 5 人)

1. 姓名：(中) 山中秀記
(英)

國籍：(中) 日本
(英) JAPAN

2. 姓名：(中) 出水清史
(英)

國籍：(中) 日本
(英) JAPAN

3.姓名：(中) 大見忠弘
(英)
國籍：(中) 日本
(英) JAPAN

4.姓名：(中) 寺本章伸
(英)
國籍：(中)
(英)

5.姓名：(中) 須川成利
(英)
國籍：(中)
(英)

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2003/02/07 ; 2003-030642 有主張優先權

3.姓名：(中) 大見忠弘
(英)
國籍：(中) 日本
(英) JAPAN

4.姓名：(中) 寺本章伸
(英)
國籍：(中)
(英)

5.姓名：(中) 須川成利
(英)
國籍：(中)
(英)

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2003/02/07 ; 2003-030642 有主張優先權

玖、發明說明

【發明所屬之技術領域】

本發明係有關於一種被使用在半導體積體電路元件之製造的單晶矽半導體基板及其製造方法。

【先前技術】

針對於利用單結晶矽晶圓所製造出來的 MIS·FET (Metal-Insulator-Semiconductor Field Effect Transistor) 的閘極絕緣膜要求具備低漏電流特性、低界面能階密度、對於離子注入的高耐性等的高性能電氣特性與高信賴性。而能滿足該些要求之閘極絕緣膜形成技術的主流則是一利用熱氧化法之二氧化矽膜 (也包括只稱為氧化膜的情形) 之形成技術, 亦即, 所謂的 MOS·FET (Metal-Oxide-Semiconductor Field Effect Transistor)。藉由該熱氧化法之所以能得到良好的氧化膜/矽界面特性、氧化膜耐壓特性、漏電流特性, 係因為使用以 {100} 作為主面之矽晶圓來構成基板。而以其以外之 {110} 或 {111} 面作為主面的矽晶圓之所以未被活用作為積體電路元件之基板的主要的理由, 則是因為在 {110} 面以及 {111} 面所形成之氧化膜的界面能階密度高使然。當界面能階密度愈高時, 氧化膜的耐壓特性以及漏電流特性等的電氣特性會愈惡化。

因此, 形成 MOS·FET 用的矽晶圓基板, 到目前為止 {100} 面的晶圓, 係使用從 {100} 傾斜 4° 左右的晶圓。

但是對於 {100} 面的半導體元件而言, 相較於 n 型

FET，p 型 FET 的電流驅動能力，亦即，載子（carrier）移動度約為 0.3 倍而會有問題。近年來乃開發出對於矽晶圓之表面的面方位不具有關連性之形成品質良好之絕緣膜的方法，亦即，自由基氧化法、或自由基氮化法（2000 Symposium on VLSI Technology, Honolulu, Hawaii, June 13-15, 2000 "Advanced of Radical Oxidation for Improving Reliability of Ultra-Thin Gate Oxide"）。若使用該方法，即使是針對 {100} 以外的面也能夠形成品質良好的絕緣膜。

因此，使用 MOSFET 之通道（channel）方向的載子移動度有可能變高的 {110} 面作為主面的矽半導體基板可以提高半導體積體電路元件的實現性。本發明人等則製作出以 {110} 面作為主面的半導體元件而進其特性的評估可得到各種的知識。

p 型 FET 的電流驅動能力相較於 {100} 雖然是上昇約 2.5 倍，但 n 型 FET 的電流驅動能力大約會降低到 0.6 倍而成為與期待相反的結果。若是將該 n 型 FET 的電子移動度設成與 {100} 面的電子移動度相等，或更高，則可以使得利用 {110} 面的半導體積體電路元件實用化而廣泛地來使用。

載子移動度則受到雜質散射、聲子（phonon）散射（格子振動散射），表面粗度散射的影響。當受到該些散亂的影響大時，則載子移動度會降低。{100} 面的電子移動度則受到矽表面的粗度很大的影響，很清楚的粗度愈差則

電子移動度愈降低。(T. Ohmi et al. : IEEE Trans. Electron Devices, Vol. 137, p 537, 1992)。之後則提出以下 2 種的方法作為用來減低表面粗度的方法。亦即，(1) 針對處於含有氧自由基之環境下的半導體基板表面形成氧化 (M. Nagamine et al., IEDM Tech. Dig. p.593, 1998) 以及 RCA 洗淨 (W. Kern et al. : RCA Review, vol. 31, p. 187, 1970) 以外之基板表面的洗淨方法。

(1) 在自由基氧化中，由於作為氧化種的氧自由基附著在矽表面之突出部的機率高，且加上 O^+ 或 O_2^+ 的氧離子會被帶負電的突起部所拉去的相乘效果，可以認為藉著使突起部優先地被氧化可以減低表面粗度。在以往的乾燥氧氣之環境下的氧化雖然會造成 20% 左右的表面粗度的惡化，但是在自由基氧化中可以減低 40% 左右之表面粗度。

又，(2) 的洗淨方法已經公開在特開平 11-057636 號公報。由於以往所廣泛使用之 RCA 洗淨之以鹼性液所實施的洗淨過程會讓表面的粗度 (roughness) 惡化，因此公開於特開平 11-057636 號公報中的洗淨是一未含有鹼性液的洗淨過程，且具有與 RCA 洗淨同等以上之除去粒子、除了有機物污染、除去金屬雜質的能力。該新的洗淨過程由於是由 5 個的過程所構成，因此在本說明書中以下則簡稱為 5 過程洗淨。

在 RCA 洗淨之含有鹼性液的洗淨過程中會讓表面粗度惡化的理由在於 Si-Si 結合的弱的部分會因為氫氧離子 (OH 離子) 而優先地被蝕刻。

在用來減低表面粗度的上述 2 個方法中，(1) 的自由基氧化法是一減低表面粗度的方法，而(2) 的 5 過程洗淨與其該是一減低表面粗度的方法，不如說是一藉由 RCA 洗淨來抑制變粗的量的方法。實際上以往藉由 RCA 洗淨會惡化 50%左右的情形藉由 5 過程洗淨可以使其停留在 0%到 10%的惡化程度。

由於自由基氧化法可減低表面粗度，因此在形成閘氧化膜之前藉由反覆實施自由基氧化可以減低表面粗度，但是如此的反覆實施會產生問題。自由基氧化是在 300°C ~ 500°C 左右的低溫下進行，在此溫度下形成氧施體 (donor) 而導致基板內部的電阻係數發生變化。當在 500°C 以上進行氧化時，則在基板表層會形成氧析出核且會成長，因此成為漏電流或閘氧化膜之絕緣破壞的原因。

減低矽半導體基板的表面粗度係意味著依據原子層級 (atomic level) 使表面平坦化。具有某特定之結晶面而經過鏡面研磨且洗淨的矽晶圓的表面，若是依據原子層級來看時則存在有無數的凹凸，而此就是被稱為微粗度 (mircoroughness) 之表面粗度的主要原因。而此是藉由與切出面不同的次晶面微面 (microfacet) 會因為在研磨或洗淨中的藥液與矽表面的化學反應而多數出現在表面所形成。

在 $\{111\}$ 面所切出的矽晶圓，由於 $\{111\}$ 面本身為次晶面 (facet)，因此容易依據原子層級而形成平坦的面。Y.J. Chabal 則發表藉著以氟化銨水溶液來洗淨而以氫原

子終結 (terminate) 表面矽原子的懸吊鍵 (沒有共有結合之對象的結合鍵) 而讓其安定化 , 而可呈現原子層級之平坦化 (Y.J. Chabal et al., J. Vac. Sci. & Technol, vol. A7, pp.2104, 1989) 。

又 , 很清楚的讓 {111} 面朝 [112] 或 [112] 方向只些微傾斜數度 , 藉著以氟化銨水溶液加以洗淨而根據原子層級形成階梯 (step) 與平台 (terrance) , 而能夠依據原子層級使其平坦化 (H. Sakaue et al., Appl. Phys. Lett. vol. 78, p.309, 2001) 。但是對於最廣泛被使用的 {100} 面的基板 , 則沒有只藉著洗淨即能夠針對經過鏡面研磨的基板實現原子層級之平坦化的報告 。

對於在些微傾斜的 {100} 面作磊晶成長的磊晶矽半導體基板 , 則有藉由形成階梯與平台來減低表面粗度的報告 (K. Izunome et al. : Jpn. J. Appl. Phys. vol.31, pp.L1277, 1992) 。又 , 亦有在氫氣環境下藉由進行高溫熱處理而在矽半導體基板形成階梯與平台 , 減低表面粗度的報告 (O. Vatel et al. : Jpn. J. Appl. Phys. vol.32, pp.L1489, 1993) 。但是 , 針對本發明人等所注目之 {110} 面卻沒有原子層級之平坦化的報告 。

對於在超高真空下藉由加熱處理使 {100} 面平坦化的情形則有許多的報告 。但是對於 200mm 以上之大直徑矽基板 , 由於其熱處理爐大型化而導致生產性降低 , 因此很難導入到矽基板製程 。

從製造、供給矽半導體基板的觀點來看 , 藉由上述自

由基氧化來改善表面粗度會導致過程增加而使得生產性降低。在現狀的矽基板製程中，通常在經過鏡面研磨後會實施 RCA 洗淨的過程。以下將經過研磨、洗淨處理的矽半導體基板稱為鏡面研磨矽半導體基板。而包含磊晶矽半導體基板等在內總稱為矽半導體基板。當以均方根粗度（root-mean-square roughness: Rms）來表示鏡面研磨矽半導體基板的表面粗度時則為 0.12nm 左右。製造半導體積體電路元件的設備製造商而言，則在受取矽半導體基板後實施 RCA 洗淨。如上所述，當實施 RCA 洗淨時，一般而言表面粗度會惡化。

因此，在設備製造商處之經 RCA 洗淨的矽半導體基板的一般的 Rms 為 0.18nm 左右。爲了要在該基板形成閘氧化膜，當在以往的乾燥氧氣環境下要形成 5nm 左右的氧化膜時，位於其界面的 Rms 會惡化到 0.22nm。另一方面，在經上述的自由基犧牲氧化後藉由自由基氧化而形成 5nm 左右的氧化膜時的 Rms 成爲 0.08nm 左右，而能夠大幅地減低表面粗度。將該自由基犧牲氧化的過程導入矽半導體基板製造商雖然是一種減低表面粗度的方法，但如上所述會導致過程增加而使得生產性降低。因此就製造使用在半導體積體電路元件製造上的矽半導體基板的立場而言，在不需實施自由基氧化等的犧牲氧化或特別的洗淨情況下，必須能製造出減低表面粗度的矽半導體基板。

【發明內容】

發明的揭露

本發明之目的在於提供一種用以製造{110}面的載子移動度，特別是作為 n 型 FET 之載子的電子的移動度顯示出更高的值的半導體積體電路元件用矽半導體基板的方法，不使用如上述的 5 過程洗淨般之特別的洗淨，而是使用習知的 RCA 洗淨，或不進行自由基氧化而依據原子層級 (atomic level) 使得表面平坦化而減低表面粗度的矽半導體基板及其製造方法。

為了要達到上述的目的，本發明之矽半導體基板的第 1 形態的特徵，是一以{110}面或讓{110}面傾斜的面作為主面的矽半導體基板，在其表面具有平均地沿著<110>方向之原子層級的階梯 (step)。讓上述{110}面傾斜的面，較好是一使該{110}面朝<100>方向傾斜的面。

將以{110}面或讓{110}面傾斜的面作為主面的矽半導體基板使用在半導體積體電路元件的最大的優點在於，p 型 FET 的電洞移動度在<110>方向，相較於{100}面的情形大約高了 2.5 倍。因此，在該些矽半導體基板中的 n 型 FET 電子移動度，對於已提高到{100}面之電子移動度以上的半導體積體電路元件而言，藉著將電子與電洞流動的通道 (channel) 方向設在<110>方向，更加可實現電路元件的微細化。但是對於以在<110>方向未具有原子層級的階梯的{110}面作為主面的矽半導體基板而言，目前的情形是表面粗度不會成為{100}面的表面粗度以下，而其電子移動度較{100}面的電子移動度為小。

爲了要減低表面粗度，則必須實施原子層級的表面平坦化。藉著在表面形成階梯（step），可以在階梯之間形成平台，該平台面則成爲原子層級般的平坦的面。若將階梯的端緣設成 $\langle 110 \rangle$ 方向，則流向 $\langle 110 \rangle$ 方向的載子會流經平坦的平台面正下方，或是不受階梯的段差所造成的散亂影響而流動，而能夠減低因爲表面粗度所造成之散亂的影響，能夠實現高的移動度。此外，階梯的端緣，以原子層級來看並不成爲直線而是具有數原子的凹凸，而將該部分稱爲轉折（kink）部。因此，所謂沿著 $\langle 110 \rangle$ 方向的階梯，若是以微測器級數平均來看，則意味著沿著 $\langle 110 \rangle$ 方向的階梯。

本發明之矽半導體基板的第 1 形態，則可以藉由磊晶成長法，在以讓 $\{110\}$ 面朝 $\langle 100 \rangle$ 方向傾斜的面作爲主面的矽半導體基板的表面，形成矽單結晶薄膜。藉由該磊晶成長法而在表面形成矽單結晶薄膜的矽半導體基板，換言之是一磊晶矽半導體基板，以下則將此稱爲本發明的磊晶矽半導體基板。

矽半導體基板的磊晶成長，則是根據可以將矽原子堆積在出現於平台上之階梯的鈕結部，同時使階梯以 2 次元成長的模型來說明。對於主面未些微傾斜且經過研磨・洗淨處理後的 $\{110\}$ 面的鏡面研磨矽半導體基板的表面，在通常的 RCA 洗淨中並未形成平台與階梯而存在有無數的微面（microfacet），而此則是造成表面粗度惡化的主要原因。當在其表面進行磊晶成長時，則無數的微面會擔當

鈕結的角色而使得矽原子的堆積得以均勻。因此未形成朝向 $\langle 110 \rangle$ 方向的階梯與平台。

但是本發明的磊晶矽半導體基板，在進行磊晶成長之前的鏡面研磨矽半導體基板的主面，則不管是否是已經些微傾斜的面的微斜面，雖然未觀察到平台與階梯，但是當在其表面作磊晶成長時，則在該成長過程中會形成平台與階梯，因此可以改善表面粗度。經過些微傾斜的鏡面研磨矽半導體基板則含有潛在地形成平台與階梯的主要原因。藉著將些微傾斜的方向設成本發明的 $\langle 100 \rangle$ 方向，可於作為載子流動方向的 $\langle 110 \rangle$ 方向平行地出現階梯，而載子可在作為階梯之間之平坦的面的平台面的正下方流動。因此載子不會因為階梯的段差而產生散亂。

本發明之矽半導體基板的第 1 形態，可以將以讓 $\{110\}$ 面朝 $\langle 100 \rangle$ 方向傾斜的面作為主面的矽半導體基板，在氫氣、或氬氣、或該些的混合氣體環境下實施熱處理（以下也有將該矽半導體基板稱為熱處理矽半導體基板的情形。在氫氣或氬氣，或該些的混合氣體環境下以高溫經過熱處理之微傾斜 $\{110\}$ 面矽基板，藉著以高溫處理使表面的矽原子作再配列，可以在其表面形成階梯與平台。藉著將微傾斜的方向設為 $\langle 100 \rangle$ 方向，則平行於作為載子流動之方向的 $\langle 110 \rangle$ 方向會出現階梯，而能夠使載子在作為階梯間之平坦的面的平台面正下方流動。因此，載子不會因為階梯的段差而產生散亂。

本發明之矽半導體基板的第 2 形態的特徵是一以讓

{110}面朝<100>方向傾斜的面作為主面的矽半導體基板，而針對其表面實施鏡面研磨（以下也有將該矽半導體基板稱為鏡面研磨矽半導體基板的情形。如上所述，對於讓{110}面朝<100>方向些微傾斜而經實施研磨・洗淨處理的矽基板雖然未形成階梯與平台，但藉著針對該基板實施磊晶成長或是在氫氣或氬氣環境下實施熱處理可以形成階梯與平台，因此在矽基板的表面會內含有形成階梯與平台的主要原因。在用於形成半導體積體電路元件之初期過程的洗淨過程及熱處理過程中可以形成階梯與平台。

本發明之矽半導體基板中的微傾斜角度較好是 0° 以上、 8° 未滿。讓{110}面朝<100>方向傾斜 8° 的面會成為另外的低指數面{551}面，為了要在該表面形成階梯與平台，則必須讓{551}面僅稍微地傾斜。因此，較好是 8° 未滿。當微傾斜角度變大時，則平台寬度會變小，而階梯的密度變高。由於{110}面的單原子層階梯的段差為 0.192nm ，因此在 8° 時之計算上的平台寬度為 1.36nm ，而由於2原子階梯的段差為 0.394nm ，因此平台寬度成為 2.73nm ，而平台寬度與階梯段差成為同一級數（order）。當階梯的密度變高時，則轉折密度亦會變高，而很難藉由階梯作2次元磊晶成長，而無法形成朝向特定方向的階梯與平台。之所以包含 0° 則是導因於裝置精度。當從結晶晶棒切斷成晶圓時，即使是設定為 0° ，但由於切斷機與方位測量機之精度的問題，一般上實際上具有10分左右的誤差。因此，即使號稱是 0° 的晶圓，也極稀少完全

成爲 0° 。

本發明的矽半導體基板，較好將定向用平面（orientation flat）或缺口（notch）形成在 $\langle 110 \rangle$ 方向。藉著設成如此的構造，對於從結晶晶棒所切出之晶圓的表背面，其傾斜方向成爲同一方向，由於不需要進行晶圓的表背面管理，因此可以排除弄錯表背面的危險性。

本發明之矽半導體基板之製造方法的第 1 形態，其特徵在於：製作出以讓 $\{110\}$ 面朝 $\langle 100 \rangle$ 方向傾斜的面作爲主面的矽半導體基板，藉由磊晶成長法讓矽單結晶薄膜在其表面成長而製造出上述本發明之第 1 形態的矽半導體基板。

本發明之矽半導體基板之製造方法的第 2 形態，其特徵在於：製作出以讓 $\{110\}$ 面朝 $\langle 100 \rangle$ 方向傾斜的面作爲主面的矽半導體基板，藉著將該矽半導體基板在氫氣、或氫氣或該些混合氣體環境中實施熱處理，而製造出上述本發明之第 1 形態的矽半導體基板。

【實施方式】

實施發明之最佳的形態

以下雖然是根據所附的圖面來說明本發明的實施形態，但圖所示的例子只是一個例子而已，當然只要是不脫離本發明的技術思想，當然可以作各種的變更。

首先，請參照圖 1~圖 6 來說明本發明的矽半導體基板。圖 1 表示將 $\{110\}$ 面朝 $\langle 100 \rangle$ 方向傾斜 0.1° 之本發明

的磊晶矽半導體基板 W 的 AFM (Atomic Force Microscope) 像，圖 2 表示其模式圖，圖 3 為將 {110} 面朝 $\langle 110 \rangle$ 方向傾斜 7.9° 之本發明之磊晶矽半導體基板 W 的 AFM 像，圖 4 為其模式圖，圖 5 為將 {110} 面朝 $\langle 110 \rangle$ 方向傾斜 0.1° 之氬熱處理矽半導體基板 W 的 AFM 像，圖 6 為其模式圖。

本發明的矽半導體基板 W 是一以 {110} 面或讓 {110} 面傾斜的面當作主面，而在其表面具有沿著 $\langle 110 \rangle$ 方向之原子層級 (level) 的階梯 (step) S 者 (圖 1~圖 6 的圖示例為一以讓 {110} 面傾斜的面作為主面的情形) 。

爲了要減低矽半導體基板 W 的表面粗度，必須進行原子層級 (level) 之表面平坦化。藉著在矽半導體基板 W 的表面形成階梯 S，在階梯 S 之間形成平台 T，在該平台面，成爲原子層級平坦的面。若使階梯 S 的端緣成爲 $\langle 110 \rangle$ 方向時，則朝 $\langle 110 \rangle$ 方向流動的載子會流向平坦的平台 T 面正下方，或者在不受階梯 S 的段差之散亂影響的情形下流動，因此可以減低表面粗度所造成之散亂影響，能夠實現高的移動度。此外，階梯 S 的端緣 (edge)，在原子層級來看並不成爲直線而是具有相當於數原子的凹凸，該部分稱爲轉折 (kink) 部。因此，所謂的沿著 $\langle 110 \rangle$ 方向的階梯 S，係意味著以測微器級數 (micrometer order) 平均地來看沿著 $\langle 110 \rangle$ 方向的階梯 S。

爲了要提高在 {110} 面或讓 {110} 面傾斜的面上所形成的半導體積體電路元件的載子移動度，則載子所流動之

$\langle 110 \rangle$ 方向的表面的原子層級必須要是平坦的。對於以 $\{110\}$ 面或讓 $\{110\}$ 面傾斜的面作為主面的矽半導體基板而言，若在其表面平均地在 $\langle 110 \rangle$ 方向形成階梯 (step) 時，則可以沿著 $\langle 110 \rangle$ 方向讓載子流經出現在階梯之間而為平坦的面的平台面的正下方。本發明之磊晶矽半導體基板，由於是沿著 $\langle 110 \rangle$ 方向形成階梯，因此是一藉由磊晶成長而在以讓 $\{110\}$ 面朝 $\langle 100 \rangle$ 方向傾斜的面作為主面的鏡面研磨矽半導體基板表面上形成矽單結晶薄膜者。

接著請參照圖 7 來說明針對主面為讓 $\{110\}$ 面朝 $\langle 100 \rangle$ 方向傾斜的面的矽半導體基板，將定向用平面 (flat) 或缺口 (notch) 形成在 $\langle 110 \rangle$ 方向的情形。圖 7 為表示針對本發明的矽半導體基板藉著將定向用平面 (orientation flat) 附設在 $\langle 100 \rangle$ 方向而成為表背面等效之情形的說明圖。本發明之效果之一則是不需要對矽半導體基板的表背面進行管理。圖 7 係表示以矽半導體基板 W 的 $\{110\}$ 面為代表而作為 (110) 面，而在 $[110]$ 方向形成定向用平面 OF (由於以下之缺口的情形亦相同，因此以定向用平面作代表) 的情形。當讓與 (110) 面垂直的 $[110]$ 軸 (箭頭 OA) 朝 $[001]$ 方向傾斜的情形，而新的軸在圖中成為箭頭 OA'，藉此，主面則成為一與新的軸 OA' 呈垂直的面。當將晶圓的表背面翻轉而研磨背面側時，則傾斜方位成為在晶圓下面側所示的箭頭 OA''，而傾斜方位相對於定向用平面 OF 成為同一方向。換言之，以定向用平面 OF 作為基準，傾斜方位相對於晶圓的表背面翻轉成為同一方向

。因此，在矽半導體基板的製程中，並不必實施表背面的管理，可以提供一以定向用平面 OF 作為基準，而在結晶上具有等價之構造的矽半導體基板。

爲了要比較，圖 8 則表示一將矽半導體基板 W 的定向用平面 OF 形成在〔001〕方向的情形。而與圖 7 同樣地，當讓與(110)面呈垂直的〔110〕軸(箭頭 OA)朝〔001〕方向傾斜的情形，新的軸在圖中成爲箭頭 OA'，因此，主面成爲一與新的軸 OA'垂直的面。當將晶圓的表背面翻轉而研磨背面側時，則傾斜方位成爲晶圓下面側所示的箭頭 OA"，而傾斜方位成爲一相對於定向用平面 OF 旋轉 180 度的方向。在某一晶圓雖然傾斜方位係朝著定向用平面的方向(〔001〕)，但在其他的晶圓，則成爲與定向用平面的方向(〔001〕)呈相反側。因此，在以定向用平面作為基準來排整矽半導體基板的方向而實施各種的處理來製作半導體元件的元件製程中，則混合有傾斜方向呈 180 度不同的晶圓，而無法製作出顯示同一特性的元件。

本發明之矽半導體基板之製造方法的第 1 形態是一製作以讓{110}面朝<100>方向傾斜的面作為主面的矽半導體基板，藉著磊面成長法讓矽單結晶薄膜在其表面上成長而製造本發明之矽半導體基板的形態。

本發明之矽半導體基板之製造方法的第 2 形態則是一製作以讓{110}面朝<100>方向傾斜的面作為主面的矽半導體基板，藉著將該矽半導體基板在氫氣、或氘氣、或該些

的混合氣體環境中實施熱處理而製造出本發明之矽半導體基板的形態。

實施例

以下雖然是舉出實施例更詳細地說明本發明，但該些實施例只是舉例而已，當然並不應加以限制解釋。

(實施例 1)

讓朝〔110〕方向被上拉的矽單結晶朝〔001〕方向傾斜 0° 、 0.1° 、 1.0° 、 2.0° 、 4.0° 、 6.0° 、 7.9° 、 10.0° 而切斷而製作出晶圓。結晶為添加了硼的 p 型，電阻係數為 $10\sim 12\ \Omega\ \text{cm}$ ，口徑為 $150\ \text{mm}$ 。被切斷的晶圓在藉由通常的化學機械式研磨而成為鏡面晶圓後，則實施 RCA 洗淨。藉由磊晶成長在讓些的鏡面研磨矽半導體基板形成厚度約 $5\ \mu\text{m}$ 的矽單結晶薄膜。原料氣體則使用 SiHCl_3 ，而在氫氣環境中藉由 1130°C 的反應溫度而成長。

表面粗度的測量則是利用可藉由 AFM (Atomic Force Microscope) 的功能來測量表面之微小的凹凸的 SEIKO INSTRUMENTS 公司的 SPA 360 來進行。而藉由 Rms 來表示其表面粗度的量。圖 9 表示磊晶矽半導體基板之 Rms 的微傾斜角度相關性。爲了要比較也表示了具有各傾斜角度的鏡面研磨矽半導體基板。當微傾斜角度為 0° 時，則鏡面研磨矽半導體基板的 Rms 與磊晶矽半導體基板的

Rms 分別是 0.118nm、0.112nm。

此外，沒有傾斜的 {110} 面的鏡面研磨矽半導體基板的 $Rms=0.118nm$ ，是一大約與沒有傾斜的 {100} 面的鏡面研磨矽半導體基板的 Rms 相同的值。即使微傾斜角為 0.1° ，磊晶矽半導體基板的表面粗度會較鏡面研磨矽半導體基板減低。其減低效果至少到 7.9° 的傾斜角。由於 {110} 面的單原子層階梯的段差為 $0.192nm$ ，因此，當 7.9° 時在計算上的平台面的寬度為 $1.38nm$ ，而由於 2 原子階梯的段差為 $0.394nm$ ，因此，平台面的寬度成為 $2.76nm$ ，因而，平台寬度與階梯段差成為同一級數 (order)。當階梯間隔變窄而其密度變高時，則轉折密度也會變高，而因為階梯而導致 2 次元磊晶成長變得困難。而在 10.0° 時，其表面粗度會變差。

將微傾斜角為 0.1° 的磊晶矽半導體基板的表面粗度的 AFM 像表示在圖 1，而將其模型圖表示在圖 2。如圖 1 以及圖 2 所示可以確認出階梯 S 與平台 T。階梯 S 則平均地被形成在 $\langle 110 \rangle$ 方向。平台 T 的寬度約為 $100nm$ 。平台 T 的寬度 L，則在已簡化的模型中可根據在階梯 S 的段差 h 與微傾斜角 α 之間所成立的公式： $\tan \alpha = h/L$ 來加以預測。當為 {110} 時，則單原子階梯的段差為 $0.192nm$ ，而 2 原子階梯的段差為 $0.384nm$ 。而當微傾斜角為 0.1° 時，相對於單原子階梯，平台寬度成為 $110nm$ ，而與預測大致上一致。當微傾斜角度超過 1° 時，則所估計之由單原子階梯所造成的平台寬度成為 $10nm$ 以下。

此時的階梯與平台很難以 AFM 來進行觀察。由於表面粗度 R_{ms} 較鏡面研磨矽半導體基板減低，因此可以視為已形成階梯與平台。如此般雖然可以預測微傾斜角度變得愈大則平台寬度變得愈小，但是當微傾斜角度為 7.9° 時則可視為例外。此時的 AFM 像則表示在圖 3，而其模型圖則表示在圖 4。由圖 3 以及圖 4 所示形成一較所預測之平台寬度的 1.38nm 或 2.76nm 更寬的平台 T。又，階梯 S 的方向雖然大概是 $\langle 110 \rangle$ 方向，但由於是曲線的，因此意味著階梯 S 的成長是搖晃的。而已形成了相當寬之平台 T 的理由則在於當讓 $\{110\}$ 面朝 $\langle 100 \rangle$ 方向傾斜 7.9° 時，由於其主面為低指數面的 $\{551\}$ 面成爲一傾斜 0.15° 的面，因此，其主面成爲一從次晶面 (facet) $\{551\}$ 些微傾斜的面使然。而此則可以從當讓作爲次晶面 (facet) 的 $\{111\}$ 面朝 $\langle 112 \rangle$ 方向稍微傾斜時形成階梯與平台而推測出來。

(實施例 2)

接著說明熱處理矽半導體基板的表面粗度，如與磊晶矽半導體基板的情形同樣地，讓朝 $\{110\}$ 方向被上拉的矽單結晶朝 $\{001\}$ 方向傾斜 0° 、 0.1° 、 1.0° 、 2.0° 、 4.0° 、 6.0° 、 7.9° 、 10.0° 而實施切斷製作出晶圓。在藉由通常的化學機械研磨成爲鏡面晶圓後則實施 RCA 洗淨。針對該些的鏡面研磨矽半導體基板在氫氣環境中以 1150°C 實施 1 個小時的熱處理。圖 10 係表示氫氣熱處理

矽半導體基板的 Rms 的微傾斜角度相關性。

爲了要比較也表示鏡面研磨矽半導體基板。當微傾斜角度爲 0° 時，則鏡面研磨矽半導體基板的 Rms 與氫氣熱處理矽半導體基板的 Rma 分別是 0.118nm 、 0.111nm 。Rms 的微傾斜角度相關性則與磊晶矽半導體基板的情形相同。亦即，微傾斜角從 0.1° 到 0.9° 爲止，氫氣熱處理矽半導體基板的表面粗度較鏡面研磨矽半導體基板減低。

圖 5 係表微傾斜角爲 0.1° 時的 AFM 像，其模型圖則表示在圖 6。當爲磊晶矽半導體基板時雖不明瞭，但是形成有階梯與平台。如此般，階梯與平台雖然相較於磊晶矽半導體基板可說是難以形成，但由於帶有些微傾斜之熱處理矽半導體基板的表面粗度 Rms 會較鏡面研磨矽半導體基板減低，因此可以減輕由載子之表面粗度所造成的散亂。

(實施例 3)

以下則說明在本發明的矽半導體基板形成半導體元件而測量載子移動度的情形。使用主面爲讓 $\{110\}$ 面朝 $\langle 100 \rangle$ 方向傾向的角度爲 0° 、 0.1° 、 7.9° 的鏡面研磨矽半導體基板與在該些表面形成有厚度 $5\mu\text{m}$ 之矽單結晶薄膜的磊晶矽半導體基板以及在氫氣環境中實施熱處理的熱處理矽半導體基板。鏡面研磨矽基板的直徑、電阻係數、氧濃度分別是 150nm 、P 型 $10\sim 12\ \Omega\ \text{cm}$ 、 16ppma (JEIDA 換算)。磊晶層的電阻係數是以 $11\ \Omega\ \text{cm}$ 作爲中心值。氫氣熱

處理爲一在 1150°C 下之 1 個小時的處理。參照試料則爲沒有傾斜之 $\{100\}$ 面的鏡面研磨矽半導體基板。電阻係數、氧濃度則大約與上述的值相同。此外，JEIDA 爲日本電子工業振興協會（現在改稱爲 JEITA：日本電子情報技術產業協會）的簡稱。

爲了要證明電子移動度的改善效果乃形成 n 型場效電晶體。最初爲了要進行元件分離，乃藉由 STI (Shallow Trench Isolation) 法形成用來分離元件的溝 (trench)，而以矽氧化膜來將溝埋住。接著則實施 RCA 洗淨，在除去有機物、雜質、金屬後，則在乾燥氧化環境中形成 5nm 的閘氧化膜。而爲了要控制閘極的閾值電壓將硼 (B) 的離子注入到基板整面。

接著則藉由 CVD (Chemical Vapor Deposition) 法來堆積多結晶矽膜，對其實施圖案化而在電晶體形成領域的閘氧化膜之上形成多結晶矽電極。接著則以低濃度將磷 (P) 離子注入而形成可緩和電場的 n^{-} 源極與 n^{-} 汲極領域電子的流動方向爲 $\langle 110 \rangle$ 方向。接著則如被覆閘極般地藉由 CVD 而讓矽氧化膜堆積在基板整面而進行異方性蝕刻，在閘極的側壁形成側壁絕緣膜。最後則注入高濃度的砷 (As) 離子而形成 n^{+} 源極與 n^{+} 汲極領域。針對如此所製作之 n 型場效電晶體的電子移動度進行評估。

將在成爲基準之 $\{100\}$ 面的鏡面研磨矽半導體基板中的電子移動度設爲 1，而將各基板的電子移動度表示在表 1。微傾斜磊晶矽半導體基板的電子移動度則成爲目前廣

泛所使用之{100}面鏡面研磨矽半導體基板之電子移動度的1.4倍。即使是經微傾斜的氫氣熱處理的矽半導體基板的電子移動度也大約成爲1.2倍，經微傾斜的鏡面研磨矽半導體基板的電子移動度相較於{100}面的情形約爲0.8倍，雖然是比較差，但由於相較於沒有傾斜的{110}面的情形仍成爲1.3倍，因此可顯現出傾斜所產生的效果。在本實施例中，在半導體元件製程中雖然採用以往的RCA洗淨方法，但藉著改善洗淨方法及熱處理方法有可能更加改善電子移動度。例如藉由實施上述的5過程洗淨以及自由基犧牲氧化處理可以更加改善表面粗度，且能夠期待載子移動度更加變高。

表 1

{110}基板	傾斜角度 ([001] 方向)		
	0°	0.1°	7.9°
鏡面研磨	0.62	0.81	0.79
磊晶	0.76	1.46	1.44
熱處理	0.72	1.22	1.15

產業上之可利用性

如上所述，本發明的矽半導體基板，係於原子層級呈平坦化，相較於以往的矽半導體基板，其表面粗度大約減低10%，以及原子層級的表面階梯 (step) 是沿著載子的流動方向而形成，因此可以使得半導體元件的載子移動度

較以往的矽半導體基板的情形最大提高 40%。藉著本發明的矽半導體基板之使用作為半導體積體電路元件的基板，可以實現元件性能的高性能化。又，根據本發明的方法可以有效地製造出本發明的矽半導體基板。

【圖式簡單說明】

圖 1 為表示實施例 1 的磊晶矽半導體基板，當傾斜角為 0.1° 時被形成在表面之階梯與平台之狀態的 AFM 像。

圖 2 為圖 1 的模型圖。

圖 3 為表示實施例 1 的磊晶矽半導體基板，當微傾斜角為 7.9° 時被形成在表面之階梯與平台之狀態的 AFM 像。

。

圖 4 為圖 3 的模型圖。

圖 5 為本發明之氫氣熱處理矽半導體基板，當微傾斜角為 0.1° 時被形成在表面之階梯與平台之狀態的 AFM 像。

。

圖 6 為圖 5 的模型圖。

圖 7 為表示本發明的矽半導體基板，藉著將定向用平面（orientation flat）附加在 $\langle 110 \rangle$ 方向而成為表背面等效之情形的說明圖。

圖 8 為表示矽半導體基板，當將定向用平面附加在 $\langle 100 \rangle$ 方向時不成為表背面等效之情形而必須進行表背面管理的說明圖。

圖 9 為表示實施例 1 之本發明之磊晶矽半導體基板與

鏡面研磨矽半導體基板之表面粗度 (Rms) 之微傾斜角度相關性的說明圖。

圖 10 為表示實施例 2 之本發明之氫氣熱處理矽半導體基板與鏡面研磨矽半導體基板之表面粗度 (Rms) 之微傾斜角度相關性的說明圖。

伍、中文發明摘要

發明之名稱：矽半導體基板及其製造方法

本發明係用來製造{110}面的載子移動度，特別是作為n型FET之載子的電子的移動度顯示出高的值的半導體積體電路元件用的半導體基板，不使用特別的洗淨而是使用以往的RCA洗淨、或不進行自由基氧化而依據原子層級使表面平坦化，而提供一減低表面粗度的矽半導體基板及其製造方法。本發明是一以{110}面或讓{110}面傾斜的面作為主面的矽半導體基板，在其表面具有平均地沿著<110>方向之原子層級(atomic level)的階梯(step)。

陸、英文發明摘要

發明之名稱：

拾、申請專利範圍

1. 一種矽半導體基板，係以讓{110}面傾斜的面作為主面的矽半導體基板，其特徵為：在其表面具有實質上沿著<110>方向之原子層級（atomic level）的一連串之階梯（a series of steps）；

至少一連串階梯之中之大部分，係沿著基板之主面連續存在。

2. 如申請專利範圍第 1 項之矽半導體基板，其中使上述{110}面傾斜的面是一讓{110}面朝<100>方向傾斜的面。

3. 如申請專利範圍第 2 項之矽半導體基板，在以讓上述{110}面朝<100>方向傾斜的面作為主面的矽半導體基板的表面，藉由磊晶成長法形成有矽單結晶薄膜。

4. 如申請專利範圍第 2 項之矽半導體基板，其中

上述矽半導體基板，係以使上述{110}面朝<100>方向傾斜的面為主面，具有使上述{110}面朝<100>方向傾斜之面的矽半導體基板，係具有使{110}面朝<100>方向傾斜之面的實施過熱處理的矽半導體基板，上述實施過熱處理的矽半導體基板，係在氫氣體或 Ar（氬）氣體或彼等之混合氣體環境中被實施熱處理。

5. 一種矽半導體基板，以讓{110}面朝<100>方向傾斜的面作為主面的矽半導體基板，其特徵為：其表面被實施鏡面研磨，而且，其表面在上述主面上具有實質上沿著<110>方向之原子層級的一連串之階梯；

至少一連串階梯之中之大部分，係沿著基板之主面連續存在。

6. 如申請專利範圍第 2 項之矽半導體基板，以讓上述 {110} 面朝 $\langle 100 \rangle$ 方向傾斜的面作為主面之矽半導體基板之朝 $\langle 100 \rangle$ 方向的傾斜角度為大於 0° 、小於 8° 。

7. 如申請專利範圍第 2 項之矽半導體基板，將定向用平面 (flat) 或缺口 (notch) 形成在 $\langle 110 \rangle$ 方向。

8. 一種矽半導體基板之製造方法，其特徵在於：

製作出以讓 {110} 面朝 $\langle 100 \rangle$ 方向傾斜的面作為主面的矽半導體基板，藉由磊晶成長法讓矽單結晶薄膜在其表面上成長，依此而製造出如申請專利範圍第 2 項所記載的矽半導體基板。

9. 一種矽半導體基板之製造方法，其特徵在於：

製作出以讓 {110} 面朝 $\langle 100 \rangle$ 方向傾斜的面作為主面的矽半導體基板，藉著將該矽半導體基板在氫氣、或氘氣、或彼此混合氣體環境中實施熱處理而製造出如申請專利範圍第 2 項所記載的矽半導體基板。

10. 如申請專利範圍第 6 項之矽半導體基板，其中將定向用平面或缺口形成在 $\langle 100 \rangle$ 方向。

11. 如申請專利範圍第 1 項之矽半導體基板，其中

上述複數個階梯之各個，係用於界定各端緣 (edge)，複數個階梯之各個之各端緣，在沿著上述 $\langle 110 \rangle$ 方向之厚子層級上並非成為直線。

圖 1

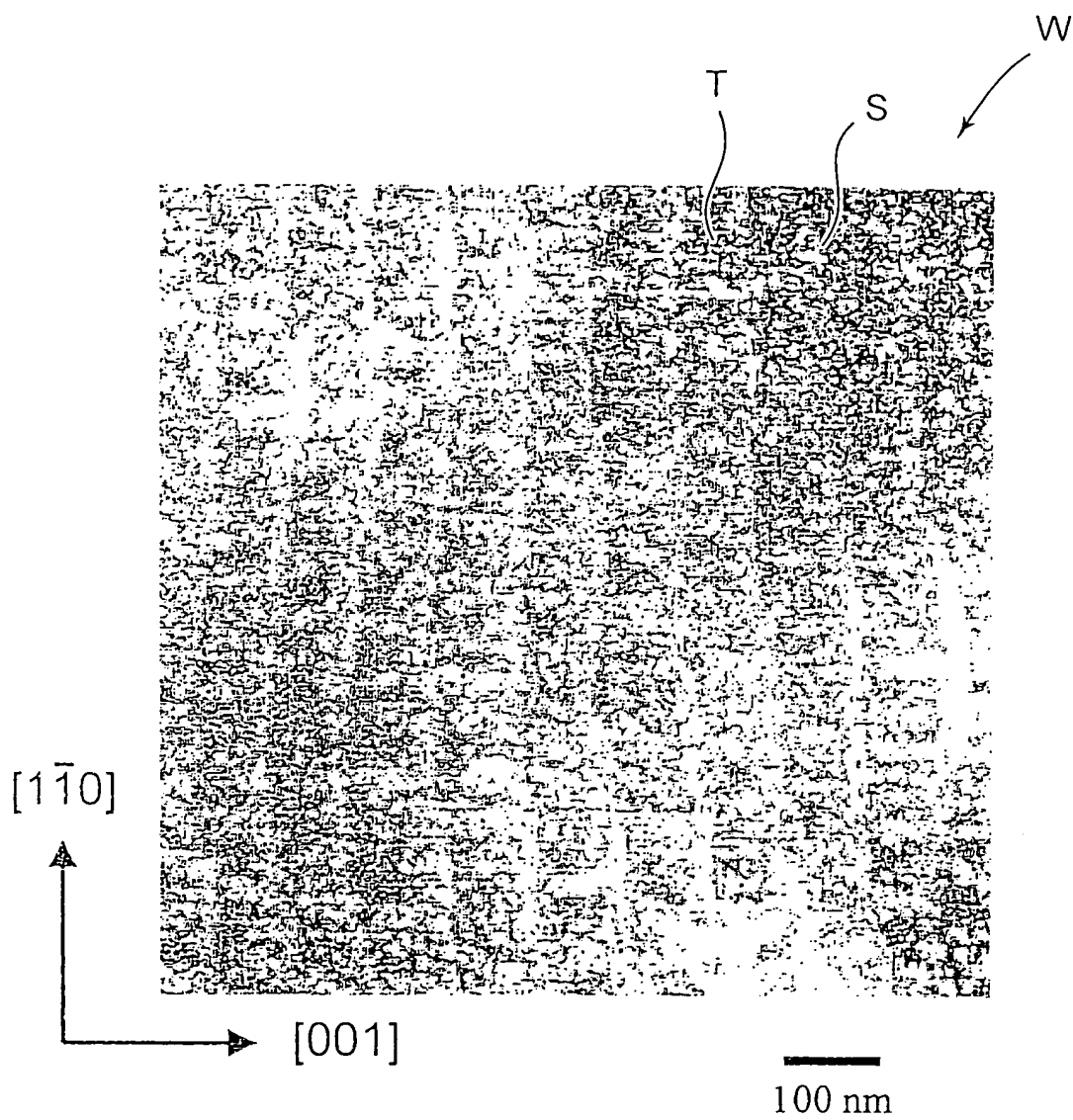


圖 2

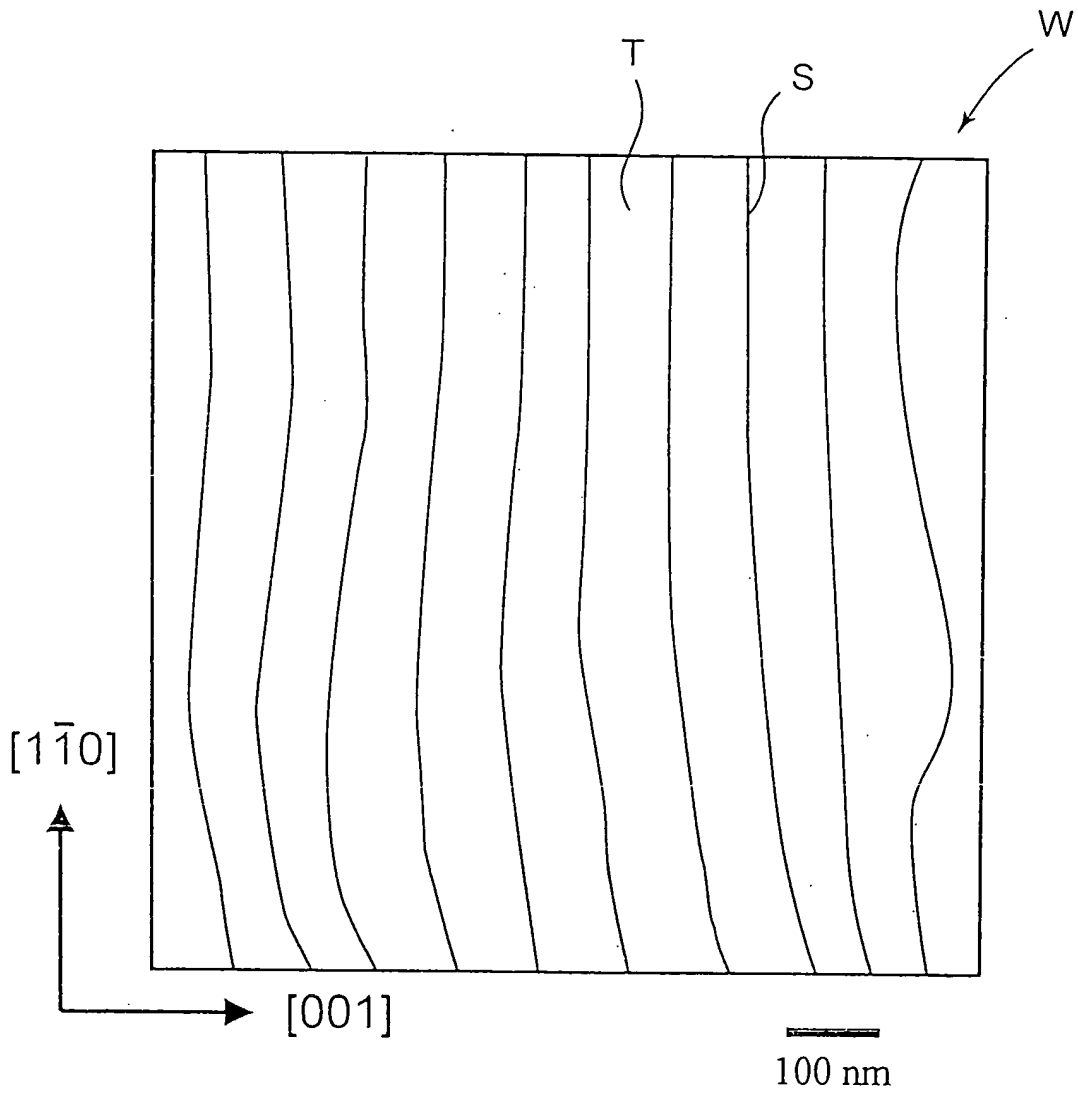


圖3

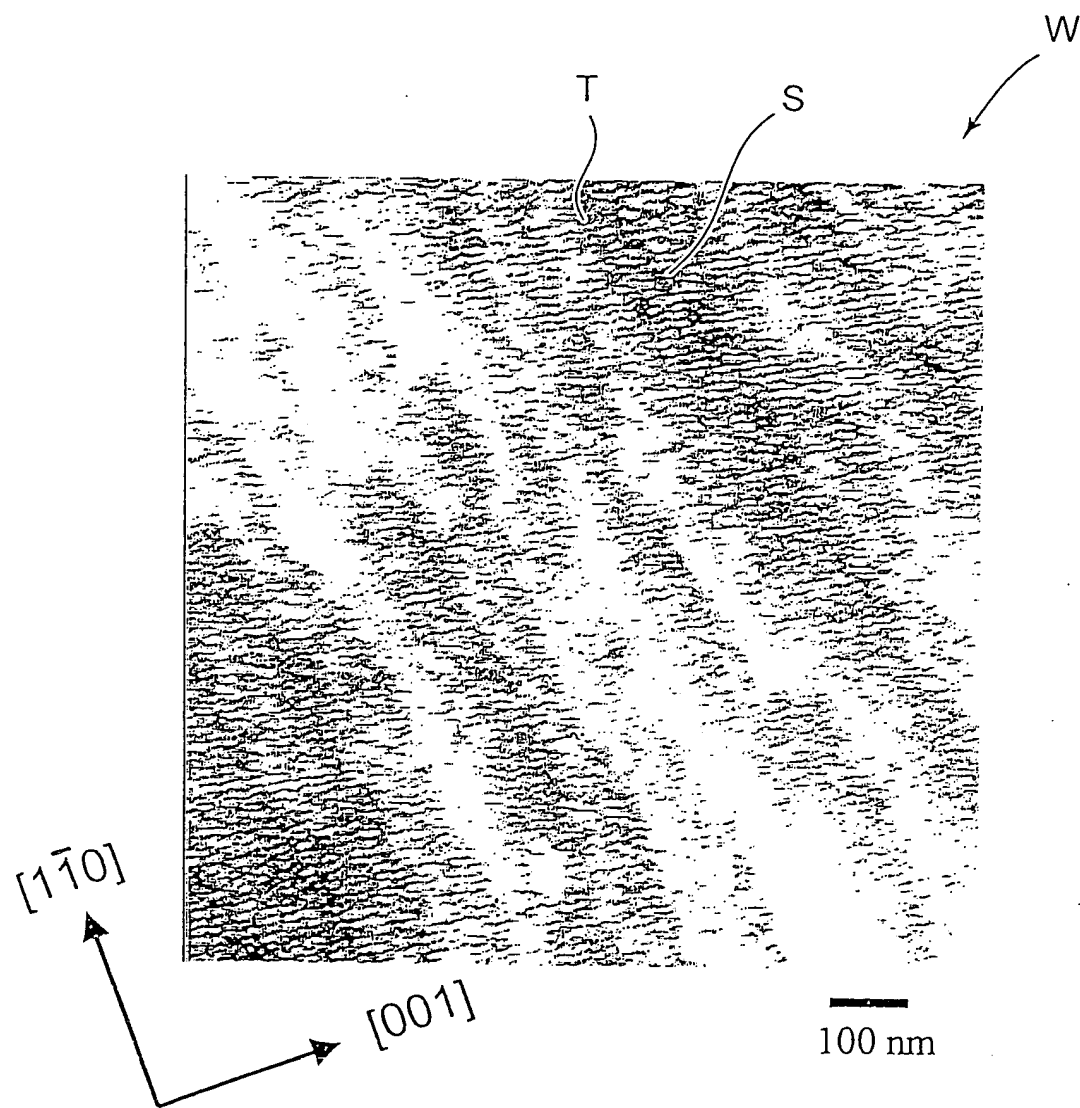


圖4

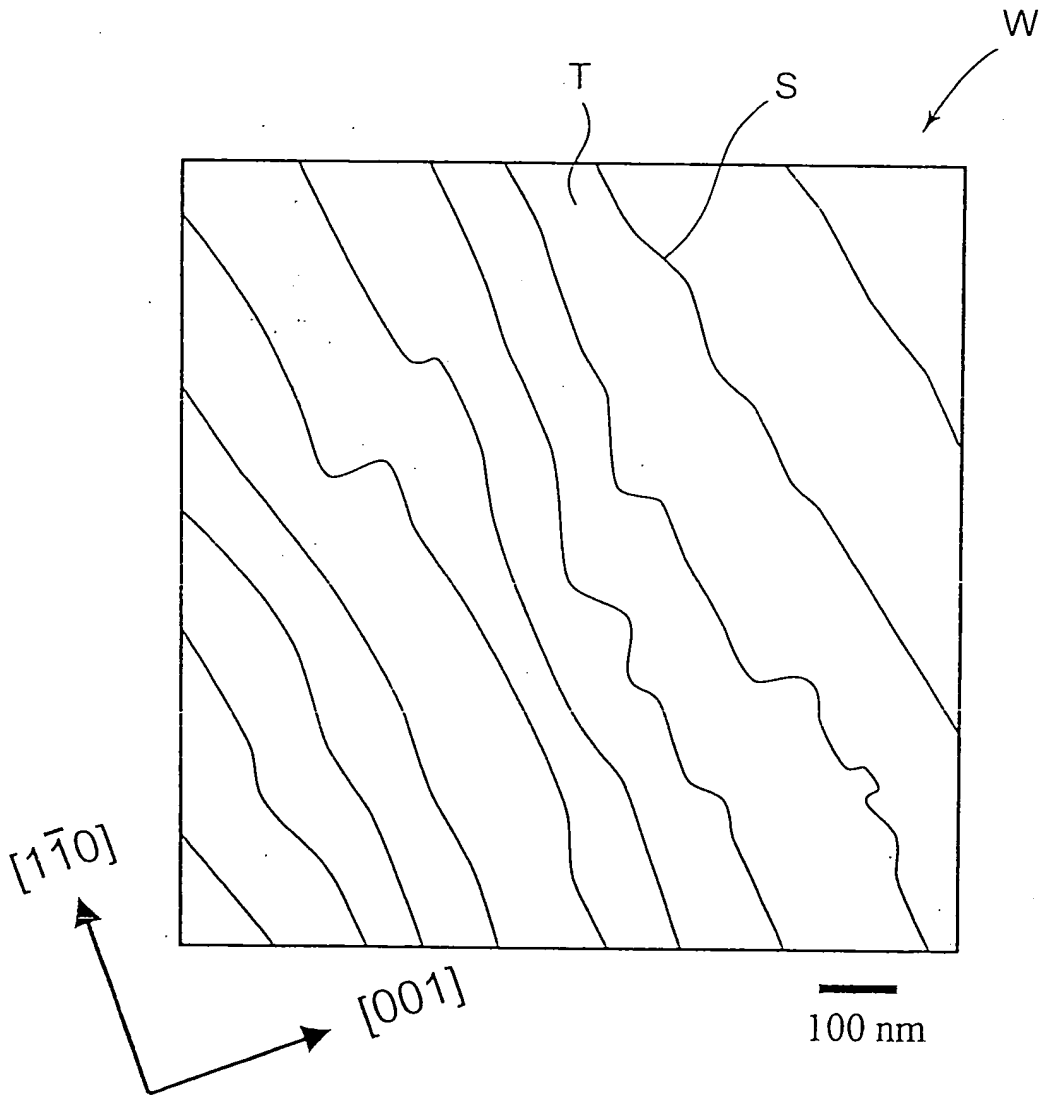


圖5

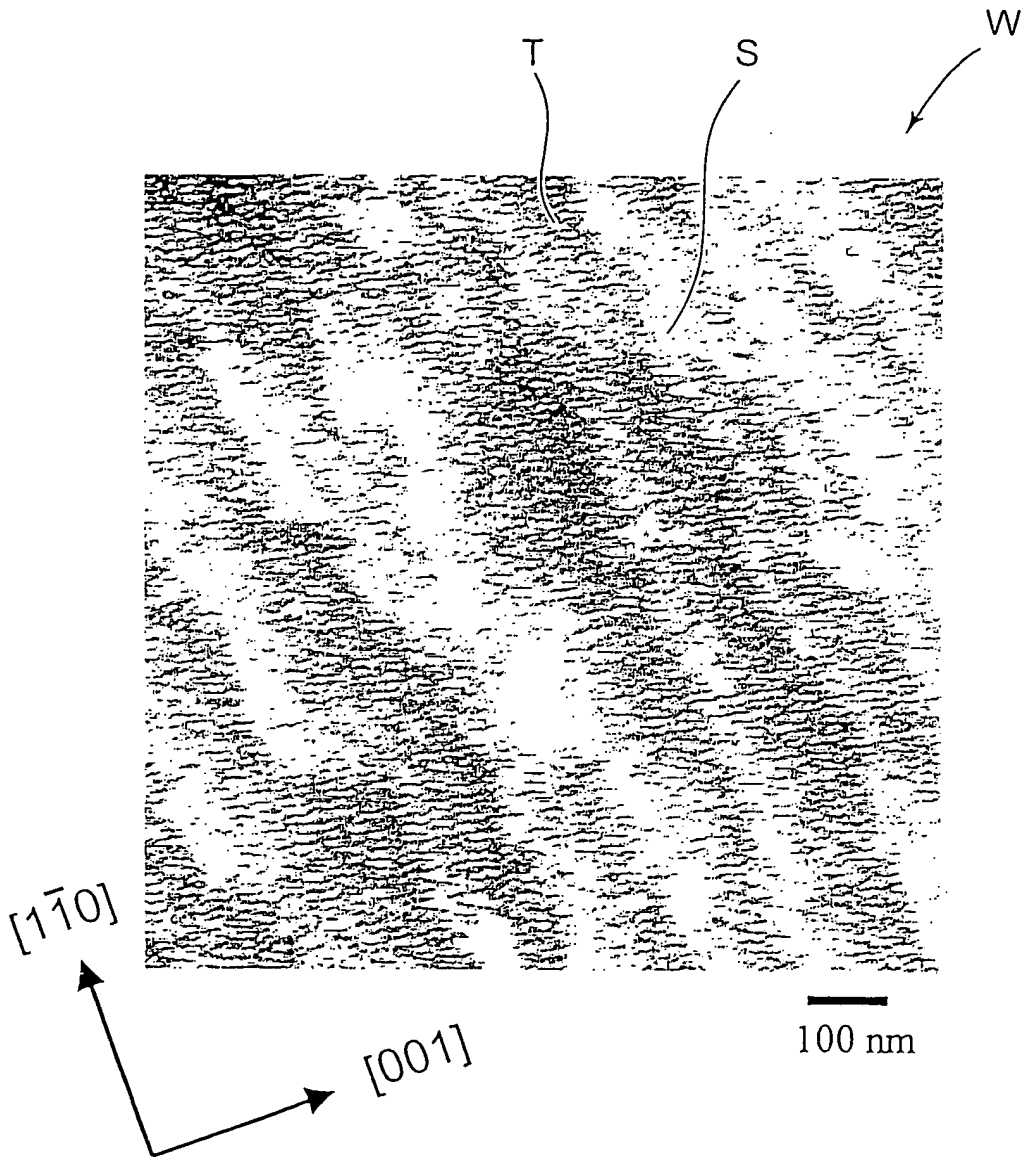


圖6

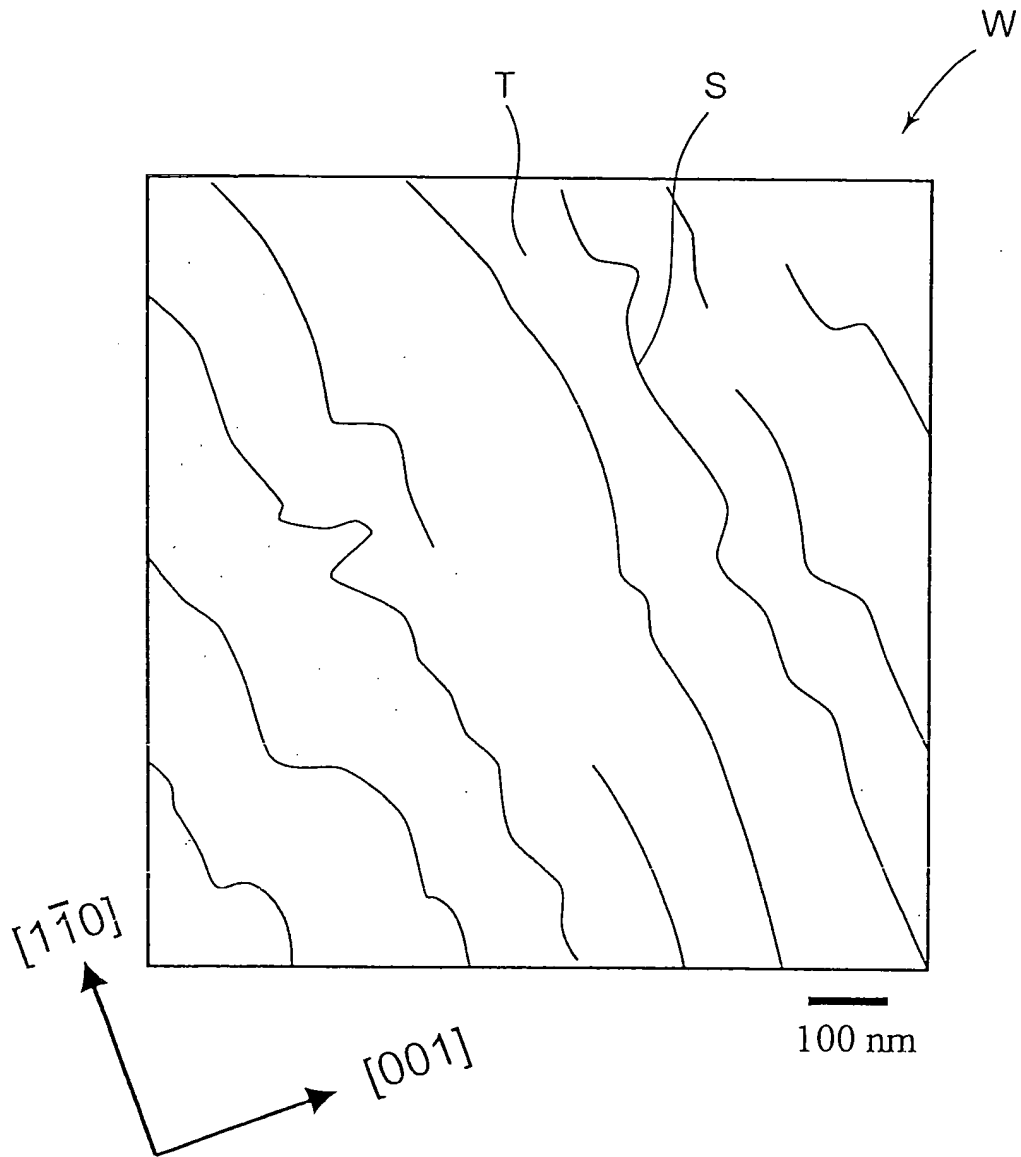


圖 7

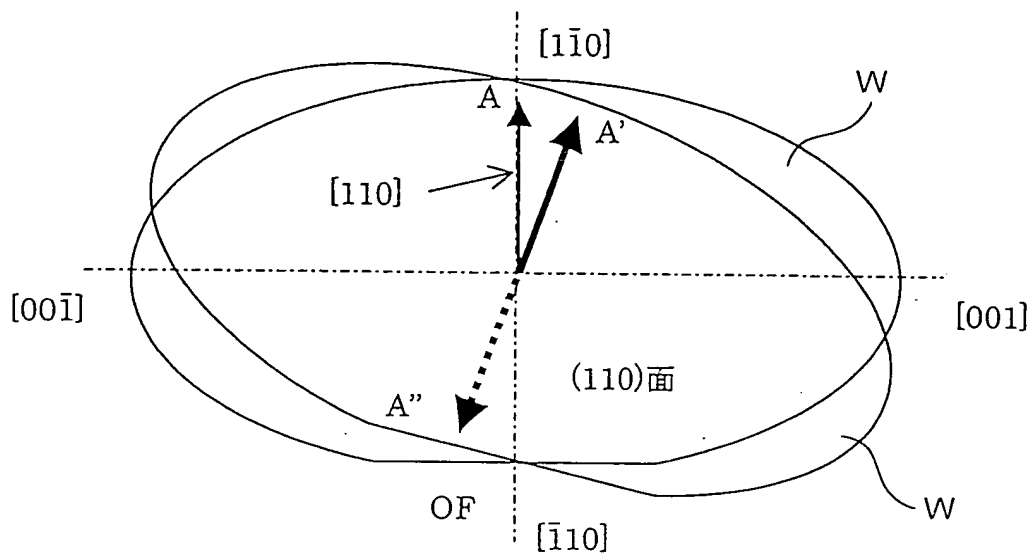


圖 8

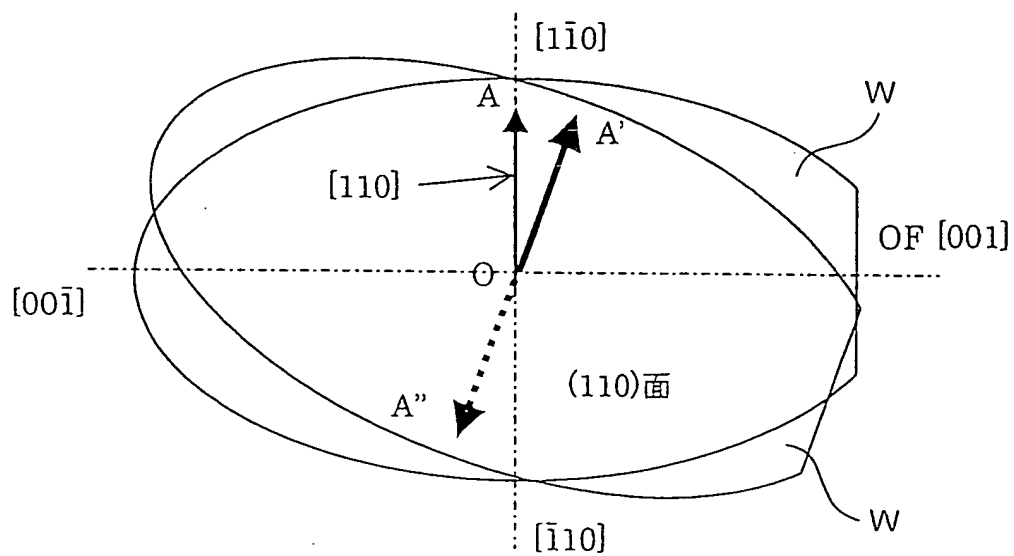


圖 9

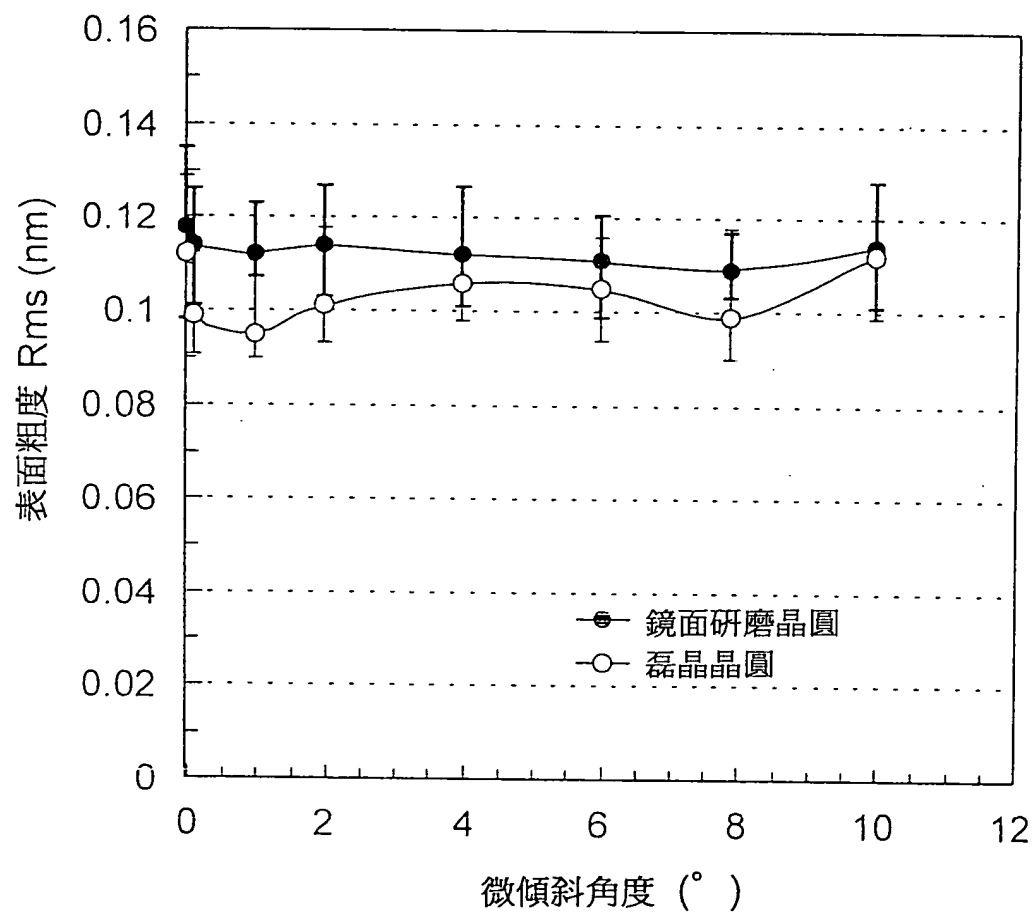
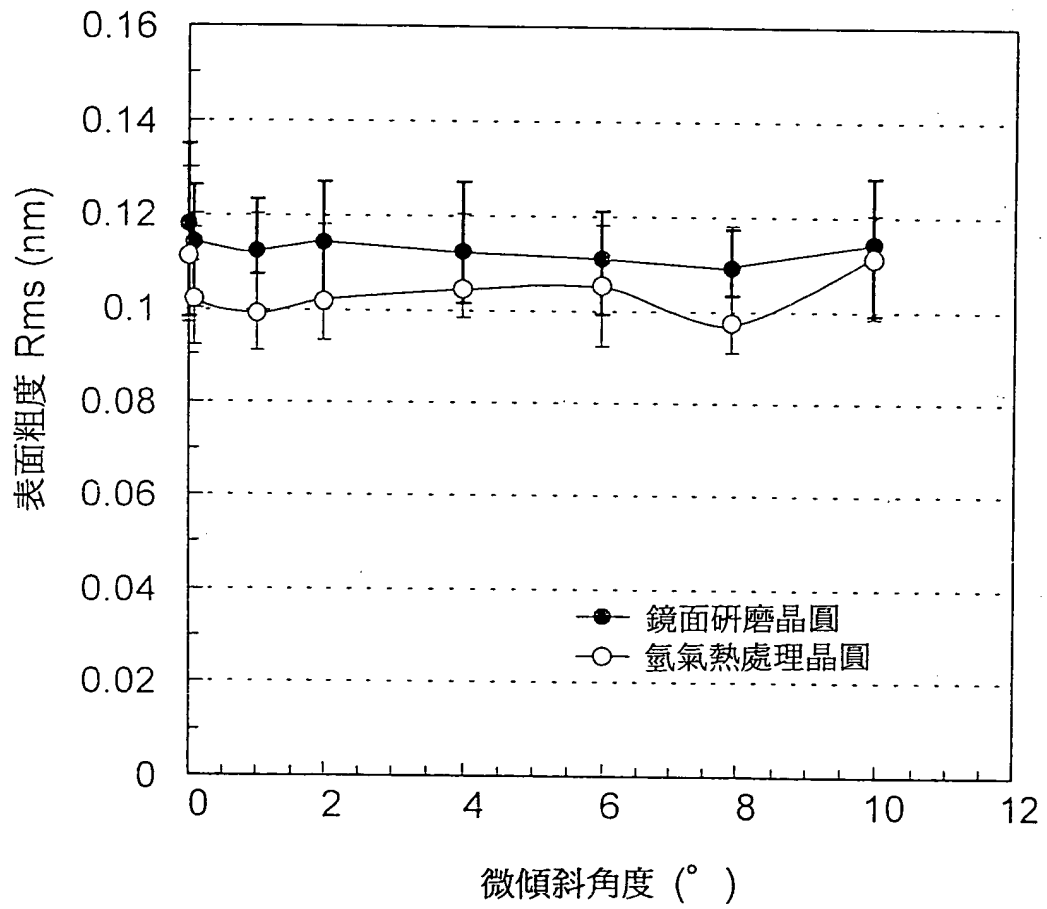


圖 10



- 柒、(一)、本案指定代表圖為：第 1 圖
(二)、本代表圖之元件代表符號簡單說明：無

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：