(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 7
H01L 21/76

(45) 공고일자 2003년04월08일
(11) 등록번호 10 - 0379612
(24) 등록일자 2003년03월27일

(21) 출원번호 10 - 2000 - 0072091
(22) 출원일자 2000년11월30일

(65) 공개번호 특2002 - 0042275
(43) 공개일자 2002년06월05일

(73) 특허권자 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 이재규
경기도용인시기흥읍농서리산7 - 1번지A - 435호
이상현
경기도수원시장안구파장동408 - 42명성빌라401호

(74) 대리인 임창현
권혁수

심사관 : 이금욱

(54) 도전층을 채운 트렌치 소자 분리형 반도체 장치 및 그형성 방법

요약

본 발명은 내부에 도전층을 채운 트렌치 소자 분리형 반도체 장치 및 그 형성방법에 관한 것으로, 본 발명의 장치는 반도체 기판에 형성된 소자 분리막에서 상부 및 반도체 기판과 접하는 측부가 절연막으로 이루어지고, 측부 및 상부로 덮인 내부가 도전층으로 이루어지며, 도전층으로 이루어진 내부가 트렌치 저면에서 반도체 기판과 전기적으로 접속되어 기판 전압이 인가될 수 있도록 형성된 것을 특징으로 한다.

대표도

도 5

명세서

도면의 간단한 설명

도1은 디램장치의 셀 영역에서 특정 셀에 인근 셀의 전계가 소자 분리막을 투과하여 영향을 미치는 현상을 화살표로 표현한 개념도,

도2는 셀 사이의 거리가 좁아지면서 인근 셀의 전계의 영향이 급격히 커짐을 수치화하여 나타내는 그래프,

도3은 본 발명을 통해 형성된 DRAM 장치의 셀 영역에서 게이트 라인이 활성 영역 위에 형성된 상태를 나타내는 평면도,

도4는 트렌치 소자 분리막 내에 도전층을 채워 인근 셀의 전계를 차단한 종래 예를 나타내는 단면도,

도5는 도3과 같은 셀 영역과 함께 주변회로 영역도 추가로 나타내는 단면도,

도6a, 도6b는 종래와 본 발명의 반도체 장치 트렌지스터에서의 전위 분포를 나타내는 3차원 그래프,

도7a, 도7b는 종래와 본 발명의 반도체 장치 트렌지스터에서의 홀 분포를 나타내는 3차원 그래프,

도8은 종래 및 본 발명의 반도체 장치 트렌지스터에서의 인가된 게이트 전압에 따른 드레인 전류의 증가 태양을 나타내는 비교 그래프,

도9는 종래 및 본 발명의 반도체 장치 트렌지스터에서 채널 폭 크기의 변화에 따른 스레숄드 전압의 변화를 나타내는 비교 그래프,

도10 내지 도15는 도5의 트렌치 구조를 형성하기 위한 본 발명 방법의 일 실시예에서의 중요 공정 단계들을 나타내는 공정 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 도전층을 채운 트렌치 소자 분리형 반도체 장치 및 그 형성방법에 관한 것으로, 보다 상세하게는 MOS(Metal Oxide Silicon) 트랜지스터 채널의 역 협폭 효과(Inverse Narrow Width Effect)를 억제할 수 있도록 도전층 플러그를 이용한 트렌치 소자 분리방법에 관한 것이다.

디램 장치의 소자 고집적화가 계속되면서, 단위 셀의 크기가 급격히 감소하고, 이에 따라 디램 셀의 셀 트랜지스터의 크기도 매우 작아진다. 뿐만 아니라, 주변부(peripheral part) 및 코아부(core)에 있어서도 집적도의 증가와 함께 트랜지스터 크기가 매우 작아지고 있다. 트랜지스터의 크기가 작아짐에 따라 트랜지스더의 채널에서 소오스/드레인 사이의 길이(length)가 작아짐과 함께 활성영역과 게이트 라인이 겹치는 게이트 라인 방향의 거리인 채널 폭(width)도 작아진다.

종래의 LOCOS(Local Oxidation of Silicon) 소자 분리를 택한 반도체 장치에서는 n형 트렌지스터의 경우, 소자의 분리를 강화하기 위해 필드 절연막 주위에 p+이온 도핑을 실시한다. pn접합에 의해 소자분리막과 접한 채널 부분에서는 캐리어가 잘 이동하지 않고 스레숄드 전압(threshould voltage: V_T)이 채널의 중간부에 비해 높게 형성되는 현상이 있었다. 따라서 채널의 폭이 작을수록 채널의 전체적인 스레숄드 전압은 높아지는 협폭 효과(narrow width effect)를 나타낸다.

한편, 트렌치 소자 분리(STI: Shallow Trench Isolation)를 택한 경우 필드 절연막 저부에는 통상 p+ 도핑을 하지만 필드 절연막 측부에는 p+도핑이 이루어지지 않는다. 그러므로, 트렌치 소자 분리막이 형성되면 기판의 활성영역에서 트렌치 측부를 통해 붕소(boron)같은 불순물이 소자 분리막을 이루는 산화막으로 빠져 나가고, 서로 집중되는 현상(Boron segregation)이 발생한다. 이 현상에 의해 채널을 이루는 폭의 양쪽 가장자리는 p형 불순물의 농도가 떨어지고 접합에 의한 스레숄드 전압이 낮아질 수 있다. 이를 역 협폭 효과(inverse narrow width effect)라 한다.

한편, 트렌치 소자 분리형 반도체 장치에서는 트렌치 소자 분리막을 만드는 과정에서 채널 폭의 양쪽 가장자리가 각이지게 형성된다. 또한, 식각 마스크로 사용된 실리콘 질화막을 제거하는 과정에서 발생하는 덴트(dent) 및 이에 의한 험프(hump) 현상이 발생하기 쉽다. 이들 현상은 채널 폭 양쪽 가장자리에 전계가 집중되도록 하여 채널의 열림(on)을 촉진하므로 결국 스레숄드 전압의 감소를 가져올 수 있다.

따라서, 역 협폭 효과에 의한 채널 폭 양쪽 가장자리의 스레숄드 전압의 감소는 험프 등의 현상에 의한 채널 폭 양쪽 가장자리의 스레숄드 전압 감소와 서로 상승적으로 작용하여 반도체 장치의 트랜지스터 소자 동작에 중대한 악영향을 미칠 수 있으므로 역 협폭 효과를 방지할 수 있는 해결책이 요구되고 있다.

더욱이, 근래에 소자 고집적화 경향의 확대에 따라 소자 분리막의 폭, 즉, 소자간 거리가 작아지면서 인근 셀의 스토리지 노드 전압에 의해 셀 트렌지스터의 동작 전압, 즉, 스레숄드 전압이 더 낮아지는 전계 투과(electric field penetration) 현상이 발생함이 알려져 채널 협폭화에 따른 스레숄드 전압의 강하를 해결하는 문제가 더 절실해지고 있다.

도1은 디램장치의 셀 영역에서 특정 셀의 활성 영역(13)에 인근 셀의 전계가 소자 분리막을 투과하여 영향을 미치는 현상을 화살표로 표현한 것이다. 수직으로 가로지르는 패턴은 게이트 라인(11)을 나타낸다. 도2는 셀 사이의 거리가 좁아지면서 인근 셀의 전계의 영향이 급격히 커짐을 나타내는 그래프이다. 도2에 따르면, 셀 간 거리(L_{SP})가 0.1 마이크로 메터인 경우 인근 셀의 스토리지 노드에 인가된 전압(V_{NS})이 0에서 2V로 변함에 따라 정규화된 채널 각 위치에서의 전위 변화가 거의 없으나, 셀 간 거리가 0.06 마이크로 메터인 경우 전위 변화가 0.1V 이상의 차이를 나타내고 있다. 이때 게이트 전압(V_G)은 0.5V로 되어 있다.

이러한 전계 투과 현상을 막기 위해서는 도4의 단면도와 같이 기판(10)에 형성되어 활성영역(13)을 분리하는 트렌치 소자 분리막에서 절연막(20,35) 내에 폴리실리콘막(31) 같은 도전막을 채워넣는 방법이 제안된 바 있다. (대한민국 특허출원번호 1998-25174) 그러나, 이런 방법은 여타 원인에 따른 스레숄드 전압 강하 현상에 대한 전체적인 해결방법은 되지 못하고 있다.

최근 해결책으로 연구되는 것 가운데 종래의 LOCOS(local oxidation of silicon) 공정에서와 같이 소자 분리막 측부에 불순물 이온주입을 실시하는 방안이 있다. 그러나, 역 협폭 효과를 방지할 정도로 충분히 소자 분리막 측부에 불순물을 주입하는 것은 셀의 접합 층구조(Junction Profile)을 더욱 급격하게 한다(접합 폭을 더욱 감소시킨다). 따라서, 불순물 주입의 강화는 접합부의 전계를 밀집시키며, 전계 밀도의 증가에 따라 필연적으로 접합면 누설 전류(junction leakage current)를 증가시킨다.

또한 고집적 반도체 장치에서는 셀 영역뿐만 아니라 집적화가 진행된 주변회로부에서도 코아 영역의 아이소레이션 트렌지스터나 센스 증폭 트랜지스터에서 역 협폭 효과로 인하여 스레숄드 전압이 떨어짐에 따라 트렌지스터의 오프 상태 전류(off current)가 증가되어 대기 상태(standby)의 전류 소모가 커지고 주어진 신호에 대한 감도가 떨어지게 되는 문제가 있다.

그리고, 이런 문제들은 반도체 장치의 고집적화와 수율의 증가를 가로막는 중대한 원인이 되고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상술한 종래의 문제점들을 해결하기 위한 것으로, 역협폭 효과에 따른 스레숄드 전압의 강하를 방지할 수 있는 트렌치 소자 분리형 반도체 장치 및 그 형성방법을 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은 접합면 누설 전류를 증가시킴이 없이 스레숄드 전압의 강하를 방지할 수 있는 트렌치 소자 분리형 반도체 장치 및 그 형성방법을 제공하는 것을 목적으로 한다.

본 발명은 트렌치 소자 분리형의 고집적 반도체 장치 전반에 사용될 수 있으나, 특히, 집적도가 높은 n형 트랜지스터를 채택하는 반도체 디램(DRAM) 장치에 적합한 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 트렌치 소자 분리형 반도체 장치는, 반도체 기판에 형성된 소자 분리막에서 상부 및 반도체 기판과 접하는 측부가 절연막으로 이루어지고, 측부 및 상부로 덮인 내부가 도전층으로 이루어지며, 도전층으로 이루어진 내부가 트렌치 저면에서 반도체 기판과 전기적으로 접속되어 기판 전압이 인가될 수 있도록 형성된 것을 특징으로 한다.

본 발명에서 소자 분리막의 상부는 상기 도전층에 접하는 실리콘 질화막과 상기 실리콘 질화막 위의 형성된 산화막으로 이루어지는 것이 바람직하며, 소자 분리막의 측부는 실리콘 질화산화막(SiON)으로 이루어지는 것이 바람직하다.

또한, 본 발명에서 소자 분리막의 측부는 내부의 도전층에 접하는 실리콘 질화막과 실리콘 질화막과 접하는 실리콘 산화막을 구비하여 이루어질 수 있다. 이때 실리콘 산화막은 열산화막이 통상적이다.

그리고, 내부의 도전층은 불순물이 도핑된 폴리실리콘이 통상적이나 일함수(WORK FUNCTION)가 큰 금속층으로 이루어질 수 있다.

상기 목적을 달성하기 위한 본 발명의 트렌치 소자 분리형 반도체 장치 형성방법은 반도체 기판에 소자 분리용 트렌치를 형성하기 위한 식각 마스크 패턴을 형성하는 단계, 식각 마스크 패턴을 이용한 식각으로 반도체 기판에 트렌치를 형성하는 단계, 트렌치의 내면에 절연막을 형성하고 트렌치 저면의 절연막을 제거하는 단계, 저면에 절연막이 제거된 트렌치에 상면이 반도체 기판의 상면보다 낮게 도전층을 채우는 단계 및 도전층 위에 절연 커버층을 형성하는 단계를 구비하여 이루어진다.

일반적으로 트렌치 식각을 위한 식각 마스크 패턴은 기판 표면에 수백 A으로 얇게 형성된 실리콘 산화막과 상대적으로 두꺼운 실리콘 질화막을 포함하는 둘 이상의 층으로 이루어지며, 반사 방지막, 산화막으로 이루어진 하드 마스크층이 포함될 수 있다.

본 발명의 방법에서 도전층을 반도체 기판의 상면보다 낮게 채우기 위해서 도전층을 일단 트렌치 영역에서 반도체 기판의 상면보다 높게 적층하고, 전면 이방성 식각을 통해 도전층 상면을 반도체 기판의 상면보다 낮게 리세스(recess)시키는 방법을 사용할 수 있다.

상기 절연 커버층은 본 발명 장치의 소자 분리막 상부를 구성하는 것으로, 얇은 실리콘 질화막을 적층하고, 트렌치의 잔여 공간을 실리콘 산화막으로 채우는 형태로 형성할 수 있다. 또한, 식각 마스크 패턴 위로 쌓인 절연 커버층의 실리콘 산화막을 평탄화 식각하고, 식각 마스크 패턴을 제거하는 단계가 더 구비될 수 있다. 이때 실리콘 질화막은 후속 공정에서의 산소 확산에 따른 활성 영역 가장자리의 추가 산화와 부피 증가로 인한 결정 손상을 방지하는 효과를 가질 수 있다.

이하 도면을 참조하면서 실시예를 통해 본 발명을 상세히 설명하기로 한다.

도3은 본 발명을 통해 형성된 DRAM 장치의 셀 영역에서 게이트 라인(11)이 활성 영역(13) 위에 형성된 상태를 나타내는 평면도이며, 도5는 도3과 같은 셀 영역과 함께 주변회로 영역도 추가로 나타내는 단면도이다. 평면도의 활성영역(13) 주변을 얇게 둘러싸는 것은 트렌치 측벽에 형성된 측부 절연막(20)이다. 이 측부 절연막(20)은 실리콘 질화산화막의 단일막으로 이루어지나 실리콘 산화막과 실리콘 질화막이 겹쳐 이루어질 수도 있다. 이 측부 절연막(20) 이외의 소자 분리막(30) 영역에서 표면을 이루는 상부는 상부 절연막으로 이루어진다. 상부를 이루는 상부 절연막은 실리콘 산화막(35)과 실리콘 질화막(33)으로 이루어진다.

소자 분리막(30) 내부는 트렌치 대부분을 채우고 있는, P형 불순물이 고농도로 도핑된 폴리실리콘막(31)으로 이루어

진다. 이런 상태는 도5의 단면도에 잘 나타난다. 도5를 도4와 비교하면 도4에 나타난 종래의 트렌치 소자 분리막과 달리 소자 분리막 저부에 절연막이 존재하지 않음을 알 수 있다. 기판(10)이 저농도 P형 불순물로 도핑된 경우, 트렌치 저면에서 트렌치를 채우는 폴리실리콘막(31)과 기판(10)은 오믹 콘택을 이루어 기판(10)에 적용되는 전압이 트렌치 내부의 폴리실리콘막(31)에게 즉시 인가된다. 또한, N형으로 도핑된 소오스/드레인 영역을 가지는 활성영역(13)들 사이의 소자 분리를 더욱 철저히 할 수 있다.

이런 트렌치 소자 분리막의 구성을 가지는 반도체 장치에서 트랜지스터의 동작을 종래의 경우와 대비하여 살펴보면, 본 발명의 구성은 채널을 이루는 활성영역의 상부에 있는 게이트 전극 외에 채널 양 측부에 게이트 전극이 하나씩 더 형성된 경우와 비교할 수 있다. 도6a, 도6b는 종래와 본 발명의 반도체 장치 트렌지스터에서의 전위 분포를 나타내는 3차원 그래프이며, 도7a, 도7b는 종래와 본 발명의 반도체 장치 트렌지스터에서의 홀 분포를 나타내는 3차원 그래프이다. 이들 그래프에는 셀 영역에서의 불순물 도핑이 반영되어 있으며, 기판 및 기판에 접속되는 소자 분리막 내부 폴리실리콘층에는 음전압이 걸리게 된다. 이들 도면에 따르면, 채널 양 측부에서 종래의 경우에는 채널의 중간 영역에 비해 전위가 높아져 있으며, 홀의 밀도는 저하되어 있다. 반대로 본 발명 반도체 장치의 트랜지스터에서는 채널의 중간 영역에 비해 양 측부에서 홀의 밀도가 높아진다.

가령, DRAM 장치에 비트라인을 통해 트랜지스터 드레인에 전압이 걸리고, 게이트 전극에 전압이 인가되면 채널에 전류가 흐르게 되는 경우를 가정하면, 종래의 트랜지스터에서는 전술한 여러 가지 문제점들로 인하여 게이트 라인의 방향과 수직을 이루는 채널 양 측부에 게이트 전극에 충분한 전압이 걸리기 전에 전류가 흐르기 시작한다.

그러나, 본 발명에 따르면 기판에 인가되는 역전압에 따라 트렌치 내부에 음의 전압이 인가된다. 따라서 채널 양 측방에서 통상의 양의 전압이 걸리는 게이트와는 반대 역할을 하는 측부 게이트 전극이 가동된다. 측부 게이트 전극의 작용으로 채널 양 측방에서는 홀의 밀도가 높아지고 NPN접합의 구성(junction profile)이 명확히 된다. 따라서, 상부 게이트에 충분한 동작 전압이 걸리기 전에는 채널 양 측방에서 전류가 흐르는 것을 저지한다. 결국, 종래의 역협폭 효과를 방지할 수 있다. 이때, 트렌치 측벽의 절연막은 측부 게이트의 게이트 절연막의 역할을 한다. 또한, 종래의 트렌치의 소자 분리막을 통해 인근 소자에서 전달되는 투과 전계도 소자 분리막 내부에 일정한 음의 전압이 인가됨에 따라 차폐된다.

도8은 종래 및 본 발명의 반도체 장치 트렌지스터에서의 인가된 게이트 전압에 따른 드레인 전류의 증가 태양을 나타내는 비교 그래프이며, 도9는 종래 및 본 발명의 반도체 장치 트렌지스터에서 채널 폭 크기의 변화에 따른 스레숄드 전압의 변화를 나타내는 비교 그래프이다. 도8 및 도9는 상술한 바와 같은 종래 및 본 발명의 구성에 따른 효과 변화를 나타낸다. 낮은 게이트 전압에서 드레인 전류가 흐르지 않게 되고, 채널 폭이 좁아짐에 따라 스레숄드 전압이 높아지는, 종래의 LOCOS 분리에서와 같은 협폭 효과(narrow width effect)를 다시 나타내게 된다. 그러나, 이런 협폭 효과는 고집적의 반도체 장치에서 큰 문제가 되지 않으며, 트렌치 측부 절연막의 두께 및 트렌치를 채우는 폴리실리콘의 도핑 농도를 조절하여 트랜지스터 작동에 문제를 일으키지 않도록 조정이 용이하다.

도10 내지 도15는 도5의 트렌치 구조를 형성하기 위한 본 발명 방법의 일 실시예에서의 중요 공정 단계를 나타내는 공정 단면도이다.

도10을 참조하면, 기판(10)에 트렌치가 형성된다. 기판(10)에 트렌치를 형성하는 방법을 좀 더 살펴보면, 실리콘 기판(10)에 수십 내지 수백 Å 정도의 얇은 패드 산화막(15)과 상대적으로 두꺼운 1500 Å의 실리콘 질화막(17)을 식각 방지막으로 적층한다. 실리콘 질화막(17) 상부에는 하드 마스크용 실리콘 산화막과 포토리소그래피 공정을 위한 반사 방지막이 더 적층될 수 있다. 그리고, 포토레지스트를 사용하는 통상의 포토리소그래피와 식각을 통해 식각 방지막 패턴을 만들어 소자 분리막이 형성될 트렌치 영역을 노출시킨다. 또한, 식각 방지막 패턴을 마스크로 식각을 실시하여 실

리콘 기판(10)을 수천 Å, 가령 2500Å을 식각 함으로써 트렌치를 형성한다.

도11을 참조하면, 형성된 트렌치 측벽에 열처리를 실시한다. 열처리는 식각 과정에서의 측벽의 기판(10) 결정 손상을 보상하기 위한 것으로, 이 과정에서 트렌치 측벽에 측부 절연막(20)이 형성된다. 통상 열산화막을 형성하고 실리콘 질화막 라이닝을 증착 형성하나 공정의 편의를 위해 실리콘 질화산화막만으로 형성할 수 있다. 본 예를 통해 그 방법을 구체적으로 보면, 우선 질소 분위기에서 트렌치가 형성된 기판(10)을 850℃ 정도로 열처리하여 트렌치 측벽의 실리콘 기판 노출면에 수십 내지 100Å 정도의 실리콘 질화산화막을 형성한다. 그리고 전면 이방성 식각을 실시하여 트렌치 측벽의 실리콘 질화산화막은 남기고 트렌치 저면의 실리콘 질화산화막은 제거한다.

도12를 참조하면, 도11의 결과물 전면에 폴리실리콘막(31) 등의 도전막을 3000Å 정도 적층한다. 그리고 도전막을 리세스(recess) 시켜 도전막이 트렌치를 대부분 채우되 도전막 상면이 반도체 기판의 상면보다 낮게 형성되도록 한다. 도전막 리세스를 위해서는 도전막에 선택성을 가지는 식각 물질을 가지고 전면 이방성 식각을 하는 방법을 사용할 수 있다. 도전막을 폴리실리콘으로 형성할 경우, 적층과정에서 불순물 가스를 포함시켜 불순물 도핑을 실시할 수 있다. 또는, 폴리실리콘 적층이 이루어진 다음 여타 영역이 트렌치 형성용 식각 방지막 패턴으로 커버된 상태에서 기판 전면에 이온주입을 실시하여 트렌치 내의 리세스된 폴리실리콘에 가령, 붕소(BORON) 이온을 30keV, 도즈(does)량 10^{15} ions/cm^2으로 이온주입을 실시할 수 있다. 폴리실리콘 외에 일함수가 큰 금속층을 도전막으로 사용할 수 있다. 이때, 활성 영역의 표면층은 식각 마스크 패턴에 의해 커버되므로 불순물 농도의 큰 변화는 없다. 그러나, 트렌치 저면에서 폴리실리콘층과 기판이 베리어 없이 연결되므로 확산 등을 통해 트렌치 저면을 중심으로 가령 p형 불순물의 이온 농도는 늘어날 수 있다. 이는 n형 트랜지스터에서 접합에 의한 소자 분리를 더욱 강화시키는 효과를 가져올 수 있으며, 이런 효과는 종래의 협폭 효과와 유사하다.

도13을 참조하면, 도12의 결과물 전면에 실리콘 질화막(33)을 트렌치를 채운 도전층 상에 수십 내지 백 수십 Å으로 얇게 적층하고 패터닝을 통해 트렌치 영역에만 남겨 놓는다. 트렌치를 채운 도전막이 폴리실리콘막(31)일 경우, 폴리실리콘막(31) 표면을 질소 함유 가스 내에서 가열하여 질화시키는 방법도 고려할 수 있다. 이때 형성하는 실리콘 질화막(33)은 하부 폴리실리콘막(31)을 덮어 절연시키는 역할을 하면서 향후 산소 분위기의 고온 공정에서 폴리실리콘막(31)이 추가 산화하는 것을 방지하는 산소 베리어의 역할을 하게 된다.

도14를 참조하면, 도13의 결과물 위에 CVD 실리콘 산화막(35)을 적층하고 CMP(chemical mechanical polishing) 등으로 평탄화 시킨다. 따라서 트렌치 소자 분리막의 상부 절연막이 완성된다.

도15는 도5와 동일한 것이다. 도15를 참조하면, 트렌치 소자 분리막 사이에 활성 영역을 커버하고 있던 실리콘 질화막(17), 실리콘 산화막(15) 같은 식각 방지막 패턴이 제거된다. 식각 방지막 패턴의 대부분은 실리콘 질화막이므로 인산을 포함하는 식각액을 이용한 습식 식각으로 제거한다. 따라서 소자 분리가 이루어진 기판을 얻을 수 있다. 이를 바탕으로 후속 공정을 진행하여 본 발명의 트렌치 소자 분리형 반도체 장치를 형성하게 된다.

발명의 효과

본 발명에 따르면, 고집적화된 트렌치 소자 분리형 반도체 장치에서 다양한 원인에 의해 정격 게이트 전압이 되기 전에 채널 측부를 통해 전류가 흘러버리는 역 협폭 효과를 줄일 수 있고, 따라서 반도체 장치의 동작 속도와 효율을 높일 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판에 형성된 소자 분리막에 있어서,

상부 및 상기 반도체 기판과 접하는 측부가 절연막으로 이루어지고,

상기 측부 및 상부로 덮인 내부가 도전층으로 이루어지며,

상기 도전층으로 이루어진 내부가 저면에서 상기 반도체 기판과 전기적으로 접속되어 기판 전압이 인가될 수 있도록 형성된 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 2.

제 1 항에 있어서,

상기 소자 분리막의 상부는 상기 도전층에 접하는 실리콘 질화막과 상기 실리콘 질화막 위의 형성된 산화막을 포함하여 이루어지며,

상기 소자 분리막의 측부는 실리콘 질화산화막을 구비하여 이루어지는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 3.

제 1 항에 있어서,

상기 소자 분리막의 측부는 상기 도전층에 접하는 실리콘 질화막과 실리콘 산화막을 구비하여 이루어지는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 4.

제 1 항에 있어서,

상기 도전층은 불순물이 도핑된 폴리실리콘으로 이루어지는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 5.

제 1 항에 있어서,

상기 도전층은 금속층으로 이루어지는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 6.

반도체 기판에 소자 분리용 트렌치를 형성하기 위한 식각 마스크 패턴을 형성하는 단계;

상기 식각 마스크 패턴을 이용하여 상기 반도체 기판을 식각하여 트렌치를 형성하는 단계;

상기 트렌치의 저면 및 측면에 콘포멀하게 절연막을 형성하는 단계;

상기 트렌치 저면의 절연막을 제거하여 트렌치 저면의 반도체 기판을 노출시키는 단계;

상기 트렌치의 내부에 상면이 트렌치 측면의 상기 반도체 기판의 상면보다 낮은 리세스된 도전막을 형성하는 단계; 및

상기 리세스된 도전막 상에 상부 절연막을 형성하는 단계를 포함하는 트렌치 소자 분리형 반도체 장치 형성방법.

청구항 7.

제 6 항에 있어서,

상기 식각 마스크 패턴은 실리콘 질화막을 포함하는 하나 이상의 층으로 이루어지는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치 형성방법.

청구항 8.

제 6 항에 있어서,

상기 트렌치의 내부에 상면이 상기 트렌치 측면의 상기 반도체 기판의 상면보다 낮은 리세스된 도전막을 형성하는 단계는,

상기 트렌치의 내부 및 상기 식각 마스크 패턴 상에 도전막을 형성하는 단계; 및

상기 도전막을 전면적으로 이방성 식각하여 상기 마스크 패턴을 노출시킴과 동시에 트렌치 내부에 잔존하는 도전막 상면을 상기 트렌치 측면의 상기 반도체 기판의 상면보다 낮게 리세스(recess)시키는 단계를 포함하는 것을 특징으로 하는 트렌치 소자 분리형 반도체 형성방법.

청구항 9.

제 6 항에 있어서,

상기 상부 절연막은 실리콘 질화막과 실리콘 산화막을 차례로 적층하여 이루어지는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치 형성방법.

청구항 10.

제 9 항에 있어서,

상기 식각 마스크 패턴 위로 쌓인 상기 상부 절연막의 실리콘 산화막을 평탄화 식각하는 단계 및

상기 식각 마스크 패턴을 제거하는 단계가 더 구비되는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치 형성방법.

청구항 11.

제 9 항에 있어서,

상기 도전막은 폴리실리콘으로 형성하고,

상기 상부 절연막의 상기 실리콘 질화막은 상기 폴리실리콘 도전막 상면을 질화(nitridation)시킴으로써 형성됨을 특징으로 하는 트렌치 소자 분리형 반도체 장치 형성방법.

청구항 12.

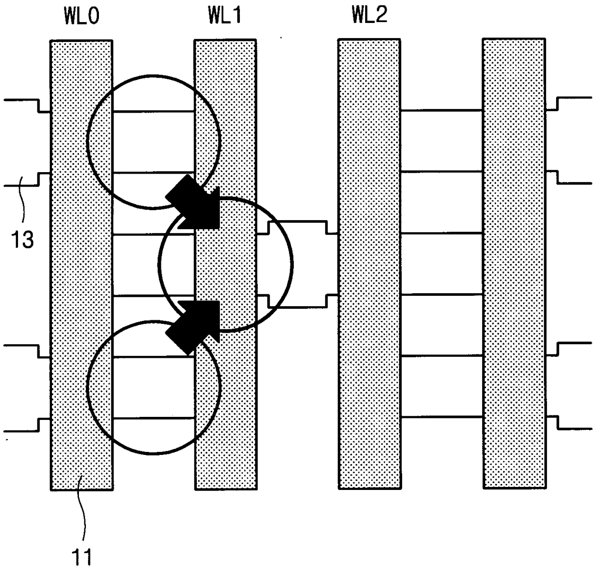
제 6 항에 있어서,

상기 도전막은 폴리실리콘을 적층하여 이루어지고,

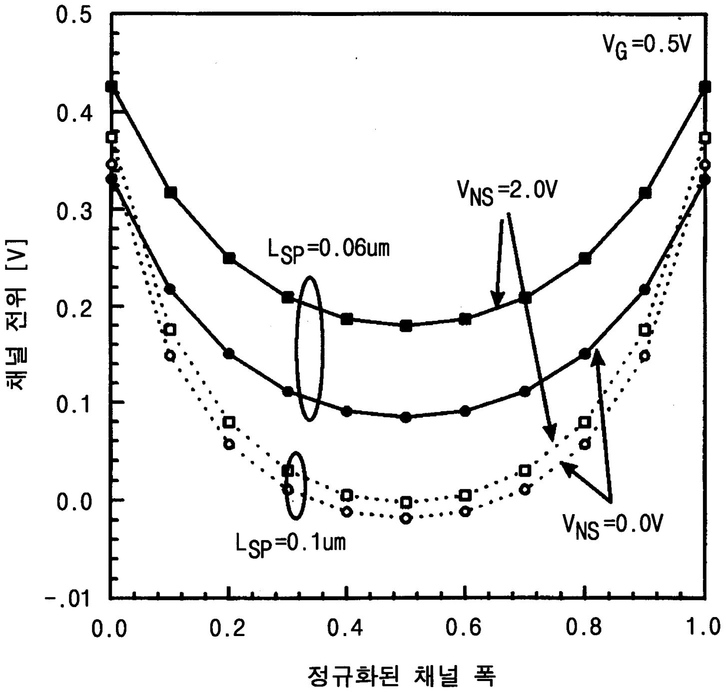
상기 트렌치에 상기 도전막을 채우는 단계에 이어 불순물 이온 주입을 실시하여 상기 폴리실리콘을 도핑시키는 단계가 더 포함되는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치 형성방법.

도면

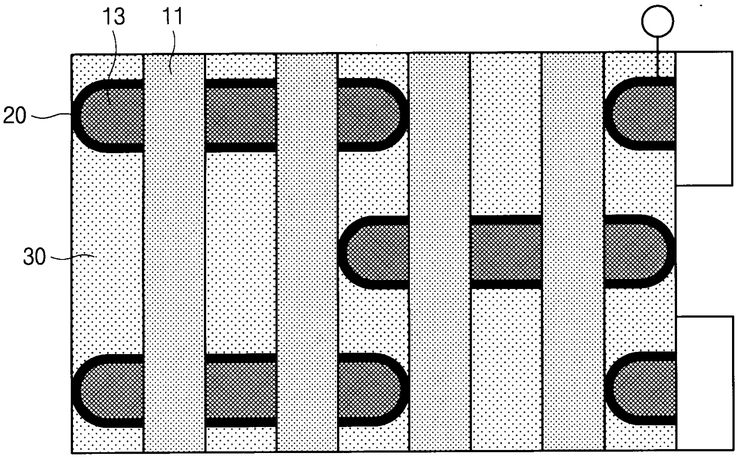
도면 1



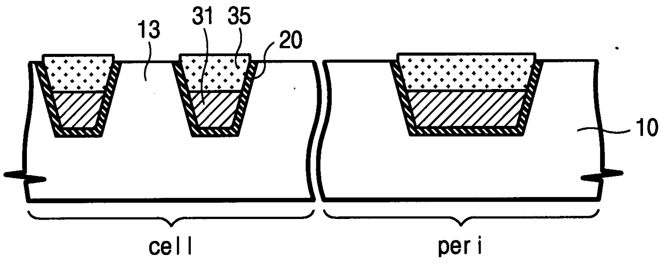
도면 2


0.5
0.4
0.3
0.2
0.1
0.0
-.01
채널 전위 [V]
V_G=0.5V
V_NS=2.0V
L_SP=0.06um
L_SP=0.1um
V_NS=0.0V
0.0
0.2
0.4
0.6
0.8
1.0
정규화된 채널 폭

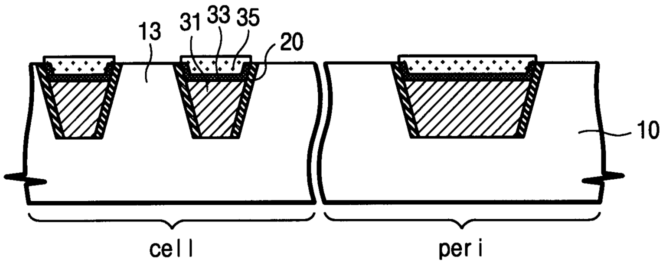
도면 3


13
11
20
30

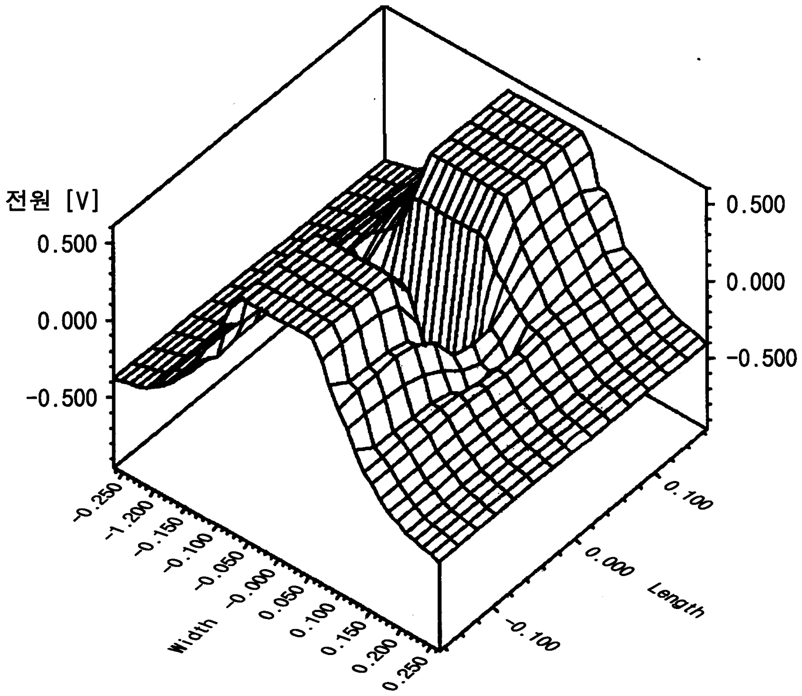
도면 4


13
31
35
20
10
cell
peri

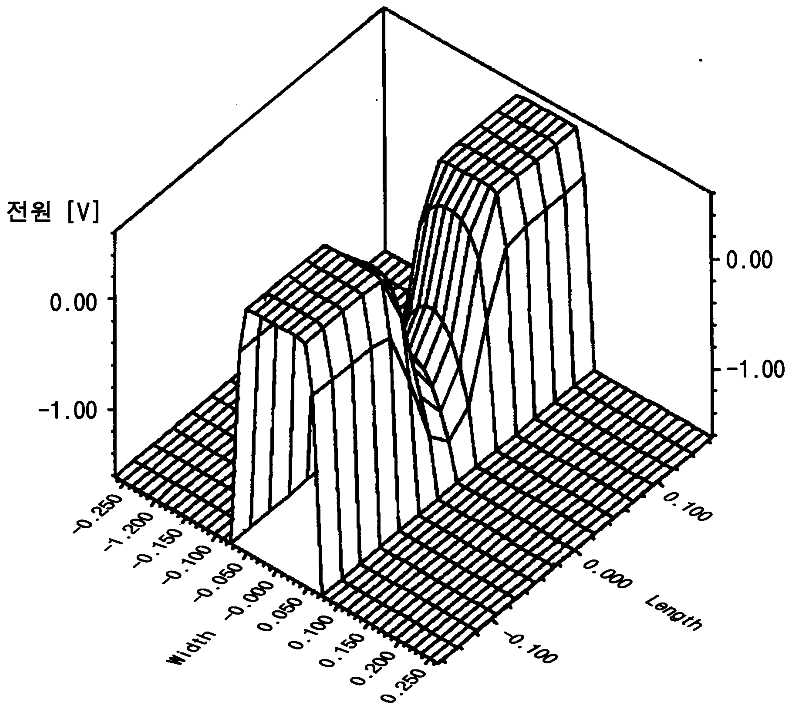
도면 5


13
31
33
35
20
10
cell
peri

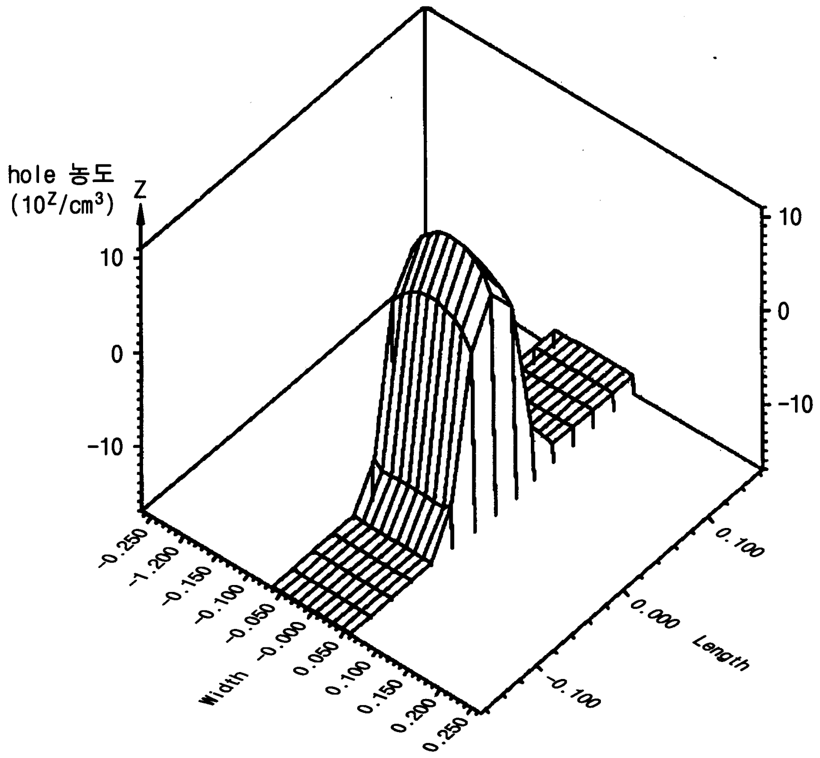
도면 6a


전원 [V]
0.500
0.000
-0.500
0.500
0.000
-0.500
-0.250
-1.200
-0.150
-0.100
-0.050
-0.000
0.050
0.100
0.150
0.200
0.250
Width
0.100
0.000
-0.100
Length

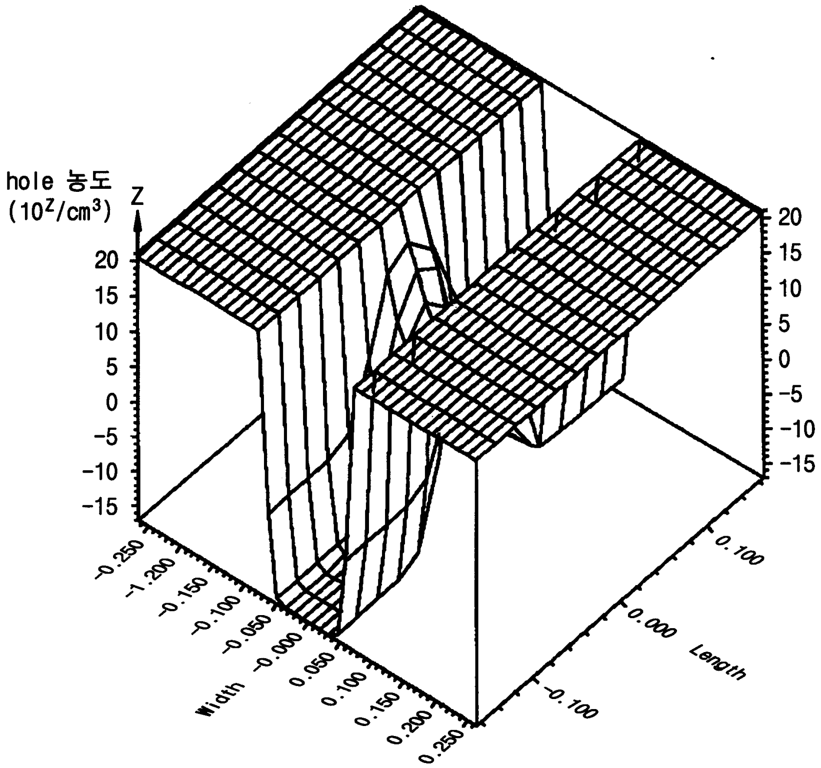
도면 6b


전원 [V]
0.00
-1.00
0.00
-1.00
-0.250
-1.200
-0.150
-0.100
-0.050
-0.000
0.050
0.100
0.150
0.200
0.250
Width
0.100
0.000
-0.100
Length

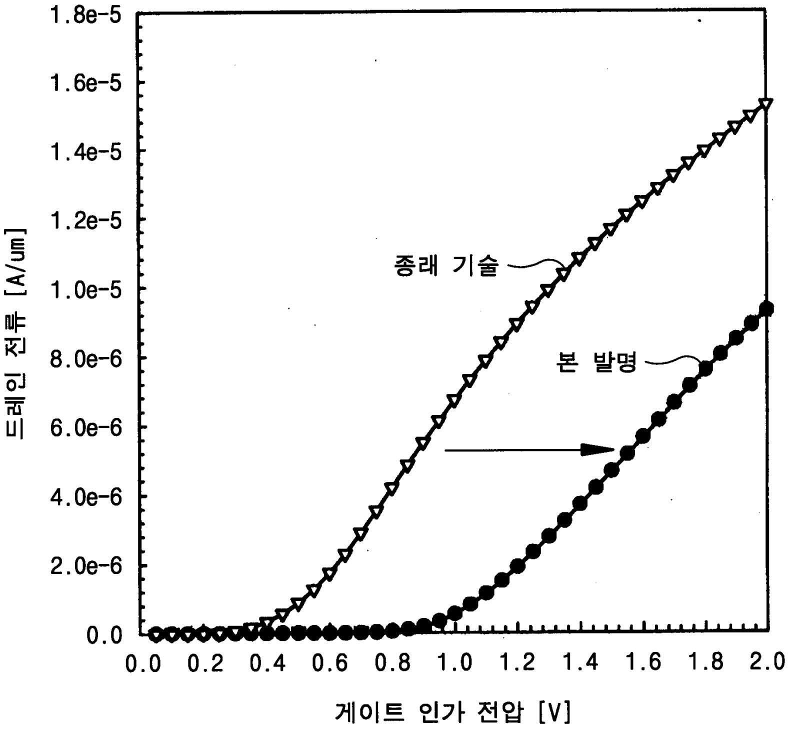
도면 7a


hole 농도
($10^{Z}/cm^{3}$)
Z
10
0
-10
10
0
-10
-0.250
-1.200
-0.150
-0.100
-0.050
-0.000
0.050
0.100
0.150
0.200
0.250
Width
0.100
0.000
-0.100
Length

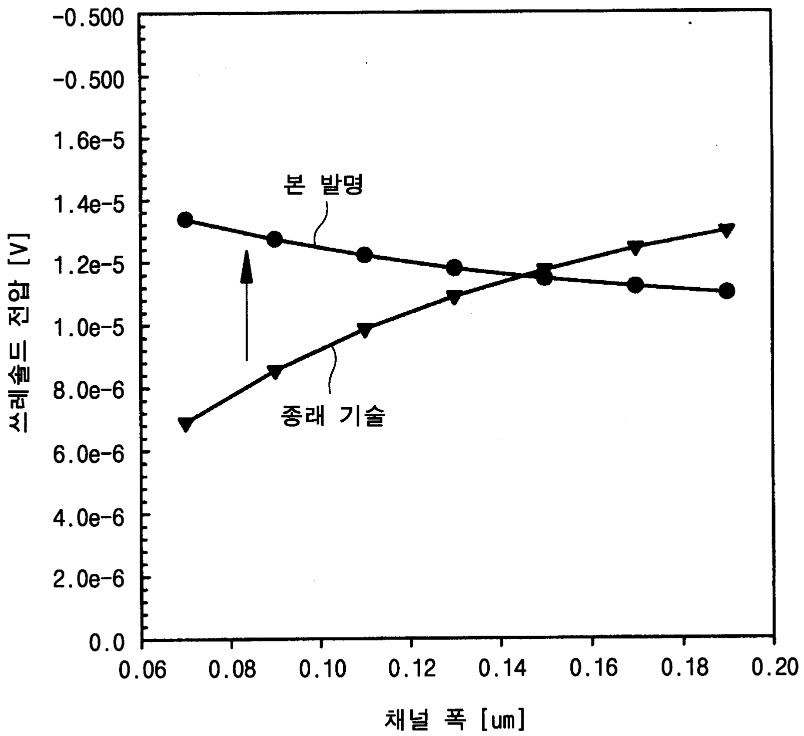
도면 7b


hole 농도
(10^Z/cm^3)
Z
20
15
10
5
0
-5
-10
-15
-0.250
-1.200
-0.150
-0.100
-0.050
-0.000
0.050
0.100
0.150
0.200
0.250
Width
0.100
0.000
-0.100
Length
20
15
10
5
0
-5
-10
-15

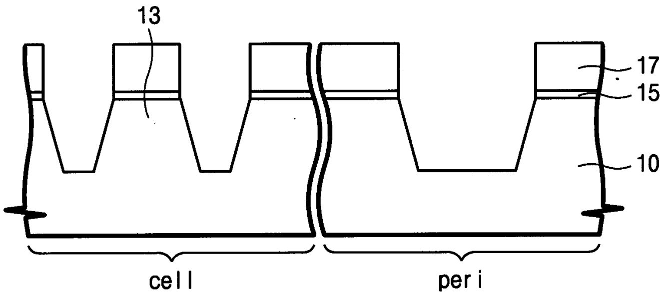
도면 8


1.8e-5
1.6e-5
1.4e-5
1.2e-5
1.0e-5
8.0e-6
6.0e-6
4.0e-6
2.0e-6
0.0
드레인 전류 [A/um]
0.0
0.2
0.4
0.6
0.8
1.0
1.2
1.4
1.6
1.8
2.0
게이트 인가 전압 [V]
종래 기술
본 발명

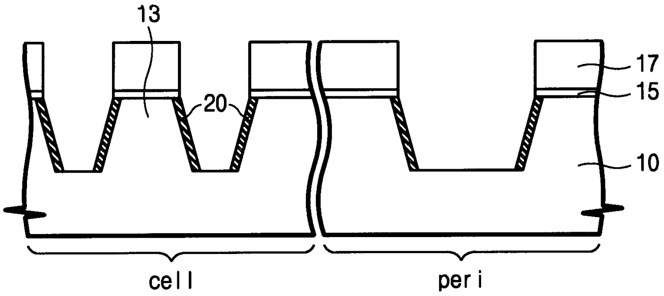
도면 9


-0.500
-0.500
1.6e-5
1.4e-5
1.2e-5
1.0e-5
8.0e-6
6.0e-6
4.0e-6
2.0e-6
0.0
쓰레숄드 전압 [V]
0.06
0.08
0.10
0.12
0.14
0.16
0.18
0.20
채널 폭 [um]
본 발명
종래 기술

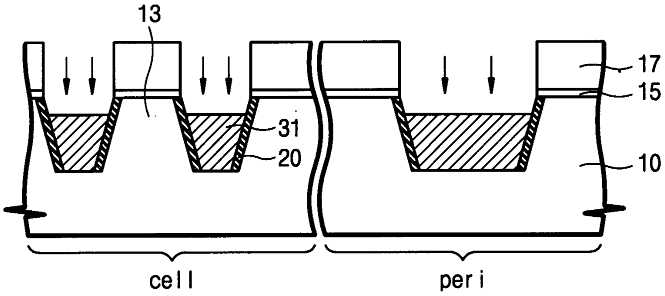
도면 10


13
17
15
10
cell
peri

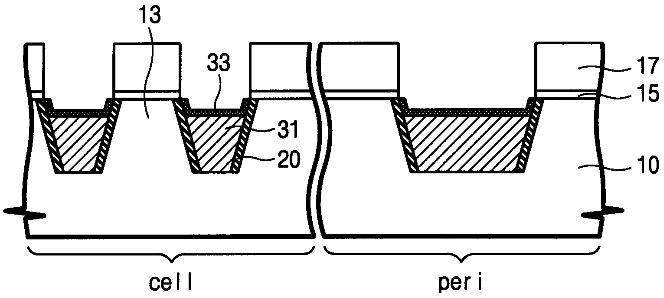
도면 11



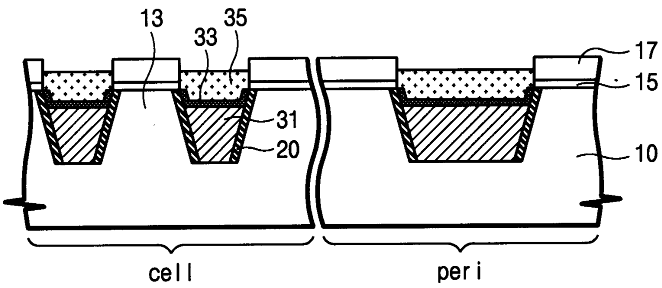
도면 12



도면 13



도면 14



도면 15