

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5259954号  
(P5259954)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.	F I
HO 1 L 21/20 (2006.01)	HO 1 L 21/20
HO 1 L 21/265 (2006.01)	HO 1 L 21/265 Q
HO 1 L 21/336 (2006.01)	HO 1 L 21/265 6 O 2 A
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 Z
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 Z
請求項の数 74 (全 23 頁) 最終頁に続く	

(21) 出願番号	特願2006-504293 (P2006-504293)	(73) 特許権者	390035448
(86) (22) 出願日	平成16年4月8日(2004.4.8)		フォルシュングスツェントルム・ユーリッヒ・ゲゼルシャフト・ミット・ベシュレンクテル・ハフツング
(65) 公表番号	特表2006-524426 (P2006-524426A)		ドイツ連邦共和国、ユーリッヒ、ウイヘルヘルム-ヨーネン-ストラッセ (番地なし)
(43) 公表日	平成18年10月26日(2006.10.26)	(74) 代理人	100069556
(86) 国際出願番号	PCT/DE2004/000736		弁理士 江崎 光史
(87) 国際公開番号	W02004/095552	(74) 代理人	100092244
(87) 国際公開日	平成16年11月4日(2004.11.4)		弁理士 三原 恒男
審査請求日	平成19年2月16日(2007.2.16)	(74) 代理人	100111486
(31) 優先権主張番号	10318283.7		弁理士 鍛冶澤 實
(32) 優先日	平成15年4月22日(2003.4.22)	(72) 発明者	マントル・ジークフリート
(33) 優先権主張国	ドイツ(DE)		ドイツ連邦共和国、ユーリッヒ、ティルゲンカンブストラッセ、17
		最終頁に続く	

(54) 【発明の名称】 基板上に歪層を製造する方法と層構造

(57) 【特許請求の範囲】

【請求項 1】

基板(1, 2)上に歪を持ったシリコン層(9)を製造する方法において、SOI-基板(1, 2, 3)を基板の基礎構造として選定させ、SOI-基板(1, 2, 3)の歪を持たせるシリコン層(3)上に少なくとも一つの第一の緩和すべき層(4, 11)をエピタキシー成長させ、歪を持たせるシリコン層(3)に隣接した層(2, 4, 5, 11)内にイオン注入によって欠陥領域(7)を発生させ、熱処理によって欠陥領域(7)から出発する転位を形成し、それにより緩和すべき第一層(4, 11)が緩和され、同時にSOI-基板(1, 2, 3)の歪を持たせるシリコン層(3)が歪を持ったシリコン層(9)に変換される工程から成ることを特徴とする方法。

10

【請求項 2】

第一層(4, 11)は歪を持たせるシリコン層(3)と異なる歪度を有することを特徴とする請求項1に記載の方法。

【請求項 3】

第一層(4, 11)には欠陥領域(7)が形成されることを特徴とする請求項1 或いは2に記載の方法。

【請求項 4】

欠陥領域(7)が基板に形成されることを特徴とする請求項1乃至3のいずれか一項に記載の方法。

【請求項 5】

20

欠陥領域（ 7 ）が歪を持たせるシリコン層（ 3 ）自体に形成されることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の方法。

【請求項 6】

歪を持たせる層（ 1 2 ）に隣接した二つの層（ 1 1 、 1 3 ）が歪を持たせる層（ 1 2 ）と異なる歪度を有することを特徴とする請求項 1 乃至 5 のいずれか一項に記載の方法。

【請求項 7】

複数、即ち二つの層（ 1 1 、 1 3 ）を緩和させることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の方法。

【請求項 8】

複数の歪を持たせるシリコン層（ 3 、 1 2 ）に歪を持たせることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の方法。 10

【請求項 9】

第一層（ 4 , 1 1 ）にはそれぞれ異なる格子構造を備える少なくとも一つの第二層（ 5 ; 1 2 、 1 3 ）がエピタキシー成長されることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の方法。

【請求項 1 0】

欠陥領域（ 7 ）が第二層（ 5 ）に形成されることを特徴とする請求項 1 乃至 9 のいずれか一項に記載の方法。

【請求項 1 1】

歪を持たせるシリコン層（ 3 ）には第一層（ 4 ）として少なくとも濃度が次第に変化した層が析出されることを特徴とする請求項 1 乃至 1 0 のいずれか一項に記載の方法。 20

【請求項 1 2】

濃度が次第に変化した第一層（ 4 ）の歪を持たせるシリコン層（ 3 ）に配置された領域が歪を持たせるシリコン層（ 3 ）と異なる歪度を有することを特徴とする請求項 1 乃至 1 1 のいずれか一項に記載の方法。

【請求項 1 3】

濃度が次第に変化した第一層（ 4 ）には欠陥領域（ 7 ）が形成されることを特徴とする請求項 1 乃至 1 2 のいずれか一項に記載の方法。

【請求項 1 4】

一つの基板に複数の層を包含するエピタキシャル層構造（ 1 , 2 , 3 , 4 , 5 , 1 1 , 1 2 , 1 3 ）が析出処理で製造されることを特徴とする請求項 1 乃至 1 3 のいずれか一項に記載の方法。 30

【請求項 1 5】

熱処理によって第一層（ 4 , 1 1 ）を緩和させることを特徴とする請求項 1 乃至 1 4 のいずれか一項に記載の方法。

【請求項 1 6】

熱処理では 5 5 0 と 1 2 0 0 の間の温度が選定されることを特徴とする請求項 1 乃至 1 5 のいずれか一項に記載の方法。

【請求項 1 7】

熱処理では 7 0 0 と 9 8 0 の間の温度が選定されることを特徴とする請求項 1 乃至 1 6 のいずれか一項に記載の方法。 40

【請求項 1 8】

熱処理が不活性雰囲気で実施されることを特徴とする請求項 1 乃至 1 7 のいずれか一項に記載の方法。

【請求項 1 9】

熱処理は、還元する或いは酸化する或いは窒化する雰囲気内で、或いは窒素内で実施されることを特徴とする請求項 1 乃至 1 7 のいずれか一項に記載の方法。

【請求項 2 0】

緩和は層の限定された領域に引き起されることを特徴とする請求項 1 乃至 1 9 のいずれか一項に記載の方法。 50

## 【請求項 2 1】

イオン注入用マスク(6)が第二層(5)の上に配置されていることを特徴とする請求項 1 乃至 2 0 のいずれか一項に記載の方法。

## 【請求項 2 2】

欠陥領域(7)がイオン注入によって形成されることを特徴とする請求項 1 乃至 2 1 のいずれか一項に記載の方法。

## 【請求項 2 3】

イオン注入のために水素イオン或いは H e イオンが選定されることを特徴とする請求項 2 2 に記載の方法。

## 【請求項 2 4】

$3 \times 10^{15}$  から  $4 \times 10^{16} \text{ cm}^{-2}$  の分量で水素イオン或いは H e イオンが注入されることを特徴とする請求項 2 3 に記載の方法。

## 【請求項 2 5】

$0.5 \times 10^{16}$  から  $2.5 \times 10^{16} \text{ cm}^{-2}$  の分量で H e イオンが注入されることを特徴とする請求項 2 3 に記載の方法。

## 【請求項 2 6】

イオン注入のために S i イオンが選定されることを特徴とする請求項 1 乃至 2 5 のいずれか一項に記載の方法。

## 【請求項 2 7】

$0.5 \times 10^{14}$  から  $5 \times 10^{14} \text{ cm}^{-2}$  の分量で S i イオンが注入されることを特徴とする請求項 2 6 に記載の方法。

## 【請求項 2 8】

イオン注入のために炭素、窒素、弗素、硼素、磷、砒素、ゲルマニウム、アンチモン、硫黄、ネオン、アルゴン、クリプトン及び / 又はキセノンのイオンが選定されることを特徴とする請求項 1 乃至 2 7 のいずれか一項に記載の方法。

## 【請求項 2 9】

少なくとも二つのイオン注入が実施されることを特徴とする請求項 1 乃至 2 8 のいずれか一項に記載の方法。

## 【請求項 3 0】

水素イオン注入はヘリウムイオン注入と関連して実施されることを特徴とする請求項 2 9 に記載の方法。

## 【請求項 3 1】

硼素イオン注入は水素イオン注入と関連して実施されることを特徴とする請求項 2 9 に記載の方法。

## 【請求項 3 2】

二つのイオン注入は二つの欠陥領域を第一層(4)と第二層(5)に形成するように実施されることを特徴とする請求項 2 9 乃至 3 1 のいずれか一項に記載の方法。

## 【請求項 3 3】

ウェーハはイオン注入中に  $30 - 60^\circ$  の角度に傾斜されることを特徴とする請求項 1 乃至 3 2 のいずれか一項に記載の方法。

## 【請求項 3 4】

二つのイオン注入の間に熱処理が実施されることを特徴とする請求項 2 9 乃至 3 3 のいずれか一項に記載の方法。

## 【請求項 3 5】

欠陥領域(7)が温度の変更によって層(4, 5; 1 1)の一つの配置において作成されることを特徴とする請求項 1 乃至 3 4 のいずれか一項に記載の方法。

## 【請求項 3 6】

欠陥が S i - C 層に熱処理により形成されることを特徴とする請求項 1 乃至 3 5 のいずれか一項に記載の方法。

## 【請求項 3 7】

10

20

30

40

50

基板としてアモルファス層、或いは絶縁体（２）が選定されることを特徴とする請求項１乃至３６のいずれか一項に記載の方法。

【請求項３８】

ＳＯＩ-基板（１，２，３）のシリコンカバー層が歪を持たせるシリコン層（３）を意味し、ＳＯＩ-基板（１，２，３）の $\text{SiO}_2$ は基体（１）上の絶縁体（２）を意味することを特徴とする請求項３７に記載の方法。

【請求項３９】

ＳＩＭＯＸ或いはＢＥＳＯＩ-基板は基板の基礎構造として選定されることを特徴とする請求項１乃至３８のいずれか一項に記載の方法。

【請求項４０】

基板の基礎構造としてシリコンオンサファイアの選定を特徴とする請求項１乃至３９のいずれか一項に記載の方法。

【請求項４１】

緩和させるのに必要な温度では粘性体になる基板の選定を特徴とする請求項１乃至４０のいずれか一項に記載の方法。

【請求項４２】

$\text{SiO}_2$ ，ガラス， $\text{SiC}$ ， $\text{Si-Ge}$ ，黒鉛，ダイヤモンド，石英ガラス， $\text{GdGa}$ ガーネット， $\text{III-V}$ 族半導体と $\text{III-V}$ 族-窒化物が基板（１，２）の材料として選定されることを特徴とする請求項１乃至４１のいずれか一項に記載の方法。

【請求項４３】

絶縁体（２）が基板（１）上に選定されることを特徴とする請求項１乃至４２のいずれか一項に記載の方法。

【請求項４４】

歪を持たせるシリコン層（３）上に配置されている第一層（４）用の材料として $\text{Si-Ge}$ ，或いは $\text{Si-Ge-C}$ ，或いは $\text{Si-C}$ の選択を特徴とする請求項１乃至４３のいずれか一項に記載の方法。

【請求項４５】

歪を持たせるシリコン層（３）用の材料としてシリコンを選択することを特徴とする請求項１乃至４４のいずれか一項に記載の方法。

【請求項４６】

第一層（４）上に配置されている第二層（５）用の材料としてシリコンを選択することを特徴とする請求項１乃至４５のいずれか一項に記載の方法。

【請求項４７】

濃度が次第に変化した層用の材料としての $\text{Si-Ge}$ の選択を特徴とする請求項１乃至４６のいずれか一項に記載の方法。

【請求項４８】

濃度が次第に変化した層におけるゲルマニウム濃度は歪を持たせるシリコン層（３）における境界面から濃度が次第に変化した層の表面まで低減されることを特徴とする請求項４７に記載の方法。

【請求項４９】

$\text{Si-Ge}$ 層におけるゲルマニウム濃度は歪を持たせるシリコン層（３）における境界面にて１００パーセントを有することを特徴とする請求項４４乃至４８のいずれか一項に記載の方法。

【請求項５０】

層構造の全層厚さは成長された層（４；１１，１３）の成長中にこの層が顕著な緩和を得ないように選定されることを特徴とする請求項１乃至４９のいずれか一項に記載の方法。

【請求項５１】

転位密度は成長後に $10^5 \text{ cm}^{-2}$ より小さい値になることを特徴とする請求項１乃至５０のいずれか一項に記載の方法。

10

20

30

40

50

## 【請求項 5 2】

歪を持たせるシリコン層(3)は1から50ナノメートルの範囲の厚さ $d_3$ に選定されることを特徴とする請求項1乃至51のいずれか一項に記載の方法。

## 【請求項 5 3】

歪を持たせるシリコン層(3)は5から30ナノメートルの範囲の厚さ $d_3$ に選定されることを特徴とする請求項1乃至52のいずれか一項に記載の方法。

## 【請求項 5 4】

第一層(4)は臨界層厚さである厚さ $d_4$ ナノメートルに選定されることを特徴とする請求項1乃至53のいずれか一項に記載の方法。

## 【請求項 5 5】

層比 $d_4 / d_3$ は10以上に選定することを特徴とする請求項1乃至54のいずれか一項に記載の方法。

## 【請求項 5 6】

第二層(5)は厚さ $d_5 = 50 - 1000$ ナノメートルにより選定されることを特徴とする請求項1乃至55のいずれか一項に記載の方法。

## 【請求項 5 7】

第二層(5)は厚さ $d_5 = 300 - 500$ ナノメートルにより選定されることを特徴とする請求項1乃至56のいずれか一項に記載の方法。

## 【請求項 5 8】

歪を持たせるシリコン層(3)は局部的に歪を持つことを特徴とする請求項1乃至57のいずれか一項に記載の方法。

## 【請求項 5 9】

歪を持たせるシリコン層(3)は欠陥領域を備える平面に垂直に位置する領域において局部的に歪を持つことを特徴とする請求項1乃至58のいずれか一項に記載の方法。

## 【請求項 6 0】

欠陥領域(7)は緩和させる層から50から500ナノメートルまでの間隔に形成されることを特徴とする請求項1乃至59のいずれか一項に記載の方法。

## 【請求項 6 1】

欠陥領域(7)は歪を持たせるシリコン層(3)上に配置された第一層(4)の上部に50から500ナノメートルまでの間隔に形成されることを特徴とする請求項1乃至60のいずれか一項に記載の方法。

## 【請求項 6 2】

第一層(4; 11)と第二層(5; 12, 13)は歪を持ったシリコン層(9)の形成後或いは歪領域の形成後に取り除かれることを特徴とする請求項1乃至61のいずれか一項に記載の方法。

## 【請求項 6 3】

湿式化学的材料を選定したエッチングが使用されることを特徴とする請求項1乃至62のいずれか一項に記載の方法。

## 【請求項 6 4】

層(2, 3, 4, 5, 9, 11, 12, 13)の深さにおいてエッチング溝(15)が形成されることを特徴とする請求項1乃至63のいずれか一項に記載の方法。

## 【請求項 6 5】

エッチング溝(15)の形成後に第一層(4; 11)或いは別の層の緩和は温度処理によって引き起こされることを特徴とする請求項1乃至64のいずれか一項に記載の方法。

## 【請求項 6 6】

エッチング溝(15)はシャロートレンチアイソレーション(STI)を形成するために絶縁材料で充填されることを特徴とする請求項1乃至65のいずれか一項に記載の方法。

## 【請求項 6 7】

少なくとも一つの別の熱処理は一つの層或いは複数の層を緩和するように実施されるこ

10

20

30

40

50

とを特徴とする請求項 1 乃至 6 6 のいずれか一項に記載の方法。

【請求項 6 8】

歪を持ったシリコン層 ( 9 ) 及び / 又は歪を持たせるシリコン層 ( 3 ) は 1 ナノメートルより小さい表面粗さで形成されることを特徴とする請求項 1 乃至 6 7 のいずれか一項に記載の方法。

【請求項 6 9】

歪を持たせるシリコン層 ( 3 ) と歪を持ったシリコン層 ( 9 ) の表面粗さは熱酸化物の成長によってさらに低減されることを特徴とする請求項 1 乃至 6 8 のいずれか一項に記載の方法。

【請求項 7 0】

歪を持ったシリコン層 ( 9 ) の歪領域には n - 及び / 又は p - M O S F E T が形成されることを特徴とする請求項 1 乃至 6 9 のいずれか一項に記載の方法。

【請求項 7 1】

シリコン或いはシリコン・ゲルマニウム ( S i - G e ) を包含する別のエピタキシャル層 ( 1 0 ) 或いは S i - G e - C 層或いはゲルマニウム層が析出されることを特徴とする請求項 1 乃至 7 0 のいずれか一項に記載の方法。

【請求項 7 2】

歪を持ったシリコン・ゲルマニウム ( S i - G e ) 領域 ( 1 1 ) には別のエピタキシャル層として或いは緩和されていない層構造として p - M O S F E T が形成されることを特徴とする請求項 1 乃至 7 1 のいずれか一項に記載の方法。

【請求項 7 3】

歪を持たせるシリコン層 ( 3 ) の無歪領域 ( 3 ) にはバイポーラトランジスタが処理されることを特徴とする請求項 1 乃至 7 2 のいずれか一項に記載の方法。

【請求項 7 4】

バイポーラトランジスタを形成するために、シリコン・ゲルマニウム層が析出されることを特徴とする請求項 1 乃至 7 3 のいずれか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1】

この発明は、基板上に歪層を製造する方法及び層構造に関する。

【背景技術】

【 0 0 0 2】

急速に進展するナノエレクトロニクスは、より高速なトランジスタ、特に酸化金属電界効果トランジスタ ( M O S F E T ) をいつも必要としている。一般には、出力の向上はトランジスタ寸法の縮小によって達成される。しかし、これはリソグラフィー法やエッチング法のようなチップ製造のキーテクノロジーがより高性能なシステムに代えなければならないから、非常に負担がかかって高価になる。

【 0 0 0 3】

選択的手法はより高性能な材料の使用である。通常のシリコン基板の代わりに、S O I と呼ばれる基板が使用されることが多くなっている。この場合に、単結晶性シリコン表面層の下に絶縁特性をもつ埋め込まれた二酸化シリコン ( S i O <sub>2</sub> ) 層が存在する。電子部品要素、特に M O S F E T ( 酸化金属電界効果トランジスタ ) は S O I 基板により高速なスイッチング特性や低い損失特性を持つ。この基板は商業的に入手可能であり、シリコン内の酸素イオン注入と熱処理 ( S I M O X 法 ; S I M O X ウエーハ ) によって作られるか、第二ウエーハのスプリットまたはバックエッチングして二つの酸化ウエーハの貼り合わせ ( 貼り合わせ法 ) で作られる。このように作られたウエーハを B E S O I ウエーハ ( 接着エッチバック S O I ) と呼んでいる。

【 0 0 0 4】

歪シリコン ( 歪シリコン・ゲルマニウム合金 ( S i - G e ) 、シリコン・炭素 ( S i - C ) 、シリコン・ゲルマニウム・炭素 ( S i - G e - C ) ) の使用が知られている。所定

10

20

30

40

50

の弾性歪状態におけるシリコン或いはSi-Ge、Si-C或いはSi-Ge-Cの使用は材料特性、特に構成要素にとって極めて重要な電子と正孔の電荷担体移動性を改善する。これらと他の高品質の材料の使用は、電子部品の重要な構造寸法の縮小せずにMOSFETやMODFETのようなSiでできている高出力電子部品の性能が著しく向上する。ピタキシャル成長させた特殊な基板や仮想基板と呼ばれる歪緩和層を有する弾性的な歪層システムの欠陥密度の少ない製造は、非常に高価で難しい。(非特許文献1「F. Schaeffler著、半導体科学技術、12巻(1997年)、1515-1549頁」)。

#### 【0005】

即ち、単結晶層の製造はしばしば利用する基板材料によって強力に制限されるか、或いは層成長の品質が低下する。通常は、基板と層材料の間の格子パラメータの相違(格子不整合)の場合は、結晶構造の相違の場合と同様に高品質な層の単結晶成長が阻害される。単結晶層の格子パラメータが整合していないときには、表面や全体に影響され、基板の状態と異なる格子構造である歪状態で単結晶層の成長が始まる。もし、成長層が臨界層厚さと呼ばれる厚さを超えると、機械的歪は転位の形成によって緩和されて、格子構造は本来の構造或いは基板の構造に近くなる。このプロセスは歪緩和と呼ばれ、以下において「緩和」と記載する。この場合に、境界面、格子不整合転位(不適合転位)や緩和層にはスレッド転位が形成され、その転位は表面から境界面まで延びる。この不適合転位は歪緩和にとって必要であり、その上の層の品質は低下しない。このような格子不整合(およそ>0.5%)から、スレッド転位密度が高くなるので、そのような層は電子部品にとって適していない。一般には、熱処理によってスレッド転位密度は多少減少させることができる。転位密度或いは欠陥密度という概念とは、ここでは、スレッド転位密度と解釈される。これら転位の大部分はさらに新たに成長した層を通して進展するから、それらはこの層の電気的と光学的特性を著しく劣化させる。

#### 【0006】

シリコン・ゲルマニウム(Si-Ge)材料システムは熱力学的に完全に混合可能な体系であるから、シリコンやゲルマニウムのように任意の濃度で化合物が製造されることができる。シリコンとゲルマニウムは確かに同じ結晶構造により特徴付けられるが、しかし格子パラメータが4.2%だけ相違し、即ち、Si-Ge層或いは純Ge層がシリコン上に歪をもって成長する。炭素は、格子パラメータを縮小するために、シリコンに約2原子百分率まで置換型で組み込まれることができる。

#### 【0007】

シリコン基板上に歪の無い高品質なシリコン・ゲルマニウム合金層の上に歪をもつシリコンを製造するための先行技術は、濃度が次第に変化する層を使用し、別の工程で所望の歪層が析出されるものである。この濃度が次第に変化する層では、Si-Ge層が重要であり、その濃度は表面に向かって所望Ge含有量を達成するまで連続的に或いは段階的に増加する。層品質を維持するためにμm当たり約10原子百分率のGe含有量の増加しか採用されることができないから、そのような層は達成されるGe濃度に応じて、10マイクロメートルまでの厚さとなる。この濃度が次第に変化する層の層成長はE. A. Fitzgerald他著「薄い固体フィルム」294巻(1997年)3-10頁(非特許文献2)に記載されている。

#### 【0008】

このプロセスは欠点として高い層粗さと転位の増大とスレッド転位のバンドルを引き起し、それは確かに機能のない電子部品と成り得る。それによって、領域の結晶学的反転が生じるので、層に負担のかかる研磨は、歪をもったシリコンが製造された緩衝材上に追加的エピタキシャル工程で析出され得る前に、例えば化学機械的研磨によることが必要である。CVD装置或いは分子線エピタキシャル装置における第二層析出の前に、単結晶の成長を保証すると共に汚染物又は望ましくない不純物の注入を最小限とするために、特殊なウエーハの洗浄が実施されなければならない。多くの処理工程は、例えばより厚い層を得るための長い析出処理や、負担のかかる研磨や、ウエーハ洗浄と二つの分離されたエピタ

10

20

30

40

50

キシャル工程によって、生産性の減少や品質が劣化する。そのような濃度が次第に変化する層の熱伝導性はシリコンと比較して大きく低下して、高出力電子部品がすぐにオーバーヒートになる。

【0009】

確かに、Leitz他著、「応用物理報告 (Applied Physics Letters)」79 (25) 巻、(2001年) 4246 - 4248 頁 (非特許文献3) 及び Cheng 他著、「Mat. Res. Soc. Symp.」686 巻、(2002年) 1.5.1 - 1.5.6 章 (非特許文献4) から、歪を緩和した、或いは歪んだ層がウエーハ接着剤を通して第二ウエーハに伝達されることができていることは知られている。しかし、欠点としてこの措置は非常に多くの技術的に極度に困難な技術的工程を前提とする。歪を緩和した層或いは歪表面層のみも、第二ウエーハ上にある絶縁する  $\text{SiO}_2$  層上に張り合わせる事ができる。特に、層の弾性歪を変更して不純物の混入を回避することなしに、歪層をウエーハ接着剤を通して第二ウエーハに張り合わせることは極めて問題である。最小不純物さえ、歪シリコンが製造される MOSFET の スイッチング特性 に非常に都合悪く影響される。超薄で歪シリコンをもつ MOSFET では、境界面状態密度は  $\text{Si} / \text{SiO}_2$  境界面には出来るだけ  $10^{10} \text{ cm}^{-2}$  の範囲内にある。これは技術的に超洗浄境界面により達成する。このウエーハ接着法がこれを主として満たすか否かは、示されていない。

10

【0010】

R. Delhouge, P. Meunier-Beillard, M. Caynax, R. Loo, W. Vanderhorst 著「第一回国際 SiGe 技術と装置の会合」(ISTDM 2003年)、日本国名古屋、2003年1月15 - 17 日開催、115 頁 (非特許文献5) から、薄い緩和された Si-Ge 層は、Si-Ge 層 (例えば 22 原子百分率 Ge をもつ 170 ナノメータ Si-Ge) には非常に薄い (例えば 10 ナノメータ) Si-C 層が十分に高い炭素含有量をもって混入されることによって製造できることは、知られている。約 1000 の高温の熱処理 (アニール処理) 中に過飽和している炭素が沈殿される。この様に、Si-Ge 層の緩和を促進する欠陥が形成される。

20

【0011】

歪をもたない層が絶縁体上に形成される方法は欠点がある。通常には、表面粗さのために研磨を必要とする。更に、炭素の析出には高温が必要で低温を用いることができないので、緩和には高温が必要である。

30

【0012】

国際特許出願公開第 02/29402 号明細書 (特許文献1) から、薄い歪を緩和した Si-Ge 緩衝層の製造がイオン注入と熱処理によって可能となることは知られている。この方法では、歪をもたない層が基板上に直接に製造されることができることが欠点である。更に、この場合には、二つの分離された エピタキシャル析出工程とウエーハ洗浄工程 が必要である。

【特許文献1】国際特許出願公開第 02/29402 号明細書

【非特許文献1】F. Schaeffler 著、半導体科学技術、12 巻 (1997年)、1515 - 1549 頁。

40

【非特許文献2】E. A. Fitzgerald 他著「薄い固体フィルム」294 巻 (1997年) 3 - 10 頁。

【非特許文献3】Leitz 他著、「応用物理手紙」79 (25) 巻、(2001年) 4246 - 4248 頁

【非特許文献4】Cheng 他著、「Mat. Res. Soc. Symp.」686 巻、(2002年) 1.5.1 - 1.5.6 章。

【非特許文献5】R. Delhouge, P. Meunier-Beillard, M. Caynax, R. Loo, W. Vanderhorst 「第一回国際 SiGe 技術と装置の会合」(ISTDM 2003年)、日本、名古屋、2003年1

50



月 15 - 17 日開催、115 頁。

【発明の開示】

【発明が解決しようとする課題】

【0013】

それ故に、この発明の課題は、ウエーハ接着及び／又はウエーハ研磨なしに基板上に高い品質の歪層を製造する簡単な方法を提供することである。

【0014】

好ましい構成では、歪シリコンが直接に S O I ウエーハ上に全面に或いは局部的に任意の形状に製造される。局部的使用の際には、更に、歪領域と無歪領域の間の平滑性は電子部品の他の処理のために自由な工程でなければならない。

10

【0015】

さらに、この発明の課題は、上記好ましい層構造を有する電子及び／又は光電部品を供給することである。

【課題を解決するための手段】

【0016】

この発明の課題は、主特許請求項に基づく方法によって解決される。

この課題は、さらに、従属請求項に基づく層構造によって解決される。好ましい構成はそれぞれその構成を記載した特許請求項から明らかになる。

【0017】

主特許請求項によると、基板上に歪層を製造するために、次の工程が実施される；

20

- ・歪をもたせる層と隣接した層に欠陥を生成し、
- ・歪をもたせる層と隣接した少なくとも一つの層を緩和させる。

【0018】

このために、層構造は熱処理及び／又は酸化の少なくとも一方を受けるので、欠陥から出発して歪をもたせる層と隣接した層の緩和を引き起こす転位が形成される。

結果として歪をもたせようとする層が好ましく歪をもつことになる。

【0019】

欠陥という概念とは、結晶欠陥であり、即ち原子的及び拡張欠陥、例えばクラスター、気泡、空所などと解釈される。この種の生成した欠陥領域から出発して歪をもたせる層と隣接した層の緩和を導く転位が形成される。

30

【0020】

緩和とは、層内の弾性歪を低減させることと解釈する。

【0021】

隣接した層とは、歪をもたせる層と直接に隣接した層の緩和を引き起こす範囲で、歪をもたせる層と別の一つ或いは複数の層によって直接に或いは分離されて配置されている層と解釈する。

【0022】

基板とは、最も広い意味において、歪をもたせる層を上配置させた層と解釈する。

【0023】

この発明では、基板上に別の層を配置することが可能である。

40

【0024】

歪をもたせる層の自由表面上には、エピタキシャル的に少なくとも一つの第一層が加えられ、この場合には、この第一層は歪をもたせる層と別の歪度を有する。そのとき、第一層では、欠陥を生成されることができる。層構造は少なくとも一回の熱処理を受けるので、欠陥から出発して、第一層の緩和を引き起こす転位が形成されている。結果として、下に配置された歪をもたせようとする層が歪をもつことになる。

【0025】

この欠陥は、歪をもたせようとする層自体に形成されることができる。

【0026】

第一層として、歪層を形成した層の近傍に濃度が次第に変化した層があると考えられ、

50

歪層を形成した層に異なる度合いの圧力が存在する。そのときに、濃度が次第に変化した層には欠陥領域が生成される。層構造は欠陥領域から始まる熱処理を受けるので、歪層を形成した層の近傍に組織が次第に変化した層の領域の緩和により転位が形成されている。結果として、歪層を形成したつものの張り合わせ層に歪が発生する。

【 0 0 2 7 】

この発明の方法では、歪層は弾性歪層に変形される。このために、歪層に隣接する層が緩和し、それによって、歪層が所望の歪をもった状態に移行することが好ましく奏される。第一層としての濃度が次第に変化した層の場合には、歪層に隣接する濃度が次第に変化した層の層領域が緩和するので、歪層が再び所望の歪をもった状態に移行する。歪をもたせようとする層に配置された層は歪層自体と別の歪度を有する。

10

【 0 0 2 8 】

この発明の方法では、別の層を配置させることが可能である。

それで、次の工程によって方法を実施することが可能である：

- ・ 基板上に歪層を形成する層には、異なる格子構造の第一層と第一層の上の第二層の少なくとも一つが形成され、この際に第一層は歪層と別の歪度を有し、
- ・ 第二層及び / 又は別の層には欠陥領域が生成され、
- ・ 層構造は欠陥領域から始まる熱処理を受けるので、第一層の緩和を引き起こす転位が形成される。

【 0 0 2 9 】

第一緩和層は歪層を形成したつものの層に隣接し、結果としてさらに歪をもたせる層が歪をもつことになる。

20

【 0 0 3 0 】

複数の層で異なる格子構造と記されている場合、それぞれの格子パラメータ及び / 又は結晶構造に違いがあることを意味している。

【 0 0 3 1 】

この発明により、歪層と基板の間の層に、プロセス中に緩和する今まで以上の層を配置することができる。この場合歪層が上に配置された基板上に緩和層が得られる。更にこの方法により、緩和層を加えられる。この緩和層上には再び歪層が配置されることができる。更に別の層が配置されることができる。緩和層は隣接して形成された歪層と別の歪度を有する。層の緩和後に、形成された歪層に加えられた層は熱処理中或いは酸化中の工程で歪む。

30

【 0 0 3 2 】

欠陥領域は基板の中にも形成されることができる。転位が歪層の形成により加えられた層に隣接した層の緩和を引き起こすように欠陥領域が形成される。

【 0 0 3 3 】

この種のエピタキシャル層構造或いはウエーハは好ましくは析出処理で製造されることができる。この場合には、特に好ましくはウエーハが高コストな研磨と洗浄をせずにリアクターの中で行われる。

【 0 0 3 4 】

歪層上に配置された層の歪つまり引張歪或いは圧縮歪の選択によって、歪層の形成が加えられた層の歪が決定される。

40

【 0 0 3 5 】

歪と歪層の緩和は歪をもたせる層に加えることができるので、層構造は好ましくは熱処理を受ける。しかし、熱処理の間に、隣接した層の緩和や層を歪ませるために他の処理も使用することができる。

【 0 0 3 6 】

特に好ましくは、 $O_2$  或いは水蒸気による酸化によって緩和を引き起こすことである。それによると、緩和領域を形成する純熱的処理の代わりに、酸化処理、或いは酸化と熱処理の組合せも使用されることができる。これによって、電子部品の機能にとって重要である元素の濃度は、層構造内で（例えば Si - Ge における Ge 濃縮）上昇させることがで

50

きる。

【 0 0 3 7 】

基板は、シリコン表面が歪んでいる好みの S O I 基板である。

【 0 0 3 8 】

一般に基板にはアモルファス層、特に絶縁体が用いられることもある。しかし、全く同様に、この発明の方法によって歪層の形成された層に熱的に誘導された歪みが可能となる、良い追加的な電気特性をもつ材料ができる。この意味において、歪層が形成された層厚  $d_3$  が十分に小さく選定され（例えば 5 - 50 ナノメートル）且つ基板が十分に厚い、例えば歪層の 10 - 100 倍であるときに、十分な大きさの格子不整合（例えば 1 %）をもつ、或いは異なる結晶構造をもつ結晶異方性境界面が適している。この条件は例えばシリコンオンサファイアといった単結晶 S O I 基板により満たされる。

10

【 0 0 3 9 】

緩和するために必要となる温度で粘性体となる基板材料も適している。例えば二酸化シリコン ( $\text{SiO}_2$ ) が 950 ° の温度において粘弾性体になる。硼素ドーピングによって  $\text{SiO}_2$  はすでに約 800 ° においても粘弾性体にさせることができる。

【 0 0 4 0 】

この意味において、他の耐熱ガラスも適している。そのような基板は、商業的 B E S O I 基板と同様に、薄い S i 層が二酸化シリコン上に接着されるウエーハ接着によって製造されることができる。それで、歪層は原則的には任意のガラス或いは他の適した耐熱基板上に成長されることができる。この材料の適切な厚さでは、この材料は層成長用の適した機械的土台の機能を有することができる。基板の或る撓み性自体は「柔軟な電子部品」の開発に関して望まれている。

20

【 0 0 4 1 】

基板用の材料として特に例えば S i C , 黒鉛, ダイヤモンド, 石英, G d G a ガーネット、しかし I I I - V 族半導体と I I I - V 族窒化物も考慮される。

【 0 0 4 2 】

この発明の方法は一連の利点を有する。

【 0 0 4 3 】

この方法では、歪層を形成するためにエピタキシャル析出のみが必要であり、ウエーハ接着や研磨 ( C M P ) のような負担と時間のかかる処理が不要であることが好ましい。

30

【 0 0 4 4 】

さらに、歪層が形成された薄いシリコン表面をもつ商業的に入手可能な S O I 構造、B E S O I 或いは S I M O X ウエーハは基本構造として使用されることができる。このウエーハのシリコン層はこのプロセス中に歪を与えられる。通例には、確かに、S I M O X ウエーハは約  $10^5 \text{ cm}^{-2}$ 、より一般的には  $10^2 \sim 10^3 \text{ cm}^{-2}$  の転位密度を有するが、経済的な製造はもちろん非常に良好な層の均質性と純度を特徴としている。

【 0 0 4 5 】

この方法はシリコン技術において確立されているプロセス方法を利用する。そのために、この技術は非常に大きなウエーハ、例えば 300 ミリメートルウエーハに転用されることができる。

40

【 0 0 4 6 】

欠陥領域はイオン注入によって形成されることができる。

この発明の別の構成では、例えば温度の降下によって、例えば歪層上の濃度が次第に変化する層或いは層の成長中に分子線エピタキシャル装備において約 200 ° で、欠陥領域を既に形成されている歪層上の層にも作ることが可能である。

【 0 0 4 7 】

この発明の別の好ましい構成では、欠陥領域が組み込まれた S i C 層にも作ることができる。

【 0 0 4 8 】

この発明の別の構成では、熱処理の適したパラメータとして、550 と 1200 ° の間

50

の温度、特に700と960の間の温度が選定される。この場合には、第一層及び/又は第二層における欠陥領域から出発して、第一層の緩和を引き起こす欠陥、特に転位を形成し、それによって歪をもたせようとする層に歪をもたせることができる。

#### 【0049】

第一層の歪の選択により、引張歪或いは圧縮歪が選択され、歪をもたせる層に発生する歪が決定される。第一層が熱処理前に圧縮歪であっても、例えば第一層（任意のGe濃度）用の材料としてSi-Geが選ばれ、例えばシリコンのような、張力のかかる層を加えれば、第一層に引張歪をもたせることができる。これに対して、例えば炭素が約1-2原子百分率以下のSi-Cから成る引張歪を付与された第一層を使用することによって、圧縮歪みシリコンを作ることができる。Si-Ge-Cのような三元合金の使用及びドーピングされたSi層或いは合金（B, As, P, Sb, Er, S他）の使用も、同様に可能である。

10

#### 【0050】

この熱処理は、不活性雰囲気、真空、或いは例えばO<sub>2</sub>或いはH<sub>2</sub>Oのような酸化雰囲気、或いは例えばNH<sub>3</sub>のような窒化雰囲気、或いは例えばフォーミングガスのような還元雰囲気で行われることができる。窒素内の熱処理では、非常に良好な結果が達成される。

#### 【0051】

そのようにして形成した歪層は、例えば湿式化学的除去によって、まず最初に第二層、次に少なくとも部分的な第一層の除去によって露出される。この層構造は複雑な層構造を構成するのに用いられる。このために専門家はすべての周知のプロセスや層材料を考慮し、どんな層構造が形成されるべきであるか、或いはどんな要件で形成する層構造が満たされるかに従って考慮する。

20

#### 【0052】

スタートする構造は、前述のように基本的にSOI構造、SIMOXウエーハ、或いはBESOI構造が選定されることができる。この場合には、歪をもたせる層と絶縁体と基板は既に基本構造として存在する。

#### 【0053】

しかしながら、例えばアモルファス層に形成された絶縁体で歪みが生成されているように、歪層をはじめからアモルファス層に加えることができる。例えばシリコンやシリコン基板の場合、絶縁体は基板上に配置されることができる。

30

#### 【0054】

歪をもたせる層は好ましくはシリコンであるのが良い。歪をもたせる層は好ましくは1-100ナノメートル、特に好ましくは5-30ナノメートルの厚さである。この層厚さd<sub>3</sub>は少なくとも臨界層厚さを上回ってはならず、滑り面に沿って第一層からの転位が覆っている基本的部分よりも小さくしなければならない。この技術は特に第一層の歪度とその層厚d<sub>4</sub>とに依存する。層の望まれた歪が大きければ大きいほど、d<sub>3</sub>が小さくなければならない。d<sub>4</sub>/d<sub>3</sub>の層厚比は大きいほうが好ましく、特に10を超えるd<sub>4</sub>/d<sub>3</sub>の層厚比が好ましい。

#### 【0055】

この発明の特に好ましい構成では、歪をもたせる層上の第一層、例えばエピタキシャルSi-Ge或いはSi-Ge-C或いはSi-C層、が臨界層厚さに近い厚さで析出されることができる。最終的に歪層による格子不整合を可能にする欠陥のない成長が行われる第一層の最大層厚さとして、臨界層厚さは定義される。それ故に、この臨界層厚さ以下の層厚さでは、通常には、厳密に仮像の、即ち、完全に欠陥のない成長が達成されることができる。この臨界層厚さは、層が既に著しく緩和するほど大幅に、上回ってはならない。

40

#### 【0056】

一定濃度をもつ層に代わって、濃度が次第に変化する層も配置されることができる。即ち、この組織は濃度が次第に変化する層の内部で増加又は減少する。Si-Geの場合には、Ge濃度が徐々に或いは段階的に増加されることができるか、或いは数ナノメートル

50

上のところで、高いゲルマニウム濃度或いは純粋なゲルマニウム (Ge) として成長が開始されることができ、もし、それにもかかわらず、臨界層厚さを上回ることなく、十分な層厚さ  $d_4$  を維持するならば、Ge 濃度は迅速に低下させることができる (例えば 25 原子百分率に)。選定された条件の下では、層厚さはなお 80 ナノメートルにすることができる。高い Ge 濃度をもつ領域は 80 % を越える高い緩和度を可能とする。

【0057】

例えば 20 - 40 原子百分率の一定 Ge 濃度では、第一層の出来るだけ大きな緩和度と歪層の高い歪度を達成するためには、U 字型の濃度分布も、利点である。

【0058】

更に、第一層の厚さ  $d_4$  を出来るだけ大きく選定することは、歪緩和がより効率的に進行するので、好ましい。

【0059】

20 原子百分率 Ge の一定 Ge 濃度では、約 400 ナノメートルの最大層厚が達成されることができる。複雑な濃度分布は高い Ge 含有量の場合に有利である。

【0060】

この発明の別の構成では、第二エピタキシャル析出層はエピタキシャルシリコンから作ることができる。この層は欠陥領域を形成するのに役立つ。この層の層厚  $d_5$  は欠陥領域の形成のために最適化されることができる。それは成長の条件によって限定されない。それ故に、 $d_5$  は自由に変更されることができる (例えば 0 - 1000 ナノメートル)。好ましくは、水素イオン注入とヘリウムイオン注入では、約 200 - 500 ナノメートルの厚さが現れる。可能な限り薄い層は、低い加速エネルギー (例えば 10 keV) とそれにより注入されたイオンのより精密な分布とをもつ注入を可能とし、それは薄い欠陥領域の形成のために好ましく、さらにそれは費用を節約する。

【0061】

例えば水素或いはヘリウム注入後のブリストリングに起因する粗面処理を回避するために、随意に、第二層上に別の層を析出されることができる。この層はアモルファス或いは多結晶とすることができる。例えばイオン注入による欠陥領域の形成前或いは後に、この層は析出されることができる。この任意の層の層厚は、注入パラメータだけで調整されなければならない。

【0062】

ここで例として挙げられた個々の層の材料と厚さは、無論、この発明を限定するものではない。

【0063】

この発明の特に好ましい構成では、第二層或いは別の任意の層上へのマスクの配置によって局部的に限定された欠陥領域が形成される。特に好ましくは、従来技術のような製造工程なしに、歪層中に局所的な歪領域や歪の無い領域を平面状に形成されることである。

【0064】

単数或いは複数の欠陥領域は、特に好ましくは、水素 ( $H^+$ ,  $H_2^+$ )、ヘリウム、フッ素、硼素、炭素、窒素、硫黄などの軽いイオンや、層材料或いは基板材料自体のイオン、即ち例えば Si / Si - Ge ヘテロ構造におけるシリコン或いはゲルマニウムのイオンによるイオン注入によって、本来イオンが第二層に注入される技術で形成されることができる。

【0065】

構造の意図しない汚染或いはドーピングを回避するイオンを使用することが好ましい。この意味において、例えば、Ne, Ar, Kr, Xe (キセノン) などの希ガスイオンも使用できる。

【0066】

水素とヘリウムイオンでは、約  $3 \times 10^{15}$  から  $3.5 \times 10^{16} \text{ cm}^{-2}$  の分量が使用され、特にヘリウムイオンでは、0, 4 - 2,  $5 \times 10^{16} \text{ cm}^{-2}$  の分量が使用される。二回のイオン注入の組合せ、例えば最初に水素、次にヘリウムを、或いは最初に硼素

10

20

30

40

50

、次に水素をイオン注入することも適している。水素イオン注入との関連した硼素イオン注入は、水素イオン注入の分量を低減させることを可能とする。イオン注入プロセスの間の熱処理も、欠陥形成に関する核生成の核を生成するために好ましい。

【0067】

欠陥領域は、好ましくは、緩和層から50 - 500ナノメートルの間隔に形成される。

【0068】

水素イオン或いはヘリウムイオンの場合には、イオンのエネルギーとイオン注入の到達範囲は、それらが第一と第二の境界面から間隔 $d_6$ に注入されるように選定される。この間隔 $d_6$ は、例えば50 - 300ナノメートルの範囲にある。重いイオン及び/又は第二層の層厚が大きい時は、この限度を超過することができる。

10

【0069】

歪層を作る層上に一定の濃度をもつ層（或いは濃度が次第に変化する層）が成長されるならば、専門家には、僅かで簡単なアレンジによって、熱処理後に第一層が緩和し、歪をもたせようとする層に歪をもたせるように、欠陥領域を配置することが可能である。

【0070】

イオン注入の深さは、第二層の層厚や、場合によっては別の任意の層や選定されたイオンの質量に合わせられる。

【0071】

この発明の特に好ましい別の構成では、最大損傷は第二層内に形成され、特に第一層から間隔 $d_6$ に形成され、第一層自体には形成されない。これは、例えば水素、ヘリウム、弗素、ネオン、アルゴンなどのような気泡或いは亀裂形成を引き起こすイオンが特に適用する。

20

【0072】

好ましくは、例えば水素或いはヘリウムイオンのような非常に軽いイオンのイオン注入と比較してSiイオン注入の場合には、その分量は大幅に、即ち10 - 100分の一に減少されることができる。これは好ましくは注入時間を短縮し、それによりウエーハ生産高を著しく増加させる。

【0073】

しかし、より高い緩和度を達成する目的で、二回以上のイオン注入によって欠陥形成は第一層や第二層に関係なく実行することができる。好ましい運転モードは、異なるエネルギーで、場合によっては、異なるイオンで、一回以上のイオン注入を僅かな分量を第一層に実施し、第二のイオン注入で欠陥領域を第二層に生成することである。緩和第一層の点欠陥の形成はより加速された拡散とより大きい緩和を引き起こすことである。

30

【0074】

イオン注入は、全面に或いは注入マスク、例えばフォトラッカーの使用によってウエーハ上の任意の箇所において実施されることができる。

【0075】

この発明の別の構成では、イオン注入のウエーハは従来技術で知られているような、7°の角度では傾斜していない。むしろ、ウエーハは通常では7°より大きい角度で傾斜していて、特に30 - 60°の角度に傾斜している。

40

【0076】

それにより、平滑性を確保しながらウエーハ上に歪層と歪の無い層を交互に形成することが可能である。僅かな熱の収支でその後の熱処理ができるので、第一層の注入されていない領域は、全く緩和していないかほとんど緩和していないし、歪層を形成する層もこの時点では変化しない。

【0077】

特に、注入マスクは電子部品や絶縁領域のレイアウトに適合することが好ましい。例えば歪シリコンは部品に必要とされる領域のみにイオン注入される。

【0078】

好ましくは、第一層は実施されたイオン注入によってほとんど或いは全く損傷されない

50

。最適なイオン注入の量とエネルギーと種類は、第一緩和層の組成や層厚に関係しなく、第二層にイオン注入されるときに、簡単に最適化されることができる。

【0079】

第一層と場合によっては第二層と別の任意の層の除去後に、所望の歪層とイオン注入されていない箇所に平滑性を確保しながら同じ層厚をもつこの層に歪をもたない領域を得る。好ましくは、第一層上に塗布された層は少なくとも最終除去段階で選択的に湿式化学プロセスによって除去される。

【0080】

歪をもつ領域と歪をもたない領域との間の遷移領域は、好ましくは、電子部品間の絶縁領域として設定されている。この場合に、特に好ましくは、更に二酸化シリコンが絶縁材料として選定される。

10

【0081】

この発明の別の構成では、特殊な第一層すなわち歪層を形成する層上の第一層の代わりに、複数の層から成る層体系が使用される。

【0082】

形成された歪領域の上には、例えば歪領域の層厚を増加させるか、或いは部分的にウェーハの厚みに適合するか、或いは例えばより複雑な電子部品や光電部品も実現できるように、さらにエピタキシャル層を析出させることができる。

【0083】

この発明の方法によると、好ましくは一般的に1ナノメートル以下の極端に少ない表面粗さと、 $10^{-7} \text{ cm}^{-2}$ 以下、特に $10^{-5} \text{ cm}^{-2}$ 以下の欠陥密度を有する歪領域が形成される。

20

【0084】

特にMOSFETの製造の際に、熱酸化物或いは別の誘電体、例えば高誘電体、即ちより高い誘電性定数をもつ材料が、歪領域上に限界粗さ内で形成しなければならない。表面粗さは極めて敏感にトランジスタの心臓部である誘電体の電氣的品質に影響を与える。キャリアの移動度も、非常に薄い層において厳格に境界面の特性により決定される。例えば、歪シリコンの表面粗さは、熱酸化物の成長によってさらに低減されることができる。このそのように製造された酸化物は歪層上のゲート誘電体の成長或いは析出前に除去されることができる。

30

【0085】

この方法は、この発明の別の特に好ましい構成において、緩和と歪をもつ層における転位密度を更に低減させる可能性を提供する。

【0086】

これは、例えば1 - 100マイクロメートルの間隔の溝エッチング、好ましくは、電子部品の構造に適合した溝エッチングと500以上の熱処理においても、マイクロメートルオーダーの間隔を達成することができる。この場合には、層内のスレッド転位は、この領域の縁に沿って延びて、やがて無くなる。さらに、このエッチング溝は、浅い溝絶縁といわれる溝を製造するために使用されることもできる。このために、溝は絶縁材料により充填されて、電子部品が互いに電氣的に分離される。

40

【0087】

欠陥密度を減少する更に適した方法は、イオン注入と熱処理によって部分的に緩和された第一層上に反対に歪をもつ領域を塗布することである。例えばSi-Ge層をより緩和するためには、圧縮歪を加えた層、例えばシリコン窒化物層（例えば100ナノメートル）が適し、PE-CVD-反応器において析出されている。この場合には、その後の熱処理は、例えば不活性或いは反応性雰囲気におけるアニール処理又は熱処理によって、Si-Ge層のより高いレベルの緩和とそれによる歪Si層のより大きな張力が作られる。同時に、転位密度が低減される。この方法は前もって構築された表面に使用されることができる。

【0088】

50

それ故に、チップ上のシステムの製造、即ち一平面における異なる機能をもつさまざまな電子部品は、好ましくはこの発明の範囲内で可能である。既に実施されるように、層の中に歪部と無歪部は平滑性の保証の下で製造できる。これは、例えばシリコンから歪をもった或いは歪をもたない領域を備える特殊電子部品／配線部の製造を可能とする。この特に薄い層は、別の析出によって、例えば選択的析出によっても補強されて、例えばソースとドレイン用の電極、いわゆる電源部品を作るための「レイズド・ソース／ドレイン」を局部的に強化したり増加したりできる。

【 0 0 8 9 】

第二層、例えば歪 Si - Ge 層も、特殊構成要素の製造、例えば特に好ましくは p - MOSFET、イオン注入されていない領域を使用することができ、この層は Ge を含有し、シリコンに比べて 2 から 3 倍の特に高い正孔移動度を有する。

10

【 0 0 9 0 】

例えば p - と n - チャンネル MOSFET の製造のために、そのように製造された歪 Si 層が好ましく利用される、というのは、格子歪が  $> 1\%$  であるときに、歪をもたないシリコンに比べて、電子及び正孔移動度が約 100% から約 30% だけ歪シリコンの正方格子で増大されるからである。トランジスタのタイプや構成要素にこれらは限定されない。MODFET、共鳴トンネルダイオード、受光素子と量子カスケード・レーザーも実現されることができる。

【発明を実施するための最良の形態】

【 0 0 9 1 】

次に、この発明は実施例と添付図面によって詳細に説明される。

20

〔第一実施例〕：ヘリウムイオン或いは水素イオン注入と熱処理による SiO<sub>2</sub> 上への歪 Si 層の製造。

【 0 0 9 2 】

図 1 に図示されるように、20 ナノメートル厚さ  $d_3$  の Si 表面層 3 である SOI 基板 1, 2, 3 (SIMOX 或いは BESOI) 上にガス相エピタキシー或いは分子線エピタキシーによって、22 原子百分率で 220 ナノメートルの層厚  $d_4$  の第一エピタキシャル Si - Ge 層 4 は欠陥なしに或いはほぼ欠陥なしに析出される。単結晶シリコンの第二層 5 が 500 nm の厚さ  $d_5$  で加えられる。

【 0 0 9 3 】

30

層構造 1, 2, 3, 4, 5 は、マスク 6 (図 2) の塗布後にヘリウムイオンが 20 keV のエネルギーと  $1.5 \times 10^{16} \text{ cm}^{-2}$  の分量により注入され、引き続いて 850 で 10 分間熱処理される。選択的に、この構造は  $2 \times 10^{16} \text{ cm}^{-2}$  の分量による水素イオンによっても注入されることができる。注入によって欠陥領域 7 が層 5 と Si - Ge 層 4 に対する境界面 ( $d_6$  は約 200 nm である) 近くで形成され、その欠陥領域は、注入されていない領域の歪状態が全く変化しないか、或いは実質的に変化しない間に、熱処理中に、この領域における Si - Ge 層 4 の緩和を引き起こす。Si - Ge 層の緩和度は熱処理後におよそ 75% である。

【 0 0 9 4 】

任意に、例えば 500 ナノメートルの厚さを備える二酸化シリコン層 8 をイオン注入前或いは後に蒸着させることができる。このために、好ましくは表面のプリスターの発生が熱処理中の水素或いはヘリウム噴射によって回避されることが奏される (図 3)。

40

【 0 0 9 5 】

緩和度を上昇させるために、図 3 の層構造から出発して、層 5 或いは層 8 が除去されることができ、圧縮歪をもった約 100 ナノメートルの厚さのシリコン窒化物 (SiN<sub>x</sub>) 層が、部分的に緩和された Si - Ge 層 4 に蒸着される (図示されていない)。この SiN<sub>x</sub> 層は PECVD (プラズマ増強化学蒸着) によって蒸着されることができる。900 で 10 分間の層構造の第二熱処理は、注入された箇所において 80% を越えて緩和度を上昇させ、Si - 層 9 はさらに歪を持たされる。

【 0 0 9 6 】

50



さらに層４のエッチングはSi - 層３（図４）を自由にし、高速電子部品の製造に使用されることができる。イオン注入された領域の下では、層９は圧縮歪を持たされる。スレッド転位密度は $10^7 \text{ cm}^{-2}$ より低い。

【００９７】

電子部品条件に層厚さを適合させるために、シリコン層１０（図５）は、例えば臨界層厚さを越えないで、エピタキシャル成長で蒸着される。層１０が異なるハッチングにより示されるように、歪状態が層１０によって変化することに注目すべきである。これは基礎層に依存する。歪シリコン９上には、シリコン１０は臨界層厚さまで歪状態で成長する。Si層の代わりに、他の層或いは連続した層が蒸着されることができる。

〔第二実施例〕：より高い歪をもつSiO<sub>2</sub>上に歪Si層の製造。

10

【００９８】

層形成は図１による第一実施例で説明される。SOI基板１，２，３（或いはSi - C層におけるC含有量）の歪をもたせる層３上での第一層４は一定な濃度の代わりに、かなり不均一な濃度変化がある濃度が次第に変化した層４が析出される。第二層５は任意に成長される。

【００９９】

好ましくは、より高いGe濃度（例えば４０原子百分率Ge）で、場合によっては数ナノメートル厚さの純粋ゲルマニウムである層４の成長が始まり、次に例えば２０原子百分率まで濃度を低下させ、成長中に有害な密度の転位の形成なしに１５０ナノメートルの層厚を達成させる。任意にGe濃度が徐々に或いは段階的に原理的に零に下降されるので、実質的に大きな層厚を超えるような第二層５を析出する必要はない。層４における対称的歪の形成のために、U字状濃度分布、即ち、成長方向に対して最初に低下し次に上昇するGe含有量が使用されることがある。不均一な濃度をもつ層は、同等の均一な層より高い緩和率と小さい欠陥密度を引き起こす。層厚 $d_4$ は出来るだけ厚くしたいが、しかしあらゆる場合に臨界層厚さ以下であるので、成長中に著しい緩和は生じない。

20

〔第三実施例〕：軽いイオン注入の代わりにSiイオン注入

【０１００】

軽いイオン以外のイオン注入という選択肢として、Siイオン注入は例えば約１５０keVのエネルギーでおよそ $1 \times 10^{14} \text{ cm}^{-2}$ の分量で５００ナノメートルの層厚のSi層５に対して行われる（図２）。イオン注入されたSiイオンは第二層５とSi - Ge層４に結晶欠陥を生成し、その結晶欠陥はSOI基板１，２，３に適したSi層３の緩和と歪負荷を与える。

30

【０１０１】

このシステムでは、９００で２３分間不活性窒素雰囲気或いは真空での熱処理をかける。イオン注入のエネルギーと分量は緩和度と欠陥密度の測定によって最適化される。任意に二つ或いはそれ以上のイオン注入は他のイオンによっても可能で、層５に欠陥領域を、緩和層４に点欠陥を生成させる。他の不活性ガス（例えばアルゴン）或いはこの発明の目的のために熱処理に適しているガスが使用されることができる（例えば酸素或いはフォーミングガス）。

〔第四実施例〕：SOI基板１，２，３（図６）上の層構造における二つ或いは複数の歪層の製造。

40

【０１０２】

１０ナノメートルの層厚のSi表面層３をもつSOI基板１，２，３（図６）上には、次のような層体系がエピタキシャル成長で析出される：２２原子百分率Geをもつ２５ナノメートルSi - Ge層１１、１０ナノメートル厚さのSi層１２、２２原子百分率Ge（ゲルマニウム）をもつ１５０ナノメートルのSi - Ge層１３、４００ナノメートル厚さのSi層５（図６）。

【０１０３】

任意に複数の薄いシリコン層がSi - Geに配置されている。引き続いて、任意にイオン注入マスク、例えばホトラック６が塗布され、リソグラフィ法で構成されるので、次

50

のイオン注入は覆われていない領域にのみ行われる。次に、欠陥領域を400ナノメートルの厚さのSi層5の中心に形成するために(図示されていない)、水素( $3 \times 10^{16} \text{ cm}^{-2}$ )或いはヘリウムイオン( $2 \times 10^{16} \text{ cm}^{-2}$ )が層に注入される。熱処理は窒素内にて825で行われる。

#### 【0104】

マスク6によってマスクされていない領域では、注入と熱処理後に次の層構造が得られる。シリコン層5の下には層13の緩和された領域が層12の歪領域上に配置されている。この層12のこの領域は更に層11の緩和された領域上に配置され、層11の緩和された領域は更に層3の歪をもった領域上に配置されている(図6)。層3はSOI基板の表面を意味する。

10

#### 【0105】

シリコン層5とSi-Ge層13の除去後に、イオン注入された領域において歪をもったSi層12(10ナノメートルの厚さ)がここで25ナノメートルの厚さの緩和されたSi-Ge層11(エッチング後に取り除かれるから、右側部分においてもはや図示されていない)の上に得られ、第二歪をもったSi層9がSOI基板1, 2, 3(図6と7を参照)のSiO<sub>2</sub>層2の上に得られる。

#### 【0106】

マスクの下のイオン注入されていない領域では、層3、11と12の歪状態は全く変化がなかったか、或いは実質的に変化がなかった。層3と層12は依然として立方晶シリコン構造を持っていて、Si-Ge層11は正方形歪になっている(図7)。これら層構造は電子部品の製造に利用され、或いは別の析出される層に利用される。各々の層は、形成工程なしでは同一の層材料では歪領域と歪のない領域の一平面状の前述された層を有している。

20

#### 【0107】

選択的に、10ナノメートルの厚さのSi層12は、表面粗さをエッチング後に1ナノメートル以下に低減させるために、エッチング停止層として用いることができる。これは、特にSiO<sub>2</sub>層2の上の歪層9にとって重要である、なぜなら、この層の上にMOSFET用のゲート誘電体が形成されるか、或いは熱的に形成されるからである。純度と境界面特性は誘電体の品質を決定する。歪領域9における絶縁領域14(浅い溝)はエッチングと絶縁材料による充填によって製造されることができ。

30

[第五実施例]: エッチング溝15と熱処理による欠陥密度の減少と絶縁領域14の製造

#### 【0108】

前記実施例に類似して、一つ或いは二つ或いは多数の歪層が製造される。この層構造では、エッチング溝15が(浅い溝14の製造前、図8或いは図7)製造される。通常には、この溝15は絶縁体14による充填によって構成要素間の簡単な絶縁領域(浅い溝絶縁体)を形成するために(図7におけるように)、絶縁層2までエッチングされる。そのエッチング後に、450を越える、好ましくは650を越える熱処理が実施される。この熱処理は、層4と、Si-Ge層と歪層9に達している溝15のスレッド転位が直る効果がある。転位修正が層5によって阻害されないために、溝15のエッチング前に第二層5を除去することが有効である。さらに、熱処理は遅れて電子部品製造中に行われることができ、イオン注入後或いはゲート誘電体の成長の際に欠陥が同時に直る。

40

[第六実施例]: 歪Si-Ge層及びn-とp-MOSFET構成要素を備えるほぼ同一平面におけるSiO<sub>2</sub>上の歪Si

#### 【0109】

図6に一致する層構造は、歪層を最初に作るために使用される。層5とSi-Ge層13の除去後に、層12と11は選択的に例えばイオン注入された領域を湿式化学的方法で取り除かれることができる。その結果、歪シリコン表面層9(図7)は図の左側に示されている歪をもたないSi層3に隣接し、層3の上にほぼ一平面の薄い歪をもったSi-Ge層11(層11の注入されていない領域)が配置されている。これら領域間の段階高さ

50

は層 1 1 と層 1 2 の厚さ（合計で 3 5 ナノメートル）によってのみ決定される。この段階高さはリソグラフィー工程の領域の深さより小さいので、更なるリソグラフィー工程が問題なく実施されることができる。この領域は絶縁領域 1 4 によって電氣的且つ構造的に分離されることができる（図 7）。

#### 【 0 1 1 0 】

その結果、M O S F E T 電子部品に適した構造が生じる。歪シリコン 9 をもつ領域には、超高速 n - と p - チャンネル M O S F E T が製造されることができる、というのは、格子歪が 1 % 以上のとき、歪シリコンの四辺形格子における電子及び正孔移動性は歪をもたないシリコンと比較して約 1 0 0 % 或いは 3 0 % 増加するからである。図 7 の歪 S i - G e 層 1 1 上或いはシリコン層 1 2 上には、好ましくは p - チャンネル M O S F E T が製造されることができる、というのは、S i - G e 層 1 1 が強力に増加した正孔移動性を特徴としているからで、約 4 5 ナノメートル（図 7）の層 3、1 1 と 1 2 の薄い合計層厚さは完全空乏型 M O S F E T の製造を可能とする。

10

#### 【 0 1 1 1 】

薄い S i 層 1 2 は好ましくはゲート誘電体の製造のために利用されることができる、というのは、その上に高品質熱酸化物或いは窒化酸化物がゲート誘電体として形成されることができるからである。好ましくは、ゲート誘電体が同時に異なる領域上に熱的に或いは析出によって形成されることができる。

#### 【 0 1 1 2 】

さらに、イオン注入されていない領域には S i - G e 層 1 1 の選択的除去後に、従来の S i を基礎とする電子部品が実現されることができる。図 7 の薄い S i 層 1 2 は別の好ましい選択的シリコンのエピタキシャル成長のテンプレートとして使用されることができる。それによって、非常に異なる電子部品の実現のための最適条件がチップ上に（システム・オン・チップ）造られる。

20

〔第七実施例〕：S O I 構造上の S i - G e / S i - C / S i - G e 層シークエンスを伴う S i O<sub>2</sub> 上の歪シリコン

#### 【 0 1 1 3 】

5 ナノメートル（或いは 1 5 ナノメートル）の厚さをもつ薄い S i 表面層を備える S O I 基板上の少なくとも三つのエピタキシャル層は、第一の 8 0 ナノメートル厚さの S i - G e 層（2 0 原子百分率 G e）、0 . 7 5 % C を備える第二の 1 0 ナノメートル厚さの S i - C 層と別の 8 0 ナノメートル厚さの S i - G e 層（2 0 原子百分率 G e）から成る。図 3 から類推すると、S i - C から成る中間層には欠陥領域が引き続く 1 0 0 0 の熱処理中に形成され、その欠陥領域は上下に位置する S i - G e 層の緩和をうながす。炭素は薄い S i - C 層において十分な濃度に混入される。1 0 0 0 の熱処理によって、S i - C 層は上下に位置する S i - G e の緩和を助成する欠陥領域となる。S i - G e 層は 9 0 % まで緩和する。それに応じて S O I 基板の薄い S i 層は弾力的に歪を加えられ、S i O<sub>2</sub> 上の歪シリコン層が形成される。

30

〔第八実施例〕：

#### 【 0 1 1 4 】

第一層の代わりに、薄い層、組織の異なる層 1 1（例えば別の濃度をもつ S i - C 或いは S i - G e 層）と別のシリコン層 1 2 と層 1 3（S i - C 或いは S i - G e）から成る（図 6）層体系が使用される。これら三つの層の全層厚は、第一層 4 と同じ基準を満たす。層 1 2 は歪層に変換されるか、或いは単純にエッチング停止層として使用されることができる。追加的エッチング停止層の使用は、逆エッチング中にできる表面粗さをかなり制限できる、というのは、最終エッチング工程において層 3 或いは 9 が露出する前に極めて僅かな層厚（層 1 1）のみが除去されなければならないからである。層 4、1 1 と 1 3 は緩和するときに欠陥密度が最小となるような任意の濃度分布をもつことができる。

40

#### 【 0 1 1 5 】

この方法は、この発明の別の特に好ましい構成では、緩和層と歪層における転移密度をより減少させる可能性を提供する。

50

## 【 0 1 1 6 】

層 5、4 と 3 の ( 層 5 は前もって取り除かれ得る ) 溝 1 5 のエッチングや、マイクロメートル ( 1 - 1 0 0  $\mu\text{m}$  ) の間隔で或いは好ましくは電子部品構造に ( 図 1 0 ) に適合しているエッチングや、4 5 0 を越える、特に 6 5 0 を越える温度におけるその後の熱処理によって、この発明は達成される。

## 【 0 1 1 7 】

転位密度を減少する更に適した方法は、イオン注入と熱処理によって歪層の大部分が緩和されるため、層 4 の上に歪層を加えることである。Si - Ge 層を更に緩和させるために、圧縮歪層、例えばシリコン窒化物層 ( 例えば 1 0 0 ナノメートル ) が P E - C V D 装置内で析出される。続いて行われる熱処理 ( 不活性或いは反応性雰囲気での熱処理 ) は Si - Ge 層のより高い緩和とそれによる Si 層のより高い歪とを引き起こす。同時に、転位密度が減少される。この方法は前もって形成された面 ( 図 7 ) にも使用されることができる。

10

## 【 0 1 1 8 】

図 9 は珪化された電極 1 6 ( 例えばソース電極 )、ゲート誘電体 1 7、ゲート電極 1 8、例えばポリ - Si 或いは金属、ゲート電極 1 9、例えばシリコン、スペーサー絶縁体 2 0、珪化されたドレイン電極 2 1 と盛り上がったドレイン電極 2 2 ( 高ドーピング Si 或いは Si - Ge ) をもつ M O S F E T を示す。

なお、以上のとおり、複数の実施例に挙げられた方法工程の一つ或いは複数の工程が数回使用されことによって複数歪層を包含する層構造を形成する方法も可能である。

20

## 【 図面の簡単な説明 】

## 【 0 1 1 9 】

【 図 1 】 S O I 基板 1 , 2 , 3 と第一のエピタキシャル成長で加えられた層 4 と第二のエピタキシャル成長で加えられた層 5 とを包含する概略的層体系を示す。

【 図 2 】 S O I 基板 1 , 2 , 3 と、第二層に注入マスク 6 と欠陥領域 7 をもつエピタキシャル成長で加えられた層構造とを包含する概略的層体系を示す。

【 図 3 】 S O I 基板 1 , 2 , 3 と別の任意の保護層 8 を包含するエピタキシャル成長で加えられた層構造とを包含する概略的層体系を示す。

【 図 4 】 絶縁体層 2 上に無歪領域 3 の近傍の歪領域 9 を備える S O I 基板 1 , 2 , 3 を包含する概略的層体系を示す。

30

【 図 5 】 歪領域 9 と無歪領域 3 上にエピタキシャル成長で加えられた追加エピタキシャル成長層 1 0 を備える概略的層体系を示す。

【 図 6 】 歪をもたせる層 3 に加えられた三つの層 1 1 , 1 2 , 1 3 を備える選択的概略的層構成を示し、層 1 1 は追加的埋め込み無歪層或いはエッチング停止層である。

【 図 7 】 歪領域 9 と無歪領域 3 の間の絶縁領域 1 4 ( 浅い溝絶縁体 ) を備える概略的層体系を示す。

【 図 8 】 図 1 においてエッチング溝 1 5 を備える概略的層体系を示す。

【 図 9 】 絶縁体上にゲートスタック、レイズドソース・ドレインとシリコン電極を備える歪 Si 層の M O S F E T の概略的表現を示す。トランジスタの右方には無歪 Si 層 3 が見られ、左方には無歪領域 3 の上に歪 Si - Ge 層 1 1 が見られる。

40

## 【 符号の説明 】

## 【 0 1 2 0 】

1 . . . . シリコン

2 . . . . Si O <sub>2</sub>

3 . . . . 層厚 d <sub>3</sub> をもつ歪をもたせる層

4 . . . . エピタキシャル層、プロセス中に緩和される層厚 d <sub>4</sub> をもつ任意に濃度変化 ( 濃縮 ) を備える。

5 . . . . 層厚 d <sub>5</sub> をもつエピタキシャル層 5 ( 例えばシリコン ) 。

6 . . . . マスク

7 . . . . 例えばイオン注入によって形成される欠陥領域。イオンの到達距離の最大値

50

は層 4 と 5 の境界面からの間隔  $d_6$  である。水素やヘリウムイオンの場合には、この深さにプレートレット、水泡或いはマイクロクラックが生じ、転位のような欠陥を形成する。

8 . . . 保護層、例えば  $\text{SiO}_2$

9 . . . 歪層或いは歪領域、例えば歪シリコン。

10 . . . 無歪層 3 或いは歪層 9 上に析出されるエピタキシャル層、例えば  $\text{Si}$  或いは  $\text{Si-Ge}$  或いは  $\text{Si-Ge-C}$  或いは  $\text{Si-C}$ 。シリコンの析出によって歪層の層厚が増大される。

11 . . . 緩和されたエピタキシャル層、例えば  $\text{Si-Ge}$ 、 $\text{Si-C}$  或いは  $\text{Si-Ge-C}$ 。

12 . . . 歪をもたされるか、或いはエッチング停止層として用いられる薄いエピタキシャル層、例えばシリコン。

13 . . . 緩和されるべきである例えば濃度が次第に変化するエピタキシャル層、例えば  $\text{Si-Ge}$ 、 $\text{Si-C}$  或いは  $\text{Si-Ge-C}$ 。

14 . . . 浅い溝絶縁体、絶縁材料で充填された溝 15。

15 . . .  $\text{SOI}$  基板 1, 2, 3 の絶縁層 2 までの深さをもつエッチング溝。

16 . . . シリコン電極、例えばソース。

17 . . . ゲート誘電体。

18 . . . ゲート電極、例えばポリ- $\text{Si}$  或いは金属。

19 . . . ゲート電極、例えばシリコン。

20 . . . 絶縁体。

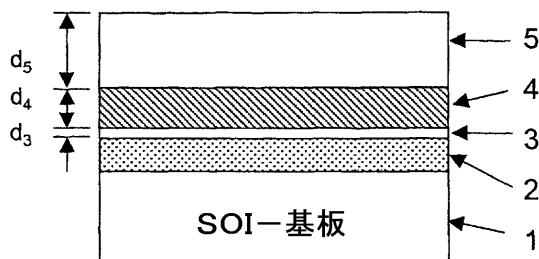
21 . . . シリコンドレイン電極。

22 . . . 盛り上がった電極（高ドーブ  $\text{Si}$  或いは  $\text{Si-Ge}$ ）

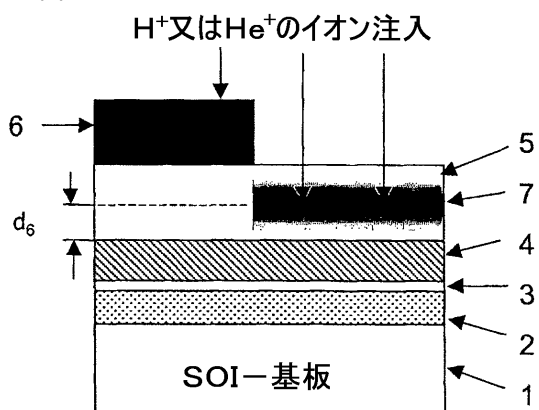
10

20

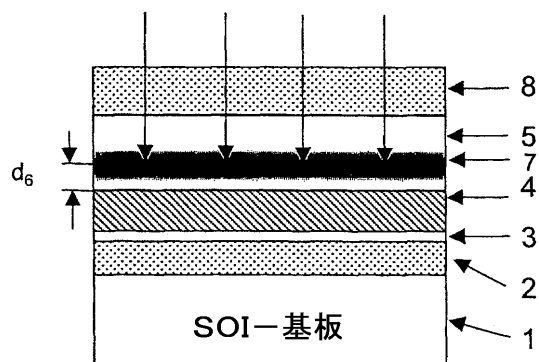
【図 1】



【図 2】



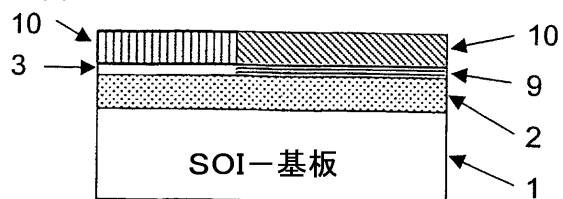
【図 3】



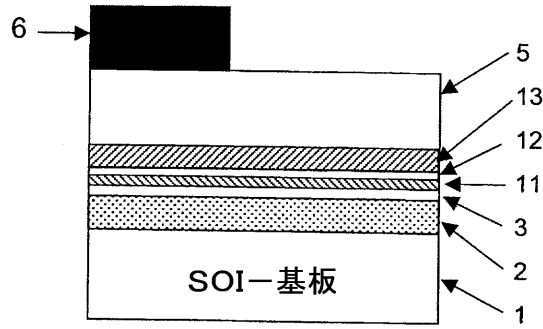
【図 4】



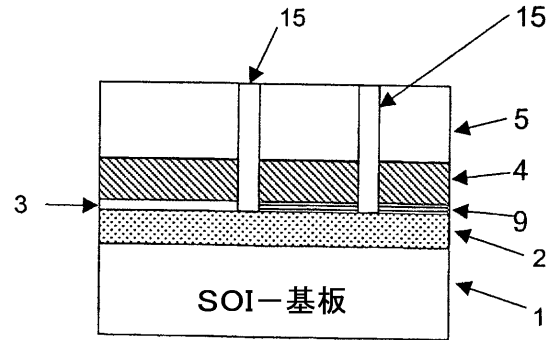
【図 5】



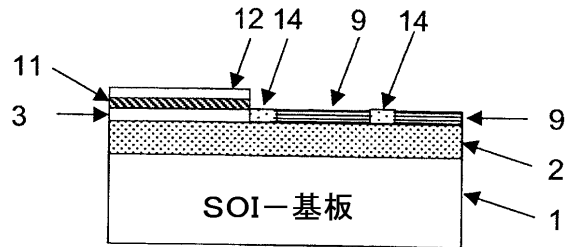
【図 6】



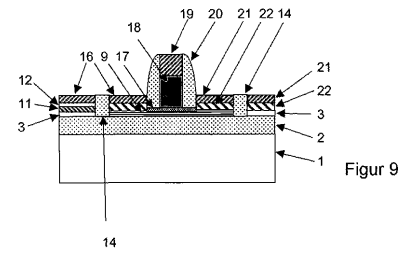
【図 8】



【図 7】



【図 9】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 27/12 L

審査官 大嶋 洋一

(56)参考文献 米国特許出願公開第2002/0185686(US,A1)  
国際公開第2002/071495(WO,A1)  
米国特許第05442205(US,A)  
特開2002-270504(JP,A)  
特開2001-168342(JP,A)  
特開2001-148473(JP,A)  
特開2000-243946(JP,A)  
特開平10-209453(JP,A)

(58)調査した分野(Int.Cl.,DB名)  
H 0 1 L 21/20  
H 0 1 L 21/265  
H 0 1 L 21/336  
H 0 1 L 27/12  
H 0 1 L 29/786