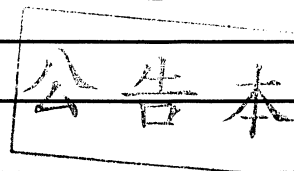


申請日期：	89-2-21	案號：	89102929
類別：			

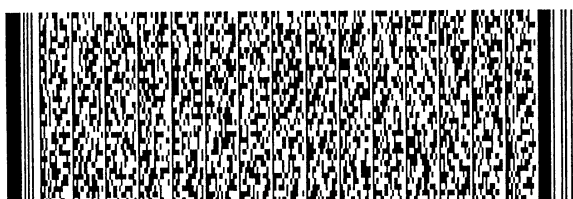


(以上各欄由本局填註)

發明專利說明書

477824

一、發明名稱	中文	薄膜形成方法及薄膜形成裝置
	英文	THIN FILM FABRICATION METHOD AND THIN FILM FABRICATION APPARATUS
二、發明人	姓名 (中文)	1. 水野茂 2. 佐藤誠 3. 田上学 4. 佐藤英樹
	姓名 (英文)	1. Shigeru Mizuno 2. Makoto Sato 3. Manabu Tagami 4. Hideki Satou
	國籍	1. 日本 2. 日本 3. 日本 4. 日本
	住、居所	1. 日本國東京都江戸川区一之江2-20-2 2. 日本國山梨縣北都留郡上野原町新田1145 3. 日本國東京都府中市白糸台4-50-7ハイズハイム307 4. 日本國東京都日野市落川570 ハイツ石名田B101
三、申請人	姓名 (名稱) (中文)	1. 安內華股份有限公司
	姓名 (名稱) (英文)	1. アネルバ 株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都府中市四谷5丁目8番1號
	代表人 姓名 (中文)	1. 今村有孝
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

1999/03/12 11-066067

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明之詳細說明】

【發明所屬之技術領域】

本發明係關於一種薄膜形成方法及薄膜形成裝置；也就是說，本發明係關於一種藉由像濺鍍或者電漿化學蒸著（電漿CVD），而在基板之表面上，形成該所規定之薄膜之薄膜形成方法及薄膜形成裝置。

【先前技術】

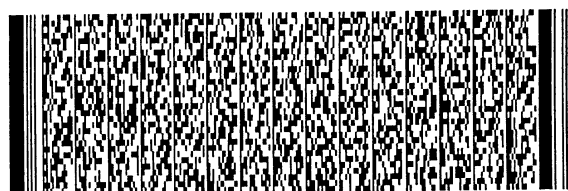
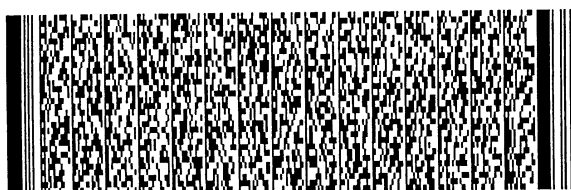
像濺鍍或者CVD（化學氣相蒸著）這樣之薄膜形成用製程，係大多被使用在以LSI（大型積體電路）為首之各種之電子元件或者液晶顯示器等之顯示用裝置之製造作業上。其中，在半導體元件之領域中，元件之積體化和微細化，係越加地進展當中。元件之微細化，就製造作業而言，係被要求有新型之技術。也就是說，係被要求能夠達到以下所敘述之效果等：

相當充分之數量之薄膜，被埋入至微細之孔洞內；以及，

可以減輕元件構造中之位差現象之功夫；以及，

防止所謂起因於高電流密度之發熱現象或者電性遷移（electro-migration）之所造成之斷線現象等之發生。

特別是，所謂在縱橫比（aspect-ratio：孔洞之深度對於孔洞之開口之直徑或者幅寬之比值）相當高之微細之孔洞之底部上而形成該被覆性非常良好並且相當厚度之障蔽膜之技術，係為掌握住從今以後之半導體元件製造之關鍵之技術。



五、發明說明 (2)

前述之障蔽膜，係除了被使用來防止所謂底材材料和配線用材料之間之相互浸蝕或擴散之現象發生（確保住所謂障蔽膜）之外，同時，還能夠被用以確保住所謂導電性，並且，確保住所謂密合性。在障蔽膜，還使用鈦膜和氮化鈦膜之層積膜、鉭膜、氮化鉭膜、或者鉭膜和氮化鉭膜之層積膜等。

該作為在縱橫比 (aspect-ratio) 相當高之微細之孔洞之內面上而形成所謂障蔽膜之成膜方法，在現在，係已經被注目有所謂對於基板進行著偏壓處理並且在該基板上而形成薄膜之離子化濺鍍法或者電漿化學蒸著（電漿CVD）法等。就該離子化濺鍍法而言，係使用圖9，而說明該作為習知之先前技術之成膜方法之某一例子。圖9係為用以顯示出該成為習知之先前技術之薄膜形成裝置之某一例子之離子化濺鍍用裝置之概略構造之前視圖。

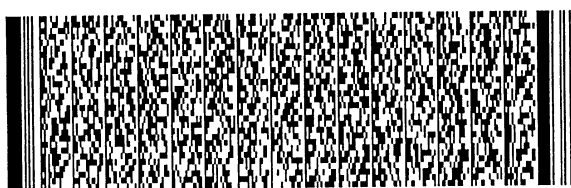
圖9所示之薄膜形成裝置之離子化濺鍍用裝置，係具備有以下所敘述之構件：

處理室1，而該處理室1，係藉由排氣用系統11，而對於該處理室1之內部，進行著排氣處理；以及，

基板座架2，而該基板座架2，係被用以在前述之處理室1內之所規定之位置上，夾持著基板9；以及，

氣體導入用系統3，而該氣體導入用系統3，係被用以將該所規定之製程用氣體，導入至前述之處理室1內；以及，

電漿產生用手段，而該電漿產生用手段，係被用以在前



五、發明說明 (3)

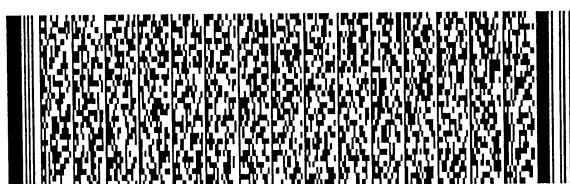
述之處理室1內，產生有電漿。電漿產生用手段，主要係由以下所敘述之構件而組成的：

陰極4，而該陰極4，係具備有標靶41，並且，該標靶41，係被設計成為在前述之處理室1內，曝露出所謂被濺鍍面；以及，

濺鍍用電源5，而該濺鍍用電源5，係被用以藉由施加該所規定之電壓至標靶41，產生所謂濺鍍放電現象，以便於產生有電漿。

在濺鍍用電源5，係採用所謂施加13.56MHz左右之頻率之高頻電壓至標靶41中之電源。當藉由氣體導入用系統3，而將該所規定之製程用氣體，導入至前述之處理室1內，並且，還藉由濺鍍用電源5，而施加高頻電壓至標靶41中之時，則在製程用氣體，產生所謂高頻放電現象，以便於產生有電漿。在濺鍍用電源5和標靶41之被濺鍍面之間，係存在有該藉由並未圖示出之匹配器等之所造成之電容。當透過電容而施加高頻電壓之時，係在電容之充電放電作業中，作用有電漿中之電子和離子，但是，由於電子和離子之間之遷移率(mobility)並不相同，因此，係在標靶41，產生有自偏電壓。所謂自偏電壓，係為重疊於高頻電壓之負直流成分之電壓，並且，還前述之自偏電壓，而由電漿中，拉引出離子，而使得該離子，入射至標靶41中。結果，該標靶41，係被進行著濺鍍處理。

該藉由濺鍍處理而由標靶41之所釋放出之粒子(通常，係為原子之狀態，以下，係稱為濺鍍用粒子或者濺鍍用原



五、發明說明 (4)

子。)，係在處理室1內，進行著飛行，而到達至基板9之表面。當該濺鍍用粒子重複地到達至基板9之表面上之時，而使得薄膜呈成長。接著，係藉由進行著一定之時間之濺鍍處理，以便於在基板9之表面上，形成該所規定之厚度之薄膜。

此外，前述之濺鍍用電源5，係被兼用作為所謂使得該藉由濺鍍處理而由標靶41之所釋放出之粒子呈離子化之離子化手段。當使用像前述這樣之高頻電源而作為濺鍍用電源5之時，係可以增加所謂使得電漿中之電子衝撞著濺鍍用粒子而使得該濺鍍用粒子呈離子化之效率。此外，該作為離子化手段，係採用所謂施加高頻電壓至該設置於濺鍍用粒子之飛行路徑之途中之高頻電極之構造。

此外，在另外一方面，係設置有偏壓用機構6，而該偏壓用機構6，係對於基板9，進行著偏壓處理，以便於使得電漿中之離子，入射至基板9中。所謂「偏壓」，係對於電漿之空間電位，施加一定之電位至基板9之表面，以便於使得電漿中之離子，入射至基板9中。

基板座架2，係由以下所敘述之構件等而組成的：

金屬製之座架本體21，而該金屬製之座架本體21，係被維持在接地電位上；以及，

電介質塊件22，而該電介質塊件22，係被固定在前述之座架本體21上。在電介質塊件22內，係設置有偏壓用電極23。習知之先前技術之薄膜形成裝置中之偏壓用機構6，係主要由該連接在偏壓用電極23上之偏壓用電源61等而構



五、發明說明 (5)

成的。

當使用偏壓用機構6並且進行著濺鍍處理之時，係藉由該呈離子化之濺鍍用粒子（以下，稱為離子化濺鍍用粒子。）之作用，以便於具備有所謂提升該濺鍍用粒子被覆於孔洞內之被覆性之效果。以下，係使用圖10，而說明像前述這樣之課題點。圖10係為就習知之先前技術之薄膜形成方法及薄膜形成裝置中之基板9之表面電位而進行著說明之圖式；其中圖10（1）係被用以顯示出該被施加至偏壓用電極23之電壓，而圖10（2）係被用以顯示出基板9之表面電位。

首先，基板9，係被載置於該成為基板座架2之一部份之電介質塊件22之上。因此，該曝露於電漿中之基板9之表面電位（以下，稱為基板表面電位 V_s 。），首先係成為所謂浮動電位。浮動電位（在圖10（2）所示之 V_f ），係為數伏特左右之負電位。此外，浮動電位 V_f 之所造成之鞘形（sheath）電場之強度，係會受到電漿密度之影響。接著，電漿密度，係會受到該使用作為濺鍍用電源5之高頻電源之輸出之影響。

在另一方面，電漿之空間電位，係為電漿空間電位（在圖10（2）所示之 V_p ）之0V（伏特）至數十V（伏特）左右為止之正電位。係考量到：所謂稍微呈正值地轉換著電漿空間電位 V_p ，係為電子移動至基板座架2等之表面上，結果，係能夠用以取得平衡。係在該成為像前述這樣之空間電位 V_p 之電漿和該被賦予有浮動電位 V_f 之基板9之間，

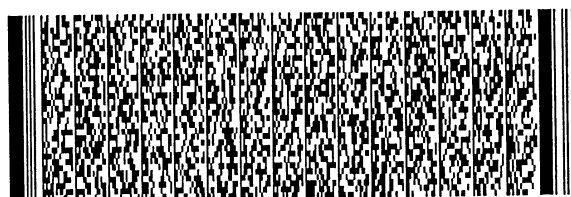
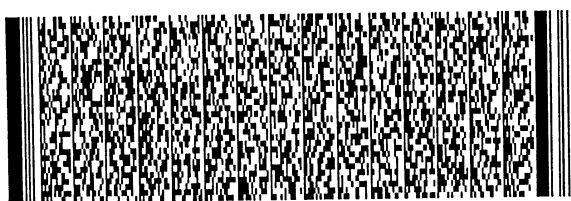


五、發明說明 (6)

係產生有鞘形 (sheath) 電場，而該鞘形電場，係朝著基板9，而逐漸地下降著電位。鞘形電場之方向，係垂直於基板9，並且，還藉由前述之鞘形電場，以便於加速該呈離子化之濺鍍用粒子，而使得前述之呈離子化之濺鍍用粒子，幾乎呈垂直地入射至基板9中。結果，該到達至孔洞之底面為止之呈離子化之濺鍍用粒子，係會變得比較多，以便於增加所謂成膜於孔洞之底面上之成膜速度。

但是，該由標靶41之所釋放出之全部之濺鍍用粒子，係並非皆成為離子化，也有相當數量之中性之濺鍍用粒子，也到達至基板9。前述之中性之濺鍍用粒子，係並不會受到鞘形電場之所造成之影響，而能夠以各種之角度，入射至基板9中。結果，係會由於像前述這樣之濺鍍用粒子，以致於會相當容易地在孔洞之開口之邊緣之部分上，堆積有相當多量之濺鍍用粒子，而形成所謂突出 (overhang) 之隆起現象。當形成所謂突出 (overhang) 現象之時，則會使得孔洞之開口，變得比較小，以致於孔洞之外觀上之縱橫比 (aspect-ratio)，就會變得比較高。當孔洞之縱橫比 (aspect-ratio) 變得比較高之時，由於該可以進入至孔洞內之濺鍍用粒子之數量呈減少，因此，就會降低孔洞之底面之被覆性。

在另一方面，於偏壓用電源61，係使用著該與濺鍍用電源5呈相同頻率之13.56MHz左右之頻率之高頻電源。因此，在產生有電漿之狀態下，當啟動偏壓用電源61之時，就正如圖10 (2) 之所顯示的，由於電子和離子之遷移率

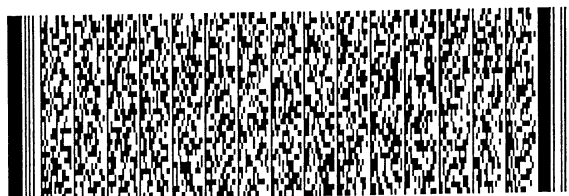
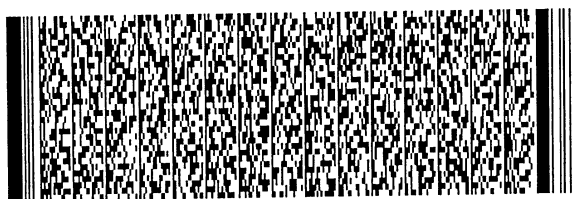


五、發明說明 (7)

(mobility) 並不相同，因此，係會施加所謂自偏電壓 V_{dc} 至基板9。結果，自偏電壓 V_{dc} 之所造成之電場，係會成為所謂重疊於浮動電位 V_f 之所造成之電場上之狀態。由於自偏電壓，就正如前面所敘述的，係成為負直流成分之電壓，因此，鞘形 (sheath) 電場，就會變得更加地高，而增加離子之入射能量。

此外，在實際上，該施加至偏壓用電極23之電壓（以下，成為電極施加用電壓。） V_e ，係為高頻電壓，而會有該高頻電壓之所造成之電場產生，因此，基板表面電位 V_s ，就正如圖10（2）中之點線之所顯示的，而變化成為正弦波狀。接著，浮動電位 V_f 和基板表面電位 V_s 間之差值，就成為自偏電壓 V_{dc} 。

但是，基板表面電位 V_s 之變化之頻率，係為13.56MHz，並且，該基板表面電位 V_s 之變化之頻率，係還更加地遠高於電漿之離子振動頻率（在 10^{10} 個/cm³左右之密度之Ar（氬）電漿之狀態下，電漿之離子振動頻率係為大約3.3MHz左右。）。因此，在離子之舉動成為問題之狀態下，係可以忽視所謂高頻成分。也就是說，由於係在離子追隨高頻電場而進行著移動之前，改變電場之方向，因此，高頻電場係並不會對於整體之離子之移動，造成有影響。所以，該主要用以移動著離子之電場，係為自偏電壓 V_{dc} 之所造成之電場以及浮動電位 V_f 之所造成之電場。此外，係也由於電子和離子之間之遷移率 (mobility) 之差異，而產生有浮動電位 V_f ，因此，也可以考慮使得該浮動電位



五、發明說明 (8)

V_f ，成為一種「自偏電壓」。在像前述這樣之狀態下，圖 10 (2) 所示之基板表面電位 V_s 之整體之直流成分，係成為所謂自偏電壓。

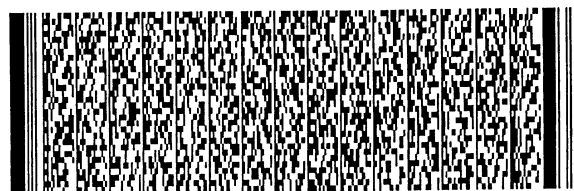
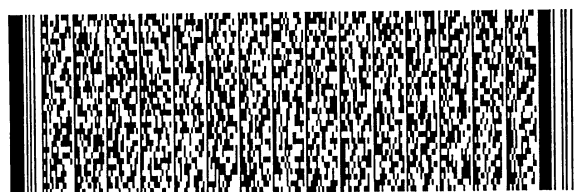
就正如前面所敘述的，當入射用離子之能量變得比較高之時，則可能會再一次地對於所謂突出 (overhang) 現象之部分之堆積膜，進行著濺鍍處理，以致於製程用氣體之離子之入射能量，超過所謂對於該所堆積之薄膜進行著濺鍍處理時之濺鍍用臨限值。由於係藉由所謂突出

(overhang) 現象之再一次之濺鍍處理，而防止所謂孔洞之開口呈減少之現象發生，並且，還可以使得該藉由再一次之濺鍍處理之所釋放出之濺鍍用粒子，落下至孔洞內，因此，係可以提高該孔洞之內面 (底面或者側面) 之被覆性。

【發明所欲解決之問題】

但是，在習知之先前記述之薄膜形成方法及薄膜形成裝置中，會有像以下所敘述之問題產生。

也就是說，就正如前面所敘述的，係可以藉由施加自偏電壓，而提高鞘形電場之強度，結果，係能夠藉由製程用氣體之離子，而再一次地對於所謂突出 (overhang) 現象之部分之堆積膜，進行著濺鍍處理，以便於提高孔洞之內面之被覆性。但是，離子係也以相當高之能量，入射至所謂突出 (overhang) 現象之部分以外之部位上，而對於該一再地進行著堆積之薄膜，進行著濺鍍處理。因此，就會使得整體之成膜速度，變得比較緩慢，以致於降低其生產



五、發明說明 (9)

效率。

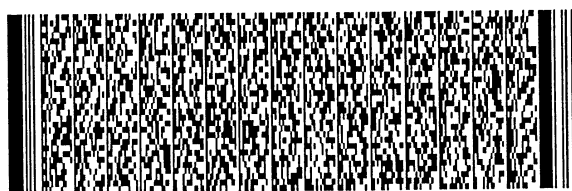
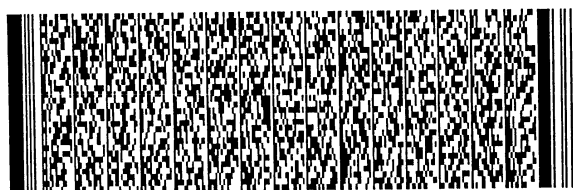
此外，係以相當高之能量而入射著製程用氣體之離子，結果，製程用氣體之離子，係會混入至薄膜中，以致於會有所謂形成之薄膜之品質呈降低之問題發生。特別是，在薄膜厚度相當容易變薄之孔洞之底面上，係還會有所謂入射用離子穿透過薄膜而到達至底材層中為止之狀態發生。此外，當離子之入射量變得比較多之時，則會累積有過剩之電荷，以致於也會有所謂元件之電氣性之損傷問題發生。

本發明係為了解決像前述這樣之問題而完成的；本發明係具備有技術上之意義，而提供一種可以提高該對於微細之孔洞之內面上之被覆性，並且，還能夠抑制住所謂成膜速度呈降低之現象發生，而且，並不會損傷到該所形成之薄膜之品質以及該所製造出之元件之特性等之薄膜形成方法及薄膜形成裝置。

【解決問題之手段】

為了解決前述之問題，因此，本發明之申請專利範圍第1項之所記載之薄膜形成方法之發明，係具備有以下所敘述之構造：

一種薄膜形成方法，其係在面對基板表面之空間中形成電漿，同時藉由在基板之表面上施加一定之電壓，相對於電漿之空間電位形成偏壓，且利用偏壓使電漿中之離子邊入射至基板之表面上，而邊在基板之表面上形成所規定之薄膜之薄膜形成方法，前述偏壓，係藉由施加脈波狀之電



五、發明說明 (10)

壓至前述基板而進行者，該脈波狀電壓之頻率，係為前述電漿中之前述離子之振動頻率以下，而且，控制脈波週期、脈波幅寬及脈波高度，以便於使得前述之離子入射至前述基板中之離子入射量及能量成為最適當之狀態。

為了解決前述之問題，因此，本發明之申請專利範圍第2項之所記載之薄膜形成方法之發明，係在前述之本發明之申請專利範圍第1項之所記載之薄膜形成方法之構造中，具備有以下所敘述之構造：

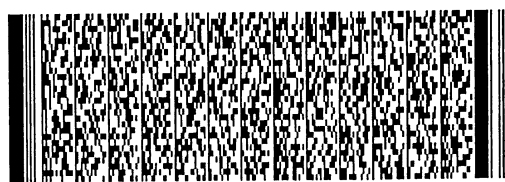
前述之脈波狀之電壓之波形，係包含有：離子入射用之脈波，極性與前述離子入射用脈波不同的緩和用脈波。

為了解決前述之問題，因此，本發明之申請專利範圍第3項之所記載之薄膜形成方法之發明，係在前述之本發明之申請專利範圍第2項之所記載之薄膜形成方法之構造中，具備有以下所敘述之構造：

前述緩和用脈波之幅寬，係比起由前述脈波週期而減去前述離子入射用脈波之幅寬之時間還更短，並且具有離子入射用脈波和緩與用脈波皆未被施加之時間帶。

為了解決前述之問題，因此，本發明之申請專利範圍第4項之所記載之薄膜形成方法之發明，係在前述之本發明之申請專利範圍第1、2或3項之所記載之薄膜形成方法之構造中，具備有以下所敘述之構造：

控制前述脈波週期、脈波幅寬及脈波高度，以便於在一個脈波週期中，使得前述離子之入射能量，暫時超過濺鍍前述基板之表面上所形成之薄膜所需要之最低限度之能量



五、發明說明 (11)

值的濺鍍臨限值。

為了解決前述之問題，因此，本發明之申請專利範圍第5項之所記載之薄膜形成方法之發明，係在前述之本發明之申請專利範圍第1、2或3項之所記載之薄膜形成方法之構造中，具備有以下所敘述之構造：

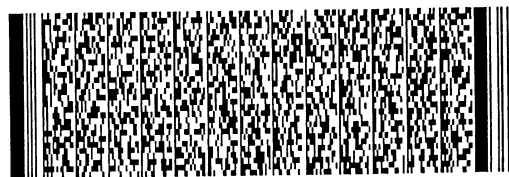
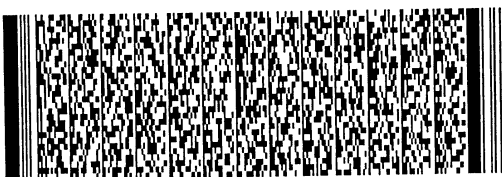
前述脈波狀電壓係介有介質而邊對基板間接地施加者。

為了解決前述之問題，因此，本發明之申請專利範圍第6項之所記載之薄膜形成方法之發明，係在前述之本發明之申請專利範圍第4項之所記載之薄膜形成方法之構造中，具備有以下所敘述之構造：

前述脈波狀電壓係介有介質而邊對基板間接地施加者。

為了解決前述之問題，因此，本發明之申請專利範圍第7項之所記載之薄膜形成方法之發明，係具備有以下所敘述之構造：

一種薄膜形成裝置，其係具備有：處理室，係藉由排氣用系統而對於該處理室之內部進行著排氣處理；基板座架，係用以在前述處理室內之所規定位置上夾持著基板；氣體導入用系統，係用以將所規定之製程用氣體導入至前述處理室內；以及電漿產生用手段，係在前述處理室內產生電漿，且在受前述基板座架夾持之基板之表面形成所規定之薄膜，其係設有偏壓用機構，而該偏壓用機構，係藉由在基板之表面上施加一定之電壓，相對於前述電漿之空間電位形成偏壓，以便於將電漿中之離子入射至基板之表面上，而該偏壓用機構，係施加脈波狀電壓至基板中，該



五、發明說明 (12)

脈波之頻率，係為前述電漿中之前述離子之振動頻率以下，此外，還具備有控制部，而該控制部，係用以控制脈波週期、脈波幅寬及脈波高度，以便於使得前述離子入射至前述基板中之離子入射量及能量成為最適當之狀態。

為了解決前述之問題，因此，本發明之申請專利範圍第8項之所記載之薄膜形成裝置之發明，係在前述之本發明之申請專利範圍第7項之所記載之薄膜形成裝置之構造中，具備有以下所敘述之構造：

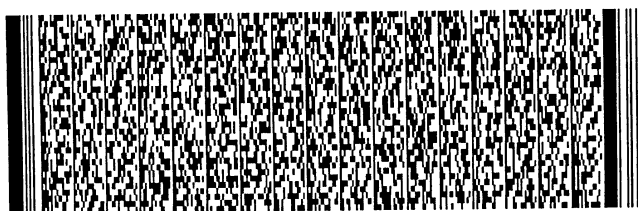
前述控制部，係用以控制將包含有離子入射用脈波和極性與離子入射用之脈波不同之緩和用脈波之波形之脈波狀之電壓，施加至基板中者。

為了解決前述之問題，因此，本發明之申請專利範圍第9項之所記載之薄膜形成裝置之發明，係在前述之本發明之申請專利範圍第8項之所記載之薄膜形成裝置之構造中，具備有以下所敘述之構造：

前述控制部，係用以控制前述緩和用脈波之幅寬，且具有比起由前述脈波週期減去前述離子入射用脈波之幅寬之時間還短，並且離子入射用脈波與緩和用脈波皆未被施加之時間帶。

為了解決前述之問題，因此，本發明之申請專利範圍第10項之所記載之薄膜形成裝置之發明，係在前述之本發明之申請專利範圍第7、8或9項之所記載之薄膜形成裝置之構造中，具備有以下所敘述之構造：

前述控制部，係控制前述脈波週期、脈波高度及脈波幅



五、發明說明 (13)

寬，以便於在一個脈波週期中，使得前述離子之入射能量，暫時超過濺鍍前述基板之表面上所形成之薄膜所需要之最低限度之能量值的濺鍍臨限值。

為了解決前述之問題，因此，本發明之申請專利範圍第11項之所記載之薄膜形成裝置之發明，係在前述之本發明之申請專利範圍第7、8或9項之所記載之薄膜形成裝置之構造中，具備有以下所敘述之構造：

邊介有介質，而邊對基板設有偏壓用電極，而前述偏壓用機構，係施加前述脈波狀電壓至前述偏壓用電極者。

為了解決前述之問題，因此，本發明之申請專利範圍第12項之所記載之薄膜形成裝置之發明，係在前述之本發明之申請專利範圍第10項之所記載之薄膜形成裝置之構造中，具備有以下所敘述之構造：

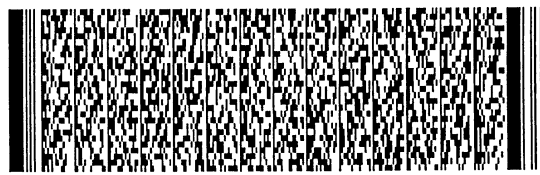
邊介有介質，而邊對基板設有偏壓用電極，而前述偏壓用機構，係施加前述脈波狀電壓至前述偏壓用電極者。

【發明之實施形態】

以下，係就本發明之實施形態，而進行著相關之說明，在以下之說明中，係相同於習知之先前技術，而以離子化濺鍍處理，作為例子，進行著相關之說明。

圖1係為用以顯示出本發明之第1實施形態之薄膜形成裝置之概略構造之前視圖。圖1所示之薄膜形成裝置，係具備有以下所敘述之構件：

處理室1，而該處理室1，係藉由排氣用系統11，而對於該處理室1之內部，進行著排氣處理；以及，



五、發明說明 (14)

基板座架2，而該基板座架2，係被用以在前述之處理室1內之所規定之位置上，夾持著基板9；以及，

氣體導入用系統3，而該氣體導入用系統3，係被用以將該所規定之製程用氣體，導入至前述之處理室1內；以及，

電漿產生用手段，而該電漿產生用手段，係被用以在前述之處理室1內，產生有電漿P。此外，電漿產生用手段，係由以下所敘述之構件而組成的：

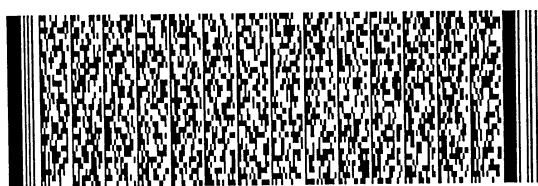
陰極4，而該陰極4，係具備有標靶41，並且，該標靶41，係被設計成為在前述之處理室1內，曝露出所謂被濺鍍面；以及，

濺鍍用電源5，而該濺鍍用電源5，係被用以藉由施加該所規定之電壓至標靶41，產生所謂濺鍍放電現象，以便於產生有電漿P。

即使是在本實施形態中，濺鍍用電源5，係為13.56MHz左右之頻率之高頻電源，而被兼用作為離子化手段。接著，係還設置有偏壓用機構6，而該偏壓用機構6，係對於基板9之表面，進行著偏壓處理，以便於使得電漿中之離子，入射至基板9中。

本實施形態之薄膜形成裝置之比較大之特徵點，係為以下所敘述之特徵點：

偏壓用機構6，係藉由施加脈波狀之電壓至偏壓用電極23，以便於進行著偏壓處理，並且，係還設置有該用以控制前述之脈波狀之電壓施加作業之控制部62。以下，則具



五、發明說明 (15)

體地說明前述之特徵點。

本實施形態中之偏壓用機構6，就正如圖1之所顯示的，主要係由以下所敘述之構件而組成的：

直流電源電路63，而該直流電源電路63，係被用以將商業用交流電流輸入，轉換成為該所規定之直流電流；以及，

脈波產生用電路64，而該脈波產生用電路64，係被用以將直流電源電路63之輸出，轉換成為脈波狀，以便於產生脈波狀之電壓；以及，

控制部62，而該控制部62，係被用以控制著直流電源電路63和脈波產生用電路64之動作；以及，

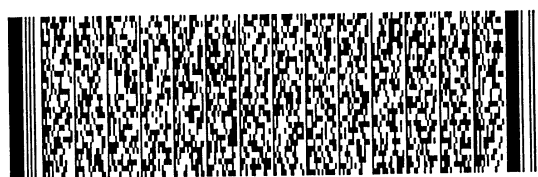
輸入部65，而該輸入部65，係被用以輸入控制用訊號至控制部62。接著，在該成為基板座架2之一部分之電介質塊件22內，同樣地係設置有偏壓用電極23，以便於施加脈波產生用電路64之輸出電壓至該偏壓用電極23。

直流電源電路63，係為採用所謂轉換調整（switching-regulator）方式等之電路，而輸出該所規定之大小之負直流電壓。脈波產生用電路64，係使用電晶體，而藉由轉換作用，以便於產生像後面所敘述之方形波之脈波。

控制部62，係具備有以下所敘述之構件：

脈波高度控制用電路621，而該脈波高度控制用電路621，係傳送控制用訊號至直流電源電路63；以及，

脈波產生用控制電路622，而該脈波產生用控制電路



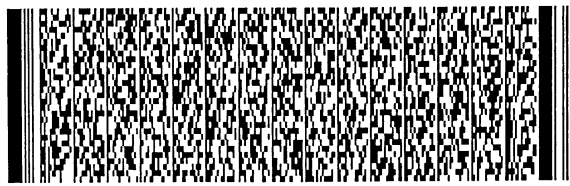
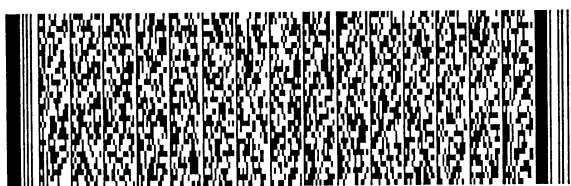
五、發明說明 (16)

622，係傳送控制用訊號至脈波產生用電路64。係使用圖2，而就控制部62之構造，進行著相關之說明。圖2係為就藉由圖1所示之偏壓用機構6而被施加至偏壓用電極23內之電壓（電極式施加電壓）以及電漿之作用之所產生之基板表面電位之變化而進行著說明之圖式；其中圖2（1）係被用以顯示出電極式施加電壓 V_e 之變化，而圖2（2）係被用以顯示出基板表面電位 V_s 之變化。

電極式施加電壓 V_e ，係為脈波產生用電路64之輸出電壓。就正如圖2之所顯示的，前述之電壓，係為週期 T 、脈波幅寬 t 、及脈波高度 h 之極性呈負之方形波之脈波。

圖1所示之脈波高度控制用電路621，係按照該由輸入部65之所輸入之值，而控制直流電源電路63之輸出電壓，以便於使得前述之脈波高度 h ，成為該所規定之值。例如該所構成之脈波高度控制用電路621，係傳送控制用訊號，至直流電源電路63內之並未圖示出之基準電壓產生用電路，以便於變更基準電壓，成為該所規定之值。此外，脈波產生用控制電路622，係按照該由輸入部65之所輸入之值，而傳送觸發（trigger）用訊號等之所規定之控制用訊號，至脈波產生用電路64，以便於控制電晶體之轉換動作。結果，該脈波產生用控制電路622，就輸出像前述這樣之方形波之脈波。

係由輸入部65，而輸入週期 T 、脈波幅寬 t 、及脈波高度 h 之資料。係預先地設定前述這些資料，以便於使得該對於基板9之表面上之成膜處理，成為在最適當之狀態下。



五、發明說明 (17)

以下，則就前述之觀點，而進行著相關之說明。

前述之資料之選定中之相當重要之第1點，係為：

決定週期 T ，以便於使得脈波之頻率，更加低於電漿中之離子之振動頻率。例如在密度 10^{10} 個/cm³之Ar（氬）電漿之狀態下，就正如前面所敘述的，離子之振動頻率，係為3.3MHz。圖2（1）所示之電極式施加電壓 V_e 之頻率，係低於離子之振動頻率，而成為大約5kHz~3MHz左右。如果以週期來說，電極式施加電壓 V_e 之週期，係大約成為0.3 μ 秒~200 μ 秒左右。

向來，由於電極式施加電壓 V_e 之頻率，係相當充分地遠高於離子之振動頻率，因此，係忽視前述之電極式施加電壓 V_e 之頻率，而認為該電極式施加電壓 V_e ，係並不會對於電漿中之離子之舉動，造成影響，但是，在本實施形態中，由於電極式施加電壓 V_e 之頻率，係低於離子之振動頻率，因此，係並無法忽視該電極式施加電壓 V_e 之所造成之影響。也就是說，該由於脈波狀之電極式施加電壓 V_e 之所造成之離子之移動現象，係會對於基板表面電位 V_s ，造成影響。

如果更加詳細地說明，當電極式施加電壓 V_e 之脈波成為ON（打開）狀態而偏壓用電極23之電位成為負電位之時，係透過電介質塊件22之電容，而正如圖2（2）之所顯示的，在基板9之表面上，激發出負電位。接著，係藉由前述之負電位，而將電漿中之離子，入射及吸引至基板9之表面。因此，係藉由離子入射，以便於使得基板表面電位



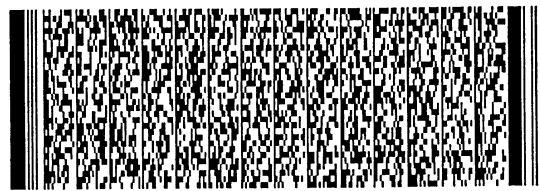
五、發明說明 (18)

V_s ，就正如圖2(2)之所顯示的，而逐漸地上升。

接著，當電極式施加電壓 V_e 之脈波成為OFF(關閉)狀態之時，則在該時間點，基板表面電位 V_s ，係停止上升。但是，由於在該時間點下之基板表面電位 V_s ，係更加低於該成為背景而存在之浮動電位 V_f ，因此，即使是在脈波成為OFF(關閉)狀態之後，基板表面電位 V_s ，係也持續地上升，而一直至到達浮動電位 V_f 為止之時，該基板表面電位 V_s 才停止上升。也就是說，浮動電位 V_f ，係為入射至基板表面上之離子和電子達到平衡時之電位，並且，還由於電子之遷移率(mobility)比較高，因此，該浮動電位 V_f ，係成為數伏特左右之負電位。在脈波成為OFF(關閉)狀態之時間點，基板表面電位 V_s ，係低於浮動電位 V_f ，因此，一直到入射至基板表面上之離子和電子達到平衡為止，基板表面電位 V_s 係呈上升。然後，當下一個之脈波成為ON(打開)狀態之時，則基板表面電位 V_s ，係反覆地進行著前述之同樣之變化。

脈波週期 T 、脈波幅寬 t 、及脈波高度 h 之選定，係為相當重要之第2點，也就是說，該相當重要之第2點，係為：決定脈波週期 T 、脈波幅寬 t 、及脈波高度 h ，以便於一直到1個之脈波週期 T 結束為止，基板表面電位 V_s 會上升至浮動電位 V_f 為止。係使用圖3，而就前述之相當重要之第2點，進行著說明。圖3係為就基板表面電位 V_s 之上升圖案而進行著說明之圖式。

在圖3中，係描繪有3個之基板表面電位 V_s 之上升圖案。

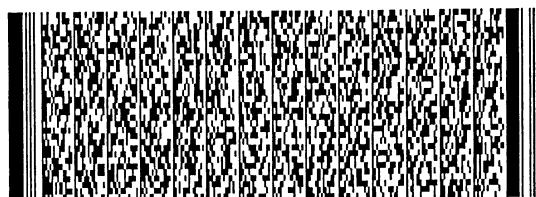
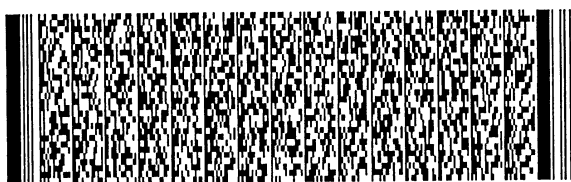


五、發明說明 (19)

圖案a係為在經過脈波幅寬 t 之時間後而一直到脈波週期 T 結束為止之基板表面電位 V_s 到達至浮動電位 V_f 之前述之上升圖案。此外，圖案b係為在脈波幅寬 t 之時間內之基板表面電位 V_s 到達至浮動電位 V_f 之上升圖案。另外，圖案c係為一直到脈波週期 T 結束為止之基板表面電位 V_s 並沒有到達至浮動電位 V_f 之上升圖案。

在圖案c之狀態下，由於在基板表面電位 V_s 上升至浮動電位 V_f 為止之前，係施加有下一個之脈波至偏壓用電極23，因此，會有所謂基板9或者電介質塊件22之表面上之殘餘電荷量隨著時間之增長而增加之問題發生。也就是說，在施加脈波之時，基板9之表面或者電介質塊件22之表面上之殘餘電荷量，會變得比較多。

當前述之基板9之表面或者電介質塊件22之表面上之殘餘電荷量增多至某種程度以上之時，則在該成為處理室1等之接地電位之構件表面之間，係會產生有電弧放電現象，或者是在電介質塊件22，產生有絕緣破壞現象，以致於漏電流，流動至座架本體21。前述之電弧放電現象，係成為損傷到處理室1內之構件或者釋放出該會污損到基板9之材料之原因。此外，電介質塊件22之絕緣破壞現象，係成為會影響到電介質塊件22之破損或者減短其使用壽命之原因。此外，令人更加深刻印象的，當基板9之表面上之殘餘電荷量增多之時，係會破壞到該形成於基板9之表面或者內部上之絕緣層之絕緣，而導致重大之電路缺陷發生。



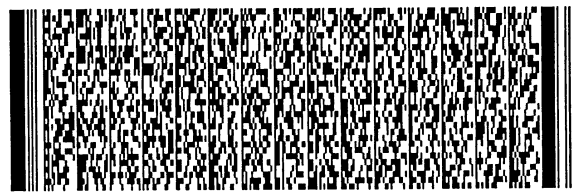
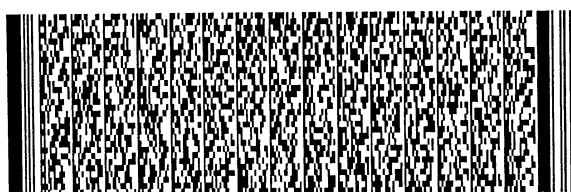
五、發明說明 (20)

由像前述這樣之事項，係可以得知：基板表面電位 V_s 之上升圖案，係最好為圖案a或者圖案b。係由於離子入射之所造成之表面電荷之緩和現象，而產生基板表面電位 V_s 之上升現象，因此，電漿密度，係也會影響到基板表面電位 V_s 成為何種之上升圖案。係藉由處理室1內之壓力以及濺鍍用電源5之輸出等之條件，而決定出電漿密度。由於係由該所需要之成膜速度和前述這些條件之間之關係，而決定出這些條件，因此，在像前述這些條件下，係決定脈波週期 T 、脈波幅寬 t 、及脈波高度 h ，以便於使得基板表面電位 V_s 之上升圖案，成為圖案a或者圖案b。

如果說得更加具體一點，係使用模型之基板，同時，在相同於實際之成膜條件之條件下，對於該模型之基板，進行著濺鍍處理，以便於測定基板表面電位 V_s 之變化。接著，在脈波週期 T 結束之時，調查基板表面電位 V_s 上升至與浮動電位 V_f 呈相同程度為止之範圍，並且，在該範圍內，決定出脈波週期 T 、脈波幅寬 t 、以及脈波高度 h 。

脈波週期 T 、脈波幅寬 t 、及脈波高度 h 之選定，係為相當重要之第3點，也就是說，該相當重要之第3點，係為：決定出這些脈波週期 T 、脈波幅寬 t 、及脈波高度 h 與該所形成之薄膜之濺鍍用臨限值之間之關係。係使用圖2及圖4，而就前述之相當重要之第3點，進行著說明。圖4係為就濺鍍用臨限值而進行著說明之圖式。

圖4係顯示出對於入射至某個固體表面之離子之能量之濺鍍率之比值；而圖4之橫軸係表示著離子之入射用能量

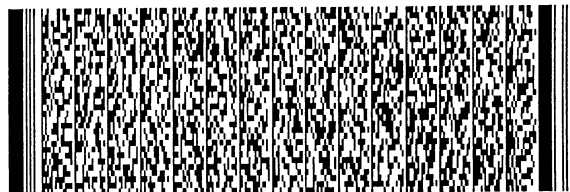
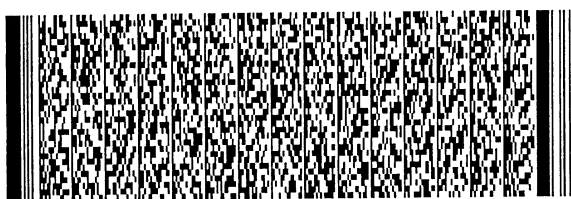


五、發明說明 (21)

(eV)，圖4之縱軸係表示著濺鍍率（所釋放出之濺鍍用原子之數目相對於1個之入射用離子而之比值）。就正如圖4之所顯示的，當離子之入射用能量並沒有成為某個值以上之時，則並不會釋放出濺鍍用原子而引起所謂濺鍍處理。前述之離子之入射用能量值，係為濺鍍用臨限值。例如在鈦之狀態下，該濺鍍用臨限值係為大約20V左右。此外，當離子之入射用能量高過某個限度以上之時，則濺鍍率呈降低；像前述這樣之現象，係顯示出有所謂離子入侵至固體之內部中之離子注入（ion-implantation）之現象發生。

就正如前面所敘述的，係藉由電漿P和基板9中之鞘形（sheath）電場，而進行著離子入射至基板9中之離子入射處理。電漿空間電位 V_p ，係為0至數十伏特左右為止之正電位。在圖2（2）中，係以虛線，而表示出電漿空間電位 V_p 。此外，電漿空間電位 V_p 或者基板表面電位 V_s ，係會受到濺鍍用電源5之所設定之高頻電場之影響，而在實際上，包含有高頻成分。但是，該高頻成分之頻率，係為13.56MHz，而相當充分地遠高於離子之振動頻率，因此，係可以同樣地忽視該高頻成分。

對於如圖2（2）所顯示而改變著電位之基板9之表面，係藉由電漿空間電位 V_p 和基板表面電位 V_s 間之差異之所產生之鞘形（sheath）電場，而加速著離子，以便於使得該離子，入射至基板9之表面。在鞘形（sheath）電場比較低之時，則離子之入射用能量，會變得比較弱，以致於該

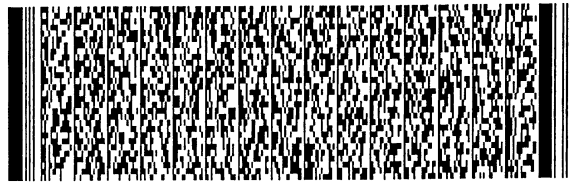
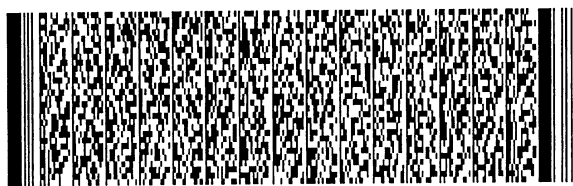


五、發明說明 (22)

離子並無法對於基板9之表面，進行著濺鍍處理。但是，當離子之入射用能量變得比較高而成為濺鍍用臨限值以上之時，係可以對於基板9之表面，進行著濺鍍處理。係將藉由此時之濺鍍用臨限值之能量而入射著離子之鞘形（sheath）電場，作為臨限值電場 E_{th} 。

由於在圖2（2）中，電漿空間電位 V_p 係可以幾乎成為一定，因此，係由基板表面電位 V_s ，而決定鞘形（sheath）電場之強度。此時，將該成為臨限值電場 E_{th} 時之基板表面電位，作為臨限值電位 V_{sth} 。係決定出電極式施加電壓 V_e 之脈波週期 T 、脈波幅寬 t 、以及脈波高度 h ，以便於在電極式施加電壓 V_e 之1個之脈波週期 T 之時間中，使得基板表面電位 V_s 暫時地超過該臨限值電位 V_{sth} ，而變得比較低。

就像前述這樣之基板表面電位 V_s 之變化之所造成之結果而言，係與習知之先前技術之狀態，進行比較，而進行著說明。在圖10（2）中，係相同於圖2（2），而寫入有臨限值電位 V_{sth} 。由圖10（2），則可以得知：在習知之先前技術之狀態下，基板表面電位 V_s ，係經常超過該臨限值電位 V_{sth} ，而變得比較低。因此，該具有濺鍍用臨限值以上之能量之離子，係一直入射至基板9之表面，而呈時間性且經常連續地引起薄膜之再濺鍍反應。所以，即使基板表面電位 V_s 僅稍微地超過臨限值電位 V_{sth} ，也會使得隨著時間而積分之再濺鍍量，變得比較多。結果，不管怎樣，也都會相當容易地有所謂過剩之再濺鍍反應之所造成之成



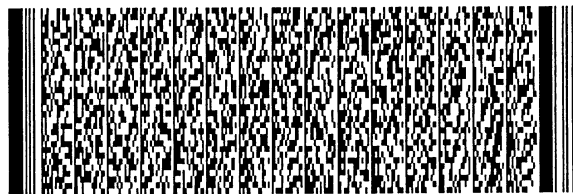
五、發明說明 (23)

膜速度呈降低之問題或者離子混入至薄膜中等之問題發生。

即使是在習知之先前技術之狀態下，係也可以某種程度地藉由調整該用以設置作為偏壓用電源61之高頻電源或濺鍍用電源5之輸出，或者調整壓力，以便於調整自偏電壓 V_{dc} 之大小，並且，還利用該自偏電壓 V_{dc} 之大小之調整，而控制再濺鍍量。但是，由圖10(2)，則可以相當容易地得知：在習知之先前技術中，於本質上，係僅有所謂呈時間性且經常連續地引起薄膜之再濺鍍反應或者完全無法產生再濺鍍反應之兩種選擇。因此，係極為不容易控制在最適當之再濺鍍量（或者再濺鍍速度）之狀態下。

另一方面，在圖(2)2中，所謂基板表面電位 V_s 低於臨限值電位 V_{sth} ，係僅限定於1個之脈波週期 T 中之暫時之時間帶。像前述這樣之現象，係由於臨限值電位 V_{sth} 低於浮動電位 V_f ，並且，基板表面電位 V_s ，就正如前面之所敘述的，在脈波週期 T 結束之時，回復到浮動電位 V_f 為止，結果，係當然會有像前述這樣之現象發生。所謂在脈波週期 T 中而基板表面電位 V_s 暫時地低於臨限值電位 V_{sth} ，係為不連續地引起離子入射之所造成對於基板9之濺鍍處理。就前述這點而言，本發明係相當不同於習知之先前技術。

所謂在1個之脈波週期 T 中而發生濺鍍處理之時間帶、也就是基板表面電位 V_s 低於臨限值電位 V_{sth} 之時間帶（在圖2(2)中，以 t_s 表示。），係會受到脈波成為ON（打開）狀態時之基板表面電位 V_s 之所達到之值（以下，成為脈波



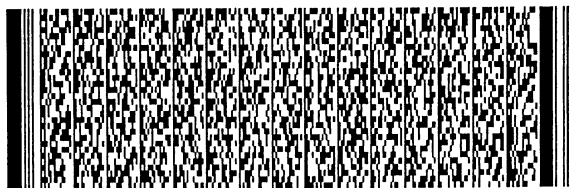
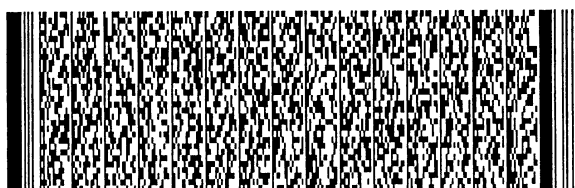
五、發明說明 (24)

初期電位 V_{so} 。)、基板表面電位 V_s 成為緩和狀態而上升之速度、以及脈波幅寬 t 之影響。基板表面電位 V_s 上升之速度，係會受到電漿密度之影響，而電漿密度，係會受到壓力或者濺鍍用電源5之輸出等之影響。當前述這些影響之因素成為一定之時，則藉由脈波初期電位 V_{so} 之大小和脈波幅寬 t ，而決定出時間帶 t_s 。

係由電極式施加電壓 V_e 之脈波高度 h 、電介質塊件22之介電係數 ϵ 和形狀尺寸，而決定出脈波初期電位 V_{so} 。由於電介質塊件22之介電係數 ϵ 和形狀尺寸，係成為一定，結果，係可以藉由脈波高度 h 以及脈波幅寬 t ，而控制時間帶 t_s 之長度。

就脈波高度 h 以及脈波幅寬 t 而言，正如同前面之所敘述的，在與實際之成膜處理呈相同之條件下，進行著成膜實驗，以便於求出及決定所謂使得成膜速度或者底部有效範圍率等之成膜特性成為一定值之脈波高度 h 以及脈波幅寬 t 。為了提高對於縱橫比 (aspect-ratio) 相當高之孔洞之內面之被覆率，因此，就正如前面之所敘述的，係可以增多對於所謂突出 (overhang) 現象之再一次之濺鍍量。為了達成像前述這樣之效果，係可以加長圖2 (2) 所示之時間帶 t_s 。如果加長時間帶 t_s 的話，則會加長基板表面電位 V_s 低於臨限值電位 V_{sth} 之時間，而增多隨著時間呈積分之再濺鍍量。

但是，當增多再濺鍍量之時，就如同前面之所敘述的，則會降低整體之成膜速度。如果考量前述這點，則藉由實



五、發明說明 (25)

驗，而求出及決定所謂可以造成孔洞內面之被覆率和成膜速度同時成立之最適當結果之脈波高度 h 以及脈波幅寬 t 。不管怎樣，也並不會控制成為像習知之先前技術一樣之經常發生有再濺鍍現象或者是完全不產生有再濺鍍現象之兩者中之一種，也就是說，係能夠不連續地發生有再濺鍍現象，而調整各個週期之再濺鍍之時間幅度，以便於可以相當容易地選擇出所謂能夠得到最適當之結果之值。

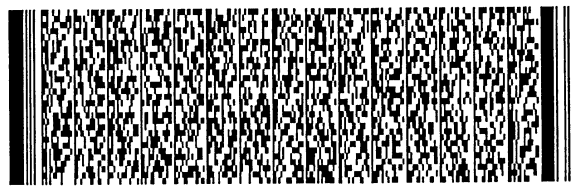
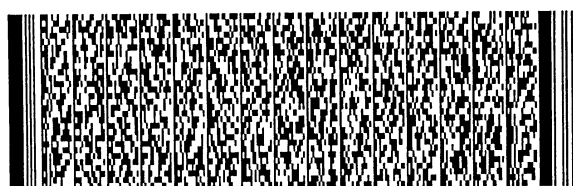
就以上之脈波週期 T 、脈波幅寬 t 、以及脈波高度 h 之選定，而整理成為如以下所記載的。

(1) 選定脈波週期 T ，以便於使得脈波之頻率，低於離子之振動頻率。

(2) 選定脈波週期 T 、脈波幅寬 t 、以及脈波高度 h ，以便於在一直到脈波週期 T 結束為止之時，以便於一直到脈波週期 T 結束為止，使得基板表面電位 V_s ，回復成為與浮動電位 V_f 呈相同左右之電位。

(3) 選定脈波幅寬 t 、以及脈波高度 h ，以便於造成孔洞之被覆率和成膜速度兩種皆同時成立之最適當之結果。

將如以上而選定之脈波週期 T 、脈波幅寬 t 、以及脈波高度 h ，由輸入部65，而輸入至控制部62，以便於被記憶於該控制部62內之並未圖示出之記憶體中。接著，控制脈波高度 h 之資料，而將該脈波高度 h 之資料，由脈波高度控制用電路621，傳送至直流電源電路63，以便於使得該直流電源電路63之輸出電壓，與前述之脈波高度 h 之資料成為一致。此外，還控制脈波週期 T 和脈波幅寬 t 之資料，而將



五、發明說明 (26)

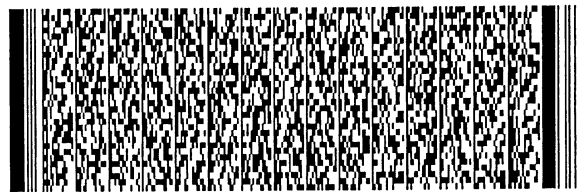
該脈波週期 T 和脈波幅寬 t 之資料，由脈波產生用控制電路622，傳送至脈波產生用電路64，以便於使得該脈波產生用電路64之所輸出之脈波週期和脈波幅寬，與前述這些脈波週期 T 和脈波幅寬 t 之資料成為一致。

接著，就本實施形態之薄膜形成裝置之其他之構造，而進行著說明。

本實施形態之薄膜形成裝置，係構成為用以形成所謂障蔽膜之裝置。因此，標靶41係為鈦金屬製或者鉭金屬製等。該作為氣體導入用系統3，係有時候也可以構成為用以導入氫氣以外之氮氣之構造。當導入氮氣同時還進行著濺鍍處理之時，係可以產生有氮氣和標靶41之材料間之反應，而形成有氮化鈦膜或者氮化鉭膜等，以便於作為障蔽膜。

此外，在標靶41之背後（與被濺鍍面呈相反之部位），係設置有磁鐵單元42。磁鐵單元42，係為同時構成有標靶41和陰極4之構件。磁鐵單元42，係被設置成為能夠用以進行著磁控管濺鍍處理。磁控管濺鍍處理，係藉由透過標靶41，而設定出該與所設定之電場呈垂直之磁場，並且，還使得電子，進行著磁控管運動，以便於達成高效率之放電作用。係可以藉由高效率之放電作用，以便於具備有所謂即使是在比較低之壓力狀態下，也能夠以相當高之成膜速度，進行著成膜處理，並且，還能夠以相當高之生產效率，而形成高品質之薄膜之優點。

磁鐵單元42，係由以下所敘述之構件而組成的：



五、發明說明 (27)

中心磁鐵421，而該中心磁鐵421，係設置於中央；以及，

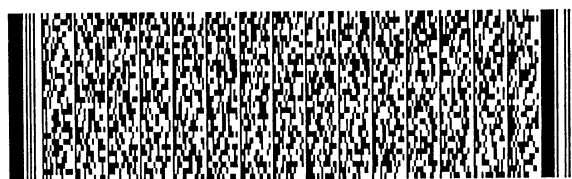
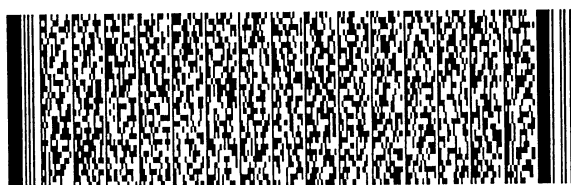
環圈狀之周邊磁鐵422，而該環圈狀之周邊磁鐵422，係包圍著前述之中心磁鐵421；以及，

磁軛423，而該磁軛423，係連結著前述之中心磁鐵421和周邊磁鐵422。在中心磁鐵421和周邊磁鐵422之間，就正如圖1之所顯示的，係設定有該貫穿標靶41而呈膨脹狀之磁力線424。該磁力線424，係在其呈膨脹狀之頂點之附近等，垂直於電場（電力線），而達成磁控管濺鍍處理。

此外，在基板座架2之座架本體21內，係設置有該用以加熱基板9至一定溫度之加熱用機構24。加熱用機構24，係加熱基板9至100～500℃左右，以便於提高其成膜速度。在加熱用機構24，係可以使用例如焦耳發熱方式之加熱用機構。

此外，為了提高基板座架2和基板9間之接觸性而改良其加熱效率等，因此，基板9，係最好靜電吸附於基板座架2上。在本實施形態之薄膜形成裝置中，係可以藉由前述之電極式施加電壓 V_e ，而在電介質塊件22之表面上，激發起靜電，並且，還藉由該所激發起之靜電，而靜電吸附著基板9。

此外，在標靶41和基板9間之空間中，係設置有防附著用保護件71。防附著用保護件71，係被用以防止所謂濺鍍用粒子附著在處理室1之內面上之現象發生。此外，還設置有環圈狀保護件72，而該環圈狀保護件72，係位處在該



五、發明說明 (28)

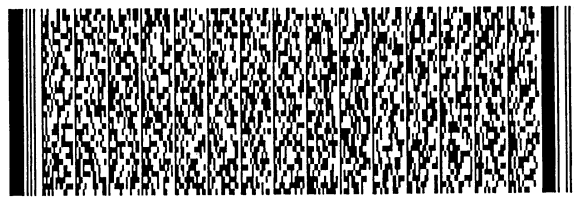
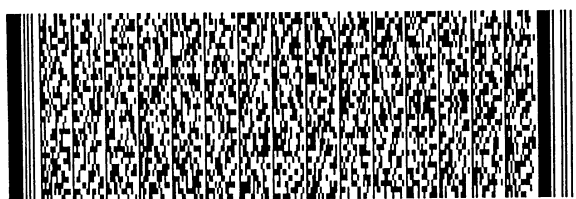
保持於基板座架2上之基板9之周圍之部位上。環圈狀保護件72，係被用以防止所謂電漿擴散至不必要之場所或者濺鍍用粒子附著在不必要之場所上之現象發生。

接著，同時也說明本實施形態之薄膜形成方法，並且，還就前述之構造之本實施形態之薄膜形成裝置之動作，而進行著說明。

首先，係藉由該並未圖示出之搬送用機器人，而使得基板9，通過該並未圖示出之閘閥，以便於將該基板9搬入至處理室1內，而使得該基板9，被保持在基板座架2之表面（也就是電介質塊件22之表面）之所規定之位置上。接著，當確認到關閉該並未圖示出之閘閥，而藉由排氣用系統11，將該處理室1內，排氣成為該所規定之壓力之時，則啟動氣體導入用系統3，而以一定之流量，將該所規定之製程用氣體，導入至處理室1內。基板座架2內之加熱用機構24，係預先地將基板9，加熱至該所規定之溫度為止。

在像前述這樣之狀態下，係啟動濺鍍用電源5，而產生有所謂濺鍍放電現象，以便於對於標靶41，進行著濺鍍處理，而生成有電漿P。同時，還啟動偏壓用機構6，而施加如前面所敘述之脈波狀之電極式施加電壓 V_e 至偏壓用電極23。係藉由濺鍍放電現象，而使得該由標靶41之所釋放出之濺鍍用粒子，到達至基板9，以便於堆積出薄膜。

此時，該藉由濺鍍放電現象而由標靶41之所釋放出之濺鍍用粒子，係在電漿P中呈離子化，而成為離子化濺鍍用



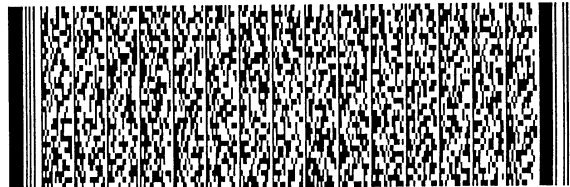
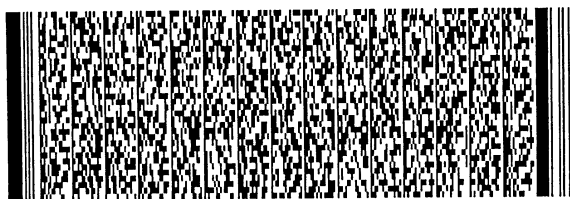
五、發明說明 (29)

粒子。係藉由鞘形 (sheath) 電場，而加速著離子化濺鍍用粒子，以便於使得許多之離子化濺鍍用粒子，垂直地入射至基板9。結果，係可以提高對於微細之孔洞之內面上之被覆性。接著，就正如前面之所敘述的，係控制該施加至偏壓用電極23之電極式施加電壓 V_e 之脈波週期 T 、脈波幅寬 t 、以及脈波高度 h 。

像前述這樣，在進行過一定時間之成膜處理之後，係停止該濺鍍用電源5、偏壓用機構6、和加熱用機構24之動作。然後，於再度地對於處理室1內而進行過排氣處理之後，係藉由該並未圖示出之搬送用機器人，而由處理室1，取出基板9。

在以上之構造及動作之本實施形態之薄膜形成方法和薄膜形成裝置中，由於係藉由施加脈波狀之電壓至偏壓用電極23，以便於對於基板9之表面，進行著偏壓處理，並且，就正如前面之所敘述的，還控制脈波週期 T 、脈波幅寬 t 、以及脈波高度 h ，因此，係可以抑制住所謂由於過度之再濺鍍現象之所導致之成膜速度之降低以及基板9之表面之電荷累積量之增大等之問題發生。

此外，像習知之先前技術一樣，該並無施加高頻電壓而是施加脈波狀之電壓並且對於基板9進行著偏壓處理之構造，係意味著並不會散亂電漿之狀態而適合進行著控制及調整作業。當施加像習知之先前技術之13.56MHz左右之相當高頻率之高頻電壓而對於基板9進行著偏壓處理之時，高頻係會發揮出所謂激發起電漿而提高基板9之表面附近



五、發明說明 (30)

之電漿密度之作用。在像前述這樣之狀態下，當調整高頻之頻率和輸出而用以調整基板表面電位 V_s 之時，係在基板9之表面附近，而大幅度地改變電漿之密度，以致於會有再現性呈降低之問題發生。另一方面，像本實施形態一樣，在施加脈波狀並且其頻率低於離子振動頻率之電壓之狀態下，由於該激發著基板9之表面附近之電漿之作用係比較少，因此，就像前面之所敘述的，即使調整脈波幅寬等，也並不會有所謂再現性呈降低之問題發生。

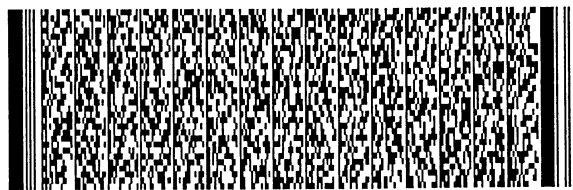
接著，就本發明之薄膜形成方法以及薄膜形成裝置之第2實施形態，而進行著說明。

圖5係為用以顯示出本發明之第2實施形態之薄膜形成裝置之概略構造之前視圖。該第2實施形態之薄膜形成裝置，僅有偏壓用機構6之構造，係不同於第1實施形態。第2實施形態中之偏壓用機構6，係構成為施加離子入射用之脈波至偏壓用電極23，並且，還施加該包含有緩和用之脈波之波形之脈波狀電壓偏壓用電極23。

如果說得更加具體一點，偏壓用機構6，主要係由以下所敘述之構件而組成的：

方形波產生用電路661，而該方形波產生用電路661，係被用以由商業用輸入交流，而產生該所規定之週期和幅寬之方形波；以及，

"一(負)"側電壓調整用電路662，而該"一(負)"側電壓調整用電路662，係被用以調整方形波產生用電路661之輸出中之"一(負)"側之輸出電壓；以及，



五、發明說明 (31)

" + (正)" 側電壓調整用電路663，而該"+ (正)" 側電壓調整用電路663，係被用以調整方形波產生用電路661之輸出中之"+ (正)" 側之輸出電壓；以及，

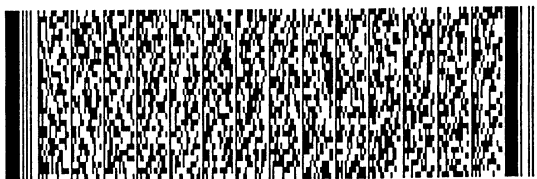
" + (正)" 側脈波幅寬調整用電路664，而該"+ (正)" 側脈波幅寬調整用電路664，係被用以調整"+ (正)" 側之脈波幅寬；以及，

控制部62，而該控制部62，係被用以控制著方形波產生用電路661、"- (負)" 側電壓調整用電路662、"+ (正)" 側電壓調整用電路663、以及"+ (正)" 側脈波幅寬調整用電路664之動作；以及，

輸入部65，而該輸入部65，係被用以輸入該控制用訊號至控制部62。接著，同樣地，在該成為基板座架2之一部分之電介質塊件22內，係一樣設置有偏壓用電極23，並且，還施加該偏壓用機構6之輸出電壓至偏壓用電極23。

在方形波產生用電路661，係可以採用例如將商業用輸入交流，轉換成為一定之頻率之交流，並且，還藉由施密特觸發用電路 (Schmitt-trigger circuit)，而由前述之一定之頻率之交流，產生一定之週期及幅寬之方形波之構造。控制部62，係可以控制著交流之頻率，而控制方形波之週期，並且，還控制前述之交流之直流成分之電壓，以便於控制方形波之幅寬。

係可以藉由該使用齊納二極體之限流電路等，而構成"+ (正)" 側電壓調整用電路663以及"- (負)" 側電壓調整用電路662，並且，還藉由控制部62，而分別呈獨立地

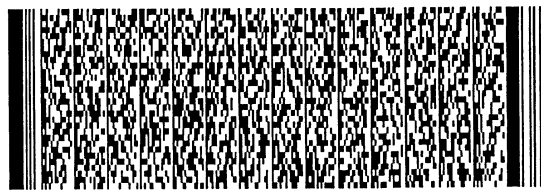
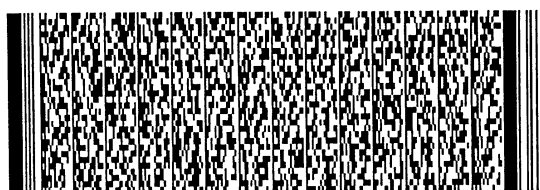


五、發明說明 (32)

控制著該" + (正)"側電壓調整用電路663以及" - (負)"側電壓調整用電路662。在" + (正)"側脈波幅寬調整用電路664，係可以使用該藉由開關用電路而遮斷" + (正)"側脈波之幅寬之電路。控制部62，係可以控制該用以傳送著觸發用訊號至開關用電路之觸發用電路，以便於能夠任意地控制著" + (正)"側脈波之幅寬。

使用圖6，而就圖5所示之控制部62之構造，進行著說明。圖6係為就藉由圖5所示之偏壓用機構6而被施加至偏壓用電極23內之電極式施加電壓以及電漿之作用之所產生之基板表面電位之變化而進行著說明之圖式；其中圖6(1)係被用以顯示出電極式施加電壓 V_e 之變化，而圖6(2)係被用以顯示出基板表面電位 V_s 之變化。

就正如圖6(1)之所顯示的，電極式施加電壓 V_e ，係為由接地電位開始而呈正負地進行著振動之方形波之脈波。前述之電極式施加電壓 V_e 之脈波週期係成為 T ，" - (負)"側之脈波幅寬係成為 t_1 ，" + (正)"側之脈波幅寬係成為 t_2 ，" - (負)"側之脈波高度係成為 h_1 ，而" + (正)"側之脈波高度係成為 h_2 。係可以由圖1所示之輸入部65，而輸入前述這些脈波週期 T 、" - (負)"側之脈波幅寬 t_1 、" + (正)"側之脈波幅寬 t_2 、" - (負)"側之脈波高度 h_1 、以及" + (正)"側之脈波高度 h_2 之資料。控制部62，係按照由輸入部65之所輸入之值，而傳送著控制用訊號至方形波產生用電路661、" - (負)"側電壓調整用電路662、" + (正)"側電壓調整用電路663、以及" + (正)"



五、發明說明 (33)

) "側脈波幅寬調整用電路664，以便於控制脈波週期 T 、"一(負)"側之脈波幅寬 $t1$ 、"十(正)"側之脈波幅寬 $t2$ 、"一(負)"側之脈波高度 $h1$ 、以及"十(正)"側之脈波高度 $h2$ 之資料，成為與該所輸入之值呈一致。

同樣地係預先決定該輸入至輸入部65之脈波週期 T 、"一(負)"側之脈波幅寬 $t1$ 、"十(正)"側之脈波幅寬 $t2$ 、"一(負)"側之脈波高度 $h1$ 、以及"十(正)"側之脈波高度 $h2$ 之資料，以便於使得該成膜於基板9之表面上之成膜處理，成為最適當之狀態。首先，係決定脈波週期 T ，以便於使得脈波之頻率，同樣地低於離子之振動頻率。

此外，係決定脈波週期 T 、"一(負)"側之脈波幅寬 $t1$ 、"十(正)"側之脈波幅寬 $t2$ 、"一(負)"側之脈波高度 $h1$ 、以及"十(正)"側之脈波高度 $h2$ 之資料，以便於在脈波週期 T 結束之時，使得基板表面電位 V_s ，回復至浮動電位 V_f 。像前述這樣之構造，由於係在本實施形態中，施加"十(正)"側之脈波，作為緩和用脈波，因此，本實施形態係不同於第1實施形態。以下，將針對前述之事項，而進行著說明。

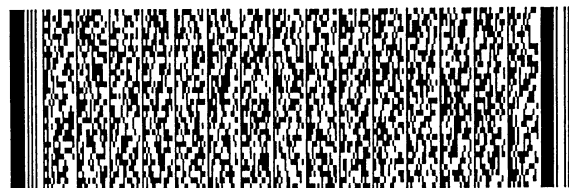
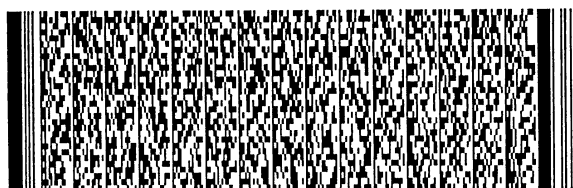
當施加圖6(1)所示之形狀之方形波之脈波至偏壓用電極23之時，則按照圖6(2)所示之圖形，而改變著基板表面電位 V_s 。也就是說，係由於開始施加"一(負)"側之脈波，而瞬間地降低基板表面電位 V_s 。接著，係藉由電漿中之離子之入射，而緩和基板9之表面之電荷，以便於逐漸地上升著基板表面電位 V_s 。接著，當經過"一(負)"側之



五、發明說明 (34)

脈波幅寬 t_1 之時間而施加" + (正)"側之脈波之時，就正如圖6 (2) 之所顯示的，係瞬間地上升著基板表面電位 V_s 。當基板表面電位 V_s 成為正值之時，則電漿中之電子，係馬上地聚集在基板9之表面上。由於電子之遷移率 (mobility)，係遠高於離子之遷移率 (mobility)，因此，係可以在短時間內，緩和基板9之表面電荷，並且，還在短時間內，使得基板表面電位 V_s ，穩定地成為浮動電位 V_f 。接著，當經過脈波週期 T 之時間之時，則基板表面電位 V_s ，係反覆地進行著相同之變化。

即使是在本實施形態中，就正如圖6 (2) 之所顯示的，係決定出電極式施加電壓 V_e ，以便於在1個之脈波週期 T 之時間中，使得基板表面電位 V_s 暫時地低於臨限值電位 V_{sth} 。接著，還控制基板表面電位 V_s 超過臨限值電位 V_{sth} 之時間帶 t_s 之長度，成為最適當之狀態。此時，即使是在該第2實施形態中，由前述之說明，也可以得知：由於係在結束施加" - (負)"側之脈波之後，接著，再施加" + (正)"側之脈波，因此，基板表面電位 V_s ，係可以在短時間內，穩定地到達至浮動電位 V_f 。因此，係能夠與所謂在「脈波週期 T 結束時而回復至浮動電位 V_f 」之條件 (1) 幾乎呈無關係地，決定出" - (負)"側之脈波幅寬 t_1 和" - (負)"側之脈波高度 h_1 之資料，而得到相當高之自由度。此外，係並不需要在結束施加" - (負)"側之脈波之後，馬上就施加該作為緩和用脈波之" + (正)"側脈波，而可以在經過某種程度之時間之後，施加該作為緩和用脈



五、發明說明 (35)

波之" + (正)" 側脈波。

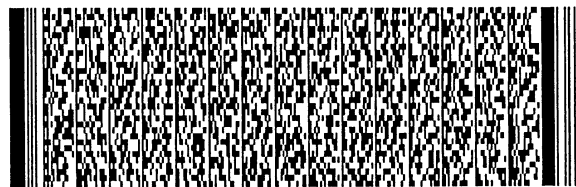
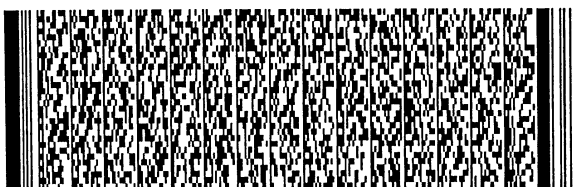
即使是在該第2實施形態之薄膜形成裝置中，也可以抑制住所謂由於過度之再濺鍍現象之所導致之成膜速度之降低以及基板9之表面之電荷累積量之增大等之問題發生。此外，" + (正)" 側之脈波幅寬 t_2 ，係成為該並無施加有" - (負)" 側脈波之時間帶 $(T - t_1)$ 中之一部分，並且，也成為該並無施加有" + (正)" 側之脈波和" - (負)" 側之脈波之時間帶。像前述這樣之現象，係具備有以下所敘述之技術上之意義：

如果當在 $(T - t_1)$ 之時間帶中而一直施加著該作為緩和用脈波之" + (正)" 側脈波之時，則會相當容易地達到緩和之效果，而可以防止所謂過剩地積存有逆極性之電荷（電子）問題發生。

接著，就本發明之第3實施形態，而進行著說明。

圖7係為用以顯示出本發明之第3實施形態之薄膜形成裝置之概略構造之前視圖。該第3實施形態之薄膜形成裝置，也僅有偏壓用機構6之構造，係不同於第1實施形態。第3實施形態中之偏壓用機構6，係構成為用以施加該對於一定之頻率之交流而進行著剪斷(chopping)處理之所得之剪斷狀脈波至偏壓用電極23之構造。本實施形態之所使用之交流，係為其頻率低於電漿之離子振動頻率之高頻。

如果說得更加具體一點，偏壓用機構6，主要係由以下所敘述之構件而組成的：



五、發明說明 (36)

高頻電源671，而該高頻電源671，其輸出頻率係為可變的；以及，

截波電路 (chopper circuit) 672，而該截波電路 (chopper circuit) 672，係以一定之圖案，而對於高頻電源671之輸出，進行著截波 (chopper) 處理；以及，

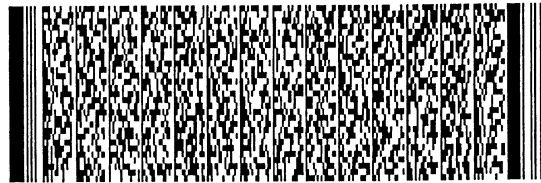
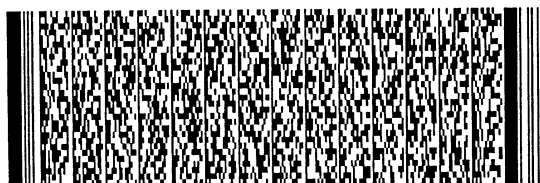
控制部62，而該控制部62，係被用以控制著調變用電路和截波電路 (chopper circuit) 672；以及，

輸入部65，而該輸入部65，係被用以輸入該控制用訊號至控制部62。截波電路 (chopper circuit) 672，係可以使用該利用閘流體等之控制用元件之電路。此外，在高頻電源671和偏壓用電極23之間，係設置有該並未圖示出之匹配器。

使用圖8，而就圖7所示之控制部62之構造，進行著說明。圖8係為就藉由圖7所示之偏壓用機構6而被施加至偏壓用電極23內之電極式施加電壓以及電漿之作用之所產生之基板表面電位之變化而進行著說明之圖式；其中圖8 (1) 係被用以顯示出電極式施加電壓 V_e 之變化，而圖8 (2) 係被用以顯示出基板表面電位 V_s 之變化。

控制部62，係構成為按照該由輸入部65之所輸入之資料，而控制著高頻電源671以及截波電路 (chopper circuit) 672，並且，還施加圖8 (1) 所示之剪斷狀脈波至偏壓用電極23。

此外，係決定該成為剪斷狀脈波之根本之高頻電壓之實效值 A (或者振幅)、" - (負) " 側之脈波幅寬 t_1 、和 " +

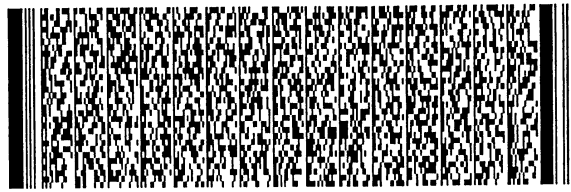
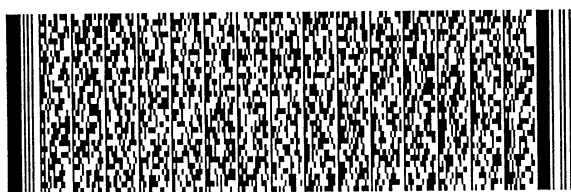


五、發明說明 (37)

(正)"側之脈波幅寬 t_2 之資料，係相同於前面之敘述，以便於在脈波週期 T 結束之時，使得基板表面電位 V_s ，回復至浮動電位 V_f 。以下，將針對前述之事項，而進行著說明。

當施加圖8(1)所示之形狀之剪斷狀之脈波至偏壓用電極23之時，則按照圖8(2)所示之圖形，而改變著基板表面電位 V_s 。也就是說，當開始施加"一(負)"側之脈波之時，則基板表面電位 V_s ，係會相同於電極式施加電壓 V_e 之波形，而下降著電位。接著，當結束施加"一(負)"側之脈波而使得電極式施加電壓 V_e 成為 $0V$ (伏特)之時，則藉由電漿中之離子之入射，而緩和著電荷，以便於逐漸地上升著基板表面電位 V_s 。並且，當經過一半之週期而開始施加著"+(正)"側之脈波之時，則基板表面電位 V_s ，也超過接地電位，而轉換成為"+(正)"側，但是，由於係馬上聚集有遷移率(mobility)比較高之電子，因此，係可以使得基板表面電位 V_s ，在短時間內，穩定地達到浮動電位 V_f 。接著，當經過1個之脈波週期 T 之時間而施加著下一個之週期之剪斷狀脈波之時，則基板表面電位 V_s ，係反覆地進行著相同之變化。

即使是在本實施形態中，就正如圖8(2)之所顯示的，係決定出電極式施加電壓 V_e ，以便於在1個之脈波週期 T 之時間中，使得基板表面電位 V_s 暫時地低於臨限值電位 V_{sth} 。接著，還控制基板表面電位 V_s 低於臨限值電位 V_{sth} 之時間帶 t_s 之長度，成為最適當之狀態。此時，即使是在



五、發明說明 (38)

第3實施形態中，由於係在結束施加"一（負）"側之脈波之後，接著，再施加"+（正）"側之脈波，因此，基板表面電位 V_s ，係可以在短時間內，穩定地到達至浮動電位 V_f 。因此，係能夠與所謂在脈波週期 T 結束時而回復至浮動電位 V_f 之條件（1）幾乎呈無關係地，決定出"一（負）"側之脈波幅寬 t_1 和實效值 A 之資料，而得到相當高之自由度。此外，由於剪斷狀脈波之頻率係比較低，結果，就如同於前述之實施形態，該激發起基板9之表面附近之電漿之作用，係會變得比較少，以致於並不會有所謂由於調整處理等而造成其再現性呈降低之問題發生。此外，當加長"+（正）"側之脈波幅寬 t_2 之時，就如同於前面所敘述的，係必須要注意是否會積存有過剩之逆極性之電荷（電子）。

【實施例】

接著，係可以列舉出以下之實施例，作為前述之各個之實施形態所屬之實施例。

首先，係可以構成為施加像以下所敘述之電極式施加電壓 V_e ，而作為第1實施形態所屬之實施例。

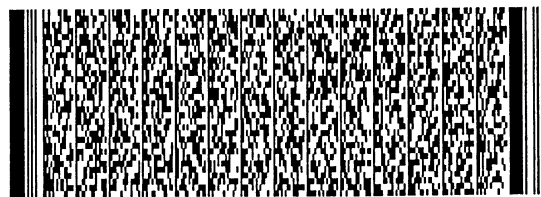
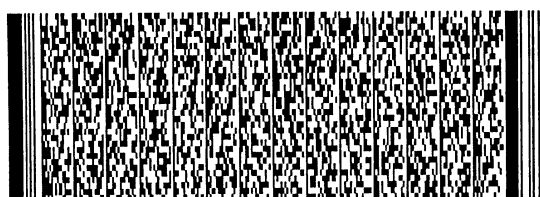
脈波頻率：5kHz～3MHz

脈波週期 T ：0.3 μ 秒鐘～200 μ 秒鐘

脈波幅寬 t ：脈波週期 T 之10～90%

脈波高度 h ：10V～500V

此外，係可以構成為施加像以下所敘述之電極式施加電壓 V_e ，而作為第2實施形態所屬之實施例。



五、發明說明 (39)

脈波頻率：5kHz ~ 3MHz

脈波週期T：0.3 μ 秒鐘 ~ 200 μ 秒鐘

1 個脈波幅寬t1：脈波週期T之20 ~ 90 %

1 個脈波高度h1：10V ~ 500V

" + (正) " 側之脈波幅寬t2：脈波週期T之5 ~ 10 %

" + (正) " 側之脈波高度h2：10V ~ 100V

此外，係可以構成為施加像以下所敘述之電極式施加電壓Ve，而作為第3實施形態所屬之實施例。

脈波頻率：5kHz ~ 3MHz

脈波週期T：0.3 μ 秒鐘 ~ 200 μ 秒鐘

" - (負) " 側之脈波幅寬t1：半脈波週期T之10 ~ 100 %

" + (正) " 側之脈波幅寬t2：半脈波週期T之5 ~ 10 %

高頻電源671之電壓實效值A：10V ~ 100V

係可以列舉出像以下所敘述之條件，作為共通於前述之各個實施例之成膜條件。

壓力：數mTorr ~ 100 mTorr

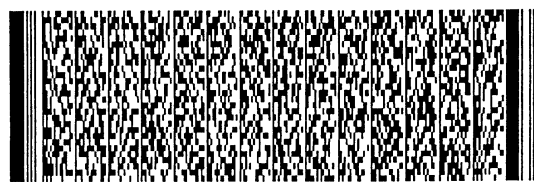
製程用氣體及流量：Ar、10 ~ 100cc / 分鐘

濺鍍用電源5：13.56 MHz、輸出1kW ~ 20 kW

標靶41：鈦

當以像前述這樣之條件而進行著成膜處理之時，係可以得到如以下所敘述之實用並且良好之結果：

該對於縱橫比 (aspect-ratio) 6 左右之孔洞之底部有效範圍率 (孔洞之底面對於孔洞以外之面之成膜速度比)，係為30 % ~ 40 %，而整體之成膜速度，係為300 ~ 500

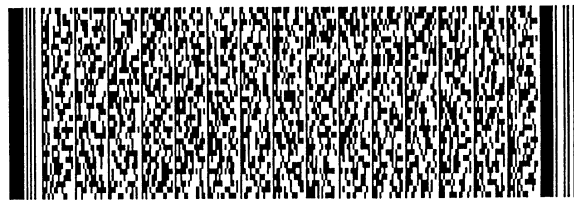
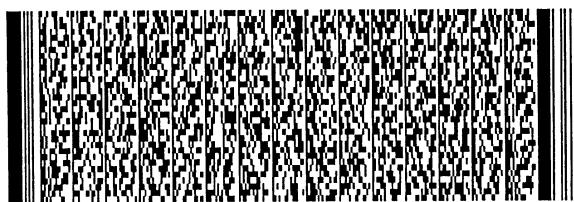


五、發明說明 (40)

埃 (angstrom) / 分鐘左右。

雖然在前述之各個之實施形態和實施例中，係就施加著電極式施加電壓 V_e ，以便於在脈波週期 T 之時間中，使得基板表面電位 V_s 暫時地超過臨限值電位 V_{sth} ，而進行著說明，但是，前述之現象，係並非為必要條件，也就是說，可以在基板表面電位 V_s 並無超過臨限值電位 V_{sth} 之範圍內，施加著電極式施加電壓 V_e 。在像前述這樣之狀態下，就本質上而言，係並不會產生有所謂由於製程用氣體之離子之所造成之薄膜之再濺鍍現象，但是，卻可以得到由於離子撞擊之所造成之成膜速度之提昇之其他之效果。例如係並不會發現到有所謂突出 (overhang) 現象形成於孔洞之開口之邊緣上之狀態發生，並且，在並不需要進行著再濺鍍處理之狀態下，係能夠在並不會產生有再濺鍍現象之範圍內，以最適當之能量，入射著離子。係可以藉由像前述這樣之方式，以便於將入射用離子之能量，利用在薄膜成長上，而以相當高之成膜速度，進行著成膜處理，並且，還得到相當高之生產效率。

此外，偏壓用機構6，係施加脈波狀之電壓至偏壓用電極23，並且，還透過電介質塊件22，而間接地施加著脈波狀之電壓，但是，該偏壓用機構6，也可以直接地施加脈波狀之電壓至基板9。在像前述這樣之狀態下，係預先在基板9之表面上，形成有電介質膜（例如氧化矽膜），並且，在該電介質膜上而堆積有鈦等之導電性薄膜之狀態下，基板表面電位之變化，係幾乎相等於圖2（2）、圖6



五、發明說明 (41)

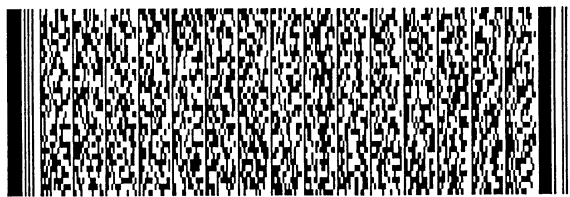
(2)、或者圖8(2)所示之圖形。

但是，當直接地施加電壓至基板9之時，則該來自電漿之電子或者離子，係連續地流動至偏壓用機構6部位，因此，係並不太適合。在基板9而形成有電介質膜之狀態下，也會有遮斷電子或者離子之流動之狀態發生，但是，當由於相當大之電流而產生有電介質膜之絕緣破壞現象之時，則很可能會導致所謂電路缺陷之現象發生，因此，還是不太適合。在前述之意味中，係最好為透過電介質而間接地施加著脈波狀之電壓至基板9之構造。

此外，就正如前面之所敘述的，係預先呈實驗性地決定出電極式施加電壓 V_e 之各個參數，以便於在成膜處理中，控制成為前述之各個參數之值，但是，在成膜處理之內容並不相同之狀態下，係可以適當地改變前述這些資料，而由輸入部65，輸入這些資料。

此外，在前述之各個之實施形態及實施例中，係以入射陽離子，作為前提，因此，離子入射用之脈波，係為負電壓脈波，而緩和用之脈波，係為正電壓脈波，但是，也可以有例外之相反狀態發生。也就是說，所謂在電漿存在有陰離子並且陰離子入射至基板9之表面之狀態，係符合像前述這樣之例外之相反狀態。

此外，雖然在以上之說明中，係採用離子化濺鍍處理之狀態，但是，本發明之薄膜形成裝置之構造，係相當有效在所謂對於基板9進行著偏壓處理而用以入射著離子並且進行著成膜之全部之成膜技術上，例如本發明之薄膜形成



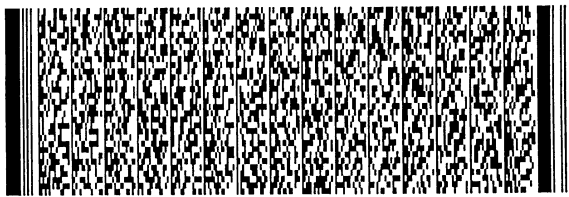
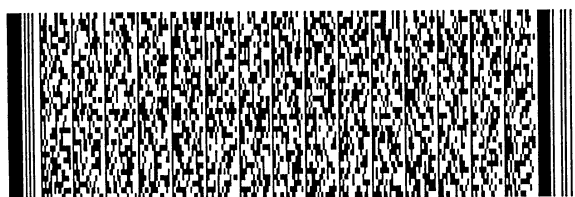
五、發明說明 (42)

裝置之構造，係也可以被應用在CVD（化學氣相蒸著）等。例如在將反應性氣體導入至處理室內而藉由電漿CVD（化學氣相蒸著）進行著成膜處理之狀態下，係可以藉由使得前身物（precursor）（即最後成為薄膜之反應之前驅體）之氣體，成為離子化，並且，還利用鞘形（sheath）電場，而加速及入射前述之離子化之前身物（precursor），以便於改善所謂成膜速度之提升等，在此時，本發明之薄膜形成裝置之構造，係可以發揮出相當大之效果。

此外，該作為電漿產生用手段，係採用藉由高頻放電或者直流二極放電等而產生電漿之手段。此外，該作為基板9，係並不僅限定於半導體晶圓，也可以被應用在製造液晶顯示器時之液晶基板等。在液晶基板之狀態下，由於基板本身係為電介質製，因此，即使直接地施加脈波狀之電壓，也並不會有問題發生。

【發明之效果】

就正如以上之所說明的，如果藉由本發明之申請專利範圍第1項之薄膜形成方法或者申請專利範圍第7項之薄膜形成裝置的話，則由於係依靠施加脈波狀之電壓至基板，以便於對於基板之表面，進行著偏壓處理，並且，還控制脈波週期、脈波幅寬、以及脈波高度，因此，係可以使得基板之偏壓，成為最適當之狀態，以便於得到最適當之離子之入射用能量和入射量。此外，也並不會有所謂由於電漿密度之變化而導致再現性呈降低之問題發生。



五、發明說明 (43)

此外，如果藉由本發明之申請專利範圍第2項之薄膜形成方法或者申請專利範圍第8項之薄膜形成裝置的話，則除了前述之效果之外，由於還施加該緩和用之脈波至基板，因此，係可以抑制住基板之殘餘電荷量之增大現象發生，並且，還可以得到所謂在選定其他之參數時之自由度呈增加之效果。

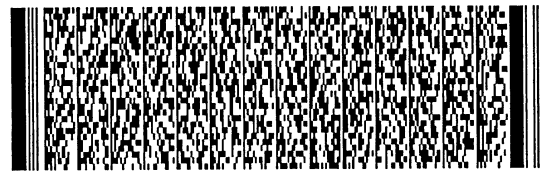
此外，如果藉由本發明之申請專利範圍第3項之薄膜形成方法或者申請專利範圍第9項之薄膜形成裝置的話，則除了前述之效果之外，由於還具備有該並無施加離子入射用之脈波以及緩和用之脈波之時間帶，因此，係可以得到所謂抑制住由於過度之緩和之所造成之逆極性之電荷累積量之增大之問題之效果。

此外，如果藉由本發明之申請專利範圍第4項之薄膜形成方法或者申請專利範圍第10項之薄膜形成裝置的話，則除了前述之效果之外，由於係控制離子之入射用能量，而使得該離子之入射用能量，在1個之脈波週期中，暫時地超過濺鍍用臨限值，因此，係可以抑制住以下所敘述之問題等發生：

由於過度之再濺鍍現象而導致之成膜速度之降低；以及，

離子混入至薄膜中；以及，

基板之表面之電荷累積量之增大等。因此，本發明係可以提高對於微細之孔洞之內面上之被覆性，並且，還能夠防止其生產效率呈降低之現象發生。此外，本發明還可以



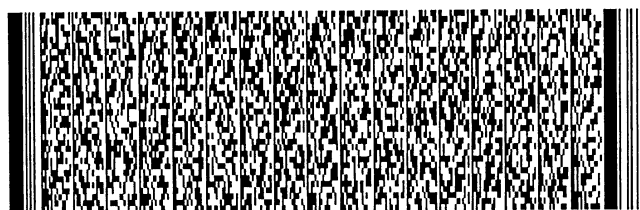
五、發明說明 (44)

提供並不會損傷到所形成之薄膜之品質或者所製造之元件之特性等之品質良好之製程。

此外，如果藉由本發明之申請專利範圍第5及6項之薄膜形成方法或者申請專利範圍第11及12項之薄膜形成裝置的話，則除了前述之效果之外，由於係介在夾入有電介質並且還間接地施加脈波狀之電壓至基板，因此，係可以防止所謂由於流動著該來自電漿而通過基板之相當大之電流之所造成之基板之損傷等之問題發生。

【元件編號之說明】

1	處理室
2	基板座架
3	氣體導入用系統
4	陰極
5	濺鍍用電源
6	偏壓用機構
9	基板
11	排氣用系統
21	座架本體
22	電介質塊件
23	偏壓用電極
24	加熱用機構
41	標靶
42	磁鐵單元
61	偏壓用電源



五、發明說明 (45)

- 62 控制部
- 63 直流電源電路
- 64 脈波產生用電路
- 65 輸入部
- 71 防附著用保護件
- 72 環圈狀保護件
- 421 中心磁鐵
- 422 周邊磁鐵
- 423 磁軌
- 424 磁力線
- 621 控制電路
- 622 脈波產生用控制電路
- 661 方形波產生用電路
- 662 " - (負) " 側電壓調整用電路
- 663 " + (正) " 側電壓調整用電路
- 664 " + (正) " 側脈波幅寬調整用電路
- P 電漿



圖式簡單說明

圖1係為用以顯示出本發明之第1實施形態之薄膜形成裝置之概略構造之前視圖。

圖2係為就藉由圖1所示之偏壓用機構6而被施加至偏壓用電極23內之電極式施加電壓以及電漿之作用之所產生之基板表面電位之變化而進行著說明之圖式；其中圖2(1)係被用以顯示出電極式施加電壓 V_e 之變化，而圖2(2)係被用以顯示出基板表面電位 V_s 之變化。

圖3係為就基板表面電位 V_s 之上升圖案而進行著說明之圖式。

圖4係為就濺鍍用臨限值而進行著說明之圖式。

圖5係為用以顯示出本發明之第2實施形態之薄膜形成裝置之概略構造之前視圖。

圖6係為就藉由圖5所示之偏壓用機構6而被施加至偏壓用電極23內之電極式施加電壓以及電漿之作用之所產生之基板表面電位之變化而進行著說明之圖式；其中圖6(1)係被用以顯示出電極式施加電壓 V_e 之變化，而圖6(2)係被用以顯示出基板表面電位 V_s 之變化。

圖7係為用以顯示出本發明之第3實施形態之薄膜形成裝置之概略構造之前視圖。

圖8係為就藉由圖7所示之偏壓用機構6而被施加至偏壓用電極23內之電極式施加電壓以及電漿之作用之所產生之基板表面電位之變化而進行著說明之圖式；其中圖8(1)係被用以顯示出電極式施加電壓 V_e 之變化，而圖8(2)係被用以顯示出基板表面電位 V_s 之變化。



圖式簡單說明

圖9係為用以顯示出該成為習知之先前技術之薄膜形成裝置之某一例子之離子化濺鍍用裝置之概略構造之前視圖。

圖10係為就習知之先前技術之薄膜形成方法及薄膜形成裝置中之基板9之表面電位而進行著說明之圖式。



四、中文發明摘要 (發明之名稱：薄膜形成方法及薄膜形成裝置)

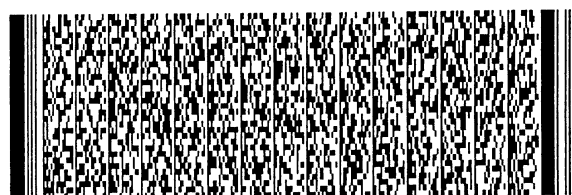
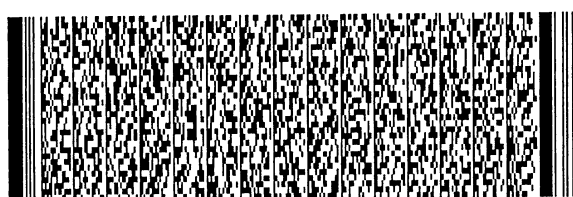
本發明係關於一種薄膜形成方法及薄膜形成裝置，其係可邊提高被覆至微細孔洞內面上之被覆性，而邊抑制成膜速度之降低，且無損所形成之薄膜之品質以及所製造出之元件之特性等。

本發明之薄膜形成方法及薄膜形成裝置，係藉由在基板9之表面上施加一定電壓，而對於電漿P中之空間電位 V_p 形成偏壓，以便於將電漿P中之離子入射至基板9之表面上，即可在基板9之表面上形成薄膜。偏壓機構6，係在介質塊22內之偏壓電極23上施加脈波狀之電極施加電壓 V_e ，以便於改變基板表面電位 V_s 成為脈波狀。脈波之頻率係為電漿P中之離子之振動頻率以下，並且，可藉由控制部62控制脈波週期 T 、脈波幅寬 t 、和脈波高度 h ，以便於使得離子

英文發明摘要 (發明之名稱：THIN FILM FABRICATION METHOD AND THIN FILM FABRICATION APPARATUS)

While improving the coverage of the inner surfaces of very fine holes, to suppress a fall in the film deposition rate and to avoid harm to the quality of thin films which are produced or to manufactured device characteristics, etc.

A thin film is fabricated while causing ions in a plasma P to be incident by effecting biasing relative to the space potential of the plasma P by imparting a set potential to the surface of a substrate 9. A bias system 6 causes the substrate

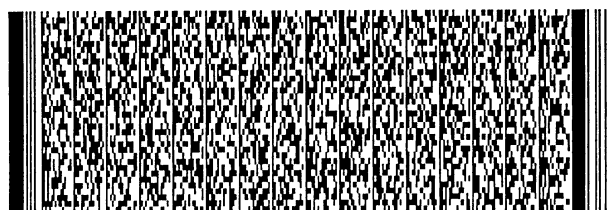


四、中文發明摘要 (發明之名稱：薄膜形成方法及薄膜形成裝置)

入射狀態，成為最適當之狀態。控制施加脈波，即可使基板表面電位 V_s 在脈波週期 T 呈結束時，回復成浮動電位 V_f ，並且，在脈波週期 T 之期間使離子之入射能量暫時超過薄膜之濺鍍臨限值。

英文發明摘要 (發明之名稱：THIN FILM FABRICATION METHOD AND THIN FILM FABRICATION APPARATUS)

surface potential V_s to vary in pulse form by imposing an electrode imposed voltage V_e in pulse form on a bias electrode 23 which is in a dielectric block 22. The pulse frequency is lower than the oscillation frequency of ions in the plasma P, and the pulse period T , pulse width t and pulse height h are controlled by a control section 62 in a manner such that the incidence of ions is optimized. The imposed pulses are controlled in a manner such that the substrate



四、中文發明摘要 (發明之名稱：薄膜形成方法及薄膜形成裝置)

英文發明摘要 (發明之名稱：THIN FILM FABRICATION METHOD AND THIN FILM FABRICATION APPARATUS)

surface potential V_s recovers to a floating potential V_f at the end of a pulse period T , and that the ion incidence energy temporarily crosses a thin film sputtering threshold value in a pulse period T .



公告本

六、申請專利範圍

1. 一種薄膜形成方法，其係在面對基板表面之空間中形成電漿，同時藉由在基板之表面上施加一定之電壓相對於電漿之空間電位形成偏壓，且利用偏壓使電漿中之離子邊入射至基板之表面上，而邊在基板之表面上形成所規定之薄膜之薄膜形成方法，其特徵為：

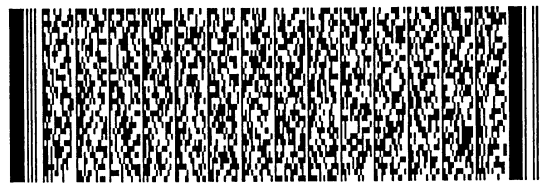
前述偏壓，係藉由施加脈波狀之電壓至前述基板而進行者，該脈波狀電壓之頻率，係為前述電漿中之前述離子之振動頻率以下，而且，控制脈波週期、脈波幅寬及脈波高度，以便於使得前述之離子入射至前述基板中之離子入射量及能量成為最適當之狀態。

2. 如申請專利範圍第1項之薄膜形成方法，其中前述脈波狀電壓之波形，係包含有：離子入射用脈波，及極性與該離子入射用脈波不同的緩和用脈波。

3. 如申請專利範圍第2項之薄膜形成方法，其中前述緩和用脈波之幅寬，係比起由前述脈波週期而減去前述離子入射用脈波之幅寬之時間還短，並且具有離子入射用脈波與緩和用脈波皆未被施加之時間帶。

4. 如申請專利範圍第1、2或3項之薄膜形成方法，其中控制前述脈波週期、脈波幅寬及脈波高度，以便於在一個脈波週期中，使得前述離子之入射能量，暫時超過濺鍍前述基板之表面上所形成之薄膜所需要之最低限度之能量值的濺鍍臨限值。

5. 如申請專利範圍第1、2或3項之薄膜形成方法，其中前述脈波狀電壓，係邊介有介質而邊對基板間接地施加



六、申請專利範圍

者。

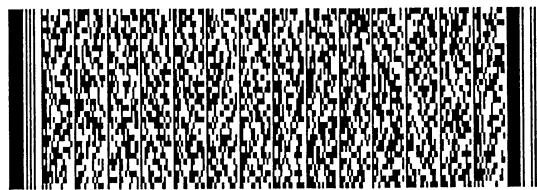
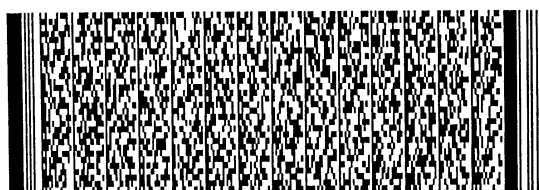
6. 如申請專利範圍第4項之薄膜形成方法，其中係介前述脈波狀電壓，係邊介有電介質而邊對基板間接地施加者。

7. 一種薄膜形成裝置，其係具備有：處理室，係藉由排氣用系統而對於該處理室之內部進行著排氣處理；基板座架，係用以在前述處理室內之所規定位置上夾持著基板；氣體導入用系統，係用以將所規定之製程用氣體導入至前述處理室內；以及電漿產生用手段，係在前述處理室內產生電漿，且在受前述基板座架夾持之基板之表面形成所規定之薄膜，其特徵為：

設有偏壓用機構，而該偏壓用機構，係藉由在基板之表面上施加一定之電壓，相對於前述電漿之空間電位形成偏壓，以便於將電漿中之離子入射至基板之表面上，而該偏壓用機構，係施加脈波狀電壓至基板中，該脈波之頻率，係為前述電漿中之前述離子之振動頻率以下，此外，還具備有控制部，而該控制部，係用以控制脈波週期、脈波幅寬及脈波高度，以便於使得前述離子入射至前述基板中之離子入射量及能量成為最適當之狀態。

8. 如申請專利範圍第7項之薄膜形成裝置，其中前述控制部，係用以控制將包含有離子入射用脈波和極性與離子入射用脈波不同之緩和用脈波之波形之脈波狀電壓施加至基板中者。

9. 如申請專利範圍第8項之薄膜形成裝置，其中前述控



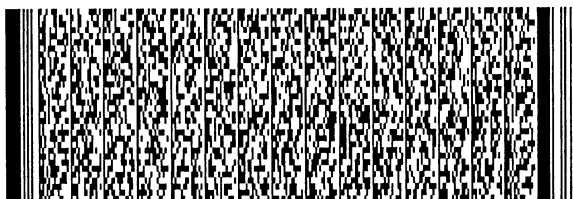
六、申請專利範圍

制部，係用以控制前述緩和用脈波之幅寬且具有比起由前述脈波週期減去前述離子入射用脈波之幅寬之時間還短，並且離子入射用脈波與緩和用脈波皆未被施加之時間帶。

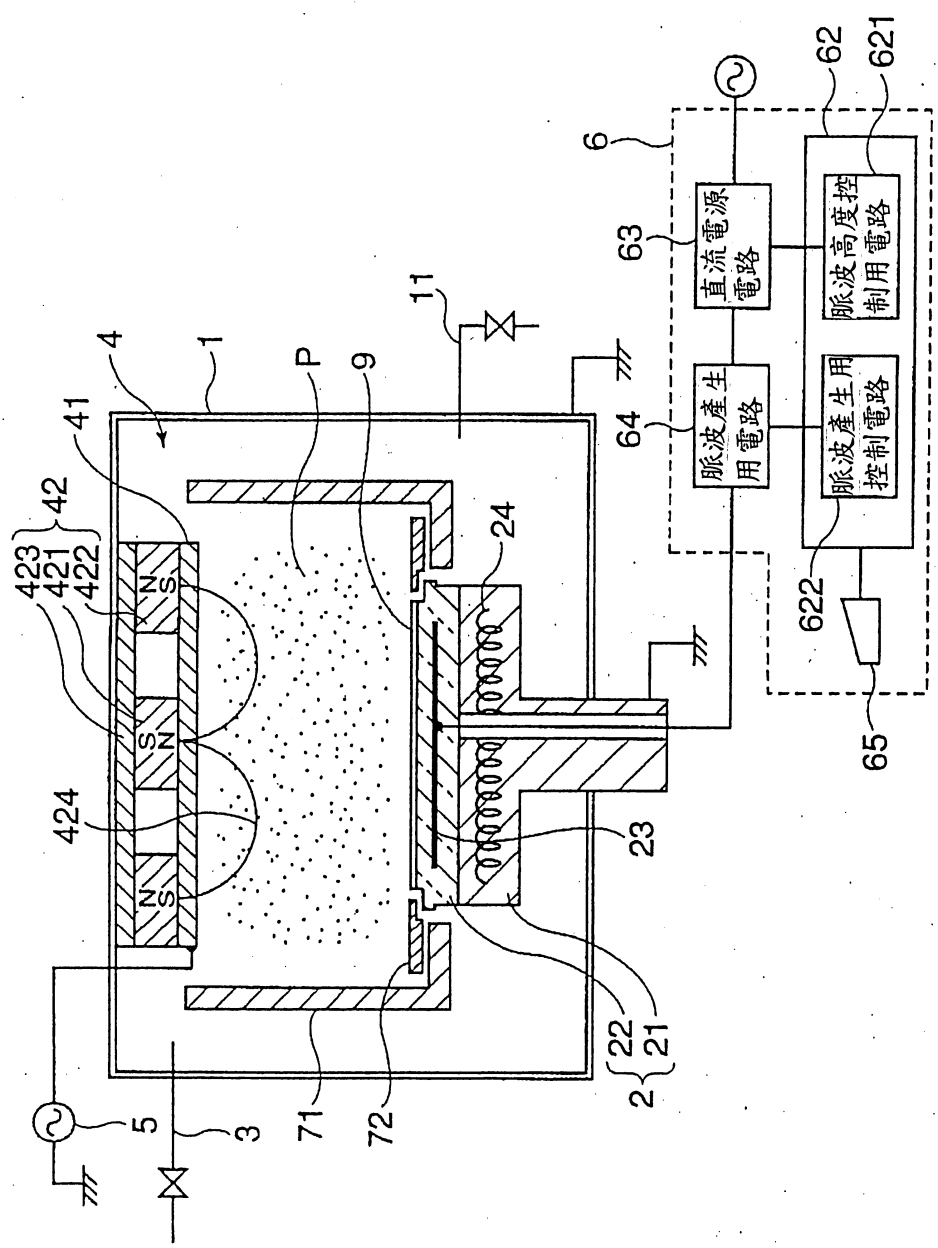
10. 如申請專利範圍第7、8或9項之薄膜形成裝置，其中前述控制部，係控制前述脈波週期、脈波高度及脈波幅寬，以便於在一個脈波週期中，使得前述離子之入射能量，暫時超過濺鍍前述基板之表面上所形成之薄膜所需要之最低限度之能量值的濺鍍臨限值。

11. 如申請專利範圍第7、8或9項之薄膜形成裝置，其中邊介有介質而邊對基板設有偏壓用電極，而前述偏壓用機構，係施加前述脈波狀電壓至前述偏壓用電極者。

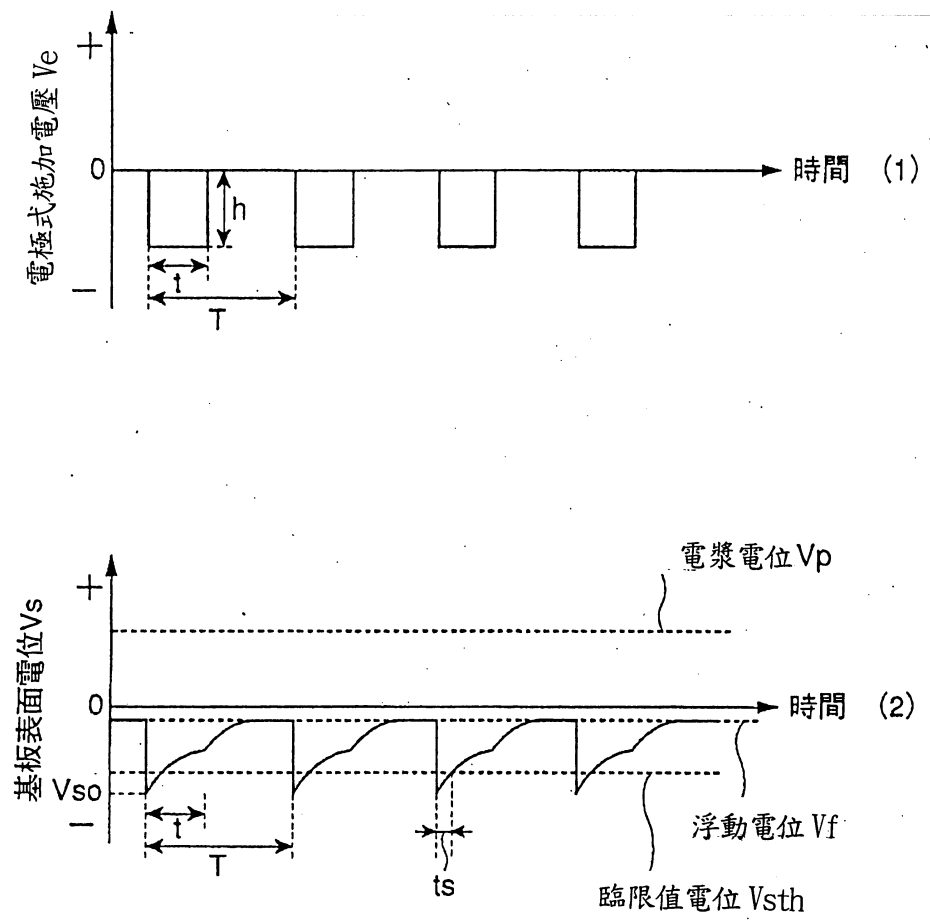
12. 如申請專利範圍第10項之薄膜形成裝置，其中邊介有介質，而邊對基板設有偏壓用電極，而前述偏壓用機構，係施加前述脈波狀電壓至前述偏壓用電極者。



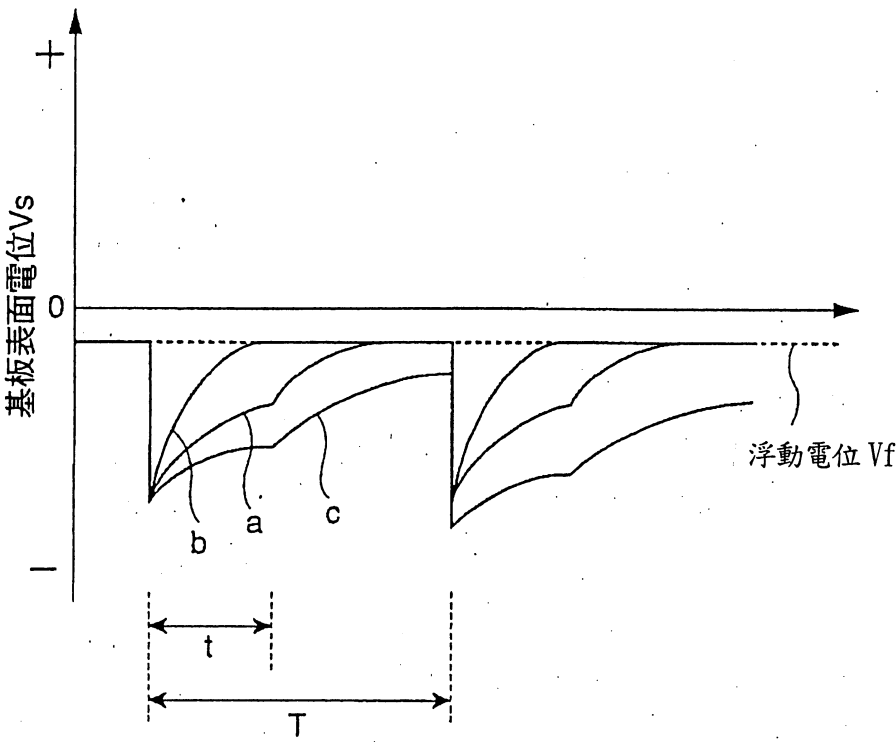
【圖1】



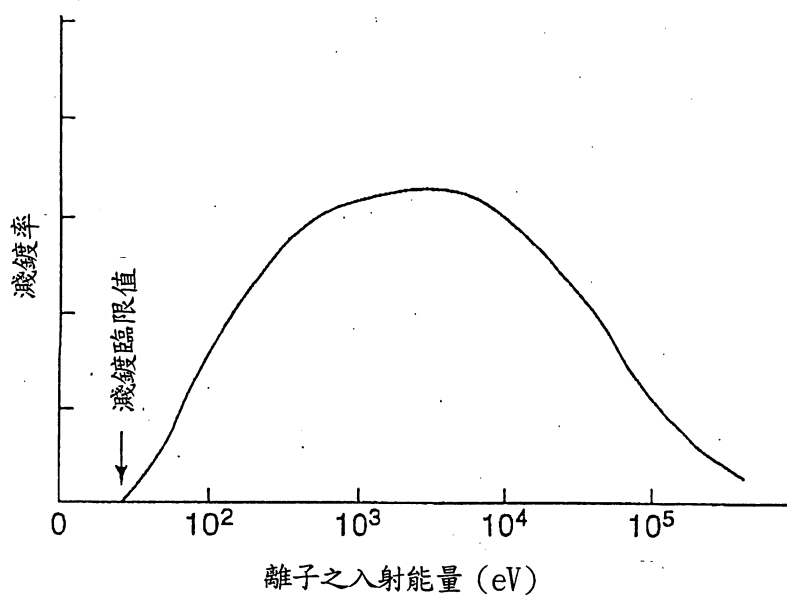
【圖 2】



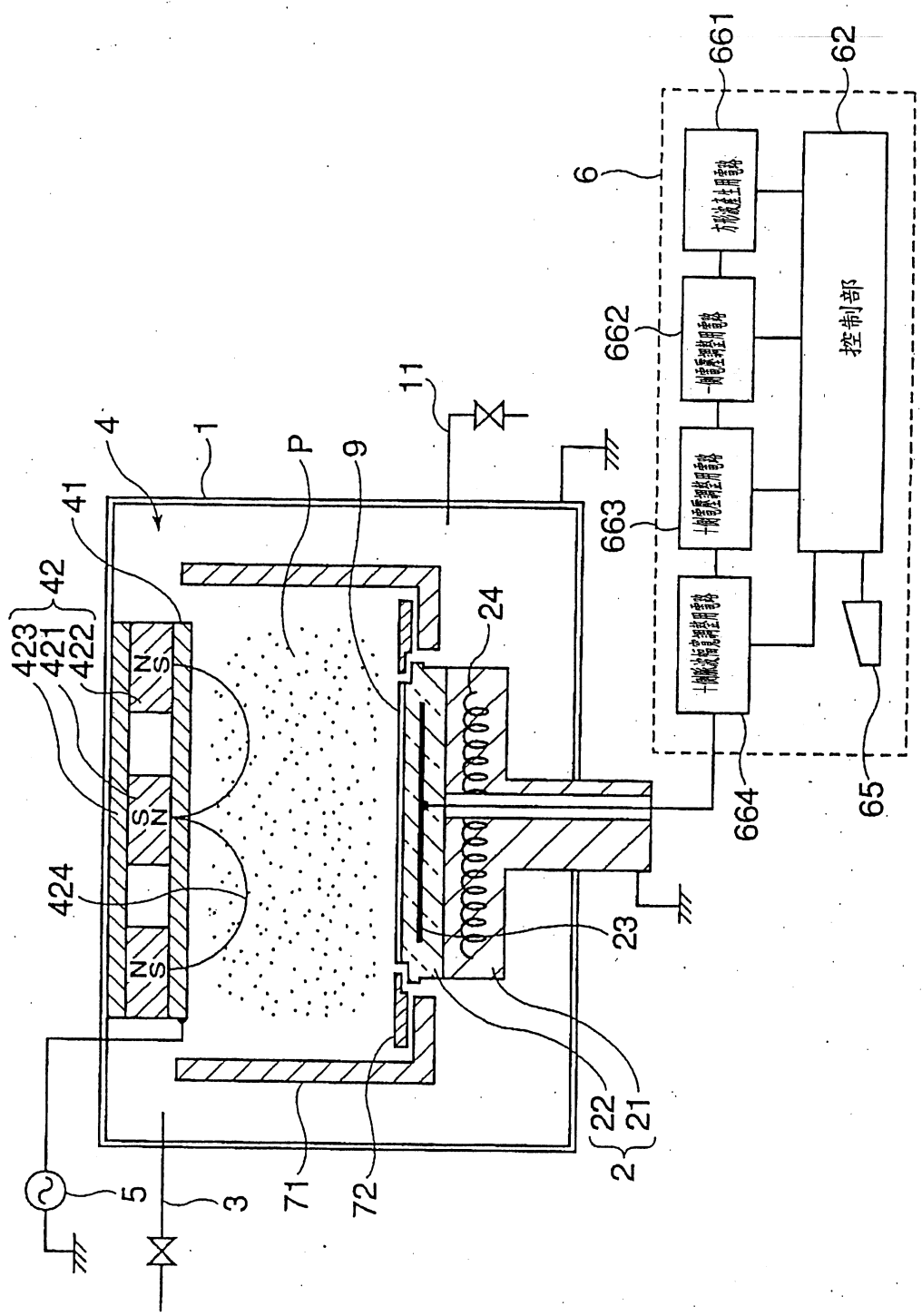
【圖3】



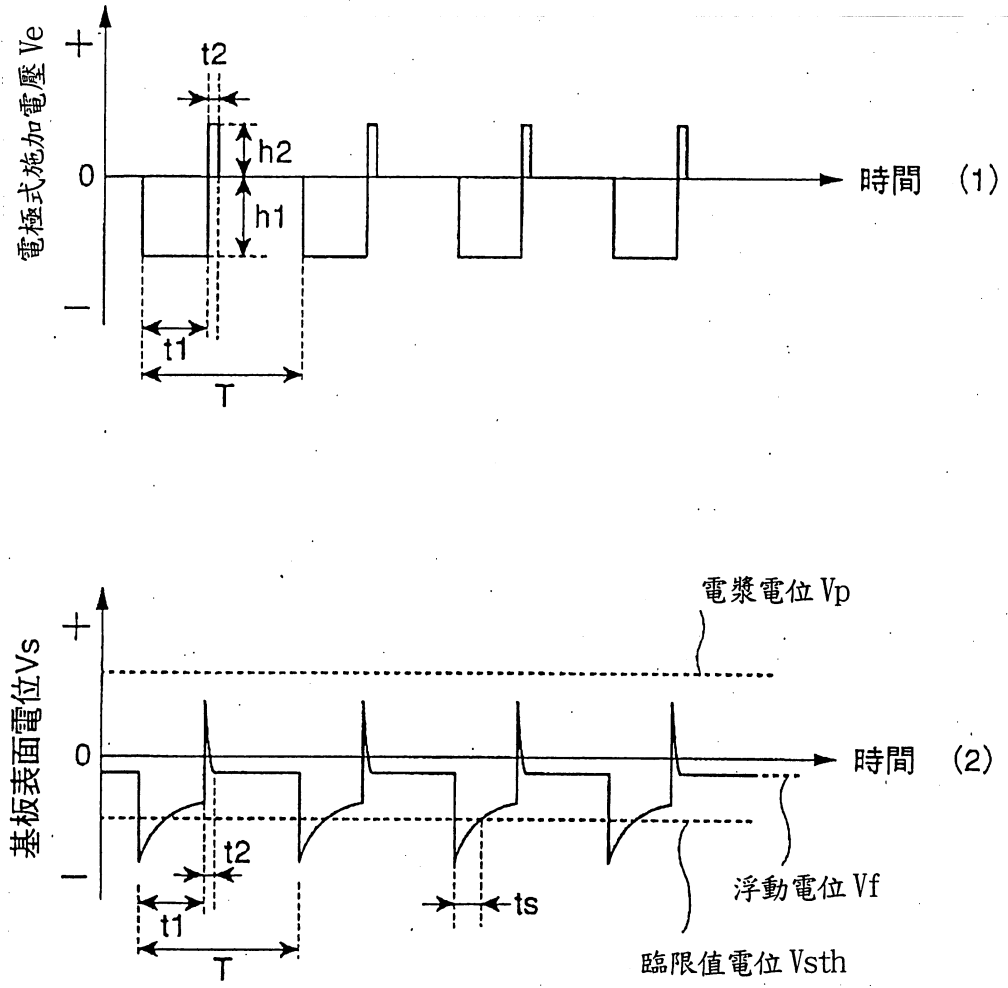
【圖 4】



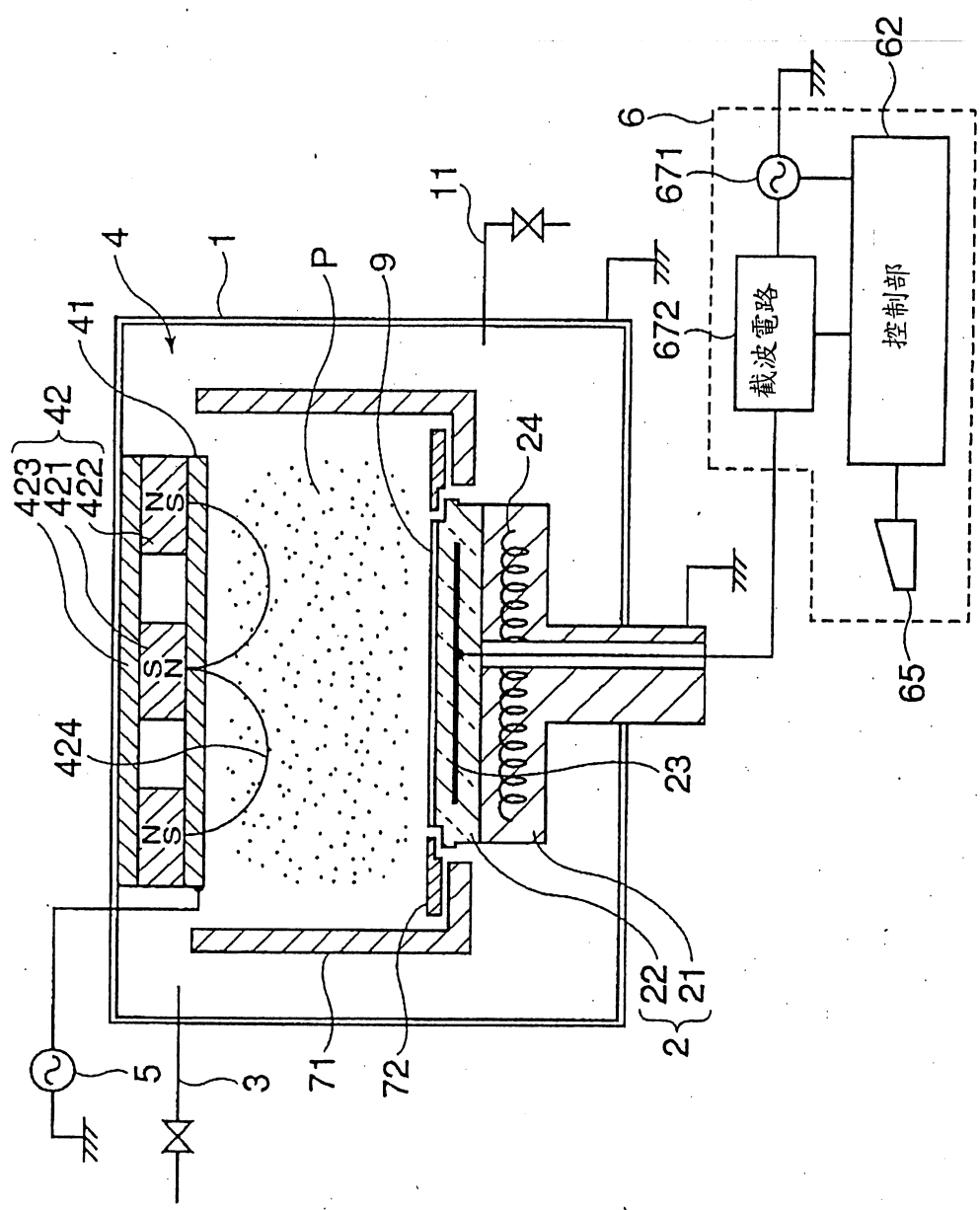
【圖5】



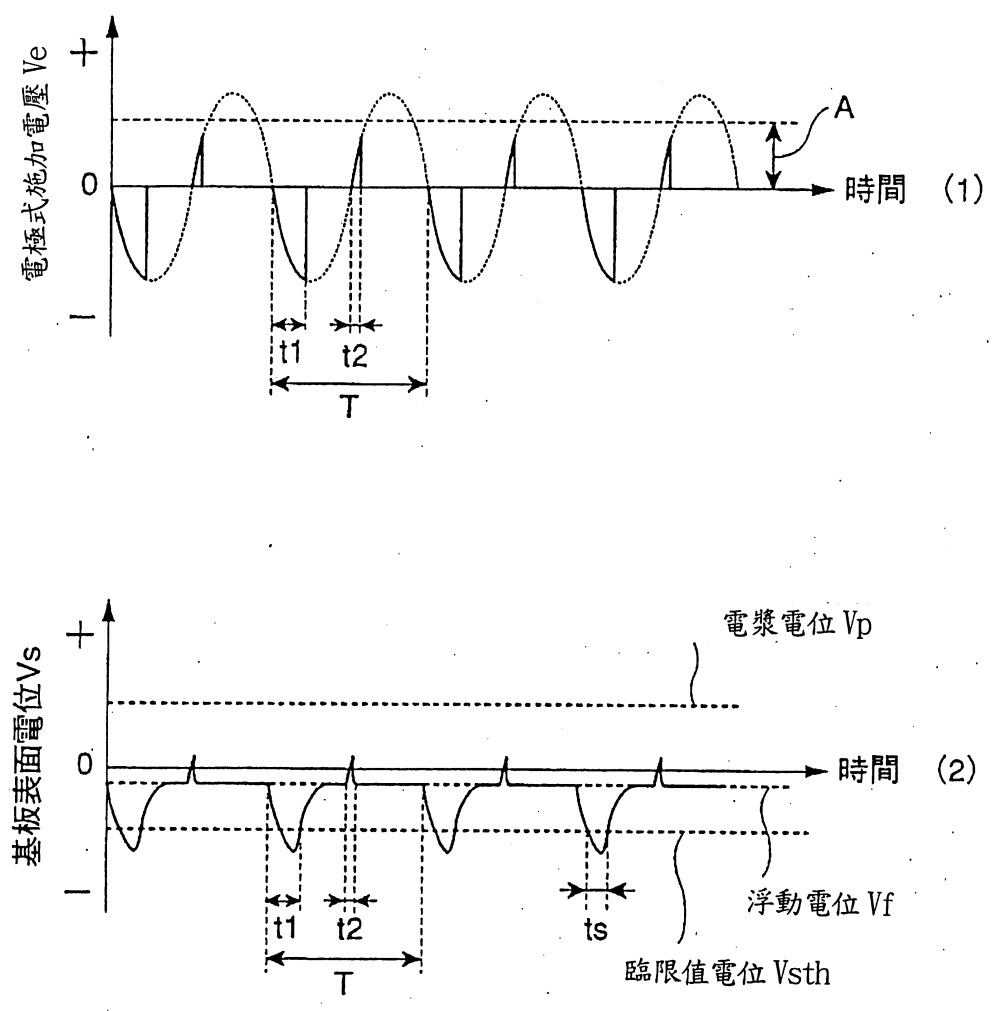
【圖6】



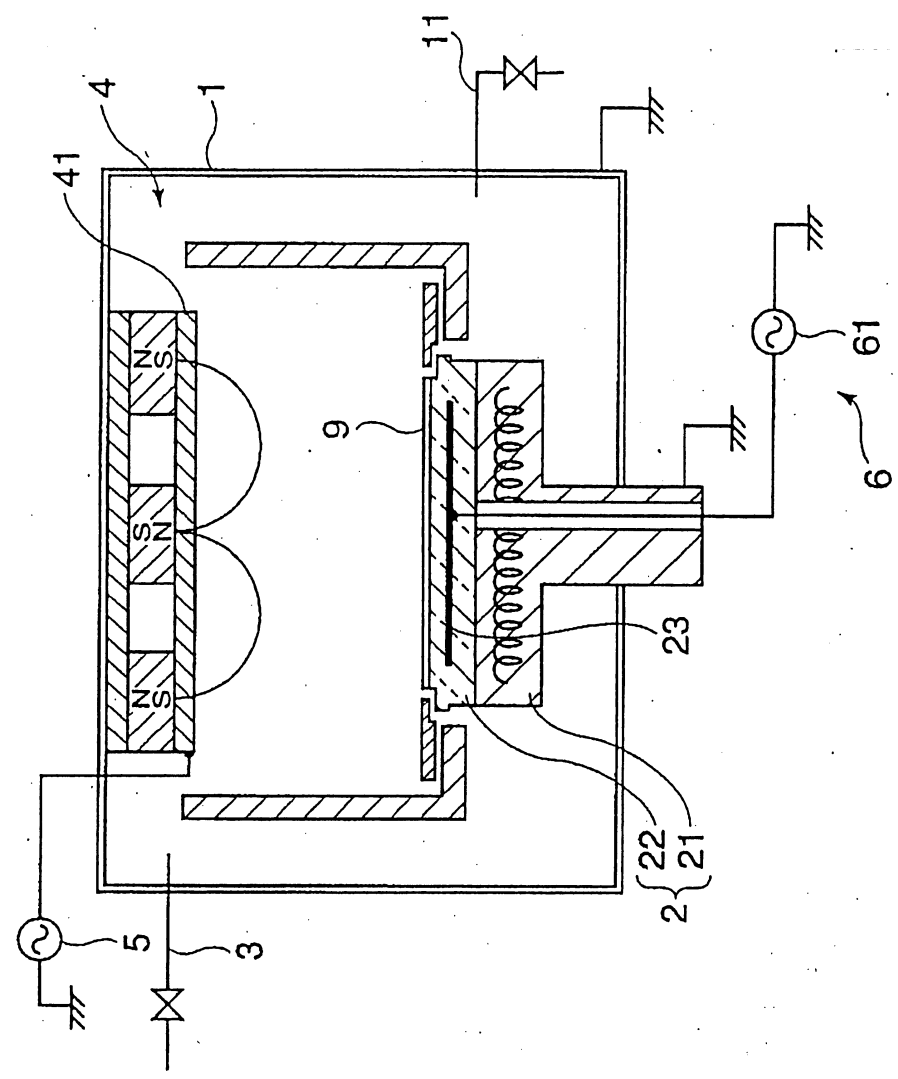
【圖 7】



【圖8】



【圖9】



【圖10】

