

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5849981号
(P5849981)

(45) 発行日 平成28年2月3日 (2016.2.3)

(24) 登録日 平成27年12月11日 (2015.12.11)

(51) Int.Cl.

F I

G09F 9/302 (2006.01)

G09F 9/302 C

G09G 3/20 (2006.01)

G09G 3/20 680H

G09G 3/30 (2006.01)

G09G 3/20 611A

G09F 9/30 (2006.01)

G09G 3/20 611H

H01L 27/32 (2006.01)

G09G 3/20 641Q

請求項の数 13 (全 46 頁) 最終頁に続く

(21) 出願番号 特願2013-62650 (P2013-62650)
 (22) 出願日 平成25年3月25日 (2013.3.25)
 (65) 公開番号 特開2014-186258 (P2014-186258A)
 (43) 公開日 平成26年10月2日 (2014.10.2)
 審査請求日 平成27年2月13日 (2015.2.13)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110001357
 特許業務法人つばさ国際特許事務所
 (72) 発明者 基田 誠一郎
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 泉 岳
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

審査官 請園 信博

最終頁に続く

(54) 【発明の名称】 表示装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

第1の基本色光を発する第1の画素と、第2の基本色光を発する第2の画素と、基本色光以外の一の色光を発する非基本色画素との組み合わせから構成される第1の画素セットと、

前記第1の基本色光を発する第1の画素と、第3の基本色光を発する第3の画素と、前記一の色光を発する非基本色画素との組み合わせから構成される第2の画素セットと、

第1の方向に延伸する複数の信号線と
 を備え、

前記第1の画素セットおよび前記第2の画素セットは、前記第1の方向および前記第1の方向と交差する第2の方向のいずれか一方または双方において、交互に配置され、

前記第1の画素、前記第2の画素、前記第3の画素、および前記非基本色画素は、それぞれ、画素電極を含む発光素子を有し、

前記第1の画素の画素電極は、前記複数の信号線のうちの、その第1の画素が属する画素セットの配置領域内に配置された所定数の信号線のいずれとも重なるように配置され、

前記非基本色画素の画素電極は、前記複数の信号線のうちの、その非基本色画素が属する画素セットの配置領域内に配置された所定数の信号線のいずれとも重なるように配置されている

表示装置。

【請求項2】

10

20

前記第 2 の画素の画素電極および前記第 3 の画素の画素電極は、前記複数の信号線のいずれとも重ならないように配置されている

請求項 1 に記載の表示装置。

【請求項 3】

前記信号線に画素信号を印加する駆動部をさらに備え、

前記画素信号では、各画素の輝度を画定する輝度信号部分が時間軸上で連なっている

請求項 1 または請求項 2 に記載の表示装置。

【請求項 4】

前記第 2 の基本色光に対応する第 1 の輝度情報マップに対してフィルタ処理を行うとともに、前記第 3 の基本色光に対応する第 2 の輝度情報マップに対してフィルタ処理を行うフィルタ部と、

10

フィルタ処理された第 1 の輝度情報マップから、前記第 1 の画素セットに対応する位置の第 1 の輝度情報を抽出するとともに、フィルタ処理された第 2 の輝度情報マップから、前記第 2 の画素セットに対応する位置の第 2 の輝度情報を抽出する輝度情報抽出部とをさらに備え、

前記駆動部は、前記第 1 の輝度情報に基づいて前記第 2 の画素に対応する前記輝度信号部分を生成するとともに、前記第 2 の輝度情報に基づいて前記第 3 の画素に対応する前記輝度信号部分を生成する

請求項 3 に記載の表示装置。

【請求項 5】

20

前記第 1 の画素セットが、第 1 の画素セル内に配置され、

前記第 2 の画素セットが、第 2 の画素セル内に配置され、

前記第 1 の画素セルにおいて、前記第 1 の画素および前記非基本色画素は、前記第 1 の方向に配列されるとともに、前記第 2 の画素と前記第 2 の方向において配列され、

前記第 2 の画素セルにおいて、前記第 1 の画素および前記非基本色画素は、前記第 1 の方向に配列されるとともに、前記第 3 の画素と前記第 2 の方向において配列されている

請求項 1 から請求項 4 のいずれか一項に記載の表示装置。

【請求項 6】

前記第 1 の画素セットが、第 1 の画素セル内に配置され、

前記第 2 の画素セットが、第 2 の画素セル内に配置され、

30

前記第 1 の画素セルにおいて、前記第 1 の画素、前記第 2 の画素、および前記非基本色画素は、前記第 2 の方向に配列され、

前記第 2 の画素セルにおいて、前記第 1 の画素、前記第 3 の画素、および前記非基本色画素は、前記第 2 の方向に配列されている

請求項 1 から請求項 4 のいずれか一項に記載の表示装置。

【請求項 7】

前記第 1 の画素セットが、第 1 の画素セル内に配置され、

前記第 2 の画素セットが、第 2 の画素セル内に配置され、

前記第 1 の画素、前記第 2 の画素、前記第 3 の画素、および前記非基本色画素の開口部は円形または楕円形であり、

40

前記第 1 の画素セルにおいて、前記第 1 の画素、前記第 2 の画素、および前記非基本色画素は、互いに隣り合うように配置されるとともに、そのうちの 2 つは、前記第 2 の方向に配列され、

前記第 2 の画素セルにおいて、前記第 1 の画素、前記第 3 の画素、および前記非基本色画素は、互いに隣り合うように配置されるとともに、そのうちの 2 つは、前記第 2 の方向に配列されている

請求項 1 から請求項 4 のいずれか一項に記載の表示装置。

【請求項 8】

前記第 1 の画素セットは、複数の第 1 の画素セル内に、互いに異なる配置パターンとなるように配置され、

50

前記第 2 の画素セットは、複数の第 2 の画素セル内に、互いに異なる配置パターンとなるように配置されている

請求項 5 から請求項 7 のいずれか一項に記載の表示装置。

【請求項 9】

前記第 2 の画素における開口領域、および前記第 3 の画素における開口領域は、前記第 1 の画素における開口領域、および前記非基本色画素における開口領域のいずれよりも大きい

請求項 1 から請求項 8 のいずれか一項に記載の表示装置。

【請求項 10】

前記第 1 の画素における開口領域は、前記非基本色画素の開口領域以上の大きさである
請求項 9 に記載の表示装置。

10

【請求項 11】

前記第 1 の基本色光は緑色光であり、
前記第 2 の基本色光は青色光であり、
前記第 3 の基本色光は赤色光である

請求項 1 から請求項 10 のいずれか一項に記載の表示装置。

【請求項 12】

前記第 1 の画素、前記第 2 の画素、前記第 3 の画素、および前記非基本色画素は、それぞれ、

容量素子と、

20

ドレインと、前記容量素子の一端に接続されたゲートと、前記容量素子の他端に接続されたソースとを含むトランジスタと

を有する

請求項 1 から請求項 11 のいずれか一項に記載の表示装置。

【請求項 13】

表示装置と

前記表示装置に対して動作制御を行う制御部と

を備え、

前記表示装置は、

第 1 の基本色光を発する第 1 の画素と、第 2 の基本色光を発する第 2 の画素と、基本色光以外の一の色光を発する非基本色画素との組み合わせから構成される第 1 の画素セットと、

30

前記第 1 の基本色光を発する第 1 の画素と、第 3 の基本色光を発する第 3 の画素と、前記一の色光を発する非基本色画素との組み合わせから構成される第 2 の画素セットと、

第 1 の方向に延伸する複数の信号線と

を備え、

前記第 1 の画素セットおよび前記第 2 の画素セットは、前記第 1 の方向および前記第 1 の方向と交差する第 2 の方向のいずれか一方または双方において、交互に配置され、

前記第 1 の画素、前記第 2 の画素、前記第 3 の画素、および前記非基本色画素は、それぞれ、画素電極を含む発光素子を有し、

40

前記第 1 の画素の画素電極は、前記複数の信号線のうちの、その第 1 の画素が属する画素セットの配置領域内に配置された所定数の信号線のいずれとも重なるように配置され、

前記非基本色画素の画素電極は、前記複数の信号線のうちの、その非基本色画素が属する画素セットの配置領域内に配置された所定数の信号線のいずれとも重なるように配置されている

電子機器。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本開示は、電流駆動型の表示素子を有する表示装置、およびそのような表示装置を備えた電子機器に関する。

【 背景技術 】

【 0 0 0 2 】

近年、画像表示を行う表示装置の分野では、発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 E L (Electro Luminescence) 素子を用いた表示装置 (有機 E L 表示装置) が開発され、商品化が進められている。発光素子は、液晶素子などと異なり自発光素子であり、別に光源 (バックライト) を設ける必要はない。そのため、有機 E L 表示装置は、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速いなどの特徴を有する。

10

【 0 0 0 3 】

表示装置は、例えば、赤色 (R)、緑色 (G)、および青色 (B) の光 (基本色光) を組み合わせて、任意の色の光を生成する。例えば、特許文献 1, 2 には、赤色 (R) と青色 (B) のサブ画素を、緑色 (G) のサブ画素よりも大きく形成した有機 E L 表示装置が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 1 1 0 3 4 0 5 0 号公報

20

【 特許文献 2 】 特開 2 0 1 1 2 4 9 3 3 4 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

ところで、電子機器は、一般に低い消費電力が望まれており、表示装置についても、消費電力の低減が期待されている。また、表示装置では、一般に高画質が望まれており、さらなる画質の向上が期待されている。

【 0 0 0 6 】

本開示はかかる問題点に鑑みてなされたもので、その目的は、消費電力を低減するとともに画質を高めることができる表示装置および電子機器を提供することにある。

30

【 課題を解決するための手段 】

【 0 0 0 7 】

本開示の表示装置は、第 1 の画素セットと、第 2 の画素セットと、複数の信号線とを備えている。第 1 の画素セットは、第 1 の基本色光を発する第 1 の画素と、第 2 の基本色光を発する第 2 の画素と、基本色光以外の一の色光を発する非基本色画素との組み合わせから構成されるものである。第 2 の画素セットは、第 1 の基本色光を発する第 1 の画素と、第 3 の基本色光を発する第 3 の画素と、一の色光を発する非基本色画素との組み合わせから構成されるものである。複数の信号線は、第 1 の方向に延伸するものである。上記第 1 の画素セットおよび第 2 の画素セットは、第 1 の方向および第 1 の方向と交差する第 2 の方向のいずれか一方または双方において、交互に配置されている。上記第 1 の画素、第 2 の画素、第 3 の画素、および非基本色画素は、それぞれ、画素電極を含む発光素子を有し、第 1 の画素の画素電極は、複数の信号線のうちの、その第 1 の画素が属する画素セットの配置領域内に配置された所定数の信号線のいずれとも重なるように配置され、非基本色画素の画素電極は、複数の信号線のうちの、その非基本色画素が属する画素セットの配置領域内に配置された所定数の信号線のいずれとも重なるように配置されている。

40

【 0 0 0 8 】

本開示の電子機器は、上記表示装置を備えたものであり、例えば、テレビジョン装置、デジタルカメラ、パーソナルコンピュータ、ビデオカメラあるいは携帯電話等の携帯端末装置などが該当する。

【 0 0 0 9 】

50

本開示の表示装置および電子機器では、第1の画素、第2の画素、および非基本色画素の組み合わせから構成される第1の画素セットと、第1の画素、第3の画素、および非基本色画素の組み合わせから構成される第2の画素セットとが並設される。その際、この第1の画素セットおよび第2の画素セットは、第1の方向および第2の方向のいずれか一方または双方において交互に配置される。

【発明の効果】

【0010】

本開示の表示装置および電子機器によれば、第1の画素セットおよび第2の画素セットが、第1の方向および第2の方向のいずれか一方または双方において、交互に配置されるようにしたので、消費電力を低減することができるとともに、画質を高めることができる

10

【図面の簡単な説明】

【0011】

【図1】本開示の実施の形態に係る表示装置の一構成例を表すブロック図である。

【図2】図1に示した表示部におけるサブ画素の配置例を表す模式図である。

【図3】図1に示した表示部の一構成例を表す回路図である。

【図4】図1に示したサブ画素の一構成例を表す回路図である。

【図5】図1に示した表示部の一構成例を表す断面図である。

【図6A】図2に示した一のセルの一構成例を表す模式図である。

【図6B】図2に示した他のセルの一構成例を表す模式図である。

20

【図7】図2に示した表示部におけるアノードの配置の一例を表す平面図である。

【図8】図1に示した映像信号処理部の一構成例を表すブロック図である。

【図9A】図8に示した輝度情報抽出部の一動作例を表す説明図である。

【図9B】図8に示した輝度情報抽出部の一動作例を表す他の説明図である。

【図10】図1に示した表示装置の一動作例を表すタイミング波形図である。

【図11】比較例に係る表示部におけるサブ画素の配置を表す模式図である。

【図12】図11に示した表示部の一構成例を表す回路図である。

【図13】他の比較例に係る表示部におけるサブ画素の配置を表す模式図である。

【図14】他の比較例に係るアノードの配置を表す平面図である。

【図15】第1の実施の形態の変形例に係る表示部の一構成例を表す模式図である。

30

【図16】第1の実施の形態の他の変形例に係るサブ画素の一配置例を表す模式図である

【図17】第1の実施の形態の他の変形例に係るサブ画素の一配置例を表す模式図である

【図18】第1の実施の形態の他の変形例に係るサブ画素の一配置例を表す模式図である

【図19】第1の実施の形態の他の変形例に係るサブ画素の一配置例を表す模式図である

【図20】第1の実施の形態の他の変形例に係るサブ画素の一配置例を表す模式図である

40

【図21】第1の実施の形態の他の変形例に係るサブ画素の一配置例を表す模式図である

【図22】第1の実施の形態の他の変形例に係るアノードの一配置例を表す平面図である

【図23】第1の実施の形態の他の変形例に係るアノードの一配置例を表す平面図である

【図24】第1の実施の形態の他の変形例に係るサブ画素の一配置例を表す模式図である

【図25】第1の実施の形態の他の変形例に係るサブ画素の一配置例を表す模式図である

50

【図 2 6】第 1 の実施の形態の他の変形例に係るサブ画素の一配置例を表す模式図である。

【図 2 7】第 1 の実施の形態の他の変形例に係るアノードの一配置例を表す平面図である。

【図 2 8】第 1 の実施の形態の他の変形例に係るアノードの一配置例を表す平面図である。

【図 2 9】第 1 の実施の形態の他の変形例に係る表示部の一構成例を表す断面図である。

【図 3 0 A】第 1 の実施の形態の他の変形例に係る一のセルの一構成例を表す模式図である。

【図 3 0 B】第 1 の実施の形態の他の変形例に係る他のセルの一構成例を表す模式図である。

10

【図 3 1 A】第 1 の実施の形態の他の変形例に係る一のセルの一構成例を表す模式図である。

【図 3 1 B】第 1 の実施の形態の他の変形例に係る他のセルの一構成例を表す模式図である。

【図 3 2 A】第 1 の実施の形態の他の変形例に係る一のセルの一構成例を表す模式図である。

【図 3 2 B】第 1 の実施の形態の他の変形例に係る他のセルの一構成例を表す模式図である。

【図 3 3】第 1 の実施の形態の他の変形例に係るサブ画素の一配置例を表す模式図である。

20

【図 3 4】第 1 の実施の形態の他の変形例に係る開口部の一構成例を表す説明図である。

【図 3 5】図 3 4 に示した開口部における光線を示す説明図である。

【図 3 6】第 1 の実施の形態の他の変形例に係る開口部の一配置例を表す平面図である。

【図 3 7】図 3 6 に示した表示部の一構成例を表す断面図である。

【図 3 8】第 1 の実施の形態の他の変形例に係る表示部の一構成例を表す回路図である。

【図 3 9】図 3 8 に示した表示部におけるアノードの一配置例を表す平面図である。

【図 4 0】図 3 8 に示した表示部の一動作例を表すタイミング波形図である。

【図 4 1】第 2 の実施の形態に係る表示装置におけるアノードの一配置例を表す平面図である。

30

【図 4 2】第 2 の実施の形態に係る信号の一例を表す波形図である。

【図 4 3】第 2 の実施の形態に係る表示装置の一動作例を表すタイミング波形図である。

【図 4 4】第 2 の実施の形態に係る表示装置の動作を説明するための説明図である。

【図 4 5】第 2 の実施の形態に係る表示装置の動作を説明するための他の説明図である。

【図 4 6】第 2 の実施の形態に係る表示装置の一動作例を表すタイミング波形図である。

【図 4 7】第 2 の実施の形態に係る表示装置の動作を説明するための説明図である。

【図 4 8】第 2 の実施の形態に係る表示装置の動作を説明するための他の説明図である。

【図 4 9】第 2 の実施の形態の変形例に係る表示装置の一動作例を表すタイミング波形図である。

【図 5 0】実施の形態に係る表示装置が適用されたテレビジョン装置の外観構成を表す斜視図である。

40

【図 5 1】変形例に係るサブ画素の一構成例を表す回路図である。

【図 5 2】変形例に係るサブ画素の他の構成例を表す回路図である。

【発明を実施するための形態】

【0 0 1 2】

以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態
2. 第 2 の実施の形態
3. 適用例

50

【 0 0 1 3 】

< 1 . 第 1 の実施の形態 >

[構成例]

図 1 は、第 1 の実施の形態に係る表示装置の一構成例を表すものである。表示装置 1 は、有機 E L 素子を用いた、アクティブマトリックス方式の表示装置である。

【 0 0 1 4 】

表示装置 1 は、表示部 1 0 と、駆動部 2 0 とを備えている。駆動部 2 0 は、映像信号処理部 3 0 と、タイミング生成部 2 2 と、走査線駆動部 2 3 と、電源線駆動部 2 6 と、データ線駆動部 2 7 とを有している。

【 0 0 1 5 】

表示部 1 0 は、複数のサブ画素 1 1 が配置されたものである。具体的には、表示部 1 0 には、赤色 (R)、緑色 (G)、青色 (B)、白色 (W) の 4 つのサブ画素 1 1 R , 1 1 G , 1 1 B , 1 1 W が配置されている。以下、4 つのサブ画素 1 1 R , 1 1 G , 1 1 B , 1 1 W のうちの任意の 1 つを表すものとしてサブ画素 1 1 を適宜用いるものとする。

【 0 0 1 6 】

図 2 は、表示部 1 0 におけるサブ画素 1 1 の配置の一例を模式的に表すものである。図 2 において、網掛け部分は、4 つのサブ画素 1 1 R , 1 1 G , 1 1 B , 1 1 W の開口部 W I N を表している。表示部 1 0 には、3 つのサブ画素 1 1 W , 1 1 G , 1 1 B により構成されるセル C A と、3 つのサブ画素 1 1 W , 1 1 G , 1 1 R により構成されるセル C B が並設されている。すなわち、セル C A は、4 色のサブ画素 1 1 のうちの赤色のサブ画素 1 1 R を省いたものであり、セル C B は、4 色のサブ画素 1 1 のうちの青色のサブ画素 1 1 B を省いたものである。セル C A において、この例では、白色 (W) のサブ画素 1 1 W は左上に配置され、緑色 (G) のサブ画素 1 1 G は左下に配置され、青色 (B) のサブ画素 1 1 B は右側に配置されている。同様に、セル C B において、この例では、白色 (W) のサブ画素 1 1 W は左上に配置され、緑色 (G) のサブ画素 1 1 G は左下に配置され、赤色 (R) のサブ画素 1 1 R は右側に配置されている。これにより、表示部 1 0 では、サブ画素 1 1 R , 1 1 B が、サブ画素 1 1 W , 1 1 G よりも少なく形成されるとともに、サブ画素 1 1 R , 1 1 B の開口部 W I N が、サブ画素 1 1 W , 1 1 G の開口部 W I N よりも大きく形成されるようになっている。

【 0 0 1 7 】

図 2 に示すように、セル C A およびセル C B は、列方向 (垂直方向) に交互に配置されるとともに、行方向 (水平方向) に交互に配置されている。これにより、白色のサブ画素 1 1 W および緑色のサブ画素 1 1 G は、列方向において交互に配置される。そして、赤色のサブ画素 1 1 R および青色のサブ画素 1 1 B は、列方向において交互に配置されるとともに、行方向において交互に配置される。すなわち、表示部 1 0 におけるサブ画素 1 1 R の配置パターンおよびサブ画素 1 1 B の配置パターンは、それぞれ市松模様を構成するようになっている。

【 0 0 1 8 】

図 3 は、表示部 1 0 の回路構成の一例を表すものである。表示部 1 0 は、行方向に延伸する複数の走査線 W S L および複数の電源線 P L と、列方向に延伸する複数のデータ線 D T L とを有している。データ線 D T L の一端はデータ線駆動部 2 7 に接続されている。また、図示していないが、走査線 W S L の一端は走査線駆動部 2 3 に接続され、電源線 P L の一端は電源線駆動部 2 6 に接続されている。各サブ画素 1 1 は、走査線 W S L とデータ線 D T L との交差部に配置されている。1 つのセル C A に属するサブ画素 1 1 W , 1 1 G , 1 1 B は、同じ走査線 W S および同じ電源線 P L に接続されるとともに、互いに異なるデータ線 D T L に接続されている。同様に、1 つのセル C B に属するサブ画素 1 1 W , 1 1 G , 1 1 R は、同じ走査線 W S および同じ電源線 P L に接続されるとともに、互いに異なるデータ線 D T L に接続されている。

【 0 0 1 9 】

図 4 は、サブ画素 1 1 の回路構成の一例を表すものである。サブ画素 1 1 は、書込トラ

10

20

30

40

50

ンジスタWSTrと、駆動トランジスタDRTTrと、発光素子19と、容量素子Csとを備えている。すなわち、この例では、サブ画素11は、2つのトランジスタ（書込トランジスタWSTr、駆動トランジスタDRTTr）および1つの容量素子Csを用いて構成される、いわゆる「2Tr1C」の構成を有するものである。

【0020】

書込トランジスタWSTrおよび駆動トランジスタDRTTrは、例えば、NチャネルMOS（Metal Oxide Semiconductor）型のTFT（Thin Film Transistor；薄膜トランジスタ）により構成されるものである。書込トランジスタWSTrは、ゲートが走査線WSLに接続され、ソースがデータ線DTLに接続され、ドレインが駆動トランジスタDRTTrのゲートおよび容量素子Csの一端に接続されている。駆動トランジスタDRTTrは、ゲートが書込トランジスタWSTrのドレインおよび容量素子Csの一端に接続され、ドレインが電源線PLに接続され、ソースが容量素子Csの他端および発光素子19のアノードに接続されている。

10

【0021】

容量素子Csは、一端が駆動トランジスタDRTTrのゲート等に接続され、他端は駆動トランジスタDRTTrのソース等に接続されている。発光素子19は、有機EL素子を用いて構成された発光素子であり、アノードが駆動トランジスタDRTTrのソースおよび容量素子Csの他端に接続され、カソードには、駆動部20によりカソード電圧Vcathが供給されている。

【0022】

20

図5は、表示部10の断面図を表すものである。表示部10は、透明基板200と、ゲート201と、ポリシリコン203と、アノード212と、発光層230と、カソード216と、カラーフィルタ218とを有している。

【0023】

透明基板200は、表示部10の支持基板であり、例えば、ガラスやプラスチックなどにより構成されている。透明基板200上には、ゲート201が形成されている。このゲート201は、例えばモリブデン（Mo）などにより構成される。透明基板200およびゲート201の上には絶縁層202が形成されている。この絶縁層202は、例えば、酸化シリコン（SiO₂）や、窒化シリコン（SiNx）などにより構成される。この絶縁層202の上には、ゲート201に対応する領域にポリシリコン203が形成されている。ゲート201およびポリシリコン203は、駆動トランジスタDRTTrなどを構成するものである。なお、この例では、ゲート201の上部にポリシリコン203を形成する、いわゆるボトムゲート構造によりトランジスタを構成したが、これに限定されるものではなく、ゲートの下部にポリシリコンを形成する、いわゆるトップゲート構造によりトランジスタを構成してもよい。ポリシリコン203および絶縁層202の上には、絶縁層204が形成されている。この絶縁層204は、例えば絶縁層202と同様の材料により構成される。また、ポリシリコン203が形成された領域の一部には、絶縁層204を貫通するように、コンタクト／配線205が形成されている。配線205は、例えば、チタン（Ti）／アルミニウム（Al）／チタン（Ti）の3層により構成することができる。

30

【0024】

40

絶縁層204の上には、絶縁層211が形成されている。絶縁層211は、例えば、ポリイミドやアクリル樹脂などにより構成される。絶縁層211の上には、アノード212が形成されている。アノード212は、絶縁層211を貫通して、駆動トランジスタDRTTrのソースに係るコンタクト／配線205と接続されている。アノード212は、例えば、ITO／Al合金、Al合金、ITO／Ag、ITO／Ag合金などにより構成されている。すなわち、アノード212は、光を反射する性質を有することが望ましい。アノード212および絶縁層211の上には、絶縁層213が形成されている。絶縁層213は、例えば絶縁層211と同様の材料により構成される。この絶縁層213には、アノード212が形成された領域の一部に開口部WINが設けられている。アノード212および絶縁層213の上部には、黄色発光層214および青色発光層215からなる発光層2

50

30が一樣に形成されている。黄色発光層214は、黄色(Y)の光を発する有機EL層であり、青色発光層215は、青色(B)の光を発する有機EL層である。この黄色発光層214は、黄色に光る材料により構成してもよいし、または、緑色(G)に光る材料に赤色(R)に光る材料をドープして構成してもよい。青色発光層215は、例えば、青色に光る材料により構成することができる。青色発光層215の上には、カソード216が一樣に形成されている。カソード216は、透明または半透明の電極であり、例えば、マグネシウム銀(MgAg)や、IZO(登録商標)により構成することができる。マグネシウム銀で構成した場合には、膜厚を例えば数nm程度にすることにより半透明にすることができる。IZOで構成した場合には、例えば数十nm~数千nmの膜厚で形成することができる。すなわち、IZOは透明な材料であるため、所望の低いシート抵抗値を実現できるようにやや厚く形成することができる。カソード216の上には、この例では絶縁層217が形成されている。絶縁層217は、例えば窒化シリコン(SiNx)などにより構成される。絶縁層217は、発光層230に水分が侵入し、発光効率などの特性が変化することを防止するために設けられるものである。なお、この水分の侵入に起因する諸問題が他の技術により解決できる場合、この絶縁層217を省いてもよい。この絶縁層217には、封止用の樹脂である絶縁層221を介して、カラーフィルタ218やブラックマトリクス219が表面に形成された透明基板220が貼り合わせられている。赤色(R)のカラーフィルタ218は、サブ画素11Rに対応する部分に配置され、緑色(G)のカラーフィルタ218はサブ画素11Gに対応する部分に配置され、青色(B)のカラーフィルタ218はサブ画素11Bに対応する部分に配置され、白色(W)のカラーフィルタ218はサブ画素11Wに対応する部分に配置されている。

10

20

【0025】

この構成により、黄色発光層214から射出した黄色の光と、青色発光層215から射出した青色の光は、混ざり合って白色光となり、支持基板である透明基板200とは反対の方向に進む。すなわち、発光素子19は、いわゆるトップエミッション型の発光素子である。そして、この白色光は、カラーフィルタ218を介して表示面より出力される。具体的には、サブ画素11R、11G、11Bでは、赤色(R)、緑色(G)、青色(B)のカラーフィルタ218により、白色光から赤色成分、緑色成分、青色成分がそれぞれ分離され出力される。また、サブ画素11Wでは、白色(W)のカラーフィルタ218により白色光の色域が調整される。なお、画質(色域)に対する要求がさほど高くないアプリケーションなどにおいては、白色(W)のカラーフィルタ218を設けなくてもよい。

30

【0026】

図6Aは、セルCAにおける3つのサブ画素11の構成を模式的に表すものであり、図6Bは、セルCBにおける3つのサブ画素11の構成を模式的に表すものである。セルCAにおける3つのサブ画素11W、11G、11Bでは、図6Aに示すように、発光層230(黄色発光層214および青色発光層215)の開口部WINから射出した白色(W)の光が、白色(W)、緑色(G)、および青色(B)のカラーフィルタ218をそれぞれ通過する。同様に、セルCBにおける3つのサブ画素11W、11G、11Rでは、図6Bに示すように、発光層230の開口部WINから射出した白色(W)の光が、白色(W)、緑色(G)、および赤色(R)のカラーフィルタ218をそれぞれ通過するようになっている。

40

【0027】

図7は、セルCAにおけるアノード212の配置を表すものである。セルCAには、3つの回路領域15W、15G、15Bと、3つのアノード212W、212G、212Bが設けられている。

【0028】

回路領域15Wは、サブ画素11Wにおける発光素子19以外の素子(書込トランジスタWSTr、駆動トランジスタDRTTr、および容量素子Cs)が配置される領域である。同様に、回路領域15Gは、サブ画素11Gにおける発光素子19以外の素子が配置される領域であり、回路領域15Bは、サブ画素11Bにおける発光素子19以外の素子が

50

配置される領域である。これらの回路領域 15W, 15G, 15B には、書込トランジスタ WStr、駆動トランジスタ DTr、および容量素子 Cs が同じようにレイアウトされている。この例では、回路領域 15G のレイアウトは、回路領域 15W, 15B のレイアウトを 180 度回転し、走査線 WSL および電源線 PL との接続部分を修正したものである。なお、回路領域 15G のレイアウトは、回路領域 15W, 15B のレイアウトを上下反転し、これらの配線との接続部分を修正したものであってもよいし、全く異なる別のレイアウトであってもよい。このように、同じレイアウトを回転または反転して流用することにより、レイアウト作業の効率を高めることができる。この例では、3 つの回路領域 15W, 15G, 15B は、セル CA において、データ線 DTL の延伸方向（列方向）に延伸するとともに、データ線 DTL の延伸方向と直交する方向（行方向）に並設されている。具体的には、この例では、セル CA において、1 本のデータ線 DTL、回路領域 15W、回路領域 15G、2 本のデータ線 DTL、および回路領域 15B が、左から右へこの順に配置されている。このように、回路領域 15 を列方向に延伸するように設けることにより、例えば、駆動トランジスタ DTr のチャンネル長（L）を長くすることができ、これにより、サブ画素 11 の特性ばらつきを抑えることができるようになっている。

10

【0029】

アノード 212W はサブ画素 11W のアノード 212 であり、アノード 212G はサブ画素 11G のアノード 212 であり、アノード 212B はサブ画素 11B のアノード 212 である。これらのアノード 212W, 212G, 212B は、回路領域 15W, 15G, 15B に形成された駆動トランジスタ DTr のソースと、それぞれコンタクト 205 を介して接続されている。セル CA において、アノード 212W は左上に配置され、アノード 212G は左下に配置され、アノード 212B は右側に配置されている。これらのアノード 212W, 212G, 212B は、データ線 DTL と重ならないように配置されている。そして、アノード 212W, 212G, 212B 上の開口部 WIN において、発光層 230 が白色光を発光するようになっている。

20

【0030】

以上、セル CA について説明したが、セル CB についても同様である。すなわち、セル CB には、3 つの回路領域 15W, 15G, 15R と、3 つのアノード 212W, 212G, 212R が設けられている。回路領域 15R は、サブ画素 11R における発光素子 19 以外の素子が配置される領域であり、アノード 212R は、サブ画素 11R のアノード 212 である。セル CB において、1 本のデータ線 DTL、回路領域 15W、回路領域 15G、2 本のデータ線 DTL、および回路領域 15R が、左から右へこの順に配置されている。また、セル CB において、アノード 212W は左上に配置され、アノード 212G は左下に配置され、アノード 212R は右側に配置されている。これらのアノード 212W, 212G, 212R は、データ線 DTL と重ならないように配置されている。

30

【0031】

図 1 において、映像信号処理部 30 は、外部から供給される映像信号 Sdisp に対して、RGBW 変換やガンマ変換などを行い、映像信号 Sdisp2 を生成するものである。映像信号 Sdisp は、赤色（R）、緑色（G）、および青色（B）の輝度情報 I を有する RGB 信号である。

40

【0032】

図 8 は、映像信号処理部 30 の一構成例を表すものである。映像信号処理部 30 は、リニアガンマ変換部 31 と、RGBW 変換部 32 と、フィルタ処理部 33R, 33B と、輝度情報抽出部 34R, 34B と、信号処理部 35 と、パネルガンマ変換部 36 とを有している。

【0033】

リニアガンマ変換部 31 は、入力された映像信号 Sdisp を、線形なガンマ特性を有する映像信号 S31 に変換するものである。すなわち、外部から供給される映像信号は、一般的な表示装置の特性を考慮した非線形なガンマ特性を有している。よって、このリニアガンマ変換部 31 は、RGBW 変換部 32 や信号処理部 35 などにおける処理を容易にする

50

ため、このような非線形なガンマ特性を線形なガンマ特性に変換する。ガンマ変換部 3 1 は、例えばルックアップテーブルを有しており、このルックアップテーブルを用いてこのようなガンマ変換を行うようになっている。

【 0 0 3 4 】

R G B W 変換部 3 2 は、映像信号 S 3 1 に対して R G B W 変換を行うものである。具体的には、R G B W 変換部 3 2 は、赤色、緑色、および青色の輝度情報 I を有する R G B 信号を、赤色 (R)、緑色 (G)、青色 (B)、および白色 (W) の輝度情報 I を有する R G B W 信号に変換する。そして、R G B W 変換部 3 2 は、赤色 (R) の輝度情報 I を信号 S R 3 2 として出力し、緑色 (G) の輝度情報 I を信号 S G 3 2 として出力し、青色 (B) の輝度情報 I を信号 S B 3 2 として出力し、白色 (W) の輝度情報 I を信号 S W 3 2 として出力するようになっている。

10

【 0 0 3 5 】

フィルタ処理部 3 3 R は、信号 S R 3 2 に対してフィルタ処理を行うものである。このフィルタ処理部 3 3 R は、この例では、低域通過フィルタとして機能する F I R (Finite impulse response) フィルタにより構成されるものである。フィルタ処理部 3 3 R は、入力された信号 S R 3 2 に基づいて、赤色 (R) の輝度情報 I のマップを作成し、そのマップに対してフィルタ処理を行う。そして、フィルタ処理部 3 3 R は、フィルタ処理を行った輝度情報 I を信号 S R 3 3 として出力するようになっている。

【 0 0 3 6 】

フィルタ処理部 3 3 B は、信号 S B 3 2 に対してフィルタ処理を行うものである。このフィルタ処理部 3 3 B は、フィルタ処理部 3 3 R と同様に、低域通過フィルタとして機能する F I R フィルタにより構成されるものである。フィルタ処理部 3 3 B は、入力された信号 S B 3 2 に基づいて、青色 (B) の輝度情報 I のマップを作成し、そのマップに対してフィルタ処理を行う。そして、フィルタ処理部 3 3 B は、フィルタ処理を行った輝度情報 I を信号 S B 3 3 として出力するようになっている。

20

【 0 0 3 7 】

輝度情報抽出部 3 4 R は、信号 S R 3 3 に含まれる赤色 (R) の輝度情報 I から、表示部 1 0 に表示する輝度情報 I を抽出するものである。

【 0 0 3 8 】

輝度情報抽出部 3 4 B は、信号 S B 3 3 に含まれる青色 (B) の輝度情報 I から、表示部 1 0 に表示する輝度情報 I を抽出するものである。

30

【 0 0 3 9 】

図 9 A は、輝度情報抽出部 3 4 R の一動作例を表すものであり、図 9 B は、輝度情報抽出部 3 4 B の一動作例を表すものである。輝度情報抽出部 3 4 R は、信号 S R 3 3 に基づいて、赤色 (R) の輝度情報 I のマップ M A P R を生成する。そして、輝度情報抽出部 3 4 R は、図 9 A に示すように、そのマップ M A P R から、表示部 1 0 における赤色のサブ画素 1 1 R の配置パターン (図 2) に応じた座標における輝度情報 I (図 9 A における斜線部) を抽出する。すなわち、輝度情報抽出部 3 4 R は、抽出パターンが市松模様になるように、輝度情報 I を抽出する。そして、輝度情報抽出部 3 4 R は、抽出した輝度情報 I を、信号 S R 3 4 として出力するようになっている。同様に、輝度情報抽出部 3 4 B は、信号 S B 3 3 に基づいて、青色 (B) の輝度情報 I のマップ M A P B を生成し、そのマップ M A P B から、表示部 1 0 における青色のサブ画素 1 1 B の配置パターン (図 2) に応じた座標における輝度情報 I (図 9 B における斜線部) を抽出する。そして、輝度情報抽出部 3 4 B は、抽出した輝度情報 I を、信号 S B 3 4 として出力するようになっている。

40

【 0 0 4 0 】

このように、映像信号処理部 3 0 では、フィルタ処理部 3 3 R , 3 3 B が輝度情報 I に対してフィルタ処理を行う。輝度情報抽出部 3 4 R , 3 4 B は、そのフィルタ処理を行った輝度情報 I から、表示部 1 0 に表示する輝度情報 I を抽出している。これにより、表示装置 1 では、赤色および青色の成分に対してのみ、画像の解像度 (エッジの尖鋭度) を下げるとともに、抽出された赤色および青色の輝度情報 I が、表示部 1 0 におけるサブ画素

50

1 1 R, 1 1 B の位置を反映するようになっている。

【 0 0 4 1 】

信号処理部 3 5 は、信号 S W 3 2, S G 3 2, S R 3 4, S B 3 4 からなる映像信号 S 3 4 に対して所定の信号処理を行い、その結果を映像信号 S 3 5 として出力するものである。所定の信号処理としては、例えば、映像信号 S 3 4 により表現される色域および色温度を、表示部 1 0 の色域および色温度に変換する、いわゆる色域変換などが挙げられる。

【 0 0 4 2 】

パネルガンマ変換部 3 6 は、線形なガンマ特性を有する映像信号 S 3 5 を、表示部 1 0 の特性に対応した非線形なガンマ特性を有する映像信号 S 3 6 に変換（パネルガンマ変換）するものである。このパネルガンマ変換部 3 6 は、リニアガンマ変換部 3 1 と同様に、例えばルックアップテーブルを有しており、このルックアップテーブルを用いてこのようなガンマ変換を行うようになっている。

【 0 0 4 3 】

図 1 において、タイミング生成部 2 2 は、外部から供給される同期信号 S sync に基づいて、走査線駆動部 2 3、電源線駆動部 2 6、およびデータ線駆動部 2 7 に対してそれぞれ制御信号を供給し、これらがお互いに同期して動作するように制御する回路である。

【 0 0 4 4 】

走査線駆動部 2 3 は、タイミング生成部 2 2 から供給された制御信号に従って、複数の走査線 W S L に対して走査信号 W S を順次印加することにより、サブ画素 1 1 を順次選択するものである。

【 0 0 4 5 】

電源線駆動部 2 6 は、タイミング生成部 2 2 から供給された制御信号に従って、複数の電源線 P L に対して電源信号 D S を順次印加することにより、サブ画素 1 1 の発光動作および消光動作の制御を行うものである。電源信号 D S は、電圧 V c c p と電圧 V i n i との間で遷移するものである。後述するように、電圧 V i n i は、サブ画素 1 1 を初期化するための電圧であり、電圧 V c c p は、駆動トランジスタ D R T r に電流を流して発光素子 1 9 を発光させるための電圧である。

【 0 0 4 6 】

データ線駆動部 2 7 は、映像信号処理部 3 0 から供給された映像信号 S disp2 およびタイミング生成部 2 2 から供給された制御信号に従って、各サブ画素 1 1 の発光輝度を指示する画素電圧 V sig、および後述する V th 補正を行うための電圧 V ofs を含む信号 S ig を生成し、各データ線 D T L に印加するものである。

【 0 0 4 7 】

この構成により、駆動部 2 0 は、後述するように、サブ画素 1 1 に対して駆動トランジスタ D R T r の素子ばらつきが画質に与える影響を抑えるための補正（V th 補正および μ （移動度）補正）を行い、サブ画素 1 1 に対して画素電圧 V sig の書き込みを行う。そして、その後に、サブ画素 1 1 の発光素子 1 9 が、書き込まれた画素電圧 V sig に応じた輝度で発光するようになっている。

【 0 0 4 8 】

ここで、サブ画素 1 1 G は、本開示における「第 1 の画素」の一具体例に対応し、サブ画素 1 1 B は、本開示における「第 2 の画素」の一具体例に対応し、サブ画素 1 1 R は、本開示における「第 3 の画素」の一具体例に対応する。サブ画素 1 1 W は、本開示における「非基本色画素」の一具体例に対応する。セル C A を構成するサブ画素 1 1 G, 1 1 W, 1 1 B は、本開示における「第 1 の画素セット」の一具体例に対応する。セル C B を構成するサブ画素 1 1 G, 1 1 W, 1 1 R は、本開示における「第 2 の画素セット」の一具体例に対応する。セル C A は、本開示における「第 1 の画素セル」の一具体例に対応する。セル C B は、本開示における「第 2 の画素セル」の一具体例に対応する。データ線 D T L は、本開示における「信号線」の一具体例に対応する。信号 S ig は、本開示における「画素信号」の一具体例に対応する。駆動トランジスタ D R T r は、本開示における「トランジスタ」の一具体例に対応する。

10

20

30

40

50

【 0 0 4 9 】

[動作および作用]

続いて、本実施の形態の表示装置 1 の動作および作用について説明する。

【 0 0 5 0 】

(全体動作概要)

まず、図 1 を参照して、表示装置 1 の全体動作概要を説明する。映像信号処理部 3 0 は、外部から供給される映像信号 S_{disp} に対して R G B W 変換やガンマ変換などを行い、映像信号 S_{disp2} を生成する。タイミング生成部 2 2 は、外部から供給される同期信号 S_{sync} に基づいて、走査線駆動部 2 3、電源線駆動部 2 6 およびデータ線駆動部 2 7 に対してそれぞれ制御信号を供給し、これらがお互いに同期して動作するように制御する。走査線駆動部 2 3 は、タイミング生成部 2 2 から供給された制御信号に従って、複数の走査線 $W S L$ に対して走査信号 $W S$ を順次印加することにより、サブ画素 1 1 を順次選択する。電源線駆動部 2 6 は、タイミング生成部 2 2 から供給された制御信号に従って、複数の電源線 $P L$ に対して電源信号 $D S$ を順次印加することにより、サブ画素 1 1 の発光動作および消光動作の制御を行う。データ線駆動部 2 7 は、映像信号処理部 3 0 から供給された映像信号 S_{disp2} およびタイミング生成部 2 2 から供給された制御信号に従って、各サブ画素 1 1 の輝度に対応する画素電圧 V_{sig} 、および V_{th} 補正を行うための電圧 V_{ofs} を含む信号 S_{sig} を生成し、各データ線 $D T L$ に印加する。表示部 1 0 は、駆動部 2 0 から供給された走査信号 $W S$ 、電源信号 $D S$ 、および信号 S_{sig} に基づいて表示を行う。

10

【 0 0 5 1 】

20

(詳細動作)

次に、表示装置 1 の詳細動作を説明する。

【 0 0 5 2 】

図 1 0 は、表示装置 1 における表示動作のタイミング図を表すものである。この図は、着目した 1 つのサブ画素 1 1 に対する表示駆動の動作例を表すものである。図 1 0 において、(A) は走査信号 $W S$ の波形を示し、(B) は電源信号 $D S$ の波形を示し、(C) は信号 S_{sig} の波形を示し、(D) は駆動トランジスタ $D R T r$ のゲート電圧 V_g の波形を示し、(E) は駆動トランジスタ $D R T r$ のソース電圧 V_s の波形を示す。

【 0 0 5 3 】

駆動部 2 0 は、1 水平期間 (1 H) 内において、サブ画素 1 1 の初期化を行い (初期化期間 P_1)、駆動トランジスタ $D R T r$ の素子ばらつきが画質に与える影響を抑えるための V_{th} 補正を行い (V_{th} 補正期間 P_2)、サブ画素 1 1 に対して画素電圧 V_{sig} の書込みを行うとともに、 V_{th} 補正とは異なる μ (移動度) 補正を行う (書込・ μ 補正期間 P_3)。そして、その後に、サブ画素 1 1 の発光素子 1 9 が、書き込まれた画素電圧 V_{sig} に応じた輝度で発光する (発光期間 P_4)。以下に、その詳細を説明する。

30

【 0 0 5 4 】

まず、電源線駆動部 2 6 は、初期化期間 P_1 に先立つタイミング t_1 において、電源信号 $D S$ を電圧 V_{ccp} から電圧 V_{ini} に変化させる (図 1 0 (B))。これにより、駆動トランジスタ $D R T r$ がオン状態になり、駆動トランジスタ $D R T r$ のソース電圧 V_s が、電圧 V_{ini} に設定される (図 1 0 (E))。

40

【 0 0 5 5 】

次に、駆動部 2 0 は、タイミング $t_2 \sim t_3$ の期間 (初期化期間 P_1) において、サブ画素 1 1 を初期化する。具体的には、タイミング t_2 において、データ線駆動部 2 7 が、信号 S_{sig} を電圧 V_{ofs} に設定し (図 1 0 (C))、走査線駆動部 2 3 が、走査信号 $W S$ の電圧を低レベルから高レベルに変化させる (図 1 0 (A))。これにより、書込トランジスタ $W S T r$ がオン状態になり、駆動トランジスタ $D R T r$ のゲート電圧 V_g が電圧 V_{ofs} に設定される (図 1 0 (D))。このようにして、駆動トランジスタ $D R T r$ のゲート・ソース間電圧 V_{gs} ($= V_{ofs} - V_{ini}$) は、駆動トランジスタ $D R T r$ の閾値電圧 V_{th} よりも大きい電圧に設定され、サブ画素 1 1 が初期化される。

【 0 0 5 6 】

50

次に、駆動部 20 は、タイミング $t_3 \sim t_4$ の期間 (V_{th} 補正期間 P_2) において、 V_{th} 補正を行う。具体的には、電源線駆動部 26 が、タイミング t_3 において、電源信号 D_S を電圧 V_{ini} から電圧 V_{ccp} に変化させる (図 10 (B))。これにより、駆動トランジスタ DRT_r は飽和領域で動作するようになり、ドレインからソースに電流 I_{ds} が流れ、ソース電圧 V_s が上昇する (図 10 (E))。その際、この例では、ソース電圧 V_s は発光素子 19 のカソードの電圧 V_{cath} よりも低いため、発光素子 19 は逆バイアス状態を維持し、発光素子 19 には電流は流れない。このようにソース電圧 V_s が上昇することにより、ゲート・ソース間電圧 V_{gs} が低下するため、電流 I_{ds} は低下する。この負帰還動作により、電流 I_{ds} は“0” (ゼロ) に向かって収束していく。言い換えれば、駆動トランジスタ DRT_r のゲート・ソース間電圧 V_{gs} は、駆動トランジスタ DRT_r の閾値電圧 V_{th} と等しくなる ($V_{gs} = V_{th}$) ように収束していく。

10

【0057】

次に、走査線駆動部 23 は、タイミング t_4 において、走査信号 W_S の電圧を高レベルから低レベルに変化させる (図 10 (A))。これにより、書込トランジスタ WST_r はオフ状態になる。そして、データ線駆動部 27 は、タイミング t_5 において、信号 S_{ig} を画素電圧 V_{sig} に設定する (図 10 (C))。

【0058】

次に、駆動部 20 は、タイミング $t_6 \sim t_7$ の期間 (書込・ μ 補正期間 P_3) において、サブ画素 11 に対して画素電圧 V_{sig} の書込みを行うとともに μ 補正を行う。具体的には、走査線駆動部 23 が、タイミング t_6 において、走査信号 W_S の電圧を低レベルから高レベルに変化させる (図 10 (A))。これにより、書込トランジスタ WST_r はオン状態になり、駆動トランジスタ DRT_r のゲート電圧 V_g が、電圧 V_{ofs} から画素電圧 V_{sig} に上昇する (図 10 (D))。このとき、駆動トランジスタ DRT_r のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} より大きくなり ($V_{gs} > V_{th}$)、ドレインからソースへ電流 I_{ds} が流れるため、駆動トランジスタ DRT_r のソース電圧 V_s が上昇する (図 10 (E))。このような負帰還動作により、駆動トランジスタ DRT_r の素子ばらつきの影響が抑えられ (μ 補正)、駆動トランジスタ DRT_r のゲート・ソース間電圧 V_{gs} は、画素電圧 V_{sig} に応じた電圧 V_{emi} に設定される。なお、このような μ 補正の方法については、例えば、特開 2006 - 215213 に記載がある。

20

【0059】

次に、駆動部 20 は、タイミング t_7 以降の期間 (発光期間 P_4) において、サブ画素 11 を発光させる。具体的には、タイミング t_7 において、走査線駆動部 23 は、走査信号 W_S の電圧を高レベルから低レベルに変化させる (図 10 (A))。これにより、書込トランジスタ WST_r がオフ状態になり、駆動トランジスタ DRT_r のゲートがフローティングとなるため、これ以後、容量素子 C_s の端子間電圧、すなわち、駆動トランジスタ DRT_r のゲート・ソース間電圧 V_{gs} は維持される。そして、駆動トランジスタ DRT_r に電流 I_{ds} が流れるにつれ、駆動トランジスタ DRT_r のソース電圧 V_s が上昇し (図 10 (E))、これに伴って駆動トランジスタ DRT_r のゲート電圧 V_g も上昇する (図 10 (D))。そして、駆動トランジスタ DRT_r のソース電圧 V_s が、発光素子 19 の閾値電圧 V_{el} と電圧 V_{cath} の和 ($V_{el} + V_{cath}$) よりも大きくなると、発光素子 19 のアノード・カソード間に電流が流れ、発光素子 19 が発光する。すなわち、発光素子 19 の素子ばらつきに応じた分だけソース電圧 V_s が上昇し、発光素子 19 が発光する。

30

40

【0060】

その後、表示装置 1 では、所定の期間 (1 フレーム期間) が経過したのち、発光期間 P_4 から書込期間 P_1 に移行する。駆動部 20 は、この一連の動作を繰り返すように表示部 10 を駆動する。

【0061】

(画質および消費電力について)

表示装置 1 は、消費電力を低減するために、いくつかの工夫がなされている。以下に、いくつかの比較例を挙げて、それらの技術について詳細に説明する。

50

【 0 0 6 2 】

(比較例 1)

表示装置 1 では、図 2 に示したように、4 色のサブ画素のうち、赤色 (R) のサブ画素を省いてセル C A を構成するとともに、青色 (B) のサブ画素を省いてセル C B を構成したので、以下に説明する表示装置 1 R と比べて、画質の低下を抑えつつ、消費電力を低減することができる。

【 0 0 6 3 】

図 1 1 は、比較例 1 に係る表示装置 1 R における表示部 1 0 R の一構成例を表すものである。表示部 1 0 R には、複数の画素 P i x がマトリクス状に配置されている。各画素 P i x は、赤色 (R) 、緑色 (G) 、青色 (B) 、白色 (W) の 4 つのサブ画素 1 2 (1 2 R , 1 2 G , 1 2 B , 1 2 W) を有している。この例では、これらの 4 つのサブ画素 1 2 R , 1 2 G , 1 2 B , 1 2 W は、画素 P i x において 2 行 2 列で配置されている。具体的には、画素 P i x において、左上に赤色 (R) のサブ画素 1 2 R を配置し、右上に緑色 (G) のサブ画素 1 2 G を配置し、左下に白色 (W) のサブ画素 1 2 W を配置し、右下に青色 (B) のサブ画素 1 2 B を配置している。

10

【 0 0 6 4 】

ここで、比較例 1 に係る画素 P i x (図 1 1) は、本実施の形態におけるセル C A またはセル C B (図 2) に対応するものである。具体的には、本実施の形態におけるセル C A は、比較例 1 に係る画素 P i x から赤色のサブ画素 1 2 R を省いたものに対応しており、本実施の形態におけるセル C B は、比較例 1 に係る画素 P i x から青色のサブ画素 1 2 B を省いたものに対応している。

20

【 0 0 6 5 】

図 1 2 は、比較例 1 に係る表示部 1 0 R の回路構成の一例を表すものである。表示部 1 0 R では、1 つの画素 P i x に属するサブ画素 1 2 R とサブ画素 1 2 G は、同じ走査線 W S (例えば k 番目の走査線 W S (k)) および同じ電源線 P L (例えば k 番目の電源線 P L (k)) に接続されている。また、その画素 P i x に属するサブ画素 1 2 W とサブ画素 1 2 B は、同じ走査線 W S (例えば (k + 1) 番目の走査線 W S (k + 1)) および同じ電源線 P L (例えば (k + 1) 番目の電源線 P L (k + 1)) に接続されている。

【 0 0 6 6 】

また、1 つの画素 P i x に属するサブ画素 1 2 R とサブ画素 1 2 W は、同じデータ線 D T L (例えば j 番目のデータ線 D T L (j)) に接続され、その画素 P i x に属するサブ画素 1 2 G とサブ画素 1 2 B は、同じデータ線 D T L (例えば (j + 1) 番目のデータ線 D T L (j + 1)) に接続されている。

30

【 0 0 6 7 】

比較例 1 に係る表示装置 1 R では、走査駆動を行う際、1 つの画素 P i x を構成する 4 つのサブ画素 1 2 のうちの、サブ画素 1 2 R , 1 2 G と、サブ画素 1 2 B , 1 2 W とを、異なる期間において駆動する必要がある。具体的には、例えば、1 水平期間の前半においてサブ画素 1 2 R , 1 2 G を駆動し、1 水平期間の後半においてサブ画素 1 2 B , 1 2 W を駆動する必要がある。よって、データ線駆動部 2 7 R は、例えば 1 フレーム期間において、より多くのサブ画素 1 2 に、画素電圧 V s i g を供給する必要がある。すなわち、データ線 D T L を駆動する際の駆動周波数が高くなってしまふ。これにより、消費電力が高くなるおそれがある。

40

【 0 0 6 8 】

また、比較例 1 に係る表示装置 1 R では、1 つの画素 P i x につき 6 本の配線 (2 本の走査線 W S 、 2 本の電源線 P L 、および 2 本のデータ線 D T L) が必要となる。よって、表示装置 1 R では、これらの配線を駆動するための電力を要するため、消費電力が高くなるおそれがある。

【 0 0 6 9 】

また、比較例 1 に係る表示装置 1 R では、1 つの画素 P i x が 4 つのサブ画素 1 2 を有するようにしたので、表示部 1 0 R におけるサブ画素 1 2 の数が多くなる。これにより、各

50

サブ画素 1 2 の面積が小さくなるため、開口率が低下してしまう。すなわち、例えば、アノード間隔などのデザインルールにより、アノードの大きさは制限され、またアノードの縁と開口部 W I N の縁との間の距離に関するデザインルールにより開口部 W I N の大きさも制限されるため、開口部 W I N を大きくすることができず、開口率が低下してしまう。このように開口率が低い場合には、開口率が高い場合に比べて、同じ発光輝度を実現するための発光層 2 3 0 の電流密度が高くなってしまい、画質が劣化するおそれがある。すなわち、発光層 2 3 0 を構成する有機 E L 層は、一般に、電流密度が高いほど経時劣化（いわゆる焼き付き）が生じやすいため、電流密度が高くなることにより、画質が低下するおそれがある。

【 0 0 7 0 】

また、比較例 1 に係る表示装置 1 R では、上述したように駆動周波数が高くなってしまったため、例えば、サブ画素 1 2 に画素電圧 V_{sig} を書き込むための十分な時間が確保しにくくなり、画質が低下するおそれがある。

【 0 0 7 1 】

一方、本実施の形態に係る表示装置 1 では、図 2 , 3 に示したように、赤色のサブ画素 1 1 R を省いてセル C A を構成して、1 つのセル C A に属する 3 つのサブ画素 1 1 W , 1 1 G , 1 1 B が同じ走査線 W S L 等に接続されるようにするとともに、青色のサブ画素 1 1 B を省いてセル C B を構成し、1 つのセル C B に属する 3 つのサブ画素 1 1 W , 1 1 G , 1 1 R が同じ走査線 W S L 等に接続されるようにしている。これにより、1 水平期間において、セル C A に属する 3 つのサブ画素 1 1 W , 1 1 G , 1 1 B をまとめて駆動することができ、同様に、1 水平期間において、セル C B に属する 3 つのサブ画素 1 1 W , 1 1 G , 1 1 R をまとめて駆動することができる。よって、データ線駆動部 2 7 は、例えば、1 フレーム期間において、比較例 1 の場合の半分の数のサブ画素 1 1 に、画素電圧 V_{sig} を供給すればよい。すなわち、表示装置 1 では、データ線 D T L を駆動する際の駆動周波数を低くすることができるため、消費電力を低減することができる。

【 0 0 7 2 】

また、本実施の形態に係る表示装置 1 では、セル C A , C B のそれぞれにつき 5 本の配線（1 本の走査線 W S , 1 本の電源線 P L、および 3 本のデータ線 D T L）が必要となる。すなわち、比較例 1 の場合（6 本）に比べて少ない配線で済む。よって、これらの配線に対する駆動電力が少なく済むため、消費電力を低減することができる。

【 0 0 7 3 】

また、本実施の形態に係る表示装置 1 では、赤色のサブ画素 1 1 R を省いてセル C A を構成し、青色のサブ画素 1 1 B を省いてセル C B を構成することにより、画質の低下を抑えつつ、消費電力を低減することができる。すなわち、表示装置 1 では、上述したように、消費電力を低減するために、赤色のサブ画素 1 1 R や青色のサブ画素 1 1 B を少なくしているため、白色（W）のサブ画素 1 1 W や緑色（G）のサブ画素 1 1 G の解像度に比べて、赤色（R）のサブ画素 1 1 R や青色（B）のサブ画素 1 1 B の解像度が低下している。しかしながら、人間は、赤色（R）と青色（B）などのいわゆる色度成分の解像度が低下しても、画質の低下を感じないことが知られている。すなわち、色を輝度成分と色度成分に分けた場合、人間は、輝度成分の解像度を下げると画質が低下したように感じるが、色度成分の解像度を下げても、さほど画質の低下を感じない。サブ画素 1 1 が発光する 4 色（赤色、緑色、青色、白色）のうち、白色（W）と緑色（G）は輝度成分への寄与が多く、一方、赤色（R）と青色（B）は輝度成分への寄与が少ない。表示装置 1 では、このように、輝度成分への寄与が少ない赤色のサブ画素 1 1 R や青色のサブ画素 1 1 B を少なくしたので、画質の低下を抑えつつ、消費電力を低減することができる。

【 0 0 7 4 】

また、本実施の形態に係る表示装置 1 では、サブ画素 1 1 の数を減らしたので、各サブ画素 1 1 を大きくすることができ、サブ画素 1 1 R , 1 1 B の開口率を高くすることができる。これにより、発光層の経時劣化（いわゆる焼き付き）を抑えることができるため、画質を高めることができる。また、上述したように駆動周波数を低くすることができるた

10

20

30

40

50

め、例えば、サブ画素 1 1 に画素電圧 V_{sig} を書き込むための十分な時間を確保することができる。これにより、画質が低下するおそれを低減することができる。

【 0 0 7 5 】

(比較例 2)

また、表示装置 1 では、図 2 に示したように、セル C A , C B が白色のサブ画素 1 1 W を有するようにしたので、以下に説明する比較例 2 に係る表示装置 1 S と比べて、消費電力を低減できるとともに、画質を高めることができる。

【 0 0 7 6 】

図 1 3 は、比較例 2 に係る表示装置 1 S の表示部 1 0 S におけるサブ画素 1 3 の配置の一例を表すものである。表示部 1 0 S は、赤色 (R)、緑色 (G)、および青色 (B) の 3 色のサブ画素 1 3 (1 3 R , 1 3 G , 1 3 B) を有している。すなわち、表示部 1 0 S は、白色 (W) のサブ画素を有しないものである。表示部 1 0 S には、サブ画素 1 3 G , 1 3 B により構成されるセル C C と、サブ画素 1 3 G , 1 3 R により構成されるセル C D が並設されている。セル C C およびセル C D は、列方向 (垂直方向) に交互に配置されるとともに、行方向 (水平方向) に交互に配置されている。

10

【 0 0 7 7 】

比較例 2 に係る表示装置 1 S では、白色のサブ画素 1 1 W が設けられていないため、例えば白色を表示する場合には、3つのサブ画素 1 3 R , 1 3 G , 1 3 B を発光させる必要がある。よって、表示装置 1 S では、消費電力が高くなるおそれがある。

【 0 0 7 8 】

20

一方、本実施の形態に係る表示装置 1 では、図 2 に示したように、赤色 (R)、緑色 (G)、青色 (B) の光を発する 3 つのサブ画素 1 1 R , 1 1 G , 1 1 B に加え、白色 (W) の光を発するサブ画素 1 1 W を設けている。これにより、例えば白色を表示する場合には、この 1 つのサブ画素 1 1 W のみを発光させればよいため、消費電力を低減することができる。

【 0 0 7 9 】

また、本実施の形態に係る表示装置 1 では、セル C A , C B が白色のサブ画素 1 1 W を有するようにしたので、比較例 2 に係る表示装置 1 S に比べて画質を高めることができる。すなわち、このサブ画素 1 1 W が発する白色光は、赤色成分、緑色成分、および青色成分を含んでいる。よって、セル C A では、赤色のサブ画素 1 1 R がないものの、白色のサブ画素 1 1 W が赤色成分の光を発する。また、セル C B では、青色のサブ画素 1 1 B がないものの、白色のサブ画素 1 1 W が青色成分の光を発する。よって、表示装置 1 では、比較例 2 に係る表示装置 1 S に比べて、赤色成分および青色成分の解像度を等価的に高めることができ、画質を高めることができる。

30

【 0 0 8 0 】

(比較例 3)

また、表示装置 1 では、図 7 に示したように、アノード 2 1 2 がデータ線 D T L と重ならないようにしたので、以下に説明する比較例 3 に係る表示装置 1 T と比べて、画質の低下を抑えることができる。

【 0 0 8 1 】

40

図 1 4 は、比較例 3 に係る表示装置 1 T のセル C A におけるアノード 2 1 2 の配置を表すものである。この例では、セル C A において、データ線 D T L、回路領域 1 5 W、データ線 D T L、回路領域 1 5 G、データ線 D T L、および回路領域 1 5 B が、左から右へこの順に配置されている。そして、サブ画素 1 1 W のアノード 2 1 2 W は 2 本のデータ線 D T L と重なるように配置され、サブ画素 1 1 G のアノード 2 1 2 G は 2 本のデータ線 D T L と重なるように配置され、サブ画素 1 1 B のアノード 2 1 2 B は 1 本のデータ線 D T L と重なるように配置されている。

【 0 0 8 2 】

比較例 3 に係る表示装置 1 T では、アノード 2 1 2 W が 2 本のデータ線 D T L と重なっているため、これらのデータ線 D T L における信号 S_{sig} が、カップリングによりアノード

50

2 1 2 Wにノイズとして伝わってしまうおそれがある。同様に、アノード2 1 2 Gが2本のデータ線D T Lと重なっているため、これらのデータ線D T Lにおける信号S i gが、カップリングによりアノード2 1 2 Gにノイズとして伝わってしまうおそれがある。また、アノード2 1 2 Bが1本のデータ線D T Lと重なっているため、このデータ線D T Lにおける信号S i gが、カップリングによりアノード2 1 2 Bにノイズとして伝わってしまうおそれがある。特に、表示装置1 Tでは、アノード2 1 2によって、重なるデータ線D T Lの本数が異なるため、ノイズの影響が不均一となり、画質が低下するおそれがある。

【0083】

一方、本実施の形態に係る表示装置1では、図7に示したように、アノード2 1 2をデータ線D T Lと重ならないように配置したので、アノード2 1 2にノイズが伝わるおそれを低減することができ、画質を高めることができる。

10

【0084】

[効果]

以上のように本実施の形態では、赤色、緑色、青色、白色の4色のサブ画素を設けるとともに、白色や緑色のサブ画素と比べて、赤色や青色のサブ画素を少なくしたので、画質の低下を抑えつつ、消費電力を低減することができる。

【0085】

また、本実施の形態では、サブ画素の数を減らすようにしたので、サブ画素の開口率を高めることができるため、発光層の経時劣化を抑えることができ、画質を高めることができる。

20

【0086】

また、本実施の形態では、アノードをデータ線と重ならないように配置したので、画質を高めることができる。

【0087】

[変形例1-1]

上記実施の形態では、図2に示したように、3つのサブ画素1 1 W, 1 1 G, 1 1 BによりセルC Aを構成するとともに、3つのサブ画素1 1 W, 1 1 G, 1 1 RによりセルC Bを構成したが、これに限定されるものではない。

【0088】

例えば、白色(W)のサブ画素1 1 Wに代えて黄色(Y)のサブ画素1 1 Yを用いてもよい。この場合は、3つのサブ画素1 1 Y, 1 1 G, 1 1 BによりセルC Aを構成するとともに、3つのサブ画素1 1 Y, 1 1 G, 1 1 RによりセルC Bを構成することができる。サブ画素1 1 Yが発する黄色光は、赤色成分および緑色成分を含んでいるため、セルC Aでは、赤色のサブ画素1 1 Rがないものの、黄色のサブ画素1 1 Yが赤色成分の光を発する。よって、本変形例に係る表示装置では、比較例2に係る表示装置1 Sに比べて、赤色成分の解像度を等価的に高めることができ、画質を高めることができる。

30

【0089】

また、例えば、白色(W)のサブ画素1 1 Wに代えてマゼンタ色(M)のサブ画素1 1 Mを用いてもよい。この場合は、3つのサブ画素1 1 M, 1 1 G, 1 1 BによりセルC Aを構成するとともに、3つのサブ画素1 1 M, 1 1 G, 1 1 RによりセルC Bを構成することができる。サブ画素1 1 Mが発するマゼンタ色光は、赤色成分および青色成分を含んでいるため、セルC Aでは、赤色のサブ画素1 1 Rがないものの、マゼンタ色のサブ画素1 1 Mが赤色成分の光を発し、セルC Bでは、青色のサブ画素1 1 Bがないものの、マゼンタ色のサブ画素1 1 Mが青色成分の光を発する。よって、本変形例に係る表示装置では、比較例2に係る表示装置1 Sに比べて、赤色成分および青色成分の解像度を等価的に高めることができ、画質を高めることができる。

40

【0090】

また、例えば、白色(W)のサブ画素1 1 Wに代えてシアン色(C)のサブ画素1 1 Cを用いてもよい。この場合は、3つのサブ画素1 1 C, 1 1 G, 1 1 BによりセルC Aを構成するとともに、3つのサブ画素1 1 C, 1 1 G, 1 1 RによりセルC Bを構成するこ

50

とができる。サブ画素 1 1 C が発するシアン色光は、緑色成分および青色成分を含んでいるため、セル C B では、青色のサブ画素 1 1 B がないものの、シアン色のサブ画素 1 1 C が青色成分の光を発する。よって、本変形例に係る表示装置では、比較例 2 に係る表示装置 1 S に比べて、青色成分の解像度を等価的に高めることができ、画質を高めることができる。

【 0 0 9 1 】

[変形例 1 - 2]

上記実施の形態では、図 2 に示したように、セル C A およびセル C B を、列方向（垂直方向）に交互に配置するとともに、行方向（水平方向）に交互に配置したが、これに限定されるものではない。これに代えて、例えば、図 1 5 に示す表示部 1 0 B（1）のように、行方向（水平方向）にはセル C A およびセル C B を交互に配置し、列方向（垂直方向）には同じセルを繰り返し配置してもよい。また、例えば、図 1 6 に示す表示部 1 0 B（2）のように、列方向（垂直方向）にはセル C A およびセル C B を交互に配置し、行方向（水平方向）には同じセルを繰り返し配置してもよい。

【 0 0 9 2 】

また、上記実施の形態では、全てのセル C A においてサブ画素 1 1 W，1 1 G，1 1 B の配置を同じにするとともに、全てのセル C B においてサブ画素 1 1 W，1 1 G，1 1 R の配置を同じにしたが、これに限定されるものではない。例えば、図 1 7 に示す表示部 1 0 B（3）のように、隣り合うセル C A においてサブ画素 1 1 W，1 1 G，1 1 B の配置が互いに異なるようにするとともに、隣り合うセル C B においてサブ画素 1 1 W，1 1 G，1 1 R の配置が互いに異なるようにしてもよい。この表示部 1 0 B（3）には、3 つのサブ画素 1 1 W，1 1 G，1 1 B により構成されるセル C A（C A 1，C A 2）と、3 つのサブ画素 1 1 W，1 1 G，1 1 R により構成されるセル C B（C B 1，C B 2）とが並設されている。この例では、セル C A 1 において、白色（W）のサブ画素 1 1 W が左上に配置され、緑色（G）のサブ画素 1 1 G が左下に配置され、青色（B）のサブ画素 1 1 B が右側に配置されている。そして、セル C A 2 において、緑色（G）のサブ画素 1 1 G が左上に配置され、白色（W）のサブ画素 1 1 W が左下に配置され、青色（B）のサブ画素 1 1 B が右側に配置されている。同様に、セル C B 1 において、緑色（G）のサブ画素 1 1 G が左上に配置され、白色（W）のサブ画素 1 1 W が左下に配置され、赤色（R）のサブ画素 1 1 R が右側に配置されている。そして、セル C B 2 において、白色（W）のサブ画素 1 1 W が左上に配置され、緑色（G）のサブ画素 1 1 G が左下に配置され、赤色（R）のサブ画素 1 1 R が右側に配置されている。

【 0 0 9 3 】

[変形例 1 - 3]

上記実施の形態において、サブ画素 1 1 R，1 1 G，1 1 B，1 1 W の開口部 W I N の開口面積 A_R ， A_G ， A_B ， A_W は、次のような関係を有しているのが望ましい。

$$A_W \quad A_G < A_R = A_B \quad \cdots (1)$$

$$A_W \quad A_G < A_R < A_B \quad \cdots (2)$$

$$A_W \quad A_G < A_B < A_R \quad \cdots (3)$$

具体的には、例えば、図 1 8 に示す表示部 1 0 C（1）のように、サブ画素 1 1 W の開口面積 A_W をサブ画素 1 1 G の開口面積 A_G よりも小さくしてもよいし、図 1 9 に示す表示部 1 0 C（2）のように、サブ画素 1 1 R の開口面積 A_R をサブ画素 1 1 B の開口面積 A_B よりも小さくしてもよいし、例えば、図 2 0 に示す表示部 1 0 C（3）のように、サブ画素 1 1 B の開口面積 A_B をサブ画素 1 1 R の開口面積 A_R よりも小さくしてもよい。また、例えば、図 2 1 に示す表示部 1 0 C（4）のように、白色のサブ画素 1 1 W の開口面積 A_W 、および緑色のサブ画素 1 1 G の開口面積 A_G を、これらの変形例の場合より大きくし、赤色のサブ画素 1 1 R の開口面積 A_R 、および青色のサブ画素 1 1 B の開口面積 A_B を、これらの変形例の場合よりも小さくてもよい。ここで、サブ画素 1 1 R の開口面積 A_R と、サブ画素 1 1 B の開口面積 A_B との大小関係は、例えば、サブ画素 1 1 R，1 1 B の発光効率などを考慮して決定することができる。

【 0 0 9 4 】

この式(1)～式(3)において、白色のサブ画素11Wの開口面積 A_W が、緑色のサブ画素11Gの開口面積 A_G 以下である($A_W \leq A_G$)のは、図5に示したように、発光層230が白色の光を発し、この白色光が赤色、緑色、青色、白色のカラーフィルタ218を介して出力されるためである。すなわち、一般に、緑色(G)のカラーフィルタ218を通過した後の輝度は、白色(W)のカラーフィルタ218を通過した後の輝度以下になってしまうので、その輝度差を補うために、開口面積 A_W を開口面積 A_G 以下にしている。

【 0 0 9 5 】

また、式(1)～式(3)において、緑色のサブ画素11Gの開口面積 A_G が、赤色のサブ画素11Rの開口面積 A_R よりも小さく($A_G < A_R$)、青色のサブ画素11Bの開口面積 A_B よりも小さい($A_G < A_B$)。これは、発光層230が発する白色光において、一般に、緑色成分が赤色成分および青色成分よりも大きいことを考慮したためであり、その差を補うために、開口面積 A_G を開口面積 A_R 、 A_B よりも小さくしている。

【 0 0 9 6 】

[変形例 1 - 4]

上記実施の形態では、図7に示したように、コンタクト205を回路領域15W, 15G, 15Bの上端付近または下端付近に設けたが、これに限定されるものではなく、これに代えて、例えば、図22に示す表示部10Dのように、回路領域15W, 15G, 15Bの中央付近に設けてもよい。この場合には、回路領域15W, 15G, 15Bにおける、書込トランジスタ $WSTr$ 、駆動トランジスタ $DRTr$ 、および容量素子 Cs のレイアウトを同一にすることができ、設計効率が向上するとともに、サブ画素11間の特性ばらつきを抑えることができる。

【 0 0 9 7 】

[変形例 1 - 5]

上記実施の形態では、図7に示したように、アノード212をデータ線 DTL と重ならないように配置したが、これに限定されるものではなく、これに代えて、例えば図23に示す表示部10Eのように、各アノード212(212W, 212G, 212B)を1本のデータ線 DTL と重なるように配置してもよい。この構成では、データ線 DTL における信号 Sig が、カップリングにより、アノード212W, 212G, 212Bにノイズとして伝わってしまうおそれがある。しかしながら、比較例3の場合と異なり、どのアノード212W, 212G, 212Bも、1本のデータ線 DTL と重なるようにしたので、ノイズの影響がより均一になるため、画質の低下を抑えることができる。

【 0 0 9 8 】

[変形例 1 - 6]

上記実施の形態では、図2に示したように、セルCA, CBにおいて、サブ画素11W, 11Gを列方向(垂直方向)に並設したが、これに限定されるものではない。これに代えて、例えば、図24～図26に示す表示部10F(1)～10F(3)のように、行方向(水平方向)に並設してもよい。この例では、セルCAにおいて、左から、サブ画素11B、サブ画素11G、サブ画素11Wをこの順で配置し、セルCBにおいて、左から、サブ画素11R、サブ画素11G、サブ画素11Wをこの順で配置している。表示部10F(1)(図24)では、セルCAおよびセルCBを、列方向に交互に配置するとともに、行方向に交互に配置している。表示部10F(2)(図25)では、行方向にはセルCAおよびセルCBを交互に配置し、列方向には同じセルを繰り返し配置している。表示部10F(3)(図26)では、列方向にはセルCAおよびセルCBを交互に配置し、行方向には同じセルを繰り返し配置している。

【 0 0 9 9 】

表示部10F(1)～10F(3)においても、アノード212を、図27に示すように、データ線 DTL と重ならないように配置することが望ましい。また、図28に示すように、各アノード212(212W, 212G, 212B)を、1本のデータ線 DTL と

10

20

30

40

50

重なるように配置してもよい。

【 0 1 0 0 】

[変形例 1 - 7]

上記実施の形態では、トップエミッション型の発光素子 1 9 により表示部 1 0 を構成したが、これに限定されるものではなく、これに代えて、例えば、図 2 9 に示す表示部 1 0 G のように、いわゆるボトムエミッション型の発光素子 1 9 G により構成してもよい。表示部 1 0 G は、アノード 2 3 2 と、カソード 2 3 6 と、カラーフィルタ 2 3 8 とを有している。アノード 2 3 2 は、例えば、スズ酸化インジウムスズ (I T O ; Indium Tin Oxide) により構成されている。すなわち、アノード 2 3 2 は、透明または半透明なものである。このアノード 2 3 2 は、例えば数十 ~ 数百 n m の膜厚で形成されている。カソード 2 3 6 は、光を反射する性質を有するものであり、例えば、マグネシウム銀 (MgAg) により構成することができる。このカソード 2 3 6 は、例えば数十 n m ~ 数百 n m 程度の膜厚で形成されている。カラーフィルタ 2 3 8 は、絶縁層 2 0 4 の上の、開口 W I N に対応する領域に形成されている。この構成により、黄色発光層 2 1 4 から射出した黄色の光と、青色発光層 2 1 5 から射出した青色の光は、混ざり合って白色光となり、支持基板である透明基板 2 0 0 の方向に進む。そして、この白色光は、赤色 (R)、緑色 (G)、青色 (B)、白色 (W) のカラーフィルタ 2 3 8 を介して表示面より出力される。

10

【 0 1 0 1 】

[変形例 1 - 8]

上記実施の形態では、図 6 A , 6 B に示したように、発光層 2 3 0 (黄色発光層 2 1 4 および青色発光層 2 1 5) が合成光として白色の光を発し、この白色光が赤色、緑色、青色、白色のカラーフィルタ 2 1 8 を介して出力されるようにしたが、これに限定されるものではない。

20

【 0 1 0 2 】

例えば、図 3 0 A , 3 0 B に示す表示部 1 0 H のように、発光層 2 3 0 の代わりに、サブ画素 1 1 R , 1 1 G , 1 1 B , 1 1 W に対応する領域において赤色 (R)、緑色 (G)、青色 (B) および白色 (W) の光をそれぞれ発する発光層 2 3 0 H を設けてもよい。この場合、この発光層 2 3 0 H から射出した各色の光が、赤色 (R)、緑色 (G)、青色 (B) および白色 (W) のカラーフィルタ 2 1 8 を介してそれぞれ出力される。ここで、カラーフィルタ 2 1 8 は、各色の色域を調整するために設けられている。なお、画質 (色域) に対する要求がさほど高くないアプリケーションなどにおいては、このカラーフィルタ 2 1 8 を省いてもよい。

30

【 0 1 0 3 】

変形例 1 - 1 に係る表示部のように、白色 (W) のサブ画素 1 1 W の代わりに黄色 (Y) のサブ画素 1 1 Y を設けた場合には、例えば、図 3 1 A , 3 1 B のように構成することができる。この表示部 1 0 I は、発光層 2 3 0 I と、カラーフィルタ 2 1 8 I を有している。発光層 2 3 0 I は、各サブ画素 1 1 R , 1 1 G , 1 1 B , 1 1 Y に対応する領域において赤色 (R)、緑色 (G)、青色 (B) および黄色 (Y) の光をそれぞれ発するものである。カラーフィルタ 2 1 8 I は、各サブ画素 1 1 R , 1 1 G , 1 1 B , 1 1 Y に対応する領域において、赤色 (R)、緑色 (G)、青色 (B) および黄色 (Y) のカラーフィルタが配置されたものである。この表示部 1 0 I では、発光層 2 3 0 I から射出した各色の光が、各色のカラーフィルタ 2 1 8 I を介して出力される。この例においても、カラーフィルタ 2 1 8 I を省くことができる。

40

【 0 1 0 4 】

また、図 3 2 A , 3 2 B に示す表示部 1 0 J のように、サブ画素 1 1 R , 1 1 G , 1 1 Y に対応する領域において黄色 (Y) の光を発し、サブ画素 1 1 B に対応する領域において青色 (B) の光を発する発光層 2 3 0 J を設けてもよい。この場合、発光層 2 3 0 J から射出した黄色 (Y) の光は、赤色 (R)、緑色 (G)、黄色 (Y) のカラーフィルタ 2 1 8 I を通過することにより各色の成分に分離され出力される。また、発光層 2 3 0 J から射出した青色 (B) の光は、青色 (B) のカラーフィルタ 2 1 8 I を介して出力される

50

。この例では、青色（Ｂ）および黄色（Ｙ）のカラーフィルタ２１８Ｉを省くことができる。

【０１０５】

[変形例１－９]

上記実施の形態では、図２，７などに示したように、サブ画素１１の開口部ＷＩＮの形状を長方形に近い形にしたが、これに限定されるものではなく、これに代えて、例えば、図３３に示す表示部１０Ｋのように、サブ画素１４の開口部ＷＩＮの形状を円形にしてもよい。表示部１０Ｋは、赤色（Ｒ）、緑色（Ｇ）、青色（Ｂ）、および白色（Ｗ）のサブ画素１４Ｒ，１４Ｇ，１４Ｂ，１４Ｗを有している。表示部１０Ｋには、３つのサブ画素１４Ｗ，１４Ｇ，１４Ｂにより構成されるセルＣＡ（ＣＡ１，ＣＡ２）と、３つのサブ画素１４Ｗ，１４Ｇ，１４Ｒにより構成されるセルＣＢ（ＣＢ１，ＣＢ２）とが並設されている。各セルＣＡ１，ＣＡ２，ＣＢ１，ＣＢ２では、３つのサブ画素１４が互いに隣り合うように配置されている。言い換えれば、これらの３つのサブ画素１４は、それらの中心を結ぶ線が正三角形の各辺をなすように配置されている。具体的には、セルＣＡ１において、白色（Ｗ）のサブ画素１４Ｗが右上に配置され、緑色（Ｇ）のサブ画素１４Ｇが下側に配置され、青色（Ｂ）のサブ画素１４Ｂが左上に配置され、また、セルＣＡ２において、白色（Ｗ）のサブ画素１４Ｗが右下に配置され、緑色（Ｇ）のサブ画素１４Ｇが上側に配置され、青色（Ｂ）のサブ画素１４Ｂが左下に配置されている。また、セルＣＢ１において、白色（Ｗ）のサブ画素１４Ｗが右上に配置され、緑色（Ｇ）のサブ画素１４Ｇが下側に配置され、赤色（Ｒ）のサブ画素１４Ｒが左上に配置され、また、セルＣＢ２において、白色（Ｗ）のサブ画素１４Ｗが右下に配置され、緑色（Ｇ）のサブ画素１４Ｇが上側に配置され、赤色（Ｒ）のサブ画素１４Ｒは左下に配置されている。行方向（水平方向）には、セルＣＡ１，ＣＡ２が交互に配置されるとともに、セルＣＢ１，ＣＢ２が交互に配置される。また、列方向（垂直方向）には、セルＣＡ１，ＣＢ１が交互に配置されるとともに、セルＣＡ２，ＣＢ２が交互に配置される。このように、表示部１０Ｋでは、サブ画素１４がいわゆる最密充填配置になるように配置されている。このように、開口部ＷＩＮを円形にしても、上記実施の形態と同様の効果を得ることができる。なお、この例では、開口部ＷＩＮの形状を円形にしたが、これに限定されるものではなく、これに代えて、例えば楕円形にしてもよい。

【０１０６】

[変形例１－１０]

上記実施の形態等において、開口部ＷＩＮの形状、および絶縁層２１３，２１７の材料等を工夫することにより、発光層２３０から射出した光の外部への取り出し効率を高めるようにしてもよい。以下に、本変形例について詳細に説明する。なお、この例では、サブ画素の開口部ＷＩＮは円形として説明するが、これに限定されるものではなく、楕円形や、長方形に近い形などであってもよい。

【０１０７】

図３４は、本変形例に係る表示部１０Ｎの要部断面構造を示す。表示部１０Ｌは、絶縁層２１３Ｌ，２１７Ｌを有している。絶縁層２１３Ｌ，２１７Ｌは、上記実施の形態における絶縁層２１３，２１７にそれぞれ対応するものである。図３４に示したように、絶縁層２１３Ｌの端は傾斜（傾斜部分ＰＳ）している。表示部１０Ｌでは、この傾斜部分ＰＳにより、発光層２３０の開口部ＷＩＮから発した光が反射されるため、光の外部への取り出し効率を高めることができるようになっている。

【０１０８】

この表示部１０Ｌは、より詳細には、以下のように構成されている。すなわち、絶縁層２１７Ｌの屈折率を n_1 とし、絶縁層２１３Ｌの屈折率を n_2 としたとき、これらの屈折率 n_1 ， n_2 は、以下の式を満たすものである。

$$1.1 \leq n_1 \leq 1.8 \quad \cdots (4)$$

$$n_1 - n_2 \geq 0.20 \quad \cdots (5)$$

また、絶縁層２１３Ｌの高さを H とし、絶縁層２１３Ｌの開口部分の、アノード電極２１

2 側における直径を R_1 とし、絶縁層 2 1 3 L の開口部分の、表示面側の直径を R_2 とすると、高さ H 、直径 R_1 、 R_2 は、以下の式を満たすように設定されている。

$$0.5 \leq R_1 / R_2 \leq 0.8 \quad \cdots (6)$$

$$0.5 \leq H / R_1 \leq 2.0 \quad \cdots (7)$$

【0109】

図 3 5 は、表示部 1 0 L における、光線のシミュレーション結果の一例を表すものである。このように、表示部 1 0 L では、発光層 2 3 0 の開口部 $W I N$ から発した光が傾斜部分 $P S$ において反射され、表示部 1 0 L の正面に向かって射出する。すなわち、例えば、傾斜部分 $P S$ において反射しない場合には、その光は、表示部 1 0 L 内で弱められ、またはブラックマトリクス 2 1 9 により遮断され、外部に射出されないおそれがある。表示部 1 0 L では、この傾斜部分 $P S$ において光が反射するようにしたので、光の外部への取り出し効率を高めることができる。

10

【0110】

また、本変形例に係る表示部 1 0 L では、1 つのサブ画素 1 1 に 1 つの開口部 $W I N$ を設けたが、これに限定されるものではなく、これに代えて、図 3 6、3 7 に示す表示部 1 0 M のように、1 つのサブ画素 1 1 に複数の開口部 $W I N$ を設けてもよい。この場合には、各開口部 $W I N$ の傾斜部分 $P S$ を有効に用いることにより、光の外部への取り出し効率を高めることができる。

【0111】

[変形例 1 - 1 1]

20

上記実施の形態では、図 3 に示したように、各セル $C A$ 、 $C B$ 内の 3 つのサブ画素 1 1 を、互いに異なるデータ線 $D T L$ に接続したが、これに限定されるものではない。以下に、本変形例について詳細に説明する。

【0112】

図 3 8 は、本変形例に係る表示部 1 0 N の回路構成の一例を表すものである。表示部 1 0 N は、行方向に延伸する複数の走査線 $W S A L$ 、 $W S B L$ を有している。この例では、データ線 $D T L$ は、行方向（水平方向）において、2 つのサブ画素 1 1 に一本の割合で設けられている。また、これらの 2 つのサブ画素 1 1 は、一方は走査線 $W S A L$ に接続されるとともに、他方は走査線 $W S B L$ に接続されている。データ線 $D T L$ の一端は、データ線駆動部 2 7 N に接続されている。また、走査線 $W S A L$ 、 $W S B L$ の一端は、図示しない走査線駆動部 2 3 N に接続され、電源線 $P L$ の一端は、図示しない電源線駆動部 2 6 N に接続されている。走査線駆動部 2 3 N は、走査線 $W S A L$ に対して走査信号 $W S A$ を印加するとともに、走査線 $W S B L$ に対して走査信号 $W S B$ を印加する。データ線駆動部 2 7 N は、これらの 2 つのサブ画素 1 1 の画素電圧 V_{sig} 、および V_{th} 補正を行うための電圧 V_{ofs} を含む信号 Sig を生成し、各データ線 $D T L$ に印加するものである。

30

【0113】

本変形例に係る表示部 1 0 N では、各セル $C A$ 、 $C B$ につき 4.5 本の配線（2 本の走査線 $W S$ 、1 本の電源線 $P L$ 、および 1.5 本のデータ線 $D T L$ ）が必要となる。すなわち、上記実施の形態の場合（5 本）に比べてさらに少ない配線で済む。よって、消費電力を低減することができる。

40

【0114】

図 3 9 は、表示部 1 0 N におけるアノード 2 1 2 の配置を表すものである。セル $C A$ には、3 つの回路領域 1 6 W、1 6 G、1 6 B が設けられ、セル $C B$ には、3 つの回路領域 1 6 W、1 6 G、1 6 R が設けられている。この例では、セル $C A$ において、回路領域 1 6 W は左上に配置され、回路領域 1 6 G は左下に配置され、回路領域 1 6 B は右上に配置されており、アノード 2 1 2 W は左上に配置され、アノード 2 1 2 G は左下に配置され、アノード 2 1 2 B は右側に配置されている。また、セル $C B$ において、回路領域 1 6 W は右下に配置され、回路領域 1 6 G は右上に配置され、回路領域 1 6 R は左下に配置されており、アノード 2 1 2 W は右下に配置され、アノード 2 1 2 G は右上に配置され、アノード 2 1 2 R は左側に配置されている。

50

【 0 1 1 5 】

このように、本変形例に係る表示部 1 0 Nでも、アノード 2 1 2をデータ線 D T Lと重ならないように配置したので、アノード 2 1 2にノイズが伝わるおそれを低減することができ、画質を高めることができる。

【 0 1 1 6 】

次に、同じデータ線 D T Lに接続された、行方向（水平方向）に隣り合う 2つのサブ画素 1 1として、走査線 W S A Lに接続されたサブ画素 1 1 Wと、走査線 W S B Lに接続されたサブ画素 1 1 Gを例に挙げ、これらのサブ画素 1 1 W , 1 1 Gの表示動作について詳細に説明する。

【 0 1 1 7 】

図 4 0は、サブ画素 1 1 W , 1 1 Gの動作のタイミング図を表すものであり、（ A ）は走査信号 W S Aの波形を示し、（ B ）は走査信号 W S Bの波形を示し、（ C ）は電源信号 D Sの波形を示し、（ D ）は信号 S i gの波形を示し、（ E ）はサブ画素 1 1 Wにおける駆動トランジスタ D R T rのゲート電圧 V gの波形を示し、（ F ）はサブ画素 1 1 Wにおける駆動トランジスタ D R T rのソース電圧 V sの波形を示し、（ G ）はサブ画素 1 1 Gにおける駆動トランジスタ D R T rのゲート電圧 V gの波形を示し、（ H ）はサブ画素 1 1 Gにおける駆動トランジスタ D R T rのソース電圧 V sの波形を示す。図 4 0（ C ）～（ F ）では、同じ電圧軸を用いて各波形を示し、同様に、図 4 0（ G ）, （ H ）では、同じ電圧軸を用いて各波形を示している。なお、説明の便宜上、図 4 0（ G ）, （ H ）と同じ電圧軸に、電源信号 D S（図 4 0（ C ））および信号 S i g（図 4 0（ D ））の波形と同じものを示している。

【 0 1 1 8 】

本変形例に係る駆動部 2 0 Nは、上記実施の形態の場合と同様に、タイミング t 1 2 ~ t 1 3の期間（初期化期間 P 1）において、サブ画素 1 1 W , 1 1 Gを初期化し、タイミング t 1 3 ~ t 1 4の期間（V t h補正期間 P 2）において、V t h補正を行う。

【 0 1 1 9 】

次に、走査線駆動部 2 3 Nは、タイミング t 1 4において、走査信号 W S A , W S Bの電圧を高レベルから低レベルにそれぞれ変化させる（図 4 0（ A ）, （ B ））。これにより、サブ画素 1 1 W , 1 1 Gの書込トランジスタ W S T rはそれぞれオフ状態になる。これと同時に、データ線駆動部 2 7 Nは、信号 S i gを画素電圧 V s i g Wに設定する（図 4 0（ D ））。

【 0 1 2 0 】

次に、駆動部 2 0 Nは、タイミング t 1 5 ~ t 1 6の期間（書込・ μ 補正期間 P 1 3）において、サブ画素 1 1 Wに対して画素電圧 V s i g Wの書込みを行うとともに μ 補正を行う。具体的には、走査線駆動部 2 3 Nが、タイミング t 1 5において、走査信号 W S Aの電圧を低レベルから高レベルに変化させる（図 4 0（ A ））。これにより、上記実施の形態の場合と同様に、サブ画素 1 1 Wに画素電圧 V s i g Wが書込まれるとともに、 μ 補正が行われる。

【 0 1 2 1 】

次に、駆動部 2 0 Nは、タイミング t 1 6以降の期間（発光期間 P 1 4）において、サブ画素 1 1 Wを発光させる。具体的には、タイミング t 1 6において、走査線駆動部 2 3 Nは、走査信号 W S Aの電圧を高レベルから低レベルに変化させる（図 4 0（ A ））。これにより、上記実施の形態の場合と同様に、サブ画素 1 1 Wの発光素子 1 9が発光する。

【 0 1 2 2 】

次に、データ線駆動部 2 7 Nは、タイミング t 1 7において、信号 S i gを画素電圧 V s i g Gに設定する（図 4 0（ D ））。

【 0 1 2 3 】

次に、駆動部 2 0 Nは、タイミング t 1 8 ~ t 1 9の期間（書込・ μ 補正期間 P 1 5）において、サブ画素 1 1 Gに対して画素電圧 V s i g Gの書込みを行うとともに μ 補正を行う。具体的には、走査線駆動部 2 3 Nが、タイミング t 1 8において、走査信号 W S Bの電

10

20

30

40

50

圧を低レベルから高レベルに変化させる（図40（B））。これにより、上記実施の形態の場合と同様に、サブ画素11Gに画素電圧 V_{sigG} が書込まれるとともに、 μ 補正が行われる。

【0124】

次に、駆動部20Nは、タイミング t_{19} 以降の期間（発光期間 P_{16} ）において、サブ画素11Gを発光させる。具体的には、タイミング t_{19} において、走査線駆動部23Nは、走査信号 W_{SB} の電圧を高レベルから低レベルに変化させる（図40（B））。これにより、上記実施の形態の場合と同様に、サブ画素11Gの発光素子19が発光する。

【0125】

[変形例1-12]

以上、第1の実施の形態およびその変形例について説明したが、これらのうちの2以上を組み合わせてもよい。

【0126】

<2. 第2の実施の形態>

次に、第2の実施の形態に係る表示装置2について説明する。本実施の形態は、データ線DTLの波形が、上記第1の実施の形態に係る表示装置1の場合と異なるものである。上記第1の実施の形態に係る表示装置1と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

【0127】

表示装置2は、図1に示したように、表示部40と、駆動部50とを備えている。表示部40には、図2、3に示したように、3つのサブ画素11W、11G、11Bにより構成されるセルCAと、3つのサブ画素11W、11G、11Rにより構成されるセルCBが並設されている。

【0128】

図41は、セルCAにおけるアノード212の配置を表すものである。セルCAには、3つの回路領域15W、15G、15Bと、3つのアノード312W、312G、312Bが設けられている。この例では、セルCAにおいて、1本のデータ線DTL、回路領域15W、1本のデータ線DTL、回路領域15G、1本のデータ線DTL、および回路領域15Bが、左から右へこの順に配置されている。また、セルCAにおいて、アノード312Wは左上に配置され、アノード312Gは左下に配置され、アノード312Bは右側に配置されている。アノード312W、312Gは、3本のデータ線DTLと重なるように配置され、アノード312Bは、データ線DTLと重ならないように配置されている。すなわち、上記第1の実施の形態に係る表示部10では、3つのアノード212W、212G、212Bを、データ線DTLと重ならないように配置したが、本実施の形態に係る表示部40では、3つのアノード312W、312G、312Bのうちの2つ（アノード312W、312G）を、3本のデータ線DTLと重なるように配置している。

【0129】

以上、セルCAについて説明したが、セルCBについても同様である。すなわち、セルCBには、3つの回路領域15W、15G、15Rと、3つのアノード312W、312G、312Rが設けられている。セルCBにおいて、1本のデータ線DTL、回路領域15W、1本のデータ線DTL、回路領域15G、1本のデータ線DTL、および回路領域15Rが、左から右へこの順に配置されている。また、セルCBにおいて、アノード312Wは左上に配置され、アノード312Gは左下に配置され、アノード312Rは右側に配置されている。アノード312W、312Gは、3本のデータ線DTLと重なるように配置され、アノード312Rは、データ線DTLと重ならないように配置されている。

【0130】

駆動部50は、データ線駆動部57を有している。データ線駆動部57は、映像信号処理部30から供給された映像信号 S_{disp2} およびタイミング生成部22から供給された制御信号に従って、各サブ画素11の発光輝度を指示する画素電圧 V_{sig} からなる信号 S_{sig} を生成し、各データ線DTLに印加するものである。

10

20

30

40

50

【0131】

図42は、データ線駆動部57が生成する信号Sigの一例を表すものである。信号Sigは、同じデータ線DTLに接続された複数のサブ画素11に供給する複数の画素電圧Vsigが連なるものである。この画素電圧Vsigは、1水平期間ごとに切り換えられるようになっている。すなわち、上記第1の実施の形態では、図10に示したように、画素電圧Vsigと電圧Vofsとを交互に配置して信号Sigを構成したが、本実施の形態では、電圧Vofsを含まずに信号Sigを構成している。

【0132】

(詳細動作について)

図43は、表示装置2における表示動作のタイミング図を表すものである。この図は、着目した1つのサブ画素11に対する表示駆動の動作例を表すものである。図43において、(A)は走査信号WSの波形を示し、(B)は電源信号DSの波形を示し、(C)は信号Sigの波形を示し、(D)は駆動トランジスタDRTのゲート電圧Vgの波形を示し、(E)は駆動トランジスタDRTのソース電圧Vsの波形を示す。図43(B)~(E)では、同じ電圧軸を用いて各波形を示している。

10

【0133】

駆動部50は、1水平期間(1H)内において、サブ画素11に対して画素電圧Vsigの書込みを行うとともにサブ画素11の初期化を行い(書込期間P21)、駆動トランジスタDRTの素子ばらつきが画質に与える影響を抑えるためのIds補正を行う(Ids補正期間P22)。そして、その後に、サブ画素11の発光素子19が、書き込まれた画素電圧Vsigに応じた輝度で発光する(発光期間P23)。以下に、その詳細を説明する。

20

【0134】

まず、駆動部50は、タイミングt21~t22の期間(書込期間P21)において、サブ画素11に対して画素電圧Vsigの書込みを行うとともに、サブ画素11の初期化を行う。具体的には、まず、タイミングt21において、データ線駆動部57が、信号Sigを画素電圧Vsigに設定し(図43(C))、走査線駆動部23が、走査信号WSの電圧を低レベルから高レベルに変化させる(図43(A))。これにより、書込トランジスタWSTrがオン状態になり、駆動トランジスタDRTのゲート電圧Vgが画素電圧Vsigに設定される(図43(D))。また、これと同時に、電源線駆動部26が、電源信号DSを電圧Vccpから電圧Viniに変化させる(図43(B))。これにより、駆動トランジスタDRTがオン状態になり、駆動トランジスタDRTのソース電圧Vsが電圧Viniに設定される(図43(E))。これにより、駆動トランジスタDRTのゲート・ソース間電圧Vgs(=Vsig-Vini)は、駆動トランジスタDRTの閾値電圧Vthよりも大きい電圧に設定され、サブ画素11が初期化される。

30

【0135】

次に、駆動部50は、タイミングt22~t23の期間(Ids補正期間P22)において、サブ画素11に対してIds補正を行う。具体的には、タイミングt22において、電源線駆動部26が、電源信号DSを電圧Viniから電圧Vccpに変化させる(図43(B))。これにより、駆動トランジスタDRTは飽和領域で動作するようになり、ドレインからソースに電流Idsが流れ、ソース電圧Vsが上昇する(図43(E))。その際、この例では、ソース電圧Vsは発光素子19のカソードの電圧Vcathよりも低いため、発光素子19は逆バイアス状態を維持し、発光素子19には電流は流れない。このようにソース電圧Vsが上昇することにより、ゲート・ソース間電圧Vgsが低下するため、電流Idsは低下する。この負帰還動作により、ソース電圧Vsは、時間が経つにつれ、よりゆっくりと上昇するようになる。このIds補正を行う時間の長さ(タイミングt22~t23)は、後述するように、タイミングt23における電流Idsのばらつきを抑えるために定められている。

40

【0136】

次に、駆動部50は、タイミングt23以降の期間(発光期間P23)において、サブ画素11を発光させる。具体的には、タイミングt23において、走査線駆動部23は、

50

走査信号 WS の電圧を高レベルから低レベルに変化させる(図43(A))。これにより、書込トランジスタ $WSTr$ がオフ状態になり、駆動トランジスタ $DRTr$ のゲートがフローティングとなるため、これ以後、容量素子 Cs の端子間電圧、すなわち、駆動トランジスタ $DRTr$ のゲート・ソース間電圧 V_{gs} は維持される。そして、駆動トランジスタ $DRTr$ に電流 I_{ds} が流れるにつれ、駆動トランジスタ $DRTr$ のソース電圧 V_s が上昇し(図43(E))、これに伴って駆動トランジスタ $DRTr$ のゲート電圧 V_g も上昇する(図43(D))。そして、駆動トランジスタ $DRTr$ のソース電圧 V_s が、発光素子19の閾値電圧 V_{el} と電圧 V_{cath} の和($V_{el} + V_{cath}$)よりも大きくなると、発光素子19のアノード・カソード間に電流が流れ、発光素子19が発光する。すなわち、発光素子19の素子ばらつきに応じた分だけソース電圧 V_s が上昇し、発光素子19が発光する。

10

【0137】

その後、表示装置2では、所定の期間(1フレーム期間)が経過したのち、発光期間 P_{23} から書込期間 P_{21} に移行する。駆動部50は、この一連の動作を繰り返すように駆動する。

【0138】

(I_{ds} 補正について)

上述したように、 I_{ds} 補正期間 P_{22} では、駆動トランジスタ $DRTr$ のドレインからソースに電流 I_{ds} が流れ、ソース電圧 V_s が上昇し、ゲート・ソース間電圧 V_{gs} が徐々に低下する。これにより、駆動トランジスタ $DRTr$ のドレインからソースに流れる電流 I_{ds} も徐々に低下する。

20

【0139】

図44は、ある画素電圧 V_{sig} を与えたときの電流 I_{ds} の時間変化を表すものである。この図44は、互いに異なる複数のプロセス条件でトランジスタを製造した場合を想定したシミュレーション結果を示している。図44に示したように、電流 I_{ds} は、時間が経過するとともに徐々に低下する。その際、電流 I_{ds} の時間変化は、プロセス条件に依存して互いに異なったものとなる。具体的には、例えば、電流値 I_{ds} が大きい場合(移動度 μ が高く閾値 V_{th} が低い場合)にはより早く低下し、電流値 I_{ds} が小さい場合(移動度 μ が低く閾値 V_{th} が高い場合)にはより遅く低下する。

【0140】

図45は、図44に示した電流 I_{ds} のばらつきの時間依存性を表すものである。特性 W_1 は、標準偏差を平均値で割ったもの($/ave.$)を示し、特性 W_2 は、ばらつき幅を平均値で割ったもの($Range/ave.$)を示す。このように、電流 I_{ds} のばらつきは、ある時間 t (例えば特性 W_2 では時間 t_w)において極小値をとる。つまり、 I_{ds} 補正を時間 t_w の長さで行うと、電流 I_{ds} のばらつき幅を最も小さくすることができる。

30

【0141】

表示装置2では、このように、 I_{ds} 補正期間 P_{22} の長さ(図43におけるタイミング $t_{22} \sim t_{23}$)を、電流 I_{ds} のばらつきが小さくなる長さ(例えば時間 t_w)に設定している。これにより、タイミング t_{23} における電流 I_{ds} のばらつきを抑えることができるため、画質の低下を抑えることができる。

【0142】

(画質について)

表示装置2では、図41に示したように、アノード $312W$ 、 $312G$ を、3本のデータ線 DTL と重なるように配置し、アノード $312R$ を、データ線 DTL と重ならないように配置している。これにより、以下に示すように、画質を高めることができる。

40

【0143】

すなわち、アノード $312W$ 、 $312G$ を3本のデータ線 DTL と重なるように配置することにより、アノード $312W$ 、 $312G$ の面積を広くすることができ、開口部 WIN を広くすることができる。このように開口部 WIN を広くした場合には、開口部 WIN が狭い場合に比べて、同じ発光輝度を実現するための、発光層230における電流密度を低くすることができる。よって、表示装置2では、発光層230の経時劣化(いわゆる焼き

50

付き)を抑えることができ、画質を高めることができる。

【0144】

その際、アノード312W, 312Gが3本のデータ線DTLと重なっているため、これらの3本のデータ線DTLにおける信号Sigが、カップリングにより、アノード312W, 312Gにノイズとして伝わってしまうおそれがある。しかしながら、アノード312W, 312Gに生ずるノイズは、3つの信号Sigからのノイズの和になるため、互いに打ち消し合うことにより、画質への影響を低減することができる。すなわち、図42に示したように、信号Sigは、上記第1の実施の形態の場合と異なり電圧Vofsを含まず、複数の画素電圧Vsigが連なるものであるため、1水平期間(1H)ごとの遷移タイミングttでは、電圧が上昇する方向の遷移(立ち上がり遷移)と、電圧が下降する方向の遷移(立ち下がり遷移)のいずれも生じうる。よって、ある遷移タイミングttにおける3つの信号Sigに、立ち上がり遷移と立ち下がり遷移の両方が生ずる場合には、アノード312W, 312Gに生ずるノイズが互いに打ち消し合うため、ノイズを抑えることができ、画質を高めることができる。

10

【0145】

以上のように本実施の形態では、アノードを複数の信号線と重ねて配置するとともに、複数の画素電圧を連ねて信号Sigを構成したので、画質を高めることができる。その他の効果は、上記第1の実施の形態の場合と同様である。

【0146】

[変形例2-1]

20

上記実施の形態では、走査信号WSの立ち下がり部分の電圧が短時間で変化するものとしたが、これに限定されるものではなく、これに代えて、例えば、この立ち下がり部分の電圧が徐々に下がるようにしてもよい。以下に、本変形例について、詳細に説明する。

【0147】

図46は、本変形例に係る表示装置2Aにおける表示動作のタイミング図を表すものであり、(A)は走査信号WSの波形を示し、(B)は電源信号DSの波形を示し、(C)は信号Sigの波形を示し、(D)は駆動トランジスタDRT rのゲート電圧Vgの波形を示し、(E)は駆動トランジスタDRT rのソース電圧Vsの波形を示す。

【0148】

まず、本変形例に係る駆動部50Aは、タイミングt21~t22の期間(書込期間P21)において、上記第2の実施の形態の場合と同様に、サブ画素11に対して画素電圧Vsigの書込みを行うとともに、サブ画素11を初期化する。

30

【0149】

次に、駆動部50Aは、タイミングt22~t29の期間(I ds補正期間P22)において、上記第2の実施の形態に係る表示部40と同様に、サブ画素11に対してI ds補正を行う。その際、本変形例に係る走査線駆動部23Aは、波形の立ち下がり部分の電圧が徐々に下がる走査信号WSを生成する(図46(A))。これにより、画素電圧Vsigのレベルにより、I ds補正期間P22の時間の長さ(タイミングt22~t29)が異なるように動作する。

【0150】

40

図47は、I ds補正動作のタイミング図を表すものであり、(A)は走査信号WSの波形を示し、(B)は電源信号DSの波形を示す。書込トランジスタWST rは、走査信号WSの電圧が、(画素電圧Vsig+閾値電圧Vth)よりも高い場合にはオン状態になり、(画素電圧Vsig+閾値電圧Vth)よりも低い場合にはオフ状態になる。走査信号WSは、立ち下がりの際、図47(A)に示したように、電圧が徐々に低下する。よって、この書込トランジスタWST rがオン状態からオフ状態に変化するタイミングt29は、画素電圧Vsigのレベルに依存する。すなわち、I ds補正期間P22の時間の長さは、画素電圧Vsigのレベルに依存する。具体的には、I ds補正期間P22の時間は、画素電圧Vsigのレベルが高いほど短く、画素電圧Vsigのレベルが低いほど長くなる。

【0151】

50

そして、 I_{ds} 補正が終了した後、駆動部 50A は、タイミング t_{29} 以降の期間（発光期間 P_{23} ）において、上記第 2 の実施の形態の場合と同様に、サブ画素 11 を発光させる。

【0152】

このように、表示装置 2A では、走査信号 WS の波形の立ち下がり部分の電圧が徐々に下がるようにしている。これにより、以下に示すように、画質を高めることができる。

【0153】

図 44, 45 に示したように、電流 I_{ds} のばらつきは、ある時間 t （例えば特性 W_2 では時間 t_w ）において極小値をとる。この電流 I_{ds} のばらつきが極小値になる時間は、画素電圧 V_{sig} に応じて変化する。

【0154】

図 48 は、電流 I_{ds} のばらつきが極小値になる時間と、画素電圧 V_{sig} との関係を表すものである。このように、電流 I_{ds} のばらつきが極小値になる時間は、画素電圧 V_{sig} の電圧が高いほど短くなり、画素電圧 V_{sig} の電圧が低いほど長くなる。すなわち、 I_{ds} 補正期間 P_{22} の時間を、画素電圧 V_{sig} の電圧が高いほど短くし、画素電圧 V_{sig} の電圧が低いほど長くすれば、画素電圧 V_{sig} によらず、タイミング t_{29} における電流 I_{ds} のばらつきを抑えることができる。

【0155】

表示装置 2A では、このように画素電圧 V_{sig} によって I_{ds} 補正期間 P_{22} の時間の長さを変化させるために、走査信号 WS の立ち下がり部分の電圧を徐々に下げるようにしている。具体的には、図 48 に示した特性を実現できるように、走査信号 WS の立ち下がり部分の波形を生成している。これにより、画素電圧 V_{sig} の電圧によらず、電流 I_{ds} のばらつきを抑えることができ、画質の低下を抑えることができる。

【0156】

なお、このような走査信号 WS の波形を生成する方法については、例えば、特開 2008-9198 に記載がある。

【0157】

[変形例 2 - 2]

上記実施の形態では、 I_{ds} 補正を行うようにしたが、これに限定されるものではなく、これに代えて、この I_{ds} 補正を行わないようにしてもよい。以下に、本変形例について詳細に説明する。

【0158】

図 49 は、本変形例に係る表示装置 2B における表示動作のタイミング図を表すものであり、(A) は走査信号 WS の波形を示し、(B) は信号 Sig の波形を示し、(C) は駆動トランジスタ $DRTr$ のゲート電圧 V_g の波形を示し、(D) は駆動トランジスタ $DRTr$ のソース電圧 V_s の波形を示す。

【0159】

本変形例に係る駆動部 50B は、タイミング $t_{31} \sim t_{32}$ の期間（書込期間 P_{31} ）において、サブ画素 11 に対する画素電圧 V_{sig} の書込みを行う。具体的には、まず、データ線駆動部 57 が、タイミング t_{31} において、信号 Sig を画素電圧 V_{sig} に設定し（図 49 (B)）、走査線駆動部 23 が、走査信号 WS の電圧を低レベルから高レベルに変化させる（図 49 (A)）。これにより、書込トランジスタ $WSTr$ がオン状態になり、駆動トランジスタ $DRTr$ のゲート電圧 V_g が電圧 V_{sig} に設定される（図 49 (C)）。そして、駆動トランジスタ $DRTr$ の電流 I_{ds} が発光素子 19 に流れて、ソース電圧 V_s が定まる（図 49 (D)）。このようにして、発光素子 19 は、タイミング t_{31} 以降の期間（発光期間 P_{32} ）において発光する。

【0160】

この場合でも、複数の画素電圧を連ねて信号 Sig を構成することができるため、上記第 2 の実施の形態の場合と同様に、画質を高めることができる。

【0161】

10

20

30

40

50

[変形例 2 - 3]

上記実施の形態では、アノード 3 1 2 W, 3 1 2 G を 3 本のデータ線 D T L と重なるように配置したが、これに限定されるものではなく、これに代えて、例えば、上記第 1 の実施の形態の場合 (図 7) と同様に、各アノード 2 1 2 をデータ線 D T L と重ならないように配置してもよいし、上記第 1 の実施の形態の変形例 1 - 5 の場合 (図 2 3) と同様に、各アノード 2 1 2 を 1 本のデータ線 D T L と重なるように配置してもよい。

【 0 1 6 2 】

[変形例 2 - 4]

以上、第 2 の実施の形態およびその変形例について説明したが、これらのうちの 2 以上を組み合わせてもよい。また、これらに、上記第 1 の実施の形態の変形例のうちの 1 以上を組み合わせてもよい。

【 0 1 6 3 】

< 3 . 適用例 >

次に、上記実施の形態および変形例で説明した表示装置の適用例について説明する。

【 0 1 6 4 】

図 5 0 は、上記実施の形態等の表示装置が適用されるテレビジョン装置の外観を表すものである。このテレビジョン装置は、例えば、フロントパネル 5 1 1 およびフィルターガラス 5 1 2 を含む映像表示画面部 5 1 0 を有している。このテレビジョン装置は、上記実施の形態等に係る表示装置により構成されている。

【 0 1 6 5 】

上記実施の形態等の表示装置は、このようなテレビジョン装置の他、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、携帯型ゲーム機、あるいはビデオカメラなどのあらゆる分野の電子機器に適用することが可能である。言い換えると、上記実施の形態等の表示装置は、映像を表示するあらゆる分野の電子機器に適用することが可能である。

【 0 1 6 6 】

以上、いくつかの実施の形態および変形例、ならびに電子機器への適用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

【 0 1 6 7 】

例えば、上記実施の形態等では、書込トランジスタ W S T r および駆動トランジスタ D R T r を N M O S で構成したが、これに限定されるものではなく、これに代えて、これらのトランジスタのうち的一方または双方を P M O S で構成してもよい。

【 0 1 6 8 】

また、例えば、上記実施の形態等では、サブ画素をいわゆる「 2 T r 1 C 」の構成にしたが、これに限定されるものではなく、その他の素子を追加して構成してもよい。具体的には、例えば、図 5 1 に示すサブ画素 1 7 のように、発光素子 1 9 と並列接続された容量素子 C sub を設け、いわゆる「 2 T r 2 C 」の構成にしてもよい。また、例えば、図 5 2 に示すサブ画素 1 8 のように、駆動トランジスタ D R T r への電源信号 D S の供給を制御する電源トランジスタ D S T r を設け、いわゆる「 3 T r 1 C 」の構成にしてもよい。

【 0 1 6 9 】

また、例えば、上記各実施の形態では、表示装置は、有機 E L 表示素子を有するものとしたが、これに限定されるものではなく、電流駆動型の表示素子を有するものであれば、どのような表示装置であってもよい。

【 0 1 7 0 】

なお、本技術は以下のような構成とすることができる。

【 0 1 7 1 】

(1) 第 1 の基本色光を発する第 1 の画素と、第 2 の基本色光を発する第 2 の画素と、基本色光以外の一の色光を発する非基本色画素との組み合わせから構成される第 1 の画素セットと、

10

20

30

40

50

前記第 1 の基本色光を発する第 1 の画素と、第 3 の基本色光を発する第 3 の画素と、前記一の色光を発する非基本色画素との組み合わせから構成される第 2 の画素セットとを備え、

前記第 1 の画素セットおよび前記第 2 の画素セットは、第 1 の方向および前記第 1 の方向と交差する第 2 の方向のいずれか一方または双方において、交互に配置されている表示装置。

【 0 1 7 2 】

(2) 前記第 1 の方向に延伸する複数の信号線をさらに備え、

前記第 1 の画素、前記第 2 の画素、前記第 3 の画素、および前記非基本色画素は、それぞれ、画素電極を含む発光素子を有し、

前記第 1 の画素の画素電極は、前記複数の信号線のうちの、その第 1 の画素が属する画素セットの配置領域内に配置された所定数の信号線のいずれとも重なるように配置され、

前記非基本色画素の画素電極は、前記複数の信号線のうちの、その非基本色画素が属する画素セットの配置領域内に配置された所定数の信号線のいずれとも重なるように配置されている

前記 (1) に記載の表示装置。

【 0 1 7 3 】

(3) 前記第 2 の画素の画素電極および前記第 3 の画素の画素電極は、前記複数の信号線のいずれとも重ならないように配置されている

前記 (2) に記載の表示装置。

【 0 1 7 4 】

(4) 前記第 1 の方向に延伸する複数の信号線をさらに備え、

前記第 1 の画素、前記第 2 の画素、前記第 3 の画素、および前記非基本色画素は、それぞれ、前記複数の信号線のうちの 1 本と重なるように配置された画素電極を含む発光素子を有する

前記 (1) に記載の表示装置。

【 0 1 7 5 】

(5) 前記第 1 の方向に延伸する複数の信号線をさらに備え、

前記第 1 の画素、前記第 2 の画素、前記第 3 の画素、および前記非基本色画素は、それぞれ、前記複数の信号線のいずれとも重ならないように配置された画素電極を含む発光素子を有する

前記 (1) に記載の表示装置。

【 0 1 7 6 】

(6) 前記信号線に画素信号を印加する駆動部をさらに備え、

前記画素信号では、各画素の輝度を画定する輝度信号部分が時間軸上で連なっている

前記 (2) から (5) のいずれかに記載の表示装置。

【 0 1 7 7 】

(7) 前記信号線に画素信号を印加する駆動部をさらに備え、

前記画素信号は、直流信号部分と、各画素の輝度を画定する輝度信号部分とを含み、

前記輝度信号部分と前記直流信号部分とが時間軸上で交互に配置されている

前記 (4) または (5) に記載の表示装置。

【 0 1 7 8 】

(8) 前記第 2 の基本色光に対応する第 1 の輝度情報マップに対してフィルタ処理を行うとともに、前記第 3 の基本色光に対応する第 2 の輝度情報マップに対してフィルタ処理を行うフィルタ部と、

フィルタ処理された第 1 の輝度情報マップから、前記第 1 の画素セットに対応する位置の第 1 の輝度情報を抽出するとともに、フィルタ処理された第 2 の輝度情報マップから、前記第 2 の画素セットに対応する位置の第 2 の輝度情報を抽出する輝度情報抽出部とをさらに備え、

前記駆動部は、前記第 1 の輝度情報に基づいて前記第 2 の画素に対応する前記輝度信号

10

20

30

40

50

部分を生成するとともに、前記第 2 の輝度情報に基づいて前記第 3 の画素に対応する前記輝度信号部分を生成する

前記 (6) または (7) に記載の表示装置。

【 0 1 7 9 】

(9) 前記第 1 の方向に延伸する複数の信号線をさらに備え、

前記第 1 の画素セットが、第 1 の画素セル内に配置され、

前記第 2 の画素セットが、第 2 の画素セル内に配置され、

前記第 1 の画素セルにおいて、前記第 1 の画素および前記非基本色画素は、前記第 1 の方向に配列されるとともに、前記第 2 の画素と前記第 2 の方向において配列され、

前記第 2 の画素セルにおいて、前記第 1 の画素および前記非基本色画素は、前記第 1 の方向に配列されるとともに、前記第 3 の画素と前記第 2 の方向において配列されている

前記 (1) から (8) のいずれかに記載の表示装置。

【 0 1 8 0 】

(1 0) 前記第 1 の方向に延伸する複数の信号線をさらに備え、

前記第 1 の画素セットが、第 1 の画素セル内に配置され、

前記第 2 の画素セットが、第 2 の画素セル内に配置され、

前記第 1 の画素セルにおいて、前記第 1 の画素、前記第 2 の画素、および前記非基本色画素は、前記第 2 の方向に配列され、

前記第 2 の画素セルにおいて、前記第 1 の画素、前記第 3 の画素、および前記非基本色画素は、前記第 2 の方向に配列されている

前記 (1) から (8) のいずれかに記載の表示装置。

【 0 1 8 1 】

(1 1) 前記第 1 の方向に延伸する複数の信号線をさらに備え、

前記第 1 の画素セットが、第 1 の画素セル内に配置され、

前記第 2 の画素セットが、第 2 の画素セル内に配置され、

前記第 1 の画素、前記第 2 の画素、前記第 3 の画素、および前記非基本色画素の開口部は円形または楕円形であり、

前記第 1 の画素セルにおいて、前記第 1 の画素、前記第 2 の画素、および前記非基本色画素は、互いに隣り合うように配置されるとともに、そのうちの 2 つは、前記第 2 の方向に配列され、

前記第 2 の画素セルにおいて、前記第 1 の画素、前記第 3 の画素、および前記非基本色画素は、互いに隣り合うように配置されるとともに、そのうちの 2 つは、前記第 2 の方向に配列されている

前記 (1) から (8) のいずれかに記載の表示装置。

【 0 1 8 2 】

(1 2) 前記第 1 の画素セットは、複数の第 1 の画素セル内に、互いに異なる配置パターンとなるように配置され、

前記第 2 の画素セットは、複数の第 2 の画素セル内に、互いに異なる配置パターンとなるように配置されている

前記 (9) から (1 1) のいずれかに記載の表示装置。

【 0 1 8 3 】

(1 3) 前記第 2 の画素における開口領域、および前記第 3 の画素における開口領域は、前記第 1 の画素における開口領域、および前記非基本色画素における開口領域のいずれよりも大きい

前記 (1) から (1 2) のいずれかに記載の表示装置。

【 0 1 8 4 】

(1 4) 前記第 1 の画素における開口領域は、前記非基本色画素の開口領域以上の大きさである

前記 (1 3) に記載の表示装置。

【 0 1 8 5 】

(1 5) 前記第 1 の基本色光は緑色光であり、
 前記第 2 の基本色光は青色光であり、
 前記第 3 の基本色光は赤色光である
 前記 (1) から (1 4) のいずれかに記載の表示装置。

【 0 1 8 6 】

(1 6) 前記第 1 の画素、前記第 2 の画素、前記第 3 の画素、および前記非基本色画素は、それぞれ、
 容量素子と、
 ドレインと、前記容量素子の一端に接続されたゲートと、前記容量素子の他端に接続されたソースとを含むトランジスタと
 を有する
 前記 (1) から (1 5) のいずれかに記載の表示装置。

10

【 0 1 8 7 】

(1 7) 表示装置と
 前記表示装置に対して動作制御を行う制御部と
 を備え、
 前記表示装置は、
 第 1 の基本色光を発する第 1 の画素と、第 2 の基本色光を発する第 2 の画素と、基本色光以外の一の色光を発する非基本色画素との組み合わせから構成される第 1 の画素セットと、
 前記第 1 の基本色光を発する第 1 の画素と、第 3 の基本色光を発する第 3 の画素と、前記一の色光を発する非基本色画素との組み合わせから構成される第 2 の画素セットと
 を備え、
 前記第 1 の画素セットおよび前記第 2 の画素セットは、第 1 の方向および前記第 1 の方向と交差する第 2 の方向のいずれか一方または双方において、交互に配置されている
 電子機器。

20

【符号の説明】

【 0 1 8 8 】

1 , 2 ... 表示装置、 1 0 , 1 0 B ~ 1 0 M , 4 0 ... 表示部、 1 1 , 1 1 R , 1 1 G , 1 1 B , 1 1 W , 1 4 R , 1 4 G , 1 4 B , 1 4 W , 1 7 , 1 8 ... サブ画素、 1 5 , 1 5 R , 1 5 G , 1 5 B , 1 5 W , 1 6 , 1 6 R , 1 6 G , 1 6 B , 1 6 W ... 回路領域、 1 9 ... 発光素子、 2 0 , 5 0 ... 駆動部、 2 2 ... タイミング生成部、 2 3 ... 走査線駆動部、 2 6 ... 電源線駆動部、 2 7 , 2 7 N , 5 7 ... データ線駆動部、 3 0 ... 映像信号処理部、 3 1 ... リニアガンマ変換部、 3 2 ... R G B W 変換部、 3 3 R , 3 3 B ... フィルタ処理部、 3 4 R , 3 4 B ... 輝度情報抽出部、 3 5 ... 信号処理部、 3 6 ... パネルガンマ変換部、 2 0 1 ... ゲート、 2 0 2 ... 絶縁層、 2 0 3 ... ポリシリコン、 2 0 4 ... 絶縁層、 2 0 5 ... コンタクト / 配線、 2 1 1 ... 絶縁層、 2 1 2 , 2 1 2 R , 2 1 2 G , 2 1 2 B , 2 1 2 W , 2 3 2 , 3 1 2 , 3 1 2 R , 3 1 2 G , 3 1 2 B , 3 1 2 W ... アノード、 2 1 3 , 2 1 3 L , 2 2 1 ... 絶縁層、 2 1 4 ... 黄色発光層、 2 1 5 ... 青色発光層、 2 1 6 , 2 3 6 ... カソード、 2 1 7 , 2 1 7 L ... 絶縁層、 2 1 8 , 2 1 8 I , 2 3 8 ... カラーフィルタ、 2 1 9 ... ブラックマトリクス、 2 2 0 ... 透明基板、 2 3 0 , 2 3 0 H , 2 3 0 I , 2 3 0 J ... 発光層、 C A , C A 1 , C A 2 , C B , C B 1 , C B 2 ... セル、 C s , C sub ... 容量素子、 D R T r ... 駆動トランジスタ、 D S ... 電源信号、 D S T r ... 電源トランジスタ、 D T L ... データ線、 H ... 高さ、 M A P R , M A P B ... マップ、 P L ... 電源線、 P 1 ... 初期化期間、 P 2 ... V th 補正期間、 P 3 , P 1 3 , P 1 5 ... 書込・ μ 補正期間、 P 4 , P 1 4 , P 1 6 ... 発光期間、 P 2 1 ... 書込期間、 P 2 2 ... I ds 補正期間、 P 2 3 ... 発光期間、 P 3 1 ... 書込期間、 P 3 2 ... 発光期間、 R 1 , R 2 ... 直径、 S disp , S disp 2 ... 映像信号、 S ig ... 信号、 S sync ... 同期信号、 S 3 1 , S 3 4 , S 3 5 ... 映像信号、 S R 3 2 , S G 3 2 , S B 3 2 , S W 3 2 , S R 3 3 , S B 3 3 , S R 3 4 , S B 3 4 ... 信号、 V cath , V ccp , V ini , V ofs ... 電圧、 V sig ... 画素電圧、 W I N ... 開口部、 W S , W S A , W S B ... 走査信号、 W S L ,

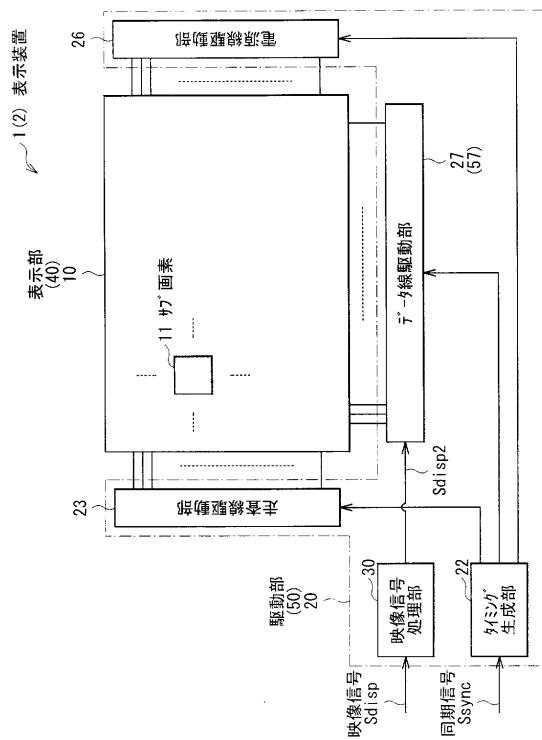
30

40

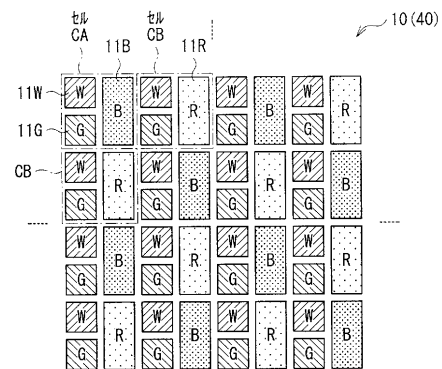
50

W S A L , W S B L ...走査線、W S T r ...書込トランジスタ。

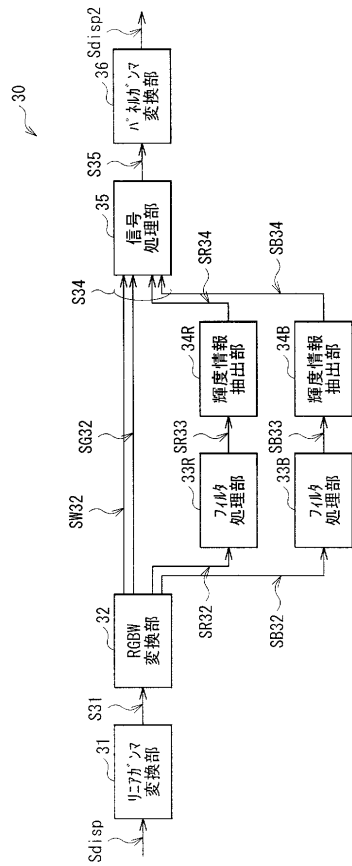
【図 1】



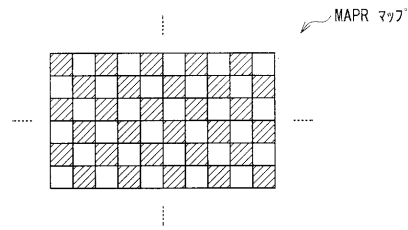
【図 2】



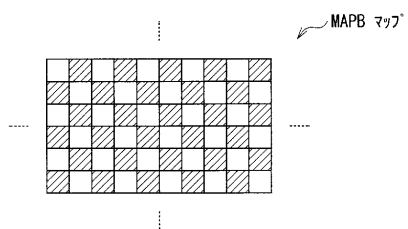
【図 8】



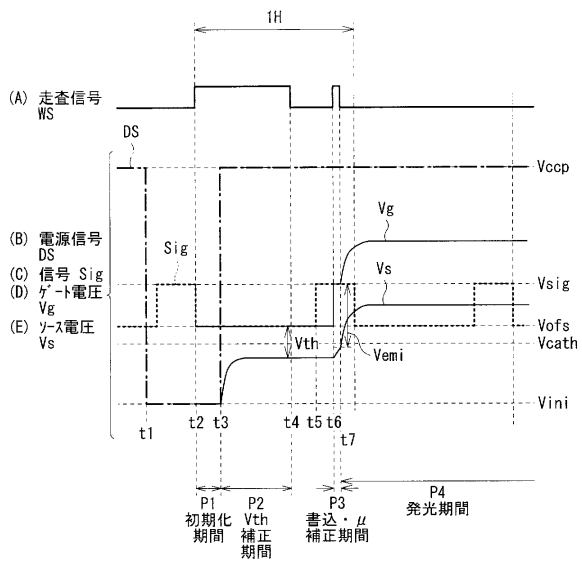
【図 9 A】



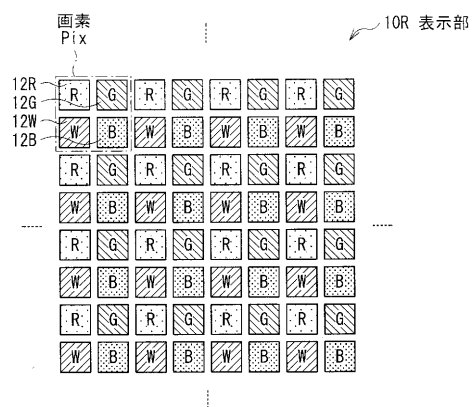
【図 9 B】



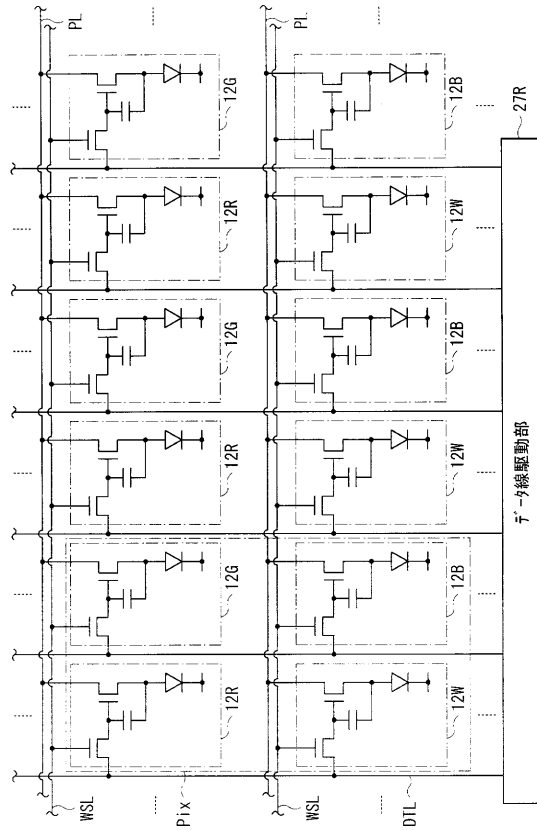
【図 10】



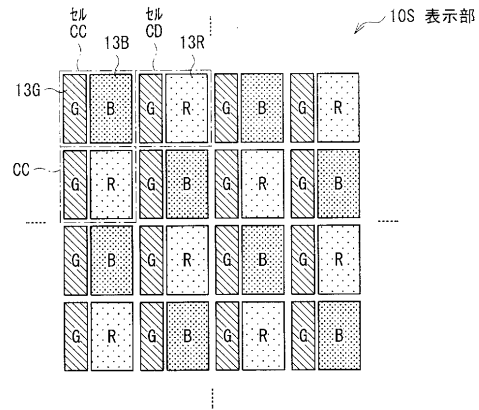
【図 11】



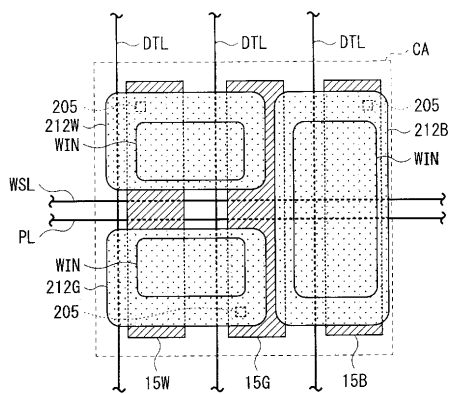
【図 12】



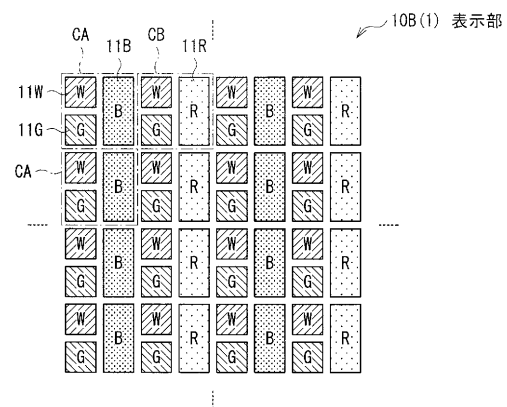
【図 13】



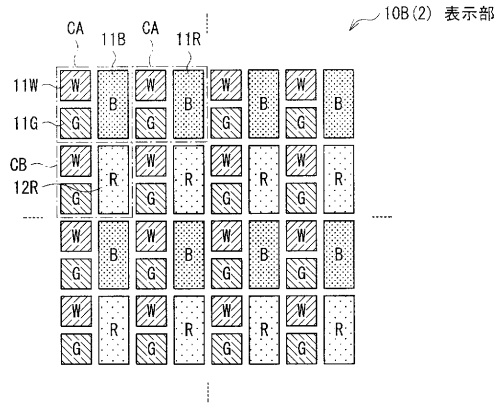
【図 14】



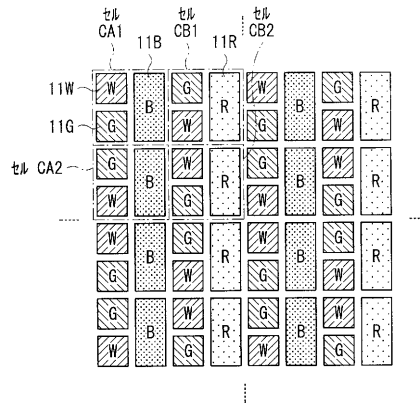
【図 15】



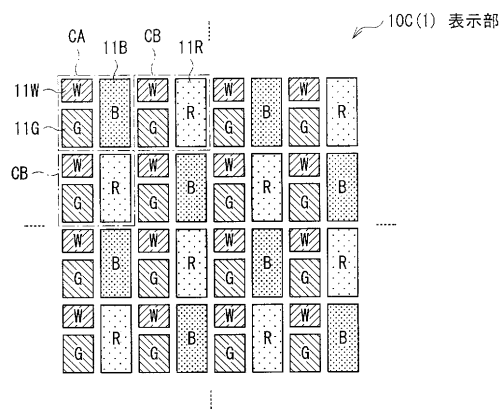
【図 16】



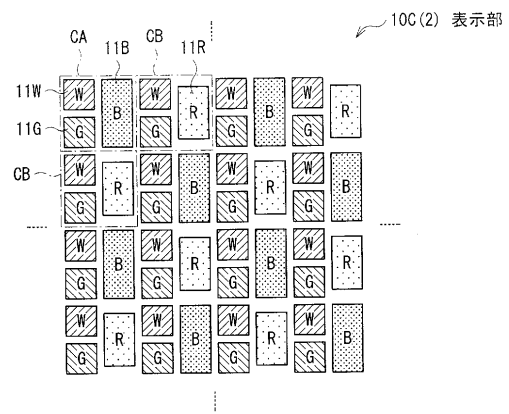
【図 17】



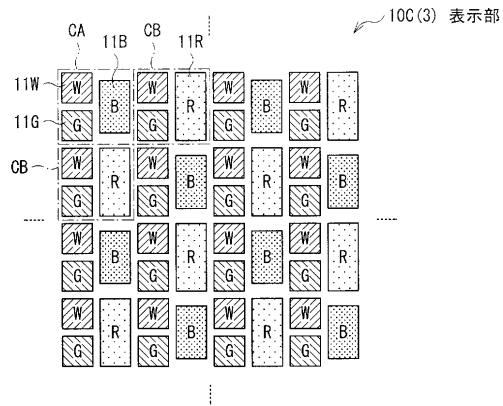
【図 18】



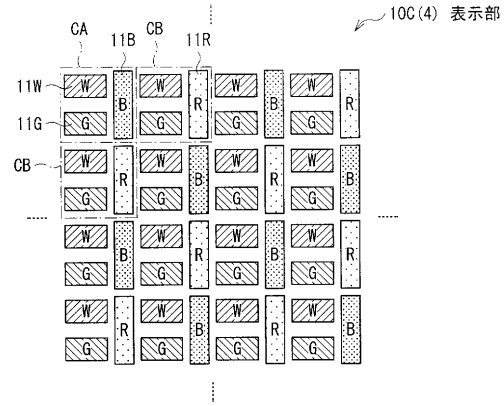
【図 19】



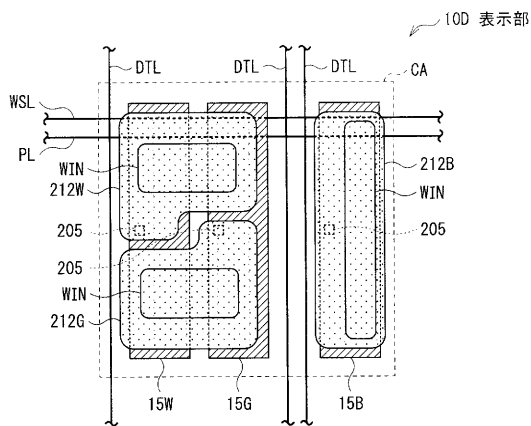
【図 20】



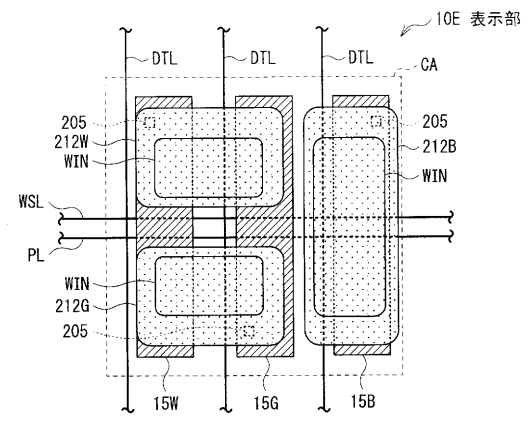
【図 21】



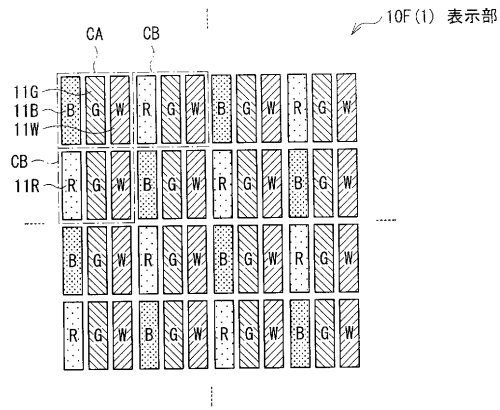
【図 22】



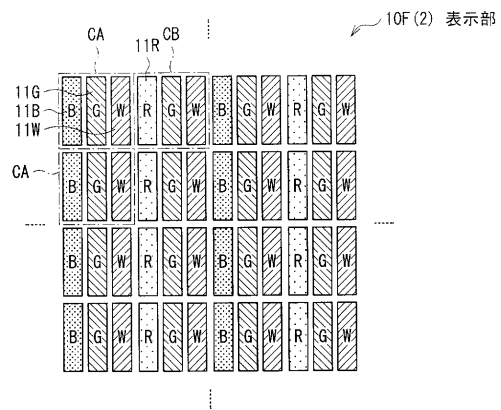
【図 23】



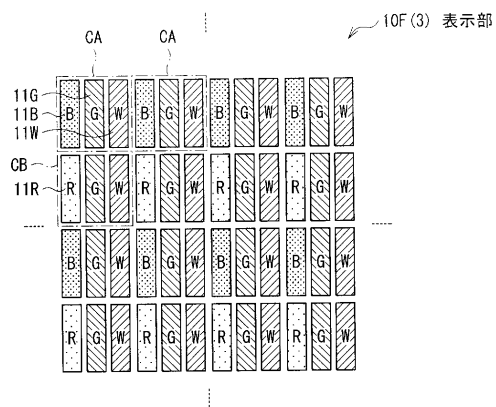
【図 24】



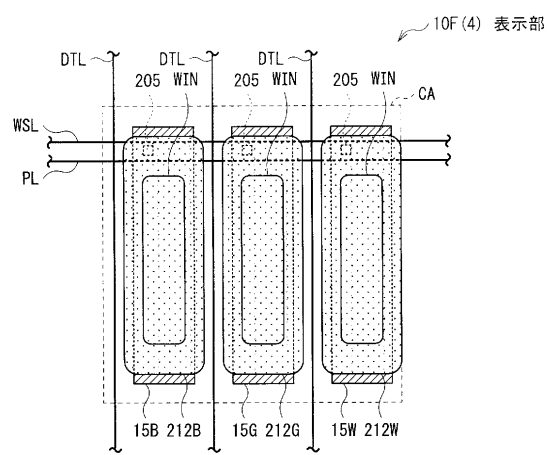
【図 25】



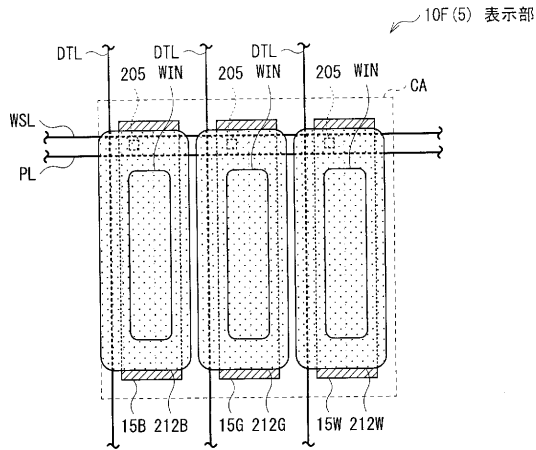
【図 26】



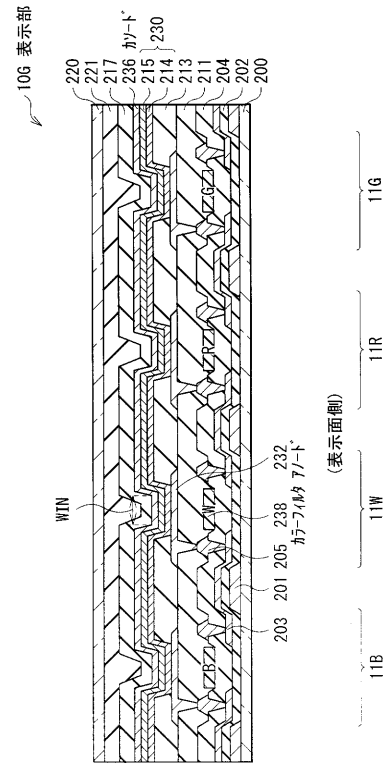
【図 27】



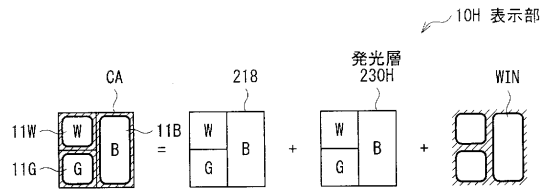
【図 28】



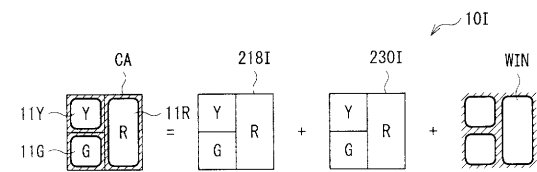
【図 29】



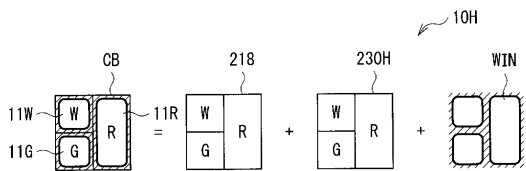
【図 30 A】



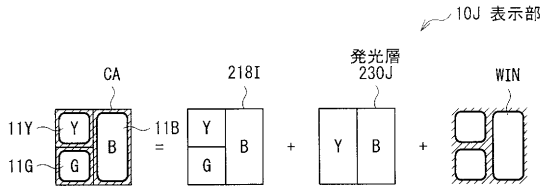
【図 31 B】



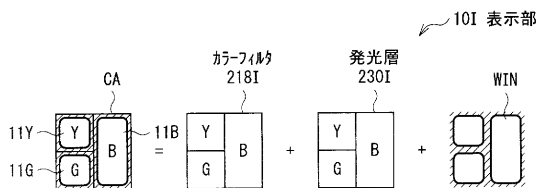
【図 30 B】



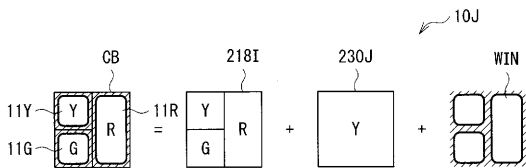
【図 32 A】



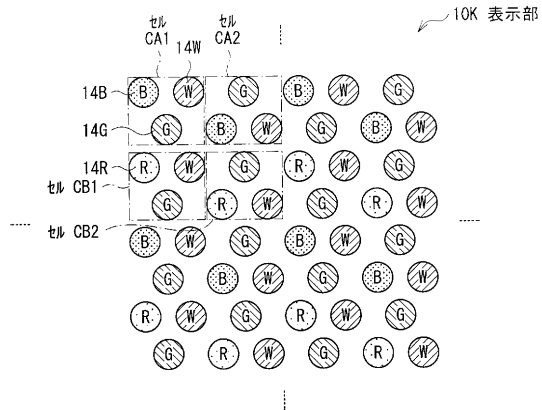
【図 31 A】



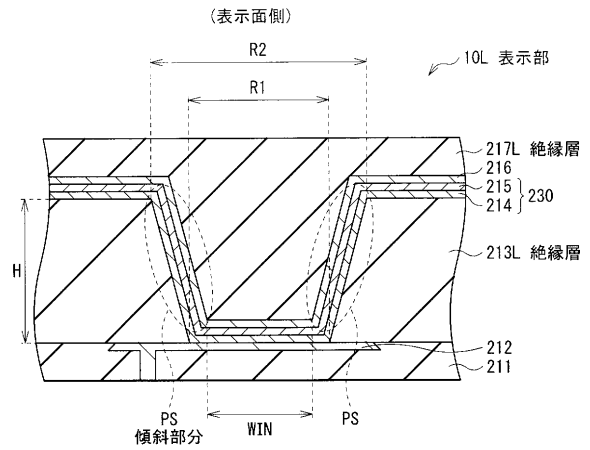
【図 32 B】



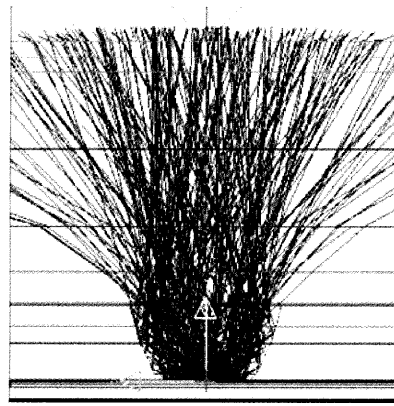
【 図 3 3 】



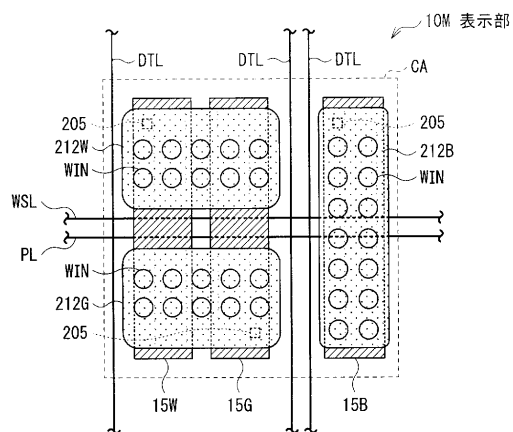
【 図 3 4 】



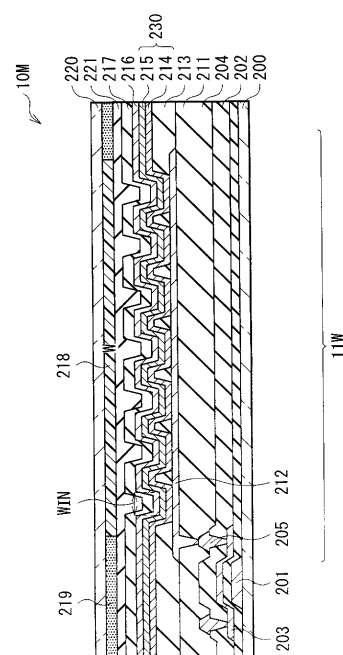
【 図 3 5 】



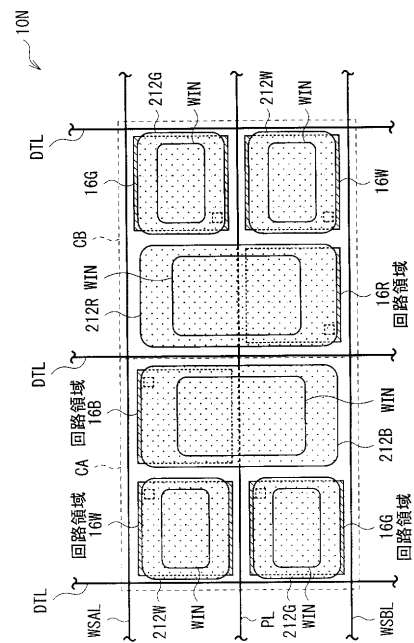
【 図 3 6 】



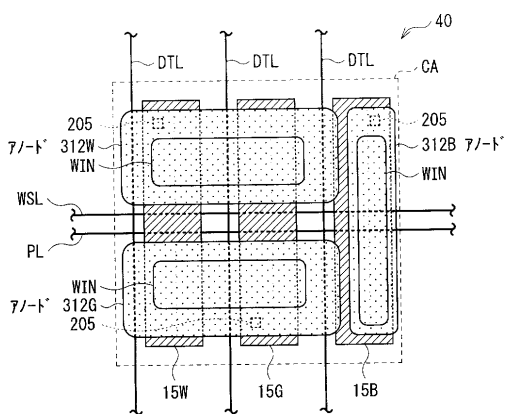
【 図 3 7 】



【 図 3 9 】

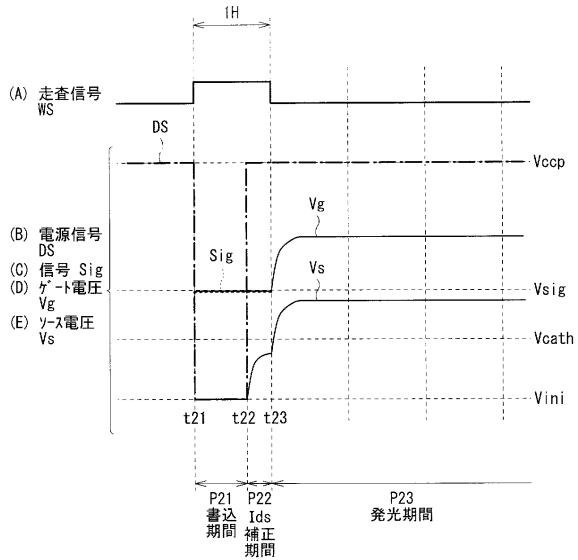


【 図 4 1 】

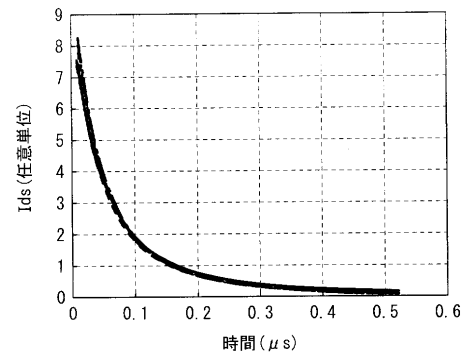


遷移タイム*

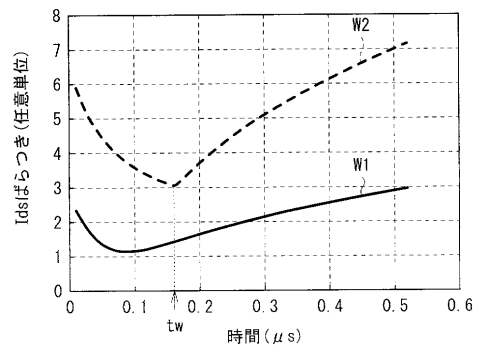
【図 4 3】



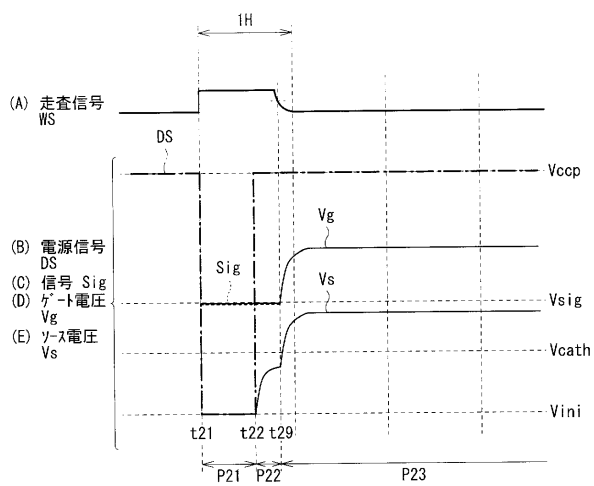
【図 4 4】



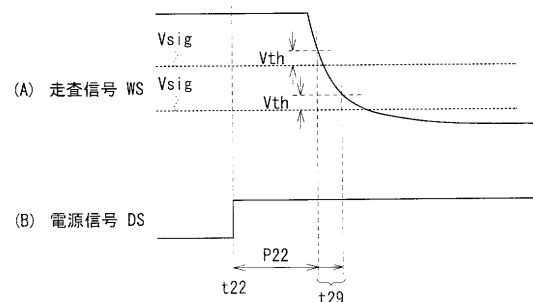
【図 4 5】



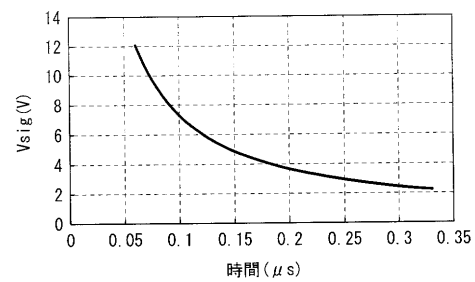
【図 4 6】



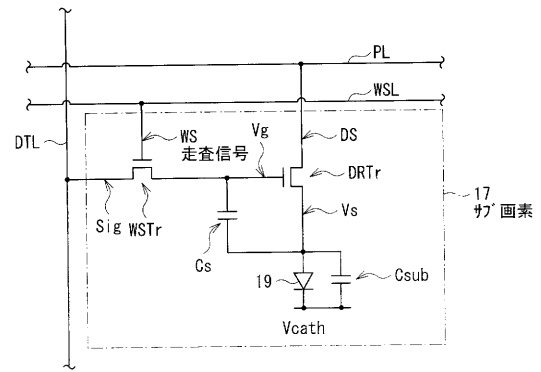
【図 4 7】



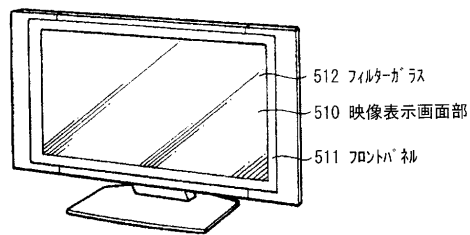
【図 4 8】



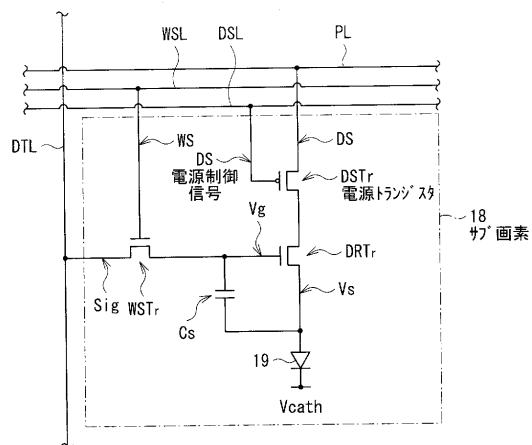
【 図 5 1 】



【 図 5 0 】



【 図 5 2 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 5 B	33/12	(2006.01)	G 0 9 G	3/20 6 1 2 U
H 0 1 L	51/50	(2006.01)	G 0 9 G	3/20 6 3 1 T
			G 0 9 G	3/20 6 3 2 G
			G 0 9 G	3/20 6 5 0 B
			G 0 9 G	3/20 6 4 2 A
			G 0 9 G	3/20 6 2 3 V
			G 0 9 G	3/20 6 2 3 U
			G 0 9 G	3/20 6 5 0 J
			G 0 9 G	3/20 6 7 0 J
			G 0 9 G	3/30 J
			G 0 9 G	3/20 6 1 1 F
			G 0 9 G	3/20 6 1 1 G
			G 0 9 G	3/20 6 1 1 C
			G 0 9 G	3/20 6 2 4 B
			G 0 9 F	9/30 3 6 5
			H 0 5 B	33/12 B
			H 0 5 B	33/14 A

(56)参考文献 特開2008-096549(JP,A)
 特表2008-502004(JP,A)
 特開2009-069251(JP,A)
 特開2009-282190(JP,A)
 国際公開第2006/115165(WO,A1)
 特表2007-532949(JP,A)
 特表2008-539555(JP,A)
 特開2002-287664(JP,A)
 特開2001-313172(JP,A)
 特開2006-106659(JP,A)
 特開2005-106993(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 F	9 / 3 0	-	9 / 4 6
H 0 1 L	2 7 / 3 2		
G 0 9 G	3 / 1 2	-	3 / 1 4
	3 / 3 0	-	3 / 3 2
G 0 9 G	3 / 0 0	-	3 / 0 8
	3 / 1 2		
	3 / 1 6		
	3 / 1 9	-	3 / 2 6
	3 / 3 0		
	3 / 3 4		
	3 / 3 8		
H 0 1 L	5 1 / 5 0		
H 0 5 B	3 3 / 0 0	-	3 3 / 2 8