

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5729551号  
(P5729551)

(45) 発行日 平成27年6月3日 (2015.6.3)

(24) 登録日 平成27年4月17日 (2015.4.17)

(51) Int.Cl.

F I

GO 1 C 19/5783 (2012.01)

GO 1 C 19/56 2 8 3

HO 1 L 41/08 (2006.01)

HO 1 L 41/08 Z

HO 1 L 41/09 (2006.01)

HO 1 L 41/08 C

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2011-62267 (P2011-62267)	(73) 特許権者	000002369
(22) 出願日	平成23年3月22日 (2011.3.22)		セイコーエプソン株式会社
(65) 公開番号	特開2012-198098 (P2012-198098A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成24年10月18日 (2012.10.18)	(74) 代理人	100090387
審査請求日	平成26年2月14日 (2014.2.14)		弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	小松 史和
			東京都日野市日野421-8 エプソント
			ヨコム株式会社内
		(72) 発明者	井伊 巨樹
			東京都日野市日野421-8 エプソント
			ヨコム株式会社内
		審査官	梶田 真也
			最終頁に続く

(54) 【発明の名称】 慣性センサー

(57) 【特許請求の範囲】

【請求項 1】

第 1 の面に集積回路が設けられた半導体基板と、  
振動部を有し、前記半導体基板の前記第 1 の面に直交する方向から見た平面視において、  
前記集積回路の一部と重なるように配置されたセンサー素子と、を含み、  
前記集積回路は、  
前記センサー素子の検出信号が入力されるチャージアンプを有し、  
前記チャージアンプは、  
前記半導体基板の前記第 1 の面に直交する方向から見た平面視において、前記センサー  
素子の前記振動部と重ならないように配置されている、慣性センサー。

【請求項 2】

請求項 1 において、  
前記半導体基板と前記センサー素子との間に設けられた 1 又は複数の再配置配線を、含  
み、  
前記再配置配線の少なくとも 1 つは、  
前記半導体基板の前記第 1 の面に設けられた電極と、前記センサー素子の前記半導体基  
板の前記第 1 の面と対向する面に設けられた電極と、を電氣的に接続している慣性センサ  
ー。

【請求項 3】

請求項 2 において、

前記チャージアンプは、

前記半導体基板の前記第 1 の面に直交する方向から見た平面視において、電位が変化する前記再配置配線と重ならないように配置されている、慣性センサー。

【請求項 4】

請求項 2 又は 3 において、

前記再配置配線の少なくとも 1 つは、固定電位が供給され、

前記チャージアンプは、

前記半導体基板の前記第 1 の面に直交する方向から見た平面視において、前記固定電位が供給される前記再配置配線と重なるように配置されている、慣性センサー。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記半導体基板と前記センサー素子との間に設けられ、固定電位が供給されるシールド配線を、含み、

前記シールド配線が、前記第 1 の面に直交する方向から見た平面視において前記チャージアンプと重なるように配置されている、慣性センサー。

【請求項 6】

請求項 2 乃至 5 のいずれかにおいて、

前記センサー素子は、

前記振動部に質量を調整可能な質量調整部が形成されており、

前記再配置配線の少なくとも 1 つは、

前記半導体基板の前記第 1 の面に直交する方向から見た平面視において、前記センサー素子の前記質量調整部と重なるように配置されている、慣性センサー。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

前記半導体基板と前記センサー素子との間に設けられた絶縁層を、含む、慣性センサー。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、慣性センサーに関する。

【背景技術】

【0002】

角速度や加速度などの物理量を検出する慣性センサーが知られている。近年、慣性センサーの高精度化だけでなく小型化の要求も高くなっており、1つの解決策として、センサー素子と、当該センサー素子を駆動するとともにその出力信号に基づいて所望の物理量の大きさに応じた検出信号を生成する IC (集積回路) とを一体化して実装されたものが開発されている。

【0003】

例えば、特許文献 1 では、センサー素子として機能するジャイロ振動片と IC を 1 つのパッケージに収容し、振動片の第 1 の検出端子と、IC のチャージアンプ (QV アンプ) に接続される第 1 の検出信号入力パッドとを、第二層基板上に設けられた IC 接続端子を介して接続するとともに、振動片の第 2 の検出端子と、IC のチャージアンプ (QV アンプ) に接続される第 2 の検出信号入力パッドとを、第二層基板上に設けられた IC 接続端子を介して接続した構造を有する振動ジャイロセンサーが開示されている。この振動ジャイロセンサーは、角速度が発生する際に振動片の駆動アームに働くコリオリ力に基づいて検出アームが変形して振動し、IC がこの検出振動により振動片の第 1 の検出端子と第 2 の検出端子に発生する電荷を 2 つのチャージアンプ (QV アンプ) により検出して処理することにより角速度の大きさに応じた検出信号を生成する電荷検出型センサーである。

【0004】

一般に、電荷検出型センサーでは、振動片に発生する電荷が微小であるため外乱の影響

10

20

30

40

50

を受けやすい。これに対して、特許文献 1 の振動ジャイロセンサーによれば、第 1 の検出端子及び第 2 の検出端子と、第 1 の検出信号入力パッド及び第 2 の検出信号入力パッドとをそれぞれ接続する IC 接続端子の配線経路がパッケージ容器の外周部に露出されないので、振動ジャイロセンサーの外部に付着する水分や塩分などにより、IC 接続端子のインピーダンスが変化して検出信号特性を変動させるなどの悪影響を受けることがなくなるという効果を有する。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2008 - 197033 号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、チャージアンプ (QV アンプ) は、微小な信号を増幅するため、他の回路に比べてゲインが高く、IC のレイアウトにおける他配線やノードとのカップリング容量や寄生容量成分、実装形態によるカップリング容量成分により、特性が大きく変動する。特許文献 1 の振動ジャイロセンサーは、4 層基板構造となっており、振動片と IC を離すための空間を設けることでカップリング容量を小さくすることもできると考えられるが、さらなる小型化の要求に応えるのが難しくなる。また、特許文献 1 の振動ジャイロセンサーでは、IC のレイアウトに起因する QV アンプの特性変動に関しては何ら考慮されていない。

20

【0007】

本発明は、以上のような問題点に鑑みてなされたものであり、本発明のいくつかの態様によれば、QV アンプの特性変動を低減させるとともに小型化が容易な慣性センサーを提供することができる。

【課題を解決するための手段】

【0008】

(1) 本発明は、第 1 の面に集積回路と電極とが形成された半導体基板と、振動部を有し、前記半導体基板の前記第 1 の面と対向する面に電極が形成されたセンサー素子と、前記半導体基板の前記第 1 の面と対向して設けられた 1 又は複数の再配置配線と、を含み、前記再配置配線の少なくとも 1 つは、前記半導体基板に形成された前記電極と前記センサー素子に形成された前記電極を電気的に接続し、前記集積回路は、前記センサー素子の検出信号が入力される QV アンプを有し、前記 QV アンプは、前記半導体基板の前記第 1 の面に直交する方向から見た平面視において、前記センサー素子の前記振動部と重ならないように配置されている、慣性センサーである。

30

【0009】

本発明によれば、再配置配線を利用して、集積回路が形成された半導体基板の上にセンサー素子を重ねるように実装するので、慣性センサーの小型化が容易である。また、半導体基板の第 1 の面に直交する方向から見た平面視において、センサー素子の振動部と重ならないように QV アンプを配置することで、QV アンプがセンサー素子の振動部の影響を受けにくくなるので、QV アンプの特性変動を低減させることができる。

40

【0010】

(2) この慣性センサーにおいて、前記 QV アンプは、前記半導体基板の前記第 1 の面に直交する方向から見た平面視において、電位が変化する前記再配置配線と重ならないように配置されているようにしてもよい。

【0011】

このようにすれば、QV アンプが電位の変化する再配置配線の影響を受けにくくなるので、QV アンプの特性変動を低減させることができる。

【0012】

(3) この慣性センサーにおいて、前記再配置配線の少なくとも 1 つは、固定電位が供

50

給され、前記ＱＶアンプは、前記半導体基板の前記第１の面に直交する方向から見た平面視において、前記固定電位が供給される前記再配置配線と重なるように配置されているようにしてもよい。

【００１３】

このように、固定電位の再配置配線をＱＶアンプのシールド配線として積極的に利用することで、ＱＶアンプの特性変動を低減させることができる。

【００１４】

(４)この慣性センサーにおいて、前記半導体基板は、前記第１の面に、固定電位が供給されるシールド配線が、前記第１の面に直交する方向から見た平面視において前記ＱＶアンプと重なるように形成されているようにしてもよい。

10

【００１５】

このようにすれば、ＱＶアンプをシールドすることができるので、ＱＶアンプの特性変動を低減させることができる。

【００１６】

(５)この慣性センサーにおいて、前記振動部に質量を調整可能な質量調整部が形成されており、前記再配置配線の少なくとも１つは、前記半導体基板の前記第１の面に直交する方向から見た平面視において、前記センサー素子の前記質量調整部の全部と重なるように配置されているようにしてもよい。

【００１７】

このようにすれば、質量調整部にレーザーを照射して質量を微調整する際に、質量調整部を透過したレーザーを再配置配線で吸収することができるので、半導体基板にレーザーが到達して回路が破壊されることを防ぐことができる。

20

【００１８】

(６)この慣性センサーは、前記半導体基板と前記センサー素子との間に設けられ、前記半導体基板と前記センサー素子との温度係数の違いにより生じる応力差を吸収するための絶縁層を、さらに含むようにしてもよい。

【００１９】

このようにすれば、応力によるセンサー素子の変形を緩和することができるので、センサー素子の安定した発振を維持することができる。また、センサー素子に加わる応力を緩和するためには絶縁層にある程度の厚みが必要であるため、ＱＶアンプとセンサー素子や再配置配線との距離がある程度確保され、これらのカップリング容量を小さくすることができる。

30

【図面の簡単な説明】

【００２０】

【図１】第１～第３実施形態のジャイロセンサーの機能ブロック図。

【図２】第１，第２実施形態における信号処理ＩＣのレイアウト図。

【図３】第１，第３実施形態における再配置配線のパターンの一例を示す平面図。

【図４】第１，第３実施形態のジャイロセンサーの平面図。

【図５】図５（Ａ）、図５（Ｂ）及び図５（Ｃ）は、それぞれ第１実施形態における図４のＡ－Ａ切断面、Ｂ－Ｂ切断面及びＣ－Ｃ切断面を模式的に示す図。

40

【図６】３軸ジャイロセンサーモジュールの斜視図。

【図７】第２実施形態における再配置配線のパターンの一例を示す平面図。

【図８】第２実施形態のジャイロセンサーの平面図。

【図９】図９（Ａ）、図９（Ｂ）及び図９（Ｃ）は、それぞれ第２実施形態における図８のＡ－Ａ切断面、Ｂ－Ｂ切断面及びＣ－Ｃ切断面を模式的に示す図。

【図１０】第３実施形態における信号処理ＩＣのレイアウト図。

【図１１】図１１（Ａ）、図１１（Ｂ）及び図１１（Ｃ）は、それぞれ第３実施形態における図４のＡ－Ａ切断面、Ｂ－Ｂ切断面及びＣ－Ｃ切断面を模式的に示す図。

【発明を実施するための形態】

【００２１】

50

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0022】

以下では、慣性センサーとして、角速度を検出する角速度検出装置（ジャイロセンサー）を例にとり説明するが、本発明は、角速度、角加速度、加速度、力等の種々の物理量のいずれかを検出することができる慣性センサーに適用可能である。

【0023】

1. 第1実施形態

図1は、本実施形態のジャイロセンサーの機能ブロック図である。本実施形態のジャイロセンサー1は、信号処理IC（集積回路装置）10とセンサー素子20を含んで構成されている。

10

【0024】

本実施形態のセンサー素子20は、2本のT型の駆動振動腕22、23とその間にある1本の検出振動腕24が基部21で連結されたいわゆるダブルT型で構成される。ただし、センサー素子20は、例えば、音叉型であってもよいし、三角柱、四角柱、円柱状等の形状の音片型であってもよい。また、シリコン半導体基板をくし歯状に加工したものであってもよい。

【0025】

センサー素子20は、例えば、水晶（ $\text{SiO}_2$ ）、タンタル酸リチウム（ $\text{LiTaO}_3$ ）、ニオブ酸リチウム（ $\text{LiNbO}_3$ ）等の圧電単結晶やジルコン酸チタン酸鉛（PZT）等の圧電セラミックスなどの圧電性材料を用いて構成してもよいし、シリコン半導体の表面の一部に、駆動電極に挟まれた酸化亜鉛（ $\text{ZnO}$ ）、窒化アルミニウム（ $\text{AlN}$ ）等の圧電薄膜を配置した構造であってもよい。

20

【0026】

センサー素子20の駆動振動腕22、23と基部21の表面には2つの駆動電極とグラウンド電極（ともに不図示）が形成されており、一方の駆動電極に交流電圧信号が与えられると、駆動振動腕22、23は、逆圧電効果によって互いの先端が接近と離間を繰り返す屈曲振動（励振振動）をする。駆動振動腕22、23の屈曲振動の振幅が等しければ、駆動振動腕22、23は検出振動腕24に対して常に線対称な関係で屈曲振動をするので、検出振動腕24は振動を起こさない。

30

【0027】

この状態で、センサー素子20に励振振動面に垂直な軸を回転軸とする角速度が加わると、駆動振動腕22、23は、屈曲振動の方向と回転軸の両方に垂直な方向にコリオリの力を得る。その結果、駆動振動腕22、23の屈曲振動の対称性が崩れ、検出振動腕24は、バランスを保つように屈曲振動をする。このコリオリ力に伴う検出振動腕24の屈曲振動と駆動振動腕22、23の屈曲振動（励振振動）とは位相が90°ずれている。

【0028】

なお、実際には、コリオリ力が加わっていなくても駆動振動腕22、23の屈曲振動の振幅がわずかに異なるため、検出振動腕24はバランスを保つようにわずかに屈曲振動をする。この屈曲振動は漏れ振動と呼ばれ、駆動振動腕22、23の屈曲振動（励振振動）と同位相である。

40

【0029】

センサー素子20の検出振動腕24と基部21の表面には2つの検出電極とグラウンド電極（ともに不図示）が形成されており、圧電効果によってこれらの屈曲振動に基づいた交流電荷がこの2つの検出電極に発生する。コリオリ力に基づいて発生する交流電荷は、コリオリ力の大きさ（言い換えれば、センサー素子20に加わる角速度の大きさ）に応じて変化するのに対して、漏れ振動に基づいて発生する交流電荷は、センサー素子20に加わるコリオリ力の大きさ（角速度の大きさ）に関係せず一定である。

【0030】

50

なお、センサー素子 20 の駆動振動腕 22 の先端には錘部 22 a と錘部 22 b が形成されている。同様に、駆動振動腕 23 の先端には錘部 23 a と錘部 23 b が形成されている。駆動振動腕 22, 23 の先端に錘部を形成することにより、コリオリ力を大きくするとともに、所望の共振周波数を比較的短い振動腕で得ることができる。同様に、検出振動腕 24 の先端にも錘部 24 a と錘部 24 b が形成されている。検出振動腕 24 の先端に錘部を形成することにより、2 つの検出電極に発生する交流電荷を大きくすることができる。

#### 【0031】

駆動振動腕 22, 23 の先端の 4 つの錘部 22 a, 22 b, 23 a, 23 b には表面にメッキ層（不図示）が形成されており、これらの錘部の表面にレーザーを照射してメッキ層の一部を取り除くことで、駆動振動腕 22, 23 の質量を微調整することができるように  
10

#### 【0032】

センサー素子 20 の 2 つの駆動電極は、それぞれ信号処理 IC 10 の外部出力端子 171 (S4 端子) と外部入力端子 172 (S3 端子) に接続されている。また、センサー素子 20 の 2 つの検出電極は、それぞれ信号処理 IC 10 の外部入力端子 173 (S1 端子) と外部入力端子 174 (S2 端子) に接続されている。

#### 【0033】

信号処理 IC 10 は、駆動回路 100、2 つの QV アンプ 110 及び 120、検出回路 130、リファレンスブロック 140、ロジック回路 150 を含んで構成されている。信号処理 IC 10 には、外部入力端子 178 (VDD 端子) と外部入力端子 179 (GND 端子) からそれぞれ電源電位 VDD (例えば 3V) とグランド電位 GND (0V) が供給される。  
20

#### 【0034】

駆動回路 100 は、センサー素子 20 を励振振動させるための駆動信号を生成し、外部出力端子 171 を介してセンサー素子 20 の一方の駆動電極に供給する。また、駆動回路 100 は、センサー素子 20 の励振振動により他方の駆動電極に発生する発振電流が外部入力端子 172 を介して入力され、この発振電流の振幅が一定に保持されるように駆動信号の振幅レベルをフィードバック制御する。  
30

#### 【0035】

2 つの QV アンプ 110, 120 には、外部入力端子 173, 174 を介して、センサー素子 20 の 2 つの検出電極の各々に発生する交流電荷（検出信号の一例）がそれぞれ入力され、交流電圧信号に変換する。2 つの検出電極の各々に発生する交流電荷は互いに 180° 位相が異なっており、振幅が等しい。従って、QV アンプ 110, 120 を同じ回路かつ同じレイアウトとすることで、QV アンプ 110, 120 は、互いに 180° 位相が異なり、振幅が等しい交流電圧信号を出力する。この振幅はセンサー素子 20 に加わるコリオリ力の大きさ（角速度の大きさ）に応じて変化する。

#### 【0036】

検出回路 130 は、QV アンプ 110, 120 の出力信号を差動増幅した後、同期検波を行って角速度成分のみを検出し、角速度の大きさに応じた電圧レベルの信号（角速度信号）を生成する。この角速度信号は、外部出力端子 177 を介して外部に出力され、例えば、外部出力端子 177 に接続された不図示のマイクロコンピュータにおいて A/D 変換され、角速度データとして種々の処理に用いられる。なお、信号処理 IC 10 に A/D 変換器を内蔵し、角速度を表すデジタルデータを、例えばロジック回路 150（例えば、シリアルインターフェース）を介して外部に出力するようにしてもよい。  
40

#### 【0037】

リファレンスブロック 140 は、電源電位 VDD と GND 電位 GND から駆動回路 100 や検出回路 130 の基準電圧などを生成する。

#### 【0038】

ロジック回路 150 は、例えば、シリアルインターフェースを含み、外部入力端子 175 と外部入出力端子 176 を介して、クロック信号とシリアルデータ信号による 2 線論理でロジック回路 150 が有する不図示のメモリーに対する調整データの書き込みや読み出しの処理、不図示の内部レジスタに対するテストモードの設定処理などを行う。

【0039】

図 2 ~ 図 5 は、ジャイロセンサー 1 の構造について説明するための図である。図 2 は、信号処理 IC 10 の各ブロックの配置を示す平面図（レイアウト図）である。

【0040】

図 2 に示すように、信号処理 IC 10 の半導体基板 11 の第 1 の面 11A（上面）に、集積回路（駆動回路 100、QV アンプ 110、120、検出回路 130、リファレンスブロック 140、ロジック回路 150）と、複数のパッド（電極）70 - 1 ~ 70 - n, 80 ~ 83 とが形成されている。具体的には、半導体基板 11 の第 1 の面 11A に、駆動回路 100、検出回路 130、リファレンスブロック 140、ロジック回路 150 が全体として矩形状になるように中央部に形成され、これを取り囲むように周辺部にパッド 70 - 1 ~ 70 - n, 80 ~ 83 が形成されている。また、QV アンプ 110 は左側のパッド配置領域に形成され、QV アンプ 120 は右側のパッド配置領域に形成されている。

【0041】

パッド（電極）70 - 1 ~ 70 - n は、信号処理 IC 10 と外部装置との接続をとるための外部電極である。すなわち、パッド 70 - 1 ~ 70 - n は、図 1 の外部入力端子 175、外部入出力端子 176、外部出力端子 177、外部入力端子 178, 179 及び不図示の外部端子のいずれかとして機能する。

【0042】

例えば、パッド 70 - 2、70 - (n - 1) はそれぞれ図 1 の外部入力端子 178（VDD 端子）、179（GND 端子）として機能する電源入力パッドであり、パッド 70 - 2, 70 - (n - 1) からそれぞれ電源電位 VDD とグランド電位 GND が供給される。

【0043】

なお、パッド 70 - 1 ~ 70 - n は、チタン（Ti）、窒化チタン（TiN）、アルミニウム（Al）、銅（Cu）、又は、これらを含む合金などによって形成される。

【0044】

パッド 80 ~ 83 は、信号処理 IC 10 とセンサー素子 20 との接続をとるためのものである。パッド 82 は図 1 の外部出力端子 171（S4 端子）として機能する出力パッドであり、パッド 82 から駆動信号が出力されてセンサー素子 20 に供給される。パッド 80 は図 1 の外部入力端子 172（S3 端子）として機能する入力パッドであり、センサー素子 20 から発振電流が入力される。パッド 81, 83 はそれぞれ図 1 の外部入力端子 173（S1 端子）、174（S2 端子）として機能する入力パッドであり、パッド 81, 83 からそれぞれセンサー素子 20 の 2 つの検出電極の各々で発生する交流電荷が入力される。

【0045】

本実施形態のジャイロセンサー 1 は、この信号処理 IC 10 の上面（半導体基板 11 の第 1 の面 11A 側）と対向して、1 又は複数の再配置配線が設けられている。図 3 は、信号処理 IC 10 の上面に積層された再配置配線のパターンの一例を示す平面図である。

【0046】

図 3 に示すように、再配置配線 30 - 1 ~ 30 - n, 30a, 30b, 30c, 30d は、それぞれ信号処理 IC 10 のパッド 70 - 1 ~ 70 - n, 80, 81, 82, 83 を覆うように形成されており、各パッドと電氣的に接続されている。

【0047】

また、再配置配線 30e は、信号処理 IC 10 の GND 電位のパッド（例えばパッド 70 - (n - 1)）と電氣的に接続されている。

【0048】

再配置配線 30 - 1 ~ 30 - n には、外部接続用の n 本の配線（不図示）が接続され、

10

20

30

40

50

これらの配線を介して、ジャイロセンサー 1 に電源電位 V D D やグランド電位 G N D が供給され、各種の外部信号が入出力される。

【 0 0 4 9 】

なお、再配置配線 3 0 は、金 ( A u )、銅 ( C u )、銀 ( A g )、チタン ( T i )、タングステン ( W )、チタントングステン ( T i W )、窒化チタン ( T i N )、ニッケル ( N i )、ニッケルバナジウム ( N i V )、クロム ( C r )、アルミニウム ( A l )、パラジウム ( P d ) などによって形成される。

【 0 0 5 0 】

ジャイロセンサー 1 は、下面 ( 半導体基板 1 1 の第 1 の面 1 1 A と対向する面 ) に複数の電極 ( 2 つの駆動電極、2 つの検出電極及びグランド電極 ) が形成されたセンサー素子 2 0 が、この再配置配線層の上面に配置された構造を有している。図 4 は、図 3 の再配置配線層の上面にセンサー素子 2 0 を配置したジャイロセンサー 1 の平面図である。

10

【 0 0 5 1 】

図 4 に示すように、センサー素子 2 0 の基部 2 1 には、2 本の駆動振動腕 2 2 , 2 3 と 1 本の検出振動腕 2 4 に加えて、4 本の保持腕 2 5 a , 2 5 b , 2 5 c , 2 5 d ( 図 1 では省略している ) が連結されている。保持腕 2 5 a , 2 5 b , 2 5 c , 2 5 d は、基部 2 1 から再配置配線 3 0 a , 3 0 b , 3 0 c , 3 0 d の上面まで延びている。

【 0 0 5 2 】

保持腕 2 5 a と 2 5 c の下面にはそれぞれ一方の駆動電極と他方の駆動電極が形成されており ( 不図示 )、この 2 つの駆動電極は、接続端子 6 0 と 6 2 を介してそれぞれ再配置配線 3 0 a , 3 0 c と電氣的に接続されている。

20

【 0 0 5 3 】

保持腕 2 5 b と 2 5 d の下面にはそれぞれ一方の検出電極と他方の検出電極が形成されており、この 2 つの検出電極は、接続端子 6 1 と 6 3 を介してそれぞれ再配置配線 3 0 b , 3 0 d と電氣的に接続されている。

【 0 0 5 4 】

このように、保持腕 2 5 a , 2 5 b , 2 5 c , 2 5 d がそれぞれ接続端子 6 0 , 6 1 , 6 2 , 6 3 と接続されることにより、センサー素子 2 0 が I C 1 0 の上に固定されている。

【 0 0 5 5 】

なお、接続端子 6 0 , 6 1 , 6 2 , 6 3 は、金 ( A u )、銅 ( C u )、アルミニウム ( A l )、はんだボール、はんだペーストの印刷などの導電性の材料で形成される。

30

【 0 0 5 6 】

また、G N D 電位の再配置配線 3 0 e は、センサー素子 2 0 の 2 つの振動腕 2 2 , 2 3 の先端に形成された 4 つの錘部 2 2 a , 2 2 b , 2 3 a , 2 3 b を覆うように形成されている。すなわち、再配置配線 3 0 e は、半導体基板 1 1 の第 1 の面 1 1 A に直交する方向から見た平面視において、センサー素子 2 0 の質量調整部として機能する錘部 2 2 a , 2 2 b , 2 3 a , 2 3 b の全部と重なるように配置されている。これは、錘部 2 2 a , 2 2 b , 2 3 a , 2 3 b にレーザーを照射してこれらの錘部の表面に形成されたメッキ層 ( 不図示 ) の一部を取り除くことで質量を微調整する際に、センサー素子 2 0 を透過したレーザーを再配置配線 3 0 e で吸収し、信号処理 I C 1 0 にレーザーが到達して回路が破壊されることを防ぐためである。

40

【 0 0 5 7 】

なお、再配置配線 3 0 e は、センサー素子 2 0 の下面に形成されたグランド電極 ( 不図示 ) と電氣的に接続されている。

【 0 0 5 8 】

図 5 ( A )、図 5 ( B ) 及び図 5 ( C ) は、それぞれ図 4 の A - A 切断面、B - B 切断面及び C - C 切断面を模式的に示す図である。

【 0 0 5 9 】

図 5 ( A ) に示すように、再配置配線 3 0 a は、接続端子 6 0 を介してセンサー素子 2

50



0の保持腕25aの下面に形成された駆動電極26aと接続されるとともに、配線51を介して信号処理IC10のパッド80と接続されている。

【0060】

再配置配線30bは、接続端子61を介してセンサー素子20の保持腕25bの下面に形成された検出電極27aと接続されるとともに、配線52を介して信号処理IC10のパッド81と接続されている。

【0061】

再配置配線30-1は、配線50を介して信号処理IC10のパッド70-1と接続されている。信号処理IC10は、再配置配線30-1を介して外部装置と接続される。

【0062】

図5(B)に示すように、再配置配線30cは、接続端子62を介してセンサー素子20の保持腕25cの下面に形成された駆動電極26bと接続されるとともに、配線54を介して信号処理IC10のパッド82と接続されている。

【0063】

再配置配線30dは、接続端子63を介してセンサー素子20の保持腕25dの下面に形成された検出電極27bと接続されるとともに、配線55を介して信号処理IC10のパッド83と接続されている。

【0064】

再配置配線30-nは、配線53を介して信号処理IC10のパッド70-nと接続されている。信号処理IC10は、再配置配線30-nを介して外部装置と接続される。

【0065】

また、図5(A)、図5(B)及び図5(C)に示すように、半導体基板11(信号処理IC10)とセンサー素子20の間には、一定の厚みを有する絶縁層40が設けられている。この絶縁層40は、半導体基板11とセンサー素子20との温度係数の違いにより生じる応力差を吸収する応力緩和層として機能する。これにより、センサー素子20が安定した発振を維持することができる。

【0066】

なお、絶縁層40は、ポリイミド樹脂、エポキシ樹脂、アクリル樹脂、フェノール樹脂、BCB(benzocyclobutene)、PBO(polybenzoxazole)などの絶縁材料で形成される。

【0067】

本実施形態では、図3、図4及び図5に示すように、2つのQVアンプ110及び120は、半導体基板11の第1の面11Aに直交する方向から見た平面視において、センサー素子20の振動部である駆動振動腕22, 23及び検出振動腕24と重ならないように配置されている。これにより、センサー素子20の励振振動に応じて電位が変化する駆動電極26a, 26bや検出電極27a, 27bとQVアンプ110, 120との間のカップリング容量を小さくすることができる。

【0068】

さらに、本実施形態では、2つのQVアンプ110及び120は、半導体基板11の第1の面11Aに直交する方向から見た平面視において、すべての再配置配線30と重ならないように配置されている。これにより、特に、センサー素子20の励振振動に応じて電位が変化する再配置配線30a, 30b, 30c, 30dや、外部信号の入出力に応じて電位が変化する再配置配線30-1~30-nとQVアンプ110, 120との間のカップリング容量を小さくすることができる。

【0069】

なお、絶縁層40を厚くするほど、QVアンプ110, 120とセンサー素子20や再配置配線30との距離が大きくなり、カップリング容量をさらに小さくすることができる。

【0070】

ところで、本実施形態のジャイロセンサー1は1軸回りの角速度を検出するものであり

10

20

30

40

50

、このジャイロセンサー 1 を 3 個用い、互いの検出軸が独立になるようにすることで 3 軸回りの角速度を検出するジャイロセンサーモジュールを構成することができる。例えば、図 6 に示すジャイロセンサーモジュール 200 は、基板 2 の上に 2 つの支持板 3 ( 3 A , 3 B ) が設けられ ( 支持板 3 A は L 字型に曲がっている )、ジャイロセンサー 1 A ( 信号処理 IC 10 A とセンサー素子 20 A を含む ) とジャイロセンサー 1 B ( 信号処理 IC 10 B とセンサー素子 20 B を含む ) が支持板 3 A によって支持され、ジャイロセンサー 1 C ( 信号処理 IC 10 C とセンサー素子 20 C を含む ) が支持板 3 B によって支持されることで、3 個のジャイロセンサー 1 A , 1 B , 1 C は、検出軸が互いに直交する向きに配置されている。

【 0071 】

10

フレキシブルプリント基板 4 ( 4 A , 4 B , 4 C ) は、ジャイロセンサー 1 A , 1 B , 1 C の各 n 個の再配置配線 ( 図 4 の再配置配線 30 - 1 ~ 30 - n ) と基板 2 に設けられた外部端子 ( 不図示 ) を接続するものである。

【 0072 】

なお、図 6 では、ジャイロセンサー 1 A , 1 B , 1 C の全体を覆い、気密空間を形成するためのパッケージを省略して図示している。

【 0073 】

本実施形態のジャイロセンサーは、このような 3 軸のジャイロセンサーモジュールの部品として使用されることを想定しており、ジャイロセンサー 1 B , 1 C のフレキシブルプリント基板 4 B , 4 C を基板 2 に設けられた外部端子と容易に接続させるために、図 2 に示したように、信号処理 IC 10 のパッド 70 - 1 ~ 70 - n は、矩形状の半導体基板 11 の一辺 ( 図 2 では上辺 ) に沿う周辺部に配置されている。

20

【 0074 】

QV アンプ 110 , 120 は、パッド 70 - 1 ~ 70 - n を介して入力又は出力される信号の影響を受けないように、パッド 70 - 1 ~ 70 - n から遠い位置に配置するのが望ましい。また、QV アンプ 110 , 120 に入力される微小電流はセンサー素子 20 の 2 つの検出電極からそれぞれ供給されるので、QV アンプ 110 , 120 の入力信号線がなるべく短くなるように、QV アンプ 110 , 120 をそれぞれパッド 81 , 83 の近くに配置するのが望ましい。

【 0075 】

30

これらの理由から、本実施形態では、図 2 に示すように、矩形状の半導体基板 11 の第 1 の辺 ( 上辺 ) と直交する第 2 の辺 ( 左辺 ) に沿う周辺部のパッド 70 - 1 ~ 70 - n からなるべく遠い位置にパッド 81 と QV アンプ 110 を形成するとともに、当該第 2 の辺 ( 左辺 ) と平行な第 3 の辺 ( 右辺 ) に沿う周辺部のパッド 70 - 1 ~ 70 - n からなるべく遠い位置にパッド 83 と QV アンプ 120 を形成している。

【 0076 】

以上に説明したように、第 1 実施形態のジャイロセンサーによれば、再配置配線を利用して信号処理 IC 10 の上にセンサー素子 20 を重ねるように実装するので、ジャイロセンサーの小型化が容易である。また、半導体基板 11 の第 1 の面 11 A に直交する方向から見た平面視において、QV アンプ 110 , 120 をセンサー素子 20 の振動部や電位が変化する再配置配線 30 と重ならないように配置することで、QV アンプ 110 , 120 がこれらの影響を受けにくくなるので、QV アンプ 110 , 120 の特性変動を低減させることができる。

40

【 0077 】

## 2 . 第 2 実施形態

第 2 実施形態のジャイロセンサーの機能ブロック図及び信号処理 IC 10 のレイアウト図は、それぞれ図 1 及び図 2 と同じであるので、その図示及び説明を省略する。

【 0078 】

図 7 は、第 2 実施形態における信号処理 IC 10 の上面に積層された再配置配線のパターンの一例を示す平面図である。また、図 8 は、図 7 の再配置配線層の上面にセンサー素

50

子20を配置した第2実施形態のジャイロセンサー1の平面図であり、図9(A)、図9(B)及び図9(C)は、それぞれ図8のA-A切断面、B-B切断面及びC-C切断面を模式的に示す図である。第2実施形態において、第1実施形態と同じ要素には同じ符号を付している。

#### 【0079】

第2実施形態のジャイロセンサー1は、再配置配線30eの形状を除いて第1実施形態と同じである。図7及び図9に示すように、第2実施形態では、GND電位(固定電位)が供給される再配置配線30eは、QVアンプ110, 120を覆うように形成されている。言い換えると、QVアンプ110, 120は、半導体基板11の第1の面11Aに直交する方向から見た平面視において、GND電位(固定電位)が供給される再配置配線30eと重なるように配置されている。この再配置配線30eにより、QVアンプ110, 120をセンサー素子20の駆動電極27a, 27bからからシールドすることができる。

10

#### 【0080】

このように、第2実施形態のジャイロセンサーによれば、グランド電位(固定電位)の再配置配線をQVアンプ110, 120のシールド配線として積極的に利用することで、QVアンプ110, 120の特性変動を低減させることができる。また、第2実施形態によれば、第1実施形態と同様、再配置配線を利用して信号処理IC10の上にセンサー素子20を重ねるように実装するので、ジャイロセンサーの小型化が容易である。特に、応力緩和層40の厚みを薄くしても再配置配線によるQVアンプ110, 120のシールド効果が得られるので、応力緩和層40を応力緩和の効果が得られる最小限の厚みで形成することもでき、ジャイロセンサーをより小型化することが可能である。

20

#### 【0081】

##### 3. 第3実施形態

第3実施形態のジャイロセンサーの機能ブロック図、再配置配線のパターンの平面図及び再配置配線層の上面にセンサー素子20を配置したジャイロセンサー1の平面図は、それぞれ図1、図3及び図4と同じであるので、その図示及び説明を省略する。

#### 【0082】

図10は、第3実施形態における信号処理IC10の各ブロックの配置を示す平面図(レイアウト図)である。また、図11(A)、図11(B)及び図11(C)は、それぞれ第3実施形態における図4のA-A切断面、B-B切断面及びC-C切断面を模式的に示す図である。第3実施形態において、第1実施形態と同じ要素には同じ符号を付している。

30

#### 【0083】

第3実施形態のジャイロセンサー1は、信号処理IC10のレイアウトを除いて第1実施形態と同じである。図10及び図11に示すように、第3実施形態における信号処理IC10は、QVアンプ110, 120の上面をそれぞれ覆うシールド配線90, 92が形成されている。そして、シールド配線90, 92は、例えばパッド70-(n-1)と電気的に接続され(不図示)、GND電位となっている。すなわち、第3実施形態における信号処理IC10は、半導体基板11の第1の面11Aに、GND電位(固定電位)が供給されるシールド配線90, 92が、半導体基板11の第1の面11Aに直交する方向から見た平面視においてQVアンプ110, 120とそれぞれ重なるように形成されている。

40

#### 【0084】

例えば、信号処理IC10を3層配線のプロセスで製造する場合、QVアンプを配線層1, 2でレイアウトし、シールド配線90, 92を最上層の配線層3でレイアウトすることで、第3実施形態における信号処理IC10を実現することができる。

#### 【0085】

このシールド配線90, 92により、電位が変化する再配置配線30-1~30-n, 30a, 30b, 30c, 30dや信号処理IC10の内部のノードからQVアンプ11

50

0, 120をシールドすることができる。また、シールド配線90, 92は、センサー素子20の駆動電極27a, 27bからQVアンプ110, 120をシールドする効果を有する。

#### 【0086】

このように、第3実施形態のジャイロセンサーによれば、グラウンド電位（固定電位）のシールド配線を信号処理IC10に形成してQVアンプ110, 120をシールドすることで、QVアンプ110, 120の特性変動を低減させることができる。また、第3実施形態によれば、第1実施形態と同様、再配置配線を利用して信号処理IC10の上にセンサー素子20を重ねるように実装するので、ジャイロセンサーの小型化が容易である。特に、応力緩和層40の厚みを薄くしても信号処理IC内部のシールド配線によるQVアンプ110, 120のシールド効果が得られるので、応力緩和層40を応力緩和の効果が得られる最小限の厚みで形成することもでき、ジャイロセンサーをより小型化することが可能である。

10

#### 【0087】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

#### 【0088】

例えば、第2実施形態と第3実施形態を組み合わせてもよい。すなわち、QVアンプ110, 120を、半導体基板11の第1の面11Aに直交する方向から見た平面視において、GND電位（固定電位）が供給される再配置配線30eと重なるとともに、GND電位（固定電位）が供給される信号処理IC10内部のシールド配線90, 92とも重なるように配置してもよい。

20

#### 【0089】

本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

30

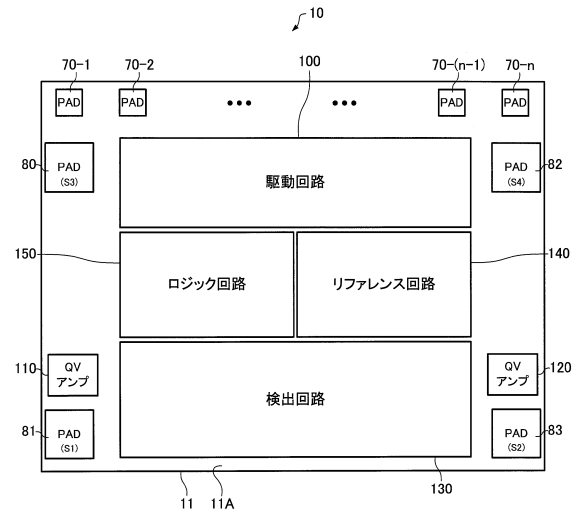
#### 【符号の説明】

#### 【0090】

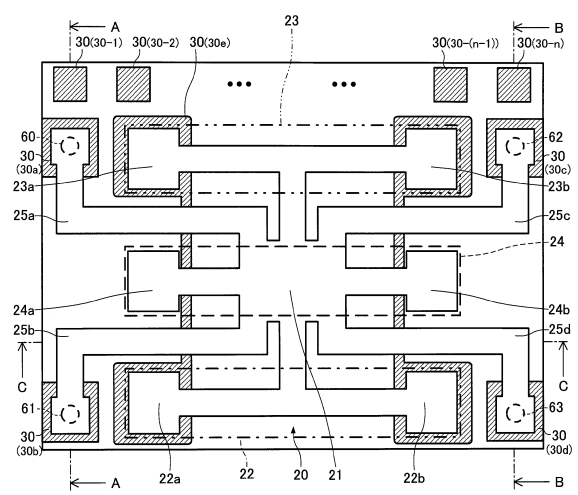
1, 1A, 1B, 1C ジャイロセンサー、2 基板、3, 3A, 3B 支持板、4, 4A, 4B, 4C フレキシブルプリント基板、10, 10A, 10B, 10C 信号処理IC（集積回路装置）、11 半導体基板、11A 半導体基板の第1の面、20, 20A, 20B, 20C センサー素子、21 基部、22 駆動振動腕、22a, 22b 錘部、23 駆動振動腕、23a, 23b 錘部、24 検出振動腕、24a, 24b 錘部、25a～25d 保持腕、26a, 26b 駆動電極、27a, 27b 検出電極、30-1～30-n, 30a～30e 再配置配線、40 絶縁層（応力緩和層）、50～55 配線、60～63 接続端子、70-1～70-n, 80～83 パッド、90, 92シールド配線、100 駆動回路、110, 120 QVアンプ、130 検出回路、140 リファレンスブロック、150 ロジック回路、171 外部出力端子、172, 173, 174, 175 外部入力端子、176 外部入出力端子、177 外部出力端子、178, 179 外部入力端子、200 ジャイロセンサーモジュール

40

【 図 2 】

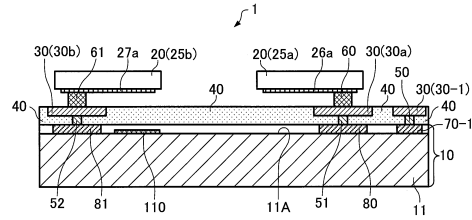


【圖 4】

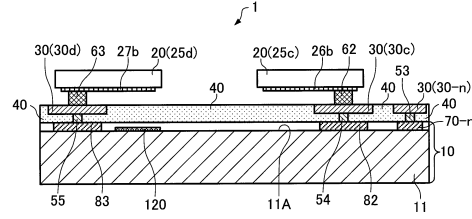


【図 5】

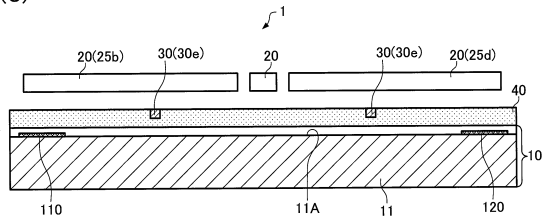
(A)



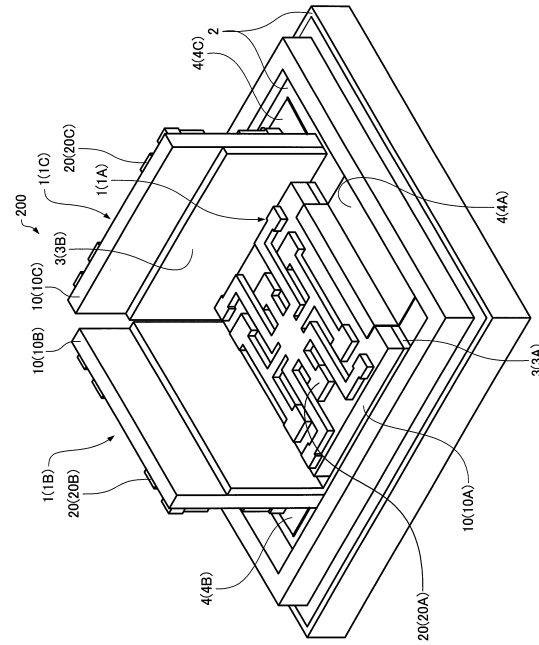
(B)



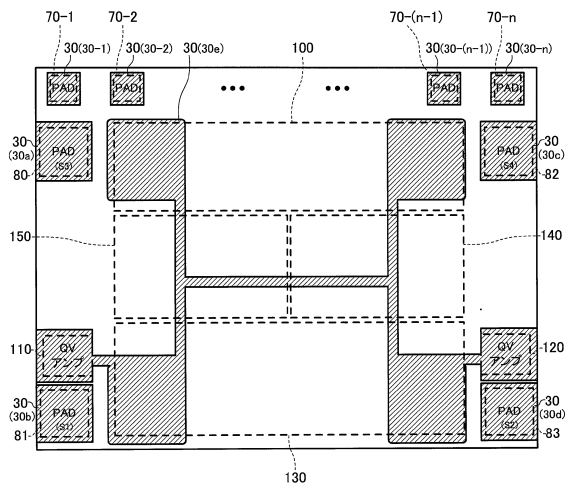
(C)



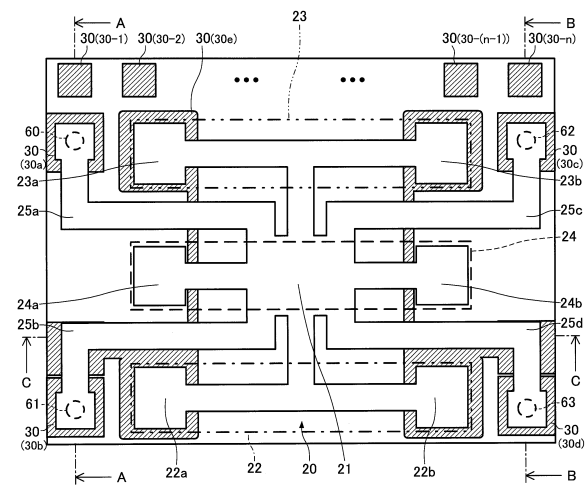
【図 6】



【図 7】

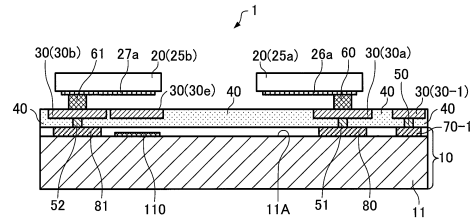


【図 8】

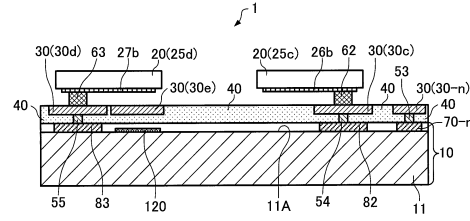


【図 9】

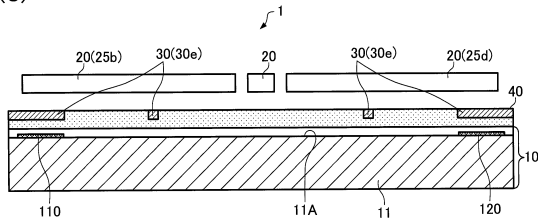
(A)



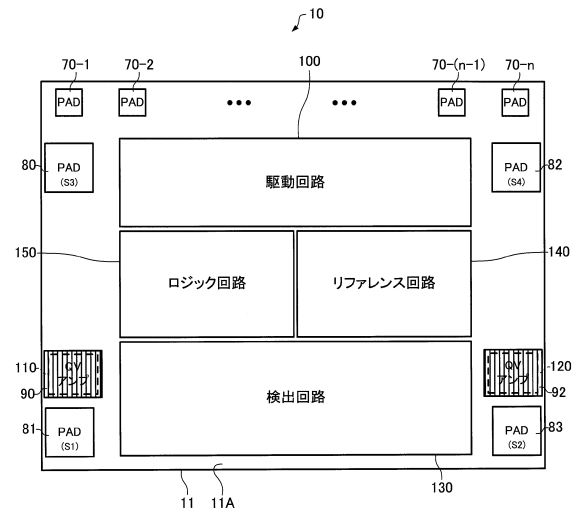
(B)



(C)

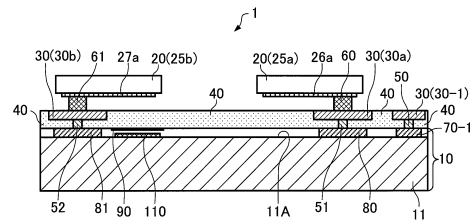


【図 10】

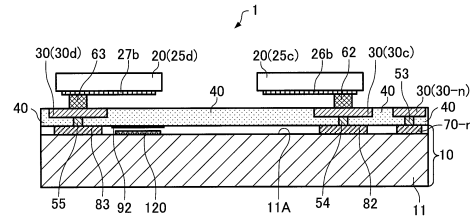


【図 11】

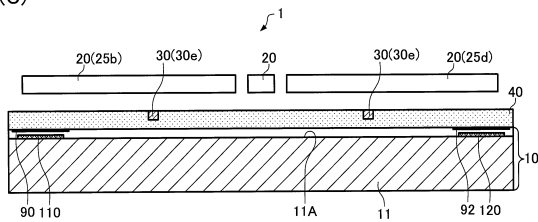
(A)



(B)



(C)



---

フロントページの続き

(56)参考文献 特開平 1 1 - 3 2 5 9 0 8 ( J P , A )  
特開 2 0 1 1 - 0 1 7 5 8 0 ( J P , A )  
特開 2 0 0 8 - 0 1 4 6 3 3 ( J P , A )  
特開 2 0 0 5 - 2 5 2 1 6 0 ( J P , A )  
特開平 0 7 - 1 6 2 1 2 3 ( J P , A )  
特開平 0 3 - 2 5 4 1 9 7 ( J P , A )  
特開 2 0 0 6 - 0 7 8 2 4 9 ( J P , A )  
特開 2 0 0 8 - 1 9 7 0 3 3 ( J P , A )  
特開 2 0 0 8 - 0 0 8 7 3 3 ( J P , A )  
特開 2 0 1 2 - 1 7 2 9 7 0 ( J P , A )  
特開 2 0 0 8 - 2 1 8 7 4 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 1 C	1 9 / 0 0	-	1 9 / 7 2
G 0 1 P	1 5 / 0 0	-	1 5 / 1 8
H 0 1 L	2 7 / 2 0		
H 0 1 L	2 9 / 8 4		
H 0 1 L	4 1 / 0 0	-	4 1 / 4 7