



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0037155
(43) 공개일자 2017년04월04일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2017.01)

(52) CPC특허분류

H01L 27/11556 (2013.01)

H01L 27/11521 (2013.01)

(21) 출원번호 10-2015-0136347

(22) 출원일자 2015년09월25일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김종원

경기도 화성시 동탄공원로 21-40, 931동 1101호
(능동, 동탄푸른마을두산위브아파트)

강창석

경기도 성남시 분당구 내정로165번길 35, 521동
202호 (수내동, 양지마을한양아파트)

(뒷면에 계속)

(74) 대리인

특허법인가산

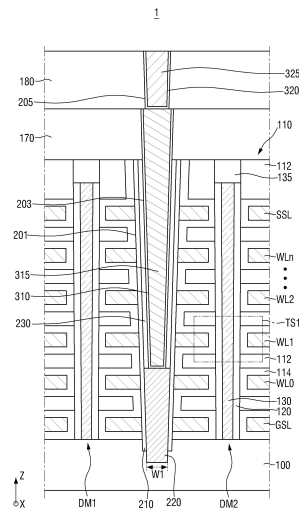
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 비휘발성 메모리 장치

(57) 요약

비휘발성 메모리 장치 및 그 제조 방법이 제공된다. 상기 비휘발성 메모리 장치는, 기판 상에서, 상기 기판에 대해 수직으로 연장되는 채널 구조체, 상기 기판에 대해 수직으로 연장되고, 상기 채널 구조체와 이격되는 도전 패턴, 상기 채널 구조체와 상기 도전 패턴 사이에 위치하고, 교대로 적층되는 복수의 게이트 패턴 및 복수의 절연 패턴을 포함하는 전극 구조체, 및 상기 도전 패턴의 상면과 접하고, 상기 전극 구조체의 측면을 따라 형성되는 절연층을 포함하되, 상기 도전 패턴의 상면은, 상기 채널 구조체의 상면보다 낮게 형성된다.

대표도 - 도3



(52) CPC특허분류

H01L 27/11551 (2013.01)

H01L 2924/1443 (2013.01)

(72) 발명자

박영우

서울특별시 강남구 삼성로 150, 203동 201호 (대치동, 미도맨션)

이재구

경기도 수원시 영통구 봉영로1482번길 18, 104동 506호 (영통동, 영통3차 풍림아이원아파트)

이재덕

경기도 성남시 분당구 정자로 143, 211동 101호 (정자동, 한솔마을LG아파트)

명세서

청구범위

청구항 1

기관 상에서, 상기 기관에 대해 수직으로 연장되는 채널 구조체;

상기 기관에 대해 수직으로 연장되고, 상기 채널 구조체와 이격되는 도전 패턴;

상기 채널 구조체와 상기 도전 패턴 사이에 위치하고, 교대로 적층되는 복수의 게이트 패턴 및 복수의 절연 패턴을 포함하는 전극 구조체; 및

상기 도전 패턴의 상면과 접하고, 상기 전극 구조체의 측면을 따라 형성되는 절연층을 포함하되,

상기 도전 패턴의 상면은, 상기 채널 구조체의 상면보다 낮게 형성되는 비휘발성 메모리 장치.

청구항 2

제 1항에 있어서,

상기 도전 패턴의 상면은, 상기 기관의 상면보다 높게 형성되는 비휘발성 메모리 장치.

청구항 3

제 1항에 있어서,

상기 복수의 게이트 패턴은, 상기 기관에서 멀어지는 방향으로 순차적으로 적층되는 제1 내지 제n 게이트 패턴 (n은 자연수)을 포함하고,

상기 도전 패턴의 상면은, 상기 제k 게이트 패턴(k는 n보다 작은 자연수)과 상기 제k+1 게이트 패턴 사이에 배치되는 비휘발성 메모리 장치.

청구항 4

제 1항에 있어서,

상기 채널 구조체 및 상기 전극 구조체를 덮는 제1 층간 절연막과,

상기 제1 층간 절연막을 관통하여 상기 도전 패턴의 상면에 접하는 메탈 컨택 구조체를 더 포함하는 비휘발성 메모리 장치.

청구항 5

제 4항에 있어서,

상기 제1 층간 절연막을 덮는 제2 층간 절연막과,

상기 제2 층간 절연막을 관통하여, 상기 메탈 컨택 구조체 상에 배치되는 제1 도전 스퍼드와,

상기 제1 및 제2 층간 절연막을 관통하여, 상기 채널 구조체 상에 배치되는 제2 도전 스퍼드를 더 포함하는 비휘발성 메모리 장치.

청구항 6

제 4항에 있어서,

상기 제1 도전 스퍼드와 상기 메탈 컨택 구조체의 상기 메탈 컨택은 일체로 형성되는 비휘발성 메모리 장치.

청구항 7

기관 상에서, 상기 기관에 대해 수직으로 연장되는 복수의 채널 구조체;

상기 기관에 대해 수직으로 연장되고, 상기 채널 구조체와 이격되는 도전 패턴;

상기 복수의 채널 구조체와 상기 도전 패턴을 덮는 제1 층간 절연막; 및

상기 도전 패턴 상에 배치되어 상기 도전 패턴과 전기적으로 연결되고, 상기 제1 층간 절연막을 관통하며, 하면이 상기 복수의 채널 구조체의 상면보다 낮게 형성되는 메탈 콘택을 포함하는 비휘발성 메모리 장치.

청구항 8

제 7항에 있어서,

상기 도전 패턴의 상면은, 상기 기관의 상면보다 높고, 상기 복수의 채널 구조체의 상면보다 낮게 형성되는 비휘발성 메모리 장치.

청구항 9

제 7항에 있어서,

상기 복수의 채널 구조체는, 벌집 모양(honeycomb)으로 배치되는 비휘발성 메모리 장치.

청구항 10

제 7항에 있어서,

상기 도전 패턴은, 상기 메탈 콘택을 포함하는 제1 부분과, 상기 제1 부분과 인접한 제2 부분을 포함하며,

상기 기관의 상면과 평행한 제1 방향으로 측정한 상기 제1 부분의 폭은, 상기 제1 방향으로 측정한 상기 제2 부분의 폭보다 큰 비휘발성 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 장치에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 실리콘(Si), 게르마늄(Ge), 비화 갈륨(GaAs), 인화인듐(InP) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치와 비휘발성 메모리 장치로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치는 SRAM(Static RAM), DRAM(Dynamic RAM), SDRAM(Synchronous DRAM) 등을 포함한다. 비휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 비휘발성 메모리 장치는 플래시 메모리 장치, ROM(Read Only Memory), PROM(Programmable ROM), EPROM(Electrically Programmable ROM), EEPROM(Electrically Erasable and Programmable ROM), 저항성 메모리 장치(예를 들어, PRAM(Phase-change RAM), FRAM(Ferroelectric RAM), RRAM(Resistive RAM)) 등을 포함한다.

[0004] 한편, 소비자가 요구하는 우수한 성능 및 저렴한 가격을 만족시키기 위해, 비휘발성 메모리 장치의 집적도가 증가하고 있다. 그런데, 2차원 또는 평면형 메모리 장치의 경우, 단위 메모리 셀이 점유하는 면적에 의해서 집적도가 결정된다. 따라서, 최근에는 단위 메모리 셀을 수직으로 배치하는 3차원 메모리 장치가 개발되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하려는 과제는, 공통 소스 라인(Common Source line) 내에 생성되는 슬릿을 제거하고, 스트레스를 감소시켜, 신뢰성이 향상된 비휘발성 메모리 장치를 제공하는 것이다.

[0006] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기 과제를 해결하기 위한 본 발명의 비휘발성 메모리 장치의 일 면(Aspect)은, 기관 상에서, 상기 기관에 대해 수직으로 연장되는 채널 구조체, 상기 기관에 대해 수직으로 연장되고, 상기 채널 구조체와 이격되는 도전 패턴, 상기 채널 구조체와 상기 도전 패턴 사이에 위치하고, 교대로 적층되는 복수의 게이트 패턴 및 복수의 절연 패턴을 포함하는 전극 구조체, 및 상기 도전 패턴의 상면과 접하고, 상기 전극 구조체의 측면을 따라 형성되는 절연층을 포함하되, 상기 도전 패턴의 상면은, 상기 채널 구조체의 상면보다 낮게 형성된다.
- [0008] 본 발명의 몇몇 실시예에서, 상기 도전 패턴의 상면은, 상기 기관의 상면보다 높게 형성될 수 있다.
- [0009] 본 발명의 몇몇 실시예에서, 상기 도전 패턴과 상기 전극 구조체 사이에 배치되며, 상기 도전 패턴의 측면 및 상기 절연층의 측면을 따라 형성되는 스페이서를 더 포함하고, 상기 도전 패턴의 하면은, 상기 스페이서의 하면보다 낮게 형성될 수 있다.
- [0010] 본 발명의 몇몇 실시예에서, 상기 도전 패턴의 하면 및 상기 스페이서의 하면은, 상기 기관의 상면보다 낮게 형성될 수 있다.
- [0011] 본 발명의 몇몇 실시예에서, 상기 복수의 게이트 패턴은, 상기 기관에서 멀어지는 방향으로 순차적으로 적층되는 제1 내지 제n 게이트 패턴(n은 자연수)을 포함하고, 상기 도전 패턴의 상면은, 상기 제k 게이트 패턴(k는 n보다 작은 자연수)과 상기 제k+1 게이트 패턴 사이에 배치될 수 있다.
- [0012] 본 발명의 몇몇 실시예에서, 상기 도전 패턴의 상면은, 상기 복수의 게이트 패턴의 일면보다 낮게 형성될 수 있다.
- [0013] 본 발명의 몇몇 실시예에서, 상기 채널 구조체 및 상기 전극 구조체를 덮는 제1 층간 절연막과, 상기 제1 층간 절연막을 관통하여 상기 도전 패턴의 상면에 접하는 메탈 컨택 구조체를 더 포함할 수 있다.
- [0014] 본 발명의 몇몇 실시예에서, 상기 메탈 컨택 구조체는, 상기 절연층의 측면 및 상기 도전 패턴의 상면을 따라 형성되는 베리어 메탈과, 상기 베리어 메탈 상에 형성되는 메탈 컨택을 포함할 수 있다.
- [0015] 본 발명의 몇몇 실시예에서, 상기 메탈 컨택 구조체의 하면은 상기 채널 구조체의 상면보다 낮게 형성될 수 있다.
- [0016] 본 발명의 몇몇 실시예에서, 상기 제1 층간 절연막을 덮는 제2 층간 절연막과, 상기 제2 층간 절연막을 관통하여, 상기 메탈 컨택 구조체 상에 배치되는 제1 도전 스테드와, 상기 제1 및 제2 층간 절연막을 관통하여, 상기 채널 구조체 상에 배치되는 제2 도전 스테드를 더 포함할 수 있다.
- [0017] 본 발명의 몇몇 실시예에서, 상기 제1 도전 스테드와 상기 제2 도전 스테드는, 동일한 물질을 포함할 수 있다.
- [0018] 본 발명의 몇몇 실시예에서, 상기 제1 도전 스테드와 상기 메탈 컨택 구조체의 상기 메탈 컨택은 일체로 형성될 수 있다.
- [0019] 본 발명의 몇몇 실시예에서, 상기 채널 구조체와 상기 제2 도전 스테드 사이에 배치되는 패드를 더 포함하고, 상기 패드의 상면은, 상기 절연층의 상면 및 상기 전극 구조체의 상면과 동일 평면 상에 배치될 수 있다.
- [0020] 본 발명의 몇몇 실시예에서, 상기 전극 구조체는, 상기 게이트 패턴과 상기 절연 패턴 사이에 형성되는 블록층을 더 포함할 수 있다.
- [0021] 본 발명의 몇몇 실시예에서, 상기 비휘발성 메모리 장치는, 3차원 메모리 어레이를 포함할 수 있다.
- [0022] 상기 과제를 해결하기 위한 본 발명의 비휘발성 메모리 장치의 다른 면은, 기관 상에서, 상기 기관에 대해 수직으로 연장되는 복수의 채널 구조체, 상기 기관에 대해 수직으로 연장되고, 상기 채널 구조체와 이격되는 도전 패턴, 상기 복수의 채널 구조체와 상기 도전 패턴을 덮는 제1 층간 절연막, 및 상기 도전 패턴 상에 배치되어 상기 도전 패턴과 전기적으로 연결되고, 상기 제1 층간 절연막을 관통하며, 하면이 상기 복수의 채널 구조체의 상면보다 낮게 형성되는 메탈 컨택을 포함한다.
- [0023] 본 발명의 몇몇 실시예에서, 상기 도전 패턴의 상면은, 상기 기관의 상면보다 높고, 상기 복수의 채널 구조체의 상면보다 낮게 형성될 수 있다.
- [0024] 본 발명의 몇몇 실시예에서, 상기 복수의 채널 구조체는 제1 내지 제4 채널 구조체를 포함하고, 상기 제1 채널

구조체는, 상기 제2 내지 제4 채널 구조체와 동일 거리에 위치하도록 배치될 수 있다.

- [0025] 본 발명의 몇몇 실시예에서, 상기 복수의 채널 구조체는, 벌집 모양(honeycomb)으로 배치될 수 있다.
- [0026] 본 발명의 몇몇 실시예에서, 상기 복수의 채널 구조체는, 더미 채널 구조체와, 액티브 채널 구조체를 포함하고, 상기 메탈 콘택과 최인접한 상기 더미 채널 구조체는, 상기 액티브 채널 구조체보다 상기 메탈 콘택에 가깝게 배치될 수 있다.
- [0027] 본 발명의 몇몇 실시예에서, 상기 제1 층간 절연막을 덮는 제2 층간 절연막과, 상기 제2 층간 절연막을 관통하여, 상기 메탈 콘택 구조체 상에 배치되는 제1 도전 스테드와, 상기 제1 및 제2 층간 절연막을 관통하여, 상기 액티브 채널 구조체 상에 배치되는 제2 도전 스테드를 포함할 수 있다.
- [0028] 본 발명의 몇몇 실시예에서, 상기 제1 도전 스테드와 상기 제2 도전 스테드는, 동일한 물질을 포함할 수 있다.
- [0029] 본 발명의 몇몇 실시예에서, 상기 제2 도전 스테드는, 상기 더미 채널 구조체 상에 미형성될 수 있다.
- [0030] 본 발명의 몇몇 실시예에서, 상기 도전 패턴은, 상기 기판 상에서 상기 기판에 평행한 방향으로 길게 연장될 수 있다.
- [0031] 본 발명의 몇몇 실시예에서, 상기 복수의 채널 구조체는, 상기 도전 패턴을 중심으로 대칭되게 배치될 수 있다.
- [0032] 본 발명의 몇몇 실시예에서, 상기 도전 패턴은, 상기 메탈 콘택을 포함하는 제1 부분과, 상기 제1 부분과 인접한 제2 부분을 포함하며, 상기 기판의 상면과 평행한 제1 방향으로 측정한 상기 제1 부분의 폭은, 상기 제1 방향으로 측정한 상기 제2 부분의 폭보다 클 수 있다.
- [0033] 본 발명의 몇몇 실시예에서, 상기 제1 부분과 최인접한 상기 채널 구조체와 상기 제1 부분 사이의 거리는, 상기 제2 부분과 최인접한 상기 채널 구조체와 상기 제2 부분 사이의 거리보다 작을 수 있다.
- [0034] 상기 과제를 해결하기 위한 본 발명의 비휘발성 메모리 장치의 또 다른 면은, 기판 상에서, 상기 기판에 대해 수직으로 연장되는 제1 및 제2 채널 구조체, 상기 기판에 대해 수직으로 연장되고, 상기 채널 구조체와 이격되는 도전 패턴, 상기 복수의 채널 구조체와 상기 도전 패턴을 덮는 제1 층간 절연막, 상기 제1 층간 절연막을 덮는 제2 층간 절연막, 상기 도전 패턴 상에 배치되고, 상기 제1 층간 절연막을 관통하는 메탈 콘택, 상기 메탈 콘택 상에 배치되고, 상기 제2 층간 절연막을 관통하며, 상기 도전 패턴과 전기적으로 연결되는 제1 도전 스테드, 및 상기 제1 채널 구조체 상에만 배치되고 상기 제2 채널 구조체 상에는 미배치되며, 상기 제1 및 제2 층간 절연막을 관통하는 제2 도전 스테드를 포함한다.
- [0035] 본 발명의 몇몇 실시예에서, 상기 제1 채널 구조체와 상기 메탈 콘택 사이의 거리는, 상기 제1 채널 구조체와 상기 메탈 콘택 사이의 거리보다 클 수 있다.
- [0036] 본 발명의 몇몇 실시예에서, 상기 도전 패턴의 상면은, 상기 채널 구조체의 상면보다 낮게 형성될 수 있다.
- [0037] 본 발명의 몇몇 실시예에서, 상기 메탈 콘택과 상기 제1 도전 스테드는, 일체로 형성될 수 있다.
- [0038] 본 발명의 몇몇 실시예에서, 상기 제1 도전 스테드와 상기 제2 도전 스테드는, 동일한 물질을 포함할 수 있다.
- [0039] 본 발명의 몇몇 실시예에서, 상기 제1 및 제2 채널 구조체와 상기 도전 패턴 사이에 위치하고, 교대로 적층되는 복수의 게이트 패턴 및 복수의 절연 패턴을 포함하는 전극 구조체를 더 포함할 수 있다.
- [0040] 본 발명의 몇몇 실시예에서, 상기 복수의 게이트 패턴은, 상기 기판에서 멀어지는 방향으로 순차적으로 적층되는 제1 내지 제n 게이트 패턴(n은 자연수)을 포함하고, 상기 도전 패턴의 상면은, 상기 제k 게이트 패턴(k는 n보다 작은 자연수)과 상기 제k+1 게이트 패턴 사이에 배치될 수 있다.
- [0041] 본 발명의 몇몇 실시예에서, 상기 도전 패턴과 상기 전극 구조체 사이에 배치되며, 상기 도전 패턴의 측면을 따라 형성되는 스페이서를 더 포함하고, 상기 도전 패턴의 하면은, 상기 스페이서의 하면보다 낮게 형성될 수 있다.
- [0042] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0043] 도 1은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 개념도이다.

도 2는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 레이아웃도이다.

도 3은 도 2의 A - A를 따라서 절단한 단면도이다.

도 4는 도 2의 B - B를 따라서 절단한 단면도이다.

도 5는 도 2의 C - C를 따라서 절단한 단면도이다.

도 6은 도 2의 TS1 영역의 확대도이다.

도 7 및 도 8은 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 몇몇 응용례를 설명하기 위한 단면도이다.

도 9는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 단면도이다.

도 10은 본 발명의 또 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 단면도이다.

도 11은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 단면도이다.

도 12는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 레이아웃도이다.

도 13은 도 12의 A - A를 따라서 절단한 단면도이다.

도 14는 본 발명의 몇몇 실시예에 따른 메모리 시스템을 설명하기 위한 블록도이다.

도 15 내지 도 25는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하기 위한 중간단계 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0044] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 표시된 구성요소의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭하며, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0045] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0046] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0047] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외에 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.
- [0048] 비록 제1, 제2 등이 다양한 소자나 구성요소들을 서술하기 위해서 사용되나, 이들 소자나 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자나 구성요소를 다른 소자나 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자나 구성요소는 본 발명의 기술적 사상 내에서 제2 소자나 구성요소 일 수도 있음은 물론이다.
- [0049] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로

사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

- [0050] 본 발명의 몇몇 실시예에서, 3차원 메모리 어레이(three dimensional (3D) memory array)가 제공된다. 3차원 메모리 어레이는, 메모리 셀의 동작과 연관된 전기 회로망(circuitry) 및 실리콘 기판 상에 형성된 액티브 영역을 갖는 메모리 셀 어레이의 하나 이상의 물리적 층(physical levels)에, 모놀리식(monolithically)으로 형성될 수 있다. 연관된 전기 회로망은 기판 내부 또는 기판 상에 형성될 수 있다. '모놀리식(monolithic)'은, 어레이의 각 층(level)의 레이어(layer)가, 어레이의 각 아래층의 레이어 상에 직접 놓여지는 것(deposited on)을 의미할 수 있다.
- [0051] 본 발명의 몇몇 실시예에서, 3차원 메모리 어레이는, 적어도 하나의 메모리 셀이 다른 메모리 셀 상에 배치되어 수직으로 연장된 '버티컬 NAND 스트링(vertical NAND string)'을 포함할 수 있다. 적어도 하나의 메모리 셀은, 전하 저장 막(charge trap layer)를 포함할 수 있다. 3차원 메모리 어레이는, 층(level)간 공유되는 비트 라인들 및/또는 워드 라인들과, 복수의 층(level)을 포함할 수 있다.
- [0052] 이하에서, 도 1 내지 도 25를 참조하여, 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치에 대해 설명하도록 한다.
- [0053] 도 1은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 개념도이다. 도 2는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 레이아웃도이다. 도 3은 도 2의 A - A를 따라서 절단한 단면도이다. 도 4는 도 2의 B - B를 따라서 절단한 단면도이다. 도 5는 도 2의 C - C를 따라서 절단한 단면도이다. 도 6은 도 2의 TS1 영역의 확대도이다.
- [0054] 우선, 도 1을 참조하면, 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 메모리 셀 어레이는, 복수의 메모리 블록(BLK1~BLKn; 단, n은 자연수)을 포함할 수 있다.
- [0055] 각 메모리 블록(BLK1~BLKn)은 제1 내지 제3 방향(x, y, z)으로 연장될 수 있다. 메모리 블록(BLK1~BLKn)은, 3차원으로 배열될 수 있다. 제1 내지 제3 방향(x, y, z)은 도시된 것과 같이, 서로 교차하는 방향이고, 서로 다른 방향일 수 있다. 예를 들어, 제1 내지 제3 방향(x, y, z)은 서로 직각으로 교차하는 방향일 수 있으나, 이에 한정되는 것은 아니다.
- [0056] 도 2 내지 도 6을 참조하면, 각각의 메모리 블록(BLK_i, 단, $1 \leq i \leq n$, i는 자연수)은 기판(100) 상에 형성된, 채널 구조체(120, 130), 전극 구조체(110), 도전 패턴(220), 절연층(230), 메탈 콘택 구조체(310, 315), 제1 층간 절연막(170), 제2 층간 절연막(180), 제1 도전 스테드(325), 제2 도전 스테드(425)를 포함할 수 있다.
- [0057] 기판(100)은 실리콘 기판, 게르마늄 기판 혹은 실리콘-게르마늄 기판 등과 같은 반도체 기판이나, 실리콘-온-인슐레이터(Silicon-On-Insulator: SOI) 기판 혹은 게르마늄-온-인슐레이터(Germanium-On-Insulator: GOI) 기판 등을 포함할 수 있다.
- [0058] 전극 구조체(110)는 채널 구조체(120, 130)와 도전 패턴(220) 사이에 위치하고, 교대로 적층되는 복수의 게이트 패턴(GSL, WL0~WL_n, SSL) 및 복수의 절연 패턴(112)을 포함할 수 있다. 구체적으로, 전극 구조체(110)는 복수의 절연 패턴(112), 복수의 게이트 패턴(GSL, WL0~WL_n, SSL)(단, n은 자연수), 블록층(114)(block layer)을 포함할 수 있다. 게이트 절연층(120)은 터널층(tunnel layer)(121), 트랩층(trap layer)(122)을 포함할 수 있다.
- [0059] 복수의 절연 패턴(112)은 기판(100) 상에서 기판(100)에서 멀어지는 방향으로 서로 이격되어 순차적으로 적층될 수 있다. 도 3에 도시한 것과 같이, 복수의 절연 패턴(112) 각각은 기판(100)의 상면에 평행한 방향으로 길게 연장되도록 형성될 수 있다. 이러한 절연 패턴(112)은 산화물일 수 있으나, 이에 한정되는 것은 아니다.
- [0060] 복수의 절연 패턴(112) 사이에, 복수의 게이트 패턴(GSL, WL0~WL_n, SSL)이 배치될 수 있다. 복수의 게이트 패턴(GSL, WL0~WL_n, SSL)은 기판(100)의 상면에 평행한 방향으로 길게 형성되고, 기판(100)에서 멀어지는 방향으로 적층될 수 있다.
- [0061] 본 발명의 몇몇 실시예에서, 최하부의 게이트 패턴(GSL)은 그라운드 선택 라인(Ground Selection Line: 이하, GSL)으로 제공되며, 최상부의 게이트 패턴(SSL)은 스트링 선택 라인(String Selection Line: 이하, SSL)으로 제공될 수 있다. GSL 및 SSL 사이의 게이트 패턴들(WL0~WL_n)은 워드 라인(word line)으로 제공될 수 있다.
- [0062] 복수의 게이트 패턴(GSL, WL0~WL_n, SSL)은 도전성 물질로 형성될 수 있는데, 예를 들어, 텅스텐(W), 코발트

(Co), 니켈(Ni) 등의 도전성 물질이나 실리콘과 같은 반도체 물질로 형성될 수 있는데 이에 한정되는 것은 아니다.

- [0063] 블록층(114)은 채널 구조체(120, 130)와 복수의 게이트 패턴(GSL, WL0~WLn, SSL) 사이에 각각 배치될 수 있다. 블록층(114)은 기판(100)에서 멀어지는 방향으로 길게 연장되어 형성될 수 있다. 또한, 블록층(114)은 기판(100)과 평행한 방향으로 지그재그(zigzag) 형태로 형성될 수 있다.
- [0064] 이때, 채널 구조체(120, 130)와 복수의 게이트 패턴(GSL, WL0~WLn, SSL)이 교차하는 영역에서, 비휘발성 메모리 셀(TS1)이 정의될 수 있다. 비휘발성 메모리 셀(TS1)에 대한 자세한 설명은 도 6 내지 도 8을 참조하여 후술하도록 한다.
- [0065] 채널 구조체(120, 130)는 기판(100)에서 멀어지는 방향으로 길게 연장되어 형성된다. 구체적으로, 채널 구조체(120, 130)는 기판(100) 상에 필러(pillar) 형태로 배치되어, 적층된 복수의 절연 패턴(112)을 관통하도록 형성된다. 복수의 게이트 패턴(GSL, WL0~WLn, SSL)은 적층된 복수의 절연 패턴(112) 사이에 각각 형성될 수 있다. 복수의 게이트 패턴(GSL, WL0~WLn, SSL)은 채널 구조체(120, 130)와 교차되도록 형성될 수 있다. 복수의 게이트 패턴(GSL, WL0~WLn, SSL)은 서로 같은 두께를 갖는 것으로 도시하였으나, 본 발명이 이에 한정되는 것은 아니고, 서로 다른 두께를 가질 수도 있다.
- [0066] 채널 구조체(120, 130)는 채널 패턴(130)과 게이트 절연층(120)을 포함할 수 있다.
- [0067] 채널 패턴(130)은 기판(100)에 대해 수직으로 연장되도록 형성될 수 있다. 채널 패턴(130)은 예를 들어, 단결정 실리콘과 같은 반도체 물질일 수 있으나, 이에 한정되는 것은 아니다. 도면에 명확하게 도시하지는 않았으나, 채널 패턴(130)은 속이 빈 원통 형상, 컵 형상, 속이 빈 직육면체 형상, 속이 찬 필라(pillar) 형상 등을 가질 수 있다.
- [0068] 게이트 절연층(120)은 채널 패턴(130)의 측면을 감싸도록 형성될 수 있다. 게이트 절연층(120)은 채널 패턴(130)의 길이방향으로 컨포멀(conformal)하게 형성될 수 있다. 채널 패턴(130)의 상면과 게이트 절연층(120)의 상면은 동일평면 상에 위치할 수 있다.
- [0069] 게이트 절연층(120)은 터널층(121)과, 트랩층(122)을 포함할 수 있다. 즉, 채널 패턴(130)의 길이 방향을 따라, 터널층(121), 트랩층(122)이 배치될 수 있다. 터널층(121), 트랩층(122)은 복수의 게이트 패턴(GSL, WL0~WLn, SSL)과 채널 패턴(130) 사이에 배치될 수 있다. 구체적으로 예를 들어, 터널층(121), 트랩층(122)은 채널 패턴(130)을 따라서, 복수의 절연 패턴(112)을 관통하도록 형성될 수 있다.
- [0070] 터널층(121)은 전하가 통과되는 부분으로, 예를 들어, 실리콘 산화막, 또는 실리콘 산화막과 실리콘 질화막의 이중층으로 형성될 수 있다.
- [0071] 트랩층(122)은 터널층(121)을 통과한 전하가 저장되는 부분이다. 예를 들어, 트랩층(122)은 질화막 또는 고유전율(high-k)막으로 형성될 수 있다. 질화막은 예를 들어 실리콘 질화물(silicon nitride), 실리콘 산화질화물(silicon oxynitride), 하프늄 산화질화물(hafnium oxynitride), 지르코늄 산화질화물(zirconium oxynitride), 하프늄 실리콘 산화질화물(hafnium silicon oxynitride), 또는 하프늄 알루미늄 산화질화물(hafnium aluminum oxynitride) 중에서 하나 이상을 포함할 수 있다. 고유전율막은 예를 들어, 하프늄 산화물(hafnium oxide), 하프늄 실리콘 산화물(hafnium silicon oxide), 란타늄 산화물(lanthanum oxide), 란타늄 알루미늄 산화물(lanthanum aluminum oxide), 지르코늄 산화물(zirconium oxide), 지르코늄 실리콘 산화물(zirconium silicon oxide), 탄탈륨 산화물(tantalum oxide), 티타늄 산화물(titanium oxide), 바륨 스트론튬 티타늄 산화물(barium strontium titanium oxide), 바륨 티타늄 산화물(barium titanium oxide), 스트론튬 티타늄 산화물(strontium titanium oxide), 이트륨 산화물(yttrium oxide), 알루미늄 산화물, 납 스칸듐 탄탈륨 산화물(lead scandium tantalum oxide), 또는 납 아연 니오브산염(lead zinc niobate) 중에서 하나 이상을 포함할 수 있다.
- [0072] 도 6을 참조하면, 블록층(114)은 위쪽에 배치된 절연 패턴(도 6의 112a)과 게이트 패턴(도 6의 WL1) 사이, 아래쪽에 배치된 절연 패턴(도 6의 112b)과 게이트 패턴(WL1) 사이, 채널 패턴(130)(또는, 트랩층(122))과 전극(WL1) 사이에 형성될 수 있다. 블록층(114)은 절연 패턴(112a, 112b)과 채널 패턴(130)의 형상에 따라 컨포멀하게 형성될 수 있다.
- [0073] 이러한 블록층(114)은 단층 또는 다층일 수 있다. 블록층(114)은 실리콘 산화물 또는 실리콘 산화물보다 큰 유전상수를 가지는 절연성 금속 산화물을 포함할 수 있다. 예를 들어, 알루미늄 산화물(aluminum oxide), 하프늄 산화물(hafnium oxide), 란타늄 산화물(lanthanum oxide), 탄탈륨 산화물(tantalum oxide), 티타늄 산화물

(titanium oxide), 란타늄 하프늄 산화물(lanthanum hafnium oxide), 란타늄 알루미늄 산화물(lanthanum aluminum oxide), 또는 디스프로슘 스칸듐 산화물(dysprosium scandium oxide)와 같은 고유전율 물질 또는 이들의 조합으로 적층된 복합층으로 형성할 수 있다. 도면에서는 블록층(114)이 1개층인 경우를 도시하였으나, 이에 한정되는 것은 아니다. 예를 들어, 블록층(114)는 예를 들어, 실리콘 산화물과, 알루미늄 산화물의 적층물일 수 있다.

- [0074] 한편, 도 6에 도시된 터널층(121), 트랩층(122), 블록층(114)의 구성은 예시적인 것에 불과하다. 예를 들어, 터널층(121), 트랩층(122), 블록층(114)이 채널 패턴(130)의 길이 방향을 따라 배치될 수도 있다. 이에 대한 자세한 설명은 도 7 및 도 8을 참조하여 후술하도록 한다.
- [0075] 채널 구조체(120, 130) 상에는 채널 패드(135)가 형성될 수 있다. 채널 패드(135)의 하면은 채널 구조체(120, 130)의 상면과 접할 수 있다. 채널 패드(135)는 예를 들면, 불순물이 도핑된 폴리실리콘을 포함할 수 있다.
- [0076] 채널 패드(135)의 상면은 전극 구조체(110)의 상면과 동일 평면 상에 배치될 수 있다. 이때, 게이트 절연층(120)의 최상면 및 블록층(114)의 최상면도 채널 패드(135)의 상면과 동일 평면 상에 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0077] 도전 패턴(220)은 기판(100) 상에서 기판(100)에 대해 수직으로 연장되고, 채널 구조체(120, 130)와 이격되도록 배치될 수 있다. 도전 패턴(220)은 공통 소스 라인(Common Source Line: CSL)으로 동작할 수 있다.
- [0078] 도전 패턴(220)은 전극 구조체(110)를 관통하는 제1 트렌치(201) 내에 위치할 수 있다. 도전 패턴(220)은 서로 다른 전극 구조체(110) 사이에 배치될 수 있다. 도전 패턴(220)의 상면은, 기판(100)의 상면보다 높게 형성되고, 채널 구조체(120, 130)의 상면보다 낮게 형성될 수 있다.
- [0079] 도전 패턴(220)의 상면은 복수의 게이트 패턴의 일면보다 낮게 형성될 수 있다. 구체적으로, 전극 구조체(110)가 기판(100)에서 멀어지는 방향으로 순차적으로 적층되는 제1 내지 제n 게이트 패턴(WL0~WLn)을 포함할 때, 도전 패턴(220)의 상면은, 제k 게이트 패턴과 상기 제k+1 게이트 패턴 사이에 배치될 수 있다(k는 n보다 작은 자연수).
- [0080] 예를 들어, 도 3을 참조하면, 도전 패턴(220)의 상면은 제1 게이트 패턴(WL0)의 상면보다 높고, 제2 게이트 패턴(WL1)의 상면보다 낮을 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니고, 도전 패턴(220)의 상면은 기판(100)의 상면과 채널 구조체(120, 130)의 상면 사이의 범위에서 얼마든지 조정될 수 있다.
- [0081] 도전 패턴(220)은 금속 물질 또는 금속 화합물을 포함할 수 있다. 예를 들어, 도전 패턴(220)은 텅스텐(W)을 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니고, 예를 들어, 폴리실리콘, 금속 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있다.
- [0082] 절연층(230)은, 제1 트렌치(201) 내에서, 도전 패턴(220) 상에 형성될 수 있다. 절연층(230)은 도전 패턴(220)의 상면과 접하고, 전극 구조체(110)의 측면을 따라 형성될 수 있다. 절연층(230)의 상면은 채널 패드(135)의 상면 또는 전극 구조체(110)의 상면과 동일 평면 상에 위치할 수 있다. 절연층(230)은 유전율을 갖는 물질로 이루어질 수 있다. 본 발명의 몇몇 실시예에서, 절연층(230)은 예를 들어, HfO₂, Al₂O₃, ZrO₂, TaO₂ 등의 물질로 이루어질 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0083] 스페이서(210)는 도전 패턴(220)과 전극 구조체(110) 사이, 및 절연층(230)과 전극 구조체(110) 사이에 배치된다. 스페이서(210)는 도전 패턴(220)의 측면 및 절연층(230)의 측면을 따라 형성될 수 있다. 스페이서(210)는 도전 패턴(220)과 절연층(230)을 감싸도록 형성될 수 있다. 스페이서(210)는 전극 구조체(110)의 측면을 따라 콘포멀 하게 형성될 수 있다. 스페이서(210)의 상면은 채널 패드(135)의 상면, 전극 구조체(110)의 상면, 또는 절연층(230)의 상면과 동일 평면 상에 위치할 수 있다. 스페이서(210)는 적어도 하나의 절연 물질, 예를 들어 실리콘 산화물을 포함한다.
- [0084] 스페이서(210)는 제1 트렌치(201)의 측벽을 따라 형성될 수 있다. 스페이서(210)의 하면은 기판(100)의 상면보다 낮게 형성될 수 있다. 다만, 상기 스페이서(210)의 하면은 상기 도전 패턴(220)의 하면보다는 높게 형성될 수 있다.
- [0085] 제1 층간 절연막(170)은 채널 구조체(120, 130), 채널 패드(135), 전극 구조체(110), 절연층(230)을 덮도록 형성될 수 있다. 제1 층간 절연막(170)은 제1 층간 절연막(170)의 하부에 있는 반도체 소자들과 제1 층간 절연막(170)의 상부에 있는 반도체 소자의 전기적 절연을 담당할 수 있다.

- [0086] 제1 층간 절연막(170)은 BSG(borosilicate Glass), PSG(phosphoSilicate Glass), BPSG(boroPhosphoSilicate Glass), USG(Undoped Silicate Glass), TEOS(TetraEthylOrthoSilicate Glass), 또는 HDP-CVD(High Density Plasma-CVD) 등과 같은 실리콘 산화물을 이용하여 형성될 수 있다.
- [0087] 메탈 콘택 구조체(310, 315)는 제1 층간 절연막(170)과 절연층(230)을 관통하여 도전 패턴(220)의 상면에 접하도록 형성될 수 있다. 메탈 콘택 구조체(310, 315)는 메탈 콘택(315)과 제1 베리어 메탈(310)을 포함할 수 있다.
- [0088] 제1 베리어 메탈(310)은 절연층(230)의 측면 및 도전 패턴(220)의 상면을 따라 형성될 수 있다. 제1 베리어 메탈(310)은 제2 트렌치(203)의 내면에 컨포멀하게 형성될 수 있다. 즉, 제1 베리어 메탈(310)은 제2 트렌치(203)의 양 측면 및 하면에 일정 두께로 형성될 수 있다. 또는, 도면에 명확하게 도시하지는 않았으나, 제1 베리어 메탈(310)은 제2 트렌치(203)의 하면에만 일정 두께로 형성될 수 있다. 제1 베리어 메탈(310)은 티타늄(Ti), 티타늄나이트라이드(TiN), 또는 텅스텐나이트라이드(WN)를 포함할 수 있다. 제1 베리어 메탈(310)은 PVD, CVD 또는 ILD 방식을 이용하여 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0089] 메탈 콘택(315)은 제1 베리어 메탈(310) 상에 형성될 수 있다. 메탈 콘택(315)은 제2 트렌치(203)를 매립하도록 형성될 수 있다. 메탈 콘택(315)은 도전 패턴(220)과 전기적으로 연결될 수 있다. 메탈 콘택(315)은 금속 물질 또는 금속 화합물을 포함할 수 있다. 예를 들어, 메탈 콘택(315)은 텅스텐(W)를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니고, 예를 들어, 폴리실리콘, 금속 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있다.
- [0090] 메탈 콘택 구조체(310, 315)의 하면은 채널 구조체(120, 130)의 상면보다 낮게 형성될 수 있다. 이는 도전 패턴(220)의 상면과 메탈 콘택 구조체(310, 315)의 하면이 동일 평면 상에 배치되기 때문이다. 메탈 콘택(315)은 메모리 블록 주위의 페리 영역(PERI region)에 포함된 메탈 콘택(315)을 형성하는 공정에서 함께 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0091] 제2 층간 절연막(180)은 제1 층간 절연막(170)을 덮도록 형성될 수 있다. 제2 층간 절연막(180)은 제2 층간 절연막(180)의 하부에 있는 반도체 소자들과 제2 층간 절연막(180)의 상부에 있는 반도체 소자의 전기적 절연을 담당할 수 있다. 제2 층간 절연막(180)은 제1 층간 절연막(170)과 동일한 물질을 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0092] 제1 도전 스테드(325)는 메탈 콘택 구조체(310, 315) 상에 형성될 수 있다. 제1 도전 스테드(325)는 제3 트렌치(205) 내에 형성될 수 있다. 이때, 제3 트렌치(205)는 메탈 콘택 구조체(310, 315)의 일부를 노출시키도록 형성될 수 있다. 따라서, 제1 도전 스테드(325)는 제2 층간 절연막(180)을 관통하도록 형성될 수 있다. 제1 도전 스테드(325)는 텅스텐(W)를 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니고, 예를 들어, 폴리실리콘, 금속 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있다.
- [0093] 제1 도전 스테드(325)와 제3 트렌치(205) 사이에는 제2 베리어 메탈(320)이 형성될 수 있다. 제2 베리어 메탈(320)은 제3 트렌치 내면에 컨포멀하게 형성될 수 있다. 즉, 제2 베리어 메탈(320)은 제3 트렌치(205)의 양 측면 및 하면에 일정 두께로 형성될 수 있다. 또는, 도면에 명확하게 도시하지는 않았으나, 제2 베리어 메탈(320)은 제3 트렌치의 하면만에 일정 두께로 형성될 수 있다. 제2 베리어 메탈(320)은 티타늄(Ti), 티타늄나이트라이드(TiN), 또는 텅스텐나이트라이드(WN)를 포함할 수 있다. 제2 베리어 메탈(320)은 PVD, CVD 또는 ILD 방식을 이용하여 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0094] 도 3에 도시된 채널 구조체(120, 130)는 더미 채널 구조체(Dummy channel structure)(DM1, DM2)일 수 있다. 더미 채널 구조체(DM1, DM2)의 상면에는 도전 스테드가 배치되지 않는다. 따라서, 더미 채널 구조체(DM1, DM2)는 채널로서 동작하지 않는다.
- [0095] 반면, 도 4에 도시된 채널 구조체(120, 130)는 액티브 채널 구조체(Active channel structure)(C1, C2)일 수 있다. 액티브 채널 구조체(C1, C2) 상에는 제2 도전 스테드(425)와 제3 베리어 메탈(420)이 형성될 수 있다. 도면에 명확하게 도시하지는 않았으나, 제2 도전 스테드(425)는 배선을 통해 액티브 채널 구조체(C1, C2)와 다른 노드를 전기적으로 연결할 수 있다.
- [0096] 제2 도전 스테드(425)는 액티브 채널 구조체(C1, C2) 상에 형성될 수 있다. 다만, 제2 도전 스테드(425)는 더미 채널 구조체(DM1, DM2) 상에는 미형성될 수 있다.
- [0097] 제2 도전 스테드(425)는 제4 트렌치(207) 내에 형성될 수 있다. 이때, 제4 트렌치(207)는 액티브 채널 구조체

(C1, C2)의 일부를 노출시키도록 형성될 수 있다. 따라서, 제2 도전 스테드(425)는 제1 층간 절연막(170)과 제2 층간 절연막(180)을 관통하도록 형성될 수 있다. 제2 도전 스테드(425)는 제1 도전 스테드(325)와 동일한 물질로 구성될 수 있다. 즉, 제1 도전 스테드(325)와 제2 도전 스테드(425)는 동일한 공정을 통해 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0098] 제2 도전 스테드(425)와 제4 트렌치(207) 사이에는 제3 베리어 메탈(420)이 형성될 수 있다. 제3 베리어 메탈(420)은 제4 트렌치 내면에 컨포멀하게 형성될 수 있다. 즉, 제3 베리어 메탈(420)은 제4 트렌치(207)의 양 측면 및 하면에 일정 두께로 형성될 수 있다. 또는, 도면에 명확하게 도시하지는 않았으나, 제3 베리어 메탈(420)은 제4 트렌치의 하면만에 일정 두께로 형성될 수 있다. 제3 베리어 메탈(420)은 제2 베리어 메탈(320)과 동일한 물질로 구성될 수 있다. 즉, 제2 베리어 메탈(320)과 제3 베리어 메탈(420)은 동일한 공정을 통해 형성될 수 있다. 다만, 발명이 이에 한정되는 것은 아니다.

[0099] 도2, 도 4, 및 도 5를 참조하면, 메탈 콘택 구조체(310, 315)는 복수의 채널 구조체(120, 130) 중 더미 채널 구조체(DM1, DM2)와 가장 가까이에 위치할 수 있다. 즉, 메탈 콘택 구조체(310, 315)와 더미 채널 구조체(DM1, DM2)(예를 들어, D1) 사이의 거리는, 메탈 콘택 구조체(310, 315)와 액티브 채널 구조체(C1, C2)(예를 들어, C3) 사이의 거리보다 작을 수 있다. 다르게 이야기하면, 메탈 콘택 구조체(310, 315)와 가까운 채널 구조체(120, 130)는 더미 채널 구조체(DM1, DM2)로 이용될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0100] 복수의 채널 구조체(120, 130)는, 벌집 모양(honeycomb)으로 배치될 수 있다. 즉, 인접한 복수의 채널 구조체(120, 130)는 육각형 모양으로 연속적으로 배열될 수 있다.

[0101] 예를 들어, 복수의 채널 구조체(120, 130)는 제1 내지 제4 채널 구조체(C3, C1, C4, DM1)를 포함할 때, 제1 채널 구조체(C3)는, 제2 내지 제4 채널 구조체(C1, C4, DM1)와 동일 거리(L1)에 위치하도록 배치될 수 있다.

[0102] 도전 패턴(220)은 X-Y 평면 상에서 상기 기판(100)에 평행한 방향으로 길게 연장될 수 있으며, 복수의 채널 구조체(120, 130)는, 도전 패턴(220)을 중심으로 대칭되게 배치될 수 있다.

[0103] 종래의 기술의 경우, 도전 패턴의 상면은 채널 구조체의 상면과 같거나 높게 형성되었다. 따라서, 도전 패턴은 상하로 길게 형성되고, 라인 패턴으로 좌우로도 길게 형성되었다. 이 과정에서 도전 패턴 내에 F-가스가 슬릿(slit) 영역을 통해 한곳으로 집중되는 현상이 빈번하게 발생하였으며, 이 과정에서 생성된 HF가 텅스텐(W) 또는 ONO를 식각하는 경우가 발생하였다. 이는, 비휘발성 메모리 장치의 불량률을 높이는 하나의 요인으로 작용하였다. 또한, 라인 타입(Line type)의 도전 패턴은 스트레스를 증가시키는 하나의 요인으로도 작용하였다.

[0104] 이에 본 발명은, 도전 패턴 생성 후, 도전 패턴의 상부의 일부를 제거하여, 슬릿 영역과 F-가스를 제거하였다. 즉, 도전 패턴의 높이를 채널 구조체의 상면보다 낮도록, 도전 패턴의 상부를 식각하였다. 또한, 도전 스테드와 도전 패턴 사이의 전기적 연결을 담당하는 메탈 콘택 구조체를 추가하였다.

[0105] 본 발명의 몇몇 실시예는 F-가스에 의해 형성되는 도전 패턴 내의 슬릿 영역을 제거하고, 도전 패턴이 가하는 스트레스를 감소시킬 수 있다. 이를 통해, 본 발명은 비휘발성 메모리 장치의 불량률을 줄이고, 성능을 개선시키는 효과를 가진다.

[0106] 도 7 및 도 8은 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 몇몇 응용례를 설명하기 위한 단면도이다. 도 7 및 도 8은 도 6에 도시된 비휘발성 메모리 셀(TS1) 대신 사용될 수 있는 다른 예일 수 있다. 설명의 편의상, 도 6을 이용하여 설명한 것과 다른 점을 위주로 설명하도록 한다.

[0107] 도 7을 참조하면, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 응용례에서, 채널 패턴(130)의 측벽에 터널층(121), 트랩층(122), 블록층(114)이 형성될 수 있다. 채널 패턴(130)의 길이 방향을 따라, 터널층(121), 트랩층(122), 블록층(114)이 배치될 수 있다. 더 구체적으로, 터널층(121), 트랩층(122), 블록층(114)은 채널 패턴(130)을 따라서, 복수의 절연 패턴(112)을 관통하도록 형성될 수 있다.

[0108] 또한, 도 8을 참조하면, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 다른 응용례에서, 터널층(121), 트랩층(122) 및 블록층(114)은 위쪽에 배치된 절연 패턴(도 8의 112a)과 게이트 패턴(도 8의 WL1) 사이, 아래쪽에 배치된 절연 패턴(도 8의 112b)과 게이트 패턴(WL1) 사이, 채널 패턴(130)과 게이트 패턴(WL1) 사이에 형성될 수 있다. 즉, 터널층(121), 트랩층(122) 및 블록층(114)은 절연 패턴(112a, 112b)과 채널 패턴(130)의 형상에 따라 컨포멀하게(conformal) 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0109] 도 9는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 단면도이다. 도 10은 본 발명의 또 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 단면도이다. 설명의 편의를 위하여, 이하에서는

앞서 설명한 실시예와 동일한 사항에 대해서는 중복된 설명을 생략하고 차이점을 중심으로 설명하도록 한다.

- [0110] 도 9 및 도 10을 참조하면, 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치(2a, 2b)는 앞서 도 1 내지 도 8을 참조하여 설명한 비휘발성 메모리 장치(1)와 실질적으로 동일하게 구성되고 동작할 수 있다.
- [0111] 다만, 도전 패턴(220)의 상면의 높이와 메탈 컨택 구조체(310, 315)의 하면의 높이는 달라질 수 있다. 도전 패턴(220)의 상면과 메탈 컨택 구조체(310, 315)의 하면은 동일 평면 상에 배치되므로, 도전 패턴(220)의 상면을 기준으로 설명한다.
- [0112] 도전 패턴(220)의 상면은 기판(100)의 상면보다 높고, 채널 구조체(120, 130)의 상면보다 낮은 범위 내에서 변화될 수 있다.
- [0113] 예를 들어, 도 9를 참조하면, 도전 패턴(220)의 상면은 기판(100)의 상면보다 높고, 전극 구조체(110)에 포함된 게이트 패턴보다 아래에 배치될 수 있다. 즉, 도전 패턴(220)의 높이(D41)는 기판(100)의 상면과 도전 패턴(220)의 하면 사이의 높이(D32)보다 클 수 있다.
- [0114] 또 다른 예로, 도 10을 참조하면, 전극 구조체(110)가 기판(100)에서 멀어지는 방향으로 순차적으로 적층되는 제1 내지 제n 게이트 패턴(WL0~WLn)을 포함할 때, 도전 패턴(220)의 상면은 제k 게이트 패턴과 상기 제k+1 게이트 패턴 사이에 배치될 수 있다(k는 n보다 작은 자연수). 예를 들어, 도전 패턴(220)의 상면은 제2 게이트 패턴(WL1)의 상면보다 높고, 제3 게이트 패턴(WL2)의 상면보다 낮을 수 있다. 이에 따라, 도전 패턴(220)의 높이(D42)는 기판(100)의 상면과 도전 패턴(220)의 하면 사이의 높이(D32)보다 클 수 있다.
- [0115] 또한, 도전 패턴(220)의 상면은 제2 게이트 패턴(WL1)과 오버랩되어, 제2 게이트 패턴(WL1)의 상면보다 낮고, 제2 게이트 패턴(WL1)의 하면보다 높게 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0116] 스페이서(210)의 하면은 도전 패턴(220)의 하면보다 높게 형성될 수 있다. 즉, 스페이서(210)의 하면과 도전 패턴(220)의 하면 사이에는 단차가 존재할 수 있다. 예를 들어, 기판(100)의 상면을 기준으로, 스페이서(210)의 하면까지의 깊이(D31)는 도전 패턴(220)의 하면까지의 깊이(D32)보다 작을 수 있다.
- [0117] 도 11은 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 단면도이다. 설명의 편의를 위하여, 이하에서는 앞서 설명한 실시예와 동일한 사항에 대해서는 중복된 설명을 생략하고 차이점을 중심으로 설명하도록 한다.
- [0118] 도 11을 참조하면, 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치(3)는 앞서 도 1 내지 도 8을 참조하여 설명한 비휘발성 메모리 장치(1)와 실질적으로 동일하게 구성되고 동작할 수 있다.
- [0119] 다만, 제1 도전 스테드(325)와 메탈 컨택 구조체(310, 315)의 메탈 컨택(315)은 일체로 형성될 수 있다. 따라서, 제3 도전 스테드(435)는 제1 층간 절연막(170)과 제2 층간 절연막(180)을 관통하여 도전 패턴(220)과 전기적으로 연결될 수 있다.
- [0120] 구체적으로, 제5 트렌치(209)는 도전 패턴(220)의 상면의 일부를 노출시키도록 제1 층간 절연막(170)과 제2 층간 절연막(180)을 관통하여 형성될 수 있다.
- [0121] 제4 베리어 메탈(430)은 제4 트렌치 내면에 컨포멀하게 형성될 수 있다. 즉, 제4 베리어 메탈(430)은 절연층(230)의 측면, 도전 패턴(220)의 상면, 제1 층간 절연막(170)의 측면, 및 제2 층간 절연막(180)의 측면을 따라 형성될 수 있다. 제4 베리어 메탈(430)은 제5 트렌치(209)의 양 측면 및 하면에 일정 두께로 형성될 수 있다. 제4 베리어 메탈(430)은 제3 베리어 메탈(420)과 동일한 물질을 포함하고, 동일한 공정 내에서 형성될 수 있다.
- [0122] 제3 도전 스테드(435)는 제4 베리어 메탈(430) 상에 형성될 수 있다. 제3 도전 스테드(435)는 제5 트렌치(209)를 매립하도록 형성될 수 있다. 제3 도전 스테드(435)는 도전 패턴(220)과 전기적으로 연결될 수 있다. 제3 도전 스테드(435)는 제2 도전 스테드(425)와 동일한 물질을 포함하고, 동일한 공정 내에서 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0123] 도 12는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 레이아웃도이다. 도 13은 도 12의 A - A를 따라서 절단한 단면도이다. 설명의 편의를 위하여, 이하에서는 앞서 설명한 실시예와 동일한 사항에 대해서는 중복된 설명을 생략하고 차이점을 중심으로 설명하도록 한다.
- [0124] 도 12를 참조하면, 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치(4)는 앞서 도 1 내지 도 8을 참조하여 설명한 비휘발성 메모리 장치(1)와 실질적으로 동일하게 구성되고 동작할 수 있다. 따라서, B - B 및 C - C를

따라서 절단한 단면은 각각 도 4 및 도 5와 서로 동일할 수 있다.

- [0125] 다만, 도전 패턴(220)은, 메탈 컨택(315)을 포함하는 제1 부분(221)과, 제1 부분(221)과 인접한 제2 부분(222)을 포함할 수 있다. 제2 부분(222)은 제1 부분(221)의 양측에 해당할 수 있다. 이때, 기판(100)의 상면과 평행한 제1 방향으로 측정한 제1 부분(221)의 폭(W3)은, 상기 제1 방향으로 측정한 제2 부분(222)의 폭(W4)보다 크게 형성될 수 있다. 즉, 제1 부분(221)은 X-Y 평면에서 블록하게 형성되고, 제1 부분(221)과 인접한 제2 부분(222)과 다른 두께로 형성될 수 있다.
- [0126] 이에 따라, 제1 부분(221)과 최인접한 채널 구조체(예를 들어, DM1)와 제1 부분(221) 사이의 거리(L2)는, 제2 부분(222)과 최인접한 채널 구조체(예를 들어, C4)와 상기 제2 부분(222) 사이의 거리(L3)보다 작을 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0127] 따라서, 도 13을 참조하면, 도전 패턴(220)의 하면의 폭(W2)은 도 3에 도시된 도전 패턴(220)의 하면의 폭(W1)보다 크게 형성될 수 있다. 또한, 스페이서(210)와 메탈 컨택 구조체(310, 315) 사이의 절연층(230)의 폭과, 메탈 컨택 구조체(310, 315)의 폭도, 도 3에 도시된 비휘발성 메모리 장치보다 크게 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0128] 도 14는 본 발명의 몇몇 실시예에 따른 메모리 시스템을 설명하기 위한 블록도이다.
- [0129] 도 14를 참조하면, 메모리 시스템(1000)은 비휘발성 메모리 장치(1100) 및 컨트롤러(1200)를 포함한다.
- [0130] 비휘발성 메모리 장치(1100)는 도 1 내지 도 13을 참조하여 설명된 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치 중 적어도 하나일 수 있다.
- [0131] 컨트롤러(1200)는 호스트(Host) 및 비휘발성 메모리 장치(1100)에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 컨트롤러(1200)는 비휘발성 메모리 장치(1100)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(1200)는 비휘발성 메모리 장치(1100)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 컨트롤러(1200)는 비휘발성 메모리 장치(1100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 컨트롤러(1200)는 비휘발성 메모리 장치(1100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0132] 예시적으로, 컨트롤러(1200)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 그리고 메모리 인터페이스(memory interface)와 같은 잘 알려진 구성 요소들을 더 포함한다. 램(RAM)은 프로세싱 유닛의 동작 메모리, 비휘발성 메모리 장치(1100) 및 호스트(Host) 사이의 캐시 메모리, 그리고 비휘발성 메모리 장치(1100) 및 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로서 이용된다. 프로세싱 유닛은 컨트롤러(1200)의 제반 동작을 제어한다.
- [0133] 호스트 인터페이스는 호스트(Host) 및 컨트롤러(1200) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예시적으로, 컨트롤러(1200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 외부(호스트)와 통신하도록 구성된다. 메모리 인터페이스는 비휘발성 메모리 장치(1100)와 인터페이싱한다. 예를 들면, 메모리 인터페이스는 낸드 인터페이스 또는 노어 인터페이스를 포함한다.
- [0134] 메모리 시스템(1000)은 오류 정정 블록을 추가적으로 포함하도록 구성될 수 있다. 오류 정정 블록은 오류 정정 코드(ECC)를 이용하여 비휘발성 메모리 장치(1100)로부터 읽어진 데이터의 오류를 검출하고, 정정하도록 구성된다. 예시적으로, 오류 정정 블록은 컨트롤러(1200)의 구성 요소로서 제공된다. 오류 정정 블록은 비휘발성 메모리 장치(1100)의 구성 요소로서 제공될 수 있다.
- [0135] 컨트롤러(1200) 및 비휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적될 수 있다. 예시적으로, 컨트롤러(1200) 및 비휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(1200) 및 비휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 것이다.
- [0136] 컨트롤러(1200) 및 비휘발성 메모리 장치(1100)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid

State Drive)를 구성할 수 있다. 반도체 드라이브(SSD)는 반도체 메모리에 데이터를 저장하도록 구성되는 저장 장치를 포함한다. 메모리 시스템(10)이 반도체 드라이브(SSD)로 이용되는 경우, 메모리 시스템(1000)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.

[0137] 다른 예로서, 메모리 시스템(1000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.

[0138] 예시적으로, 비휘발성 메모리 장치(1100) 또는 메모리 시스템(1000)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 비휘발성 메모리 장치(1100) 또는 메모리 시스템(1000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.

[0139] 도 15 내지 도 25는 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하기 위한 중간단계 도면들이다. 이하에서, 도 15 내지 도 25를 이용하여, 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치의 제조 방법을 설명하도록 한다.

[0140] 우선, 도 15를 참조하면, 기판(100) 상에 채널 구조체(120, 130)와 전극 구조체(110)를 형성한다. 채널 구조체(120, 130)와 전극 구조체(110)를 형성하는 방법은 종래에 개시된 3차원 비휘발성 메모리 장치의 제조방법을 이용할 수 있다.

[0141] 이어서, 전극 구조체(110)를 관통하여 기판(100)의 일부를 노출시키는 제1 트렌치(201)를 형성한다. 제1 트렌치(201)의 하면은 기판(100)의 상면보다 낮게 형성될 수 있다. 제1 트렌치(201)는 복수의 채널 구조체(120, 130) 사이에 배치될 수 있으며, 전극 구조체(110)에 포함된 게이트 패턴 및 블록층(114)의 일부를 노출시킬 수 있다. 제1 트렌치(201)는 상부에서부터 하부로 갈수록 그 폭이 넓어지는 테이퍼진(tapered) 형상일 수 있다.

[0142] 이어서, 도 16을 참조하면, 제1 트렌치(201)의 측면 및 하면을 따라 컨포멀하게 스페이서층(210L)을 형성한다. 스페이서층(210L)은 적어도 하나의 절연 물질, 예를 들어 실리콘 산화물을 포함할 수 있다.

[0143] 이어서, 도 17을 참조하면, 식각공정을 통해 제1 트렌치(201)의 하면과 채널 구조체(120, 130) 및 전극 구조체(110)의 상면에 배치되는 스페이서층(210L)을 식각한다. 상기 식각 공정에서 제1 트렌치(201)의 하면은 스페이서(210)의 하면보다 더 깊게 형성될 수 있다. 따라서, 제1 트렌치(201)의 하면에는 단차가 발생할 수 있다. 식각 공정은 이방성 식각 및 등방성 식각이 모두 이용될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 이를 통해, 스페이서(210)는 전극 구조체(110)의 측벽에만 잔존할 수 있다.

[0144] 이어서, 도 18을 참조하면, 제1 트렌치(201)의 내에 도전 레이어(220L)가 형성된다. 도전 레이어(220L)는 스페이서(210)의 상에 위치하고, 스페이서(210)의 상면을 따라 길게 연장될 수 있으며, 제1 트렌치(201)의 하부를 채울 수 있다. 도전 레이어(220L)는 제1 트렌치(201)의 하부만을 채우고, 제1 트렌치(201)의 상부는 완전히 채우지 않을 수 있다.

[0145] 도전 레이어(220L)는 금속 물질 또는 금속 화합물을 포함할 수 있다. 예를 들어, 도전 패턴(220)은 텅스텐(W)을 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니고, 예를 들어, 폴리실리콘, 금속 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있다.

[0146] 이어서, 도 19를 참조하면, 식각 공정을 통해 도전 레이어(220L)의 일부를 식각하여 도전 패턴(220)을

형성한다. 도전 패턴(220)은 제1 트렌치(201)의 하부에만 위치할 수 있다. 식각 공정은 이방성 식각 및 등방성 식각이 모두 이용될 수 있고, 건식 식각, 습식 식각 모두 이용될 수 있다.

[0147] 이를 통해, 도전 패턴(220)의 상면은, 기관(100)의 상면보다 높게 형성되고, 채널 구조체(120, 130)의 상면보다 낮게 형성될 수 있다.

[0148] 이어서, 도 20을 참조하면, 제1 트렌치(201)를 채우는 절연층(230)이 형성된다. 절연층(230)은 제1 트렌치(201) 내에서, 도전 패턴(220) 상에 형성될 수 있다. 절연층(230)은 도전 패턴(220)의 상면과 접하고, 전극 구조체(110)의 측면을 따라 형성될 수 있다. 이어서, 절연층(230)의 상면과 전극 구조체(110)의 상면이 나란해지도록 평탄화 공정(예를 들어, CMP 공정)을 수행한다. 이를 통해, 절연층(230)의 상면은 채널 패드(135)의 상면 또는 전극 구조체(110)의 상면과 동일 평면 상에 위치할 수 있다. 절연층(230)은 유전율을 갖는 물질로 이루어질 수 있다. 본 발명의 몇몇 실시예에서, 절연층(230)은 예를 들어, HfO₂, Al₂O₃, ZrO₂, TaO₂ 등의 물질로 이루어질 수 있으나, 본 발명이 이에 제한되는 것은 아니다.

[0149] 이어서, 채널 구조체(120, 130), 채널 패드(135), 전극 구조체(110), 절연층(230)을 덮는 제1 층간 절연막(170)을 형성한다. 제1 층간 절연막(170)은 제1 층간 절연막(170)의 하부에 있는 반도체 소자들과 제1 층간 절연막(170)의 상부에 있는 반도체 소자의 전기적 절연을 담당할 수 있다.

[0150] 이어서, 도 21을 참조하면, 제1 층간 절연막(170)과 절연층(230)을 관통하여, 도전 패턴(220)의 상면의 일부를 노출시키는 제2 트렌치(203)를 형성한다.

[0151] 이어서, 도 22를 참조하면, 제2 트렌치의 내면을 따라 컨포멀하게 형성되는 제1 베리어 메탈층(310L)을 형성한다. 제1 베리어 메탈층(310L)은 티타늄(Ti), 티타늄나이트라이드(TiN), 또는 텅스텐나이트라이드(WN)를 포함할 수 있다. 제1 베리어 메탈층(310L)은 PVD, CVD 또는 ILD 방식을 이용하여 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0152] 이어서, 제1 베리어 메탈층(310L) 상에 메탈 콘택층(315L)을 형성한다. 메탈 콘택층(315L)은 제2 트렌치(203)를 매립하도록 형성될 수 있다. 메탈 콘택층(315L)은 도전 패턴(220)과 전기적으로 연결될 수 있다. 메탈 콘택층(315L)은 금속 물질 또는 금속 화합물을 포함할 수 있다. 예를 들어, 메탈 콘택층(315L)은 텅스텐(W)을 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니고, 예를 들어, 폴리실리콘, 금속 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있다.

[0153] 이어서, 도 23을 참조하면, 제1 층간 절연막(170)의 상면과 메탈 콘택(315)의 상면이 나란해지도록 평탄화 공정(예를 들어, CMP 공정)을 수행한다. 이를 통해, 메탈 콘택(315)층의 상면과 제1 층간 절연막(170)의 상면은 동일 평면 상에 위치하게 된다.

[0154] 이어서, 제1 층간 절연막(170)을 덮는 제2 층간 절연막(180)을 형성한다. 제2 층간 절연막(180)은 제2 층간 절연막(180)의 하부에 있는 반도체 소자들과 제2 층간 절연막(180)의 상부에 있는 반도체 소자의 전기적 절연을 담당할 수 있다. 제2 층간 절연막(180)은 제1 층간 절연막(170)과 동일한 물질을 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0155] 이어서, 도 24를 참조하면, 메탈 콘택(315)의 일부를 노출시키는 제3 트렌치(205)를 형성한다.

[0156] 이어서, 도 25를 참조하면, 제3 트렌치의 내면을 따라 컨포멀하게 형성되는 제2 베리어 메탈층(320L)을 형성한다. 제2 베리어 메탈층(320L)은 티타늄(Ti), 티타늄나이트라이드(TiN), 또는 텅스텐나이트라이드(WN)를 포함할 수 있다. 제2 베리어 메탈층(320L)은 PVD, CVD 또는 ILD 방식을 이용하여 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0157] 이어서, 제2 베리어 메탈층(320L) 상에 제1 도전 스테드층(325L)을 형성한다. 제1 도전 스테드층(325L)은 제3 트렌치(205)를 매립하도록 형성될 수 있다. 제1 도전 스테드층(325L)은 도전 패턴(220)과 전기적으로 연결될 수 있다. 제1 도전 스테드층(325L)은 금속 물질 또는 금속 화합물을 포함할 수 있다. 예를 들어, 제1 도전 스테드층(325L)은 텅스텐(W)을 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니고, 예를 들어, 폴리실리콘, 금속 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있다.

[0158] 이어서, 도 3을 참조하면, 제2 층간 절연막(180)의 상면과 제1 도전 스테드(325)의 상면이 나란해지도록 평탄화 공정(예를 들어, CMP 공정)을 수행한다. 이를 통해, 제1 도전 스테드(325)의 상면과 제2 층간 절연막(180)의 상면도 동일 평면 상에 위치하게 된다.

[0159] 결과적으로, 도전 패턴(220)의 높이는 채널 구조체(120, 130)의 상면보다 낮게 형성되고, 제1 도전 스테드(325)와 도전 패턴(220) 사이에 메탈 컨택(315)이 배치될 수 있다. 이를 통해, 본 발명의 몇몇 실시예에 따른 비휘발성 메모리 장치는 F-가스에 의해 형성되는 도전 패턴 내의 슬릿 영역을 제거하고, 도전 패턴이 가하는 스트레스를 감소시킬 수 있다. 또한, 비휘발성 메모리 장치의 불량률을 줄이고, 성능을 개선시키는 효과를 지닐 수 있다.

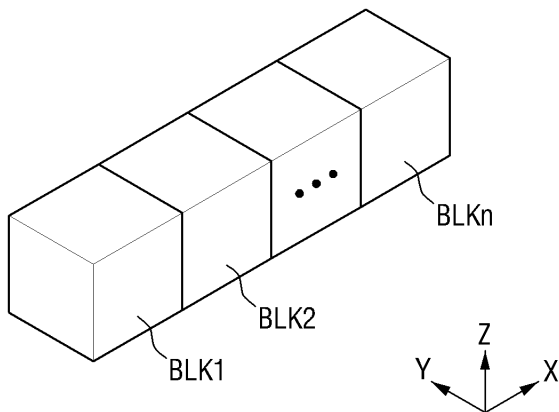
[0160] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

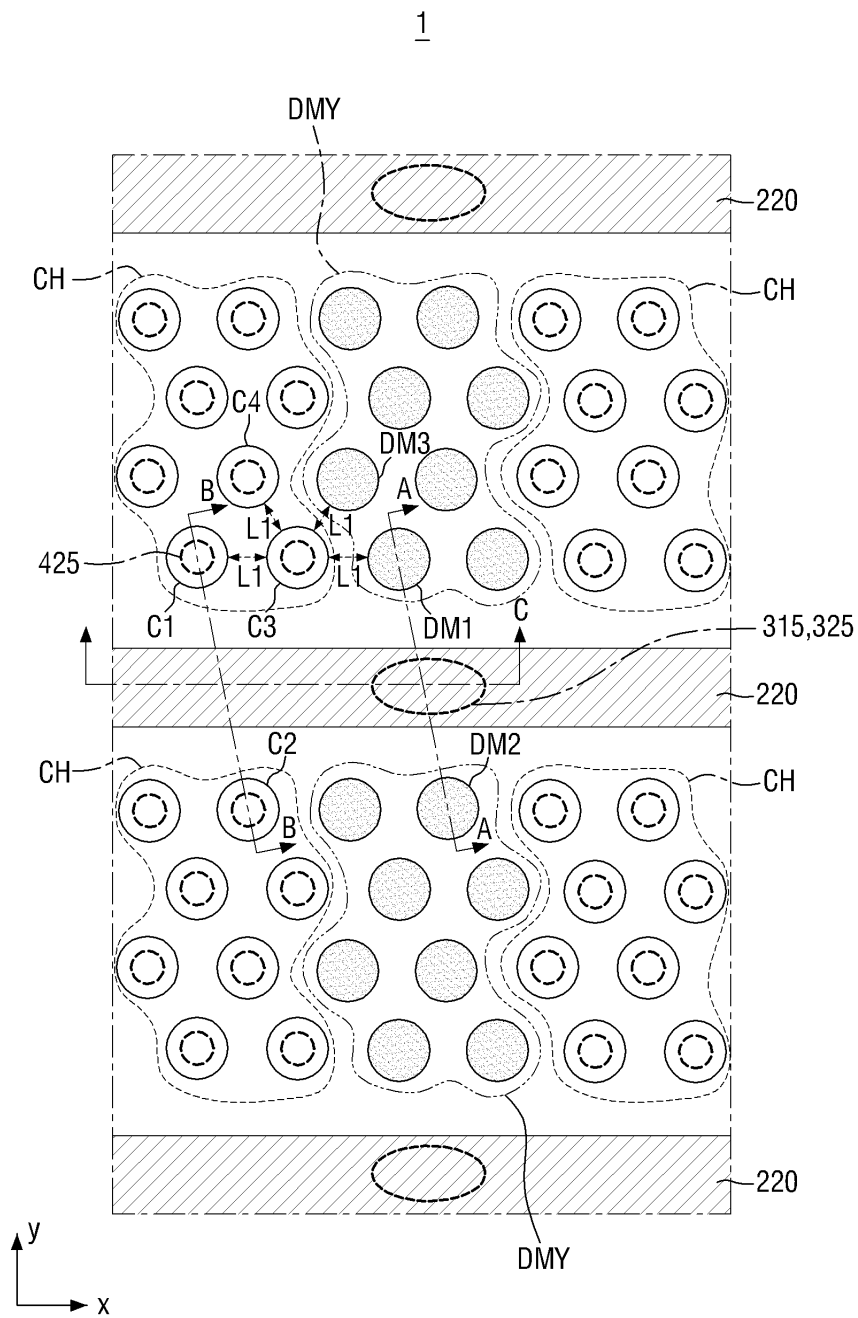
[0161] 110: 기판 112: 절연 패턴
GSL, WL0~WLn, SSL: 복수의 게이트 패턴
114: 블록층 121: 터널층
122: 트랩층 130: 채널 패턴
210: 스페이서 220: 도전 패턴
315: 메탈 컨택 325: 제1 도전 스테드
425: 제2 도전 스테드

도면

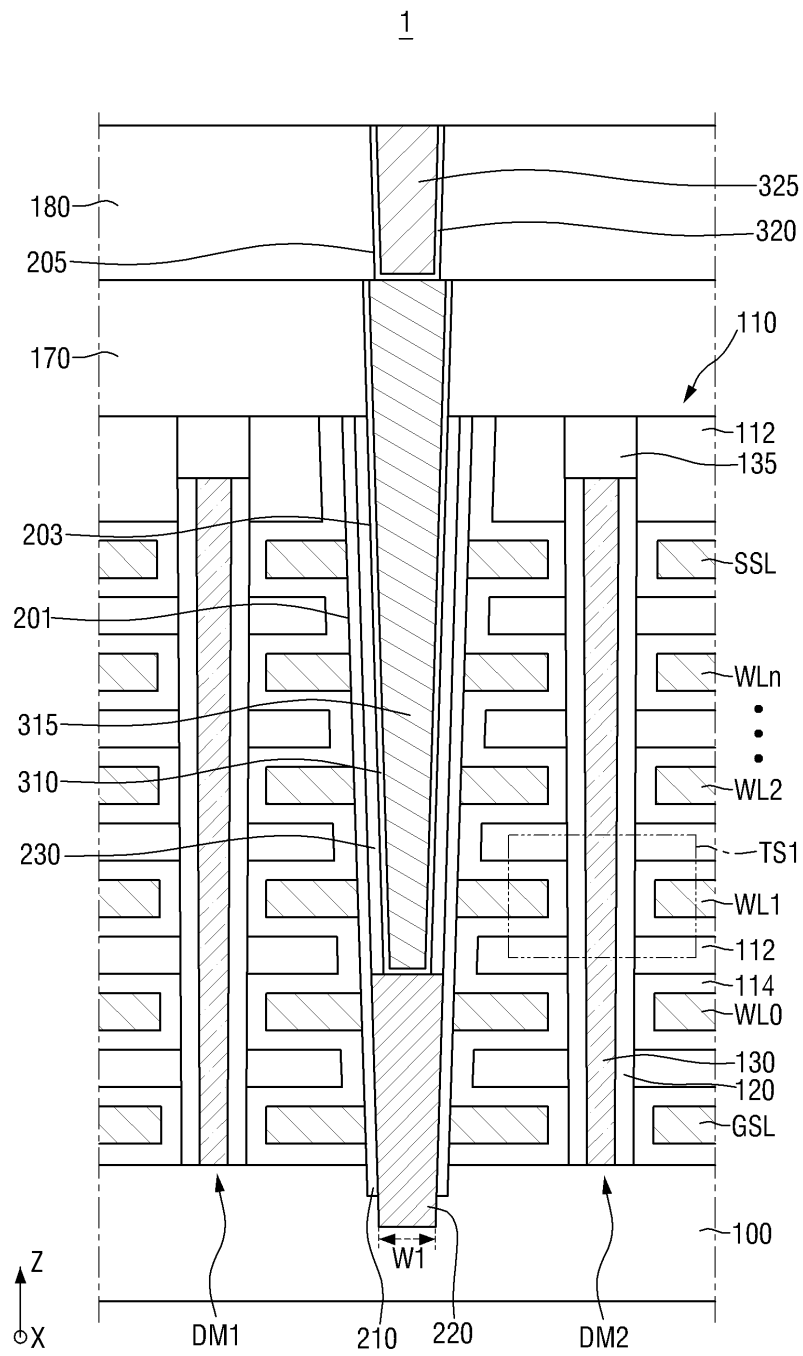
도면1



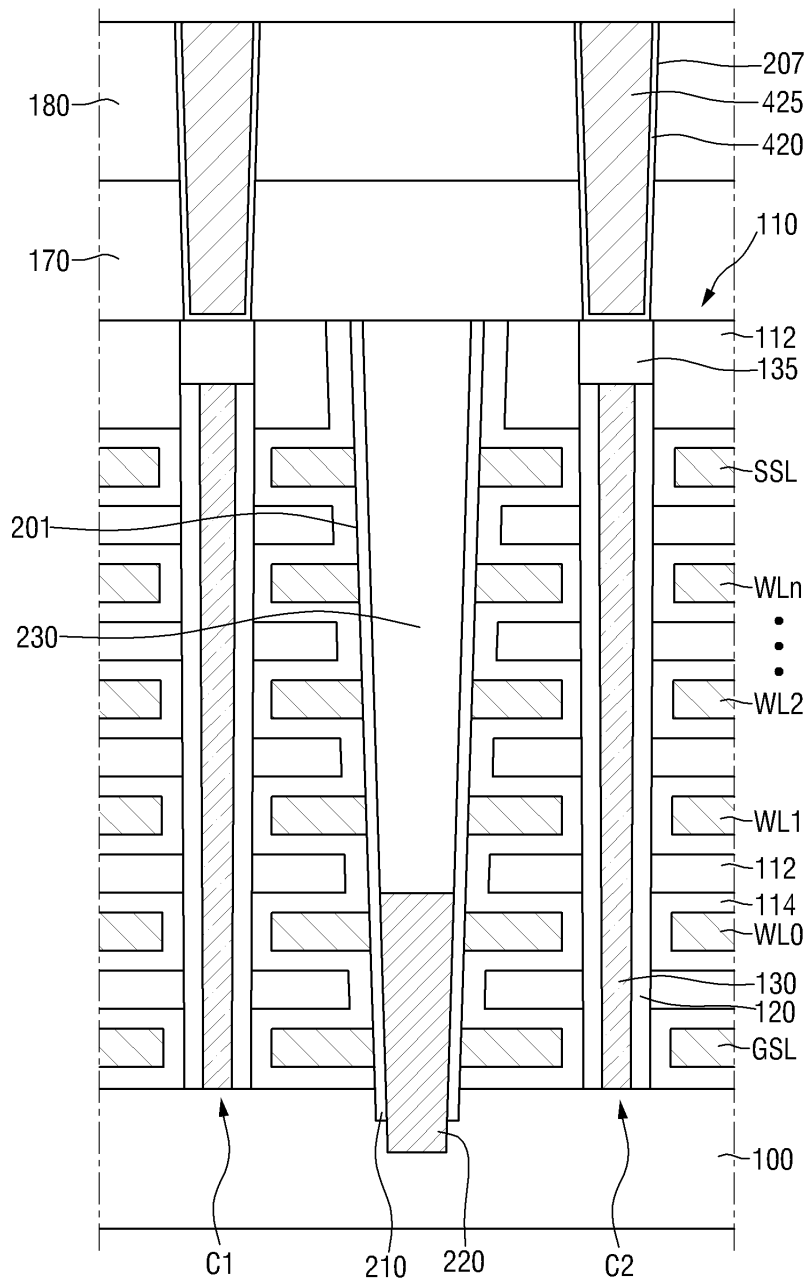
도면2



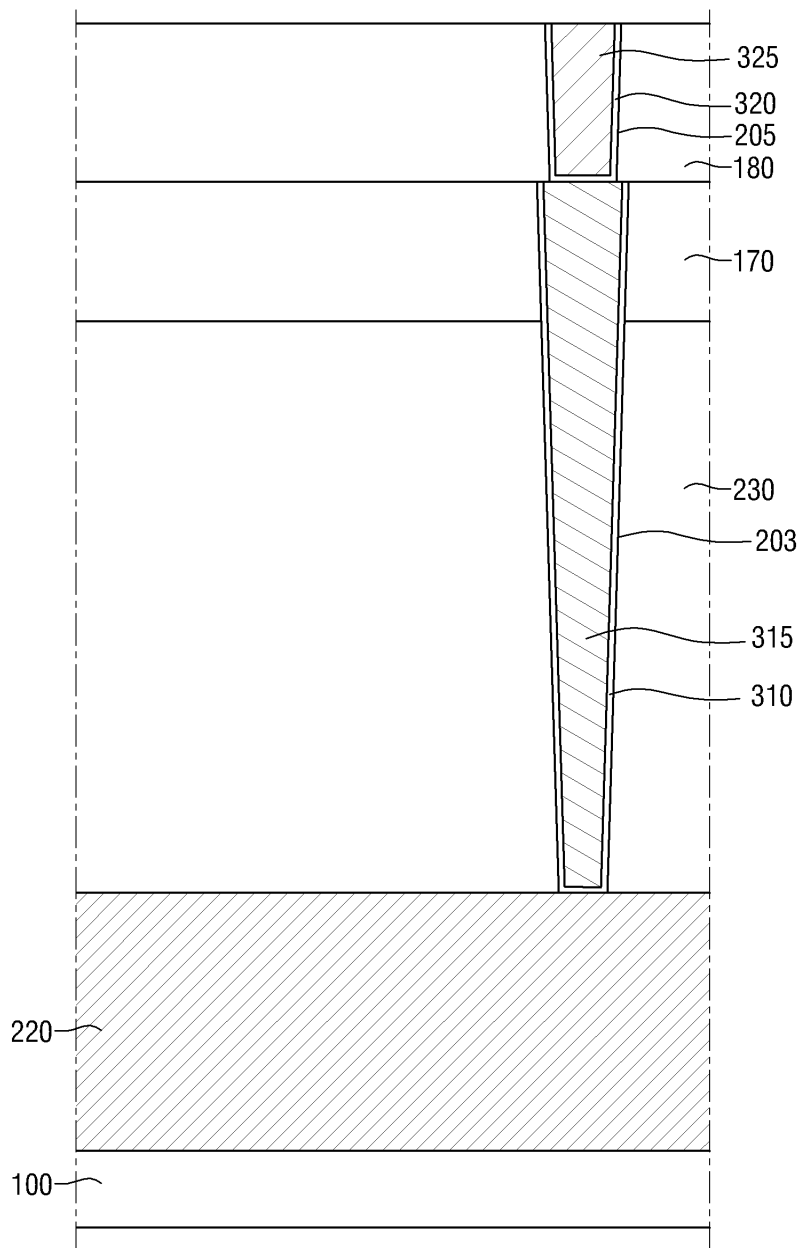
도면3



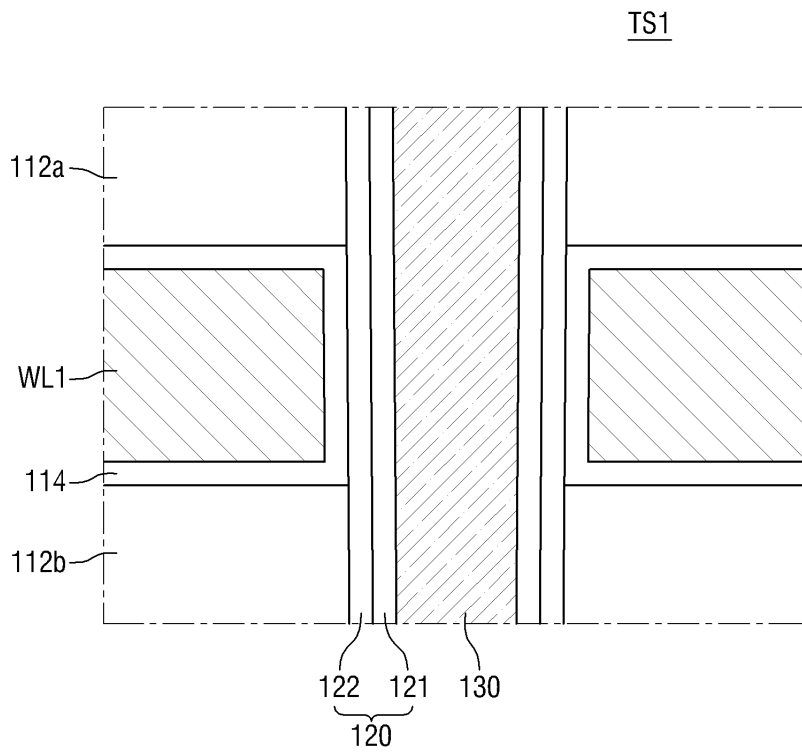
도면4



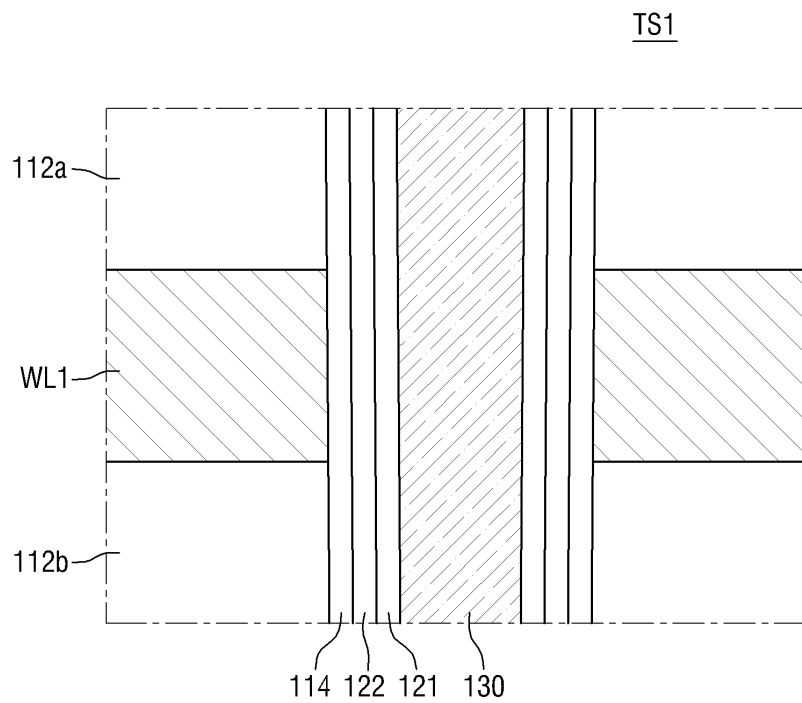
도면5



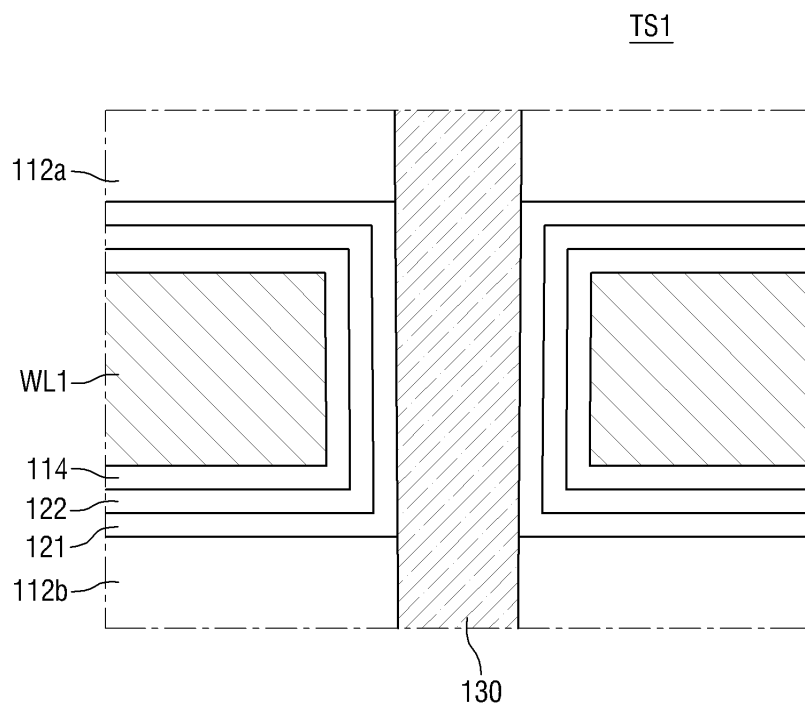
도면6



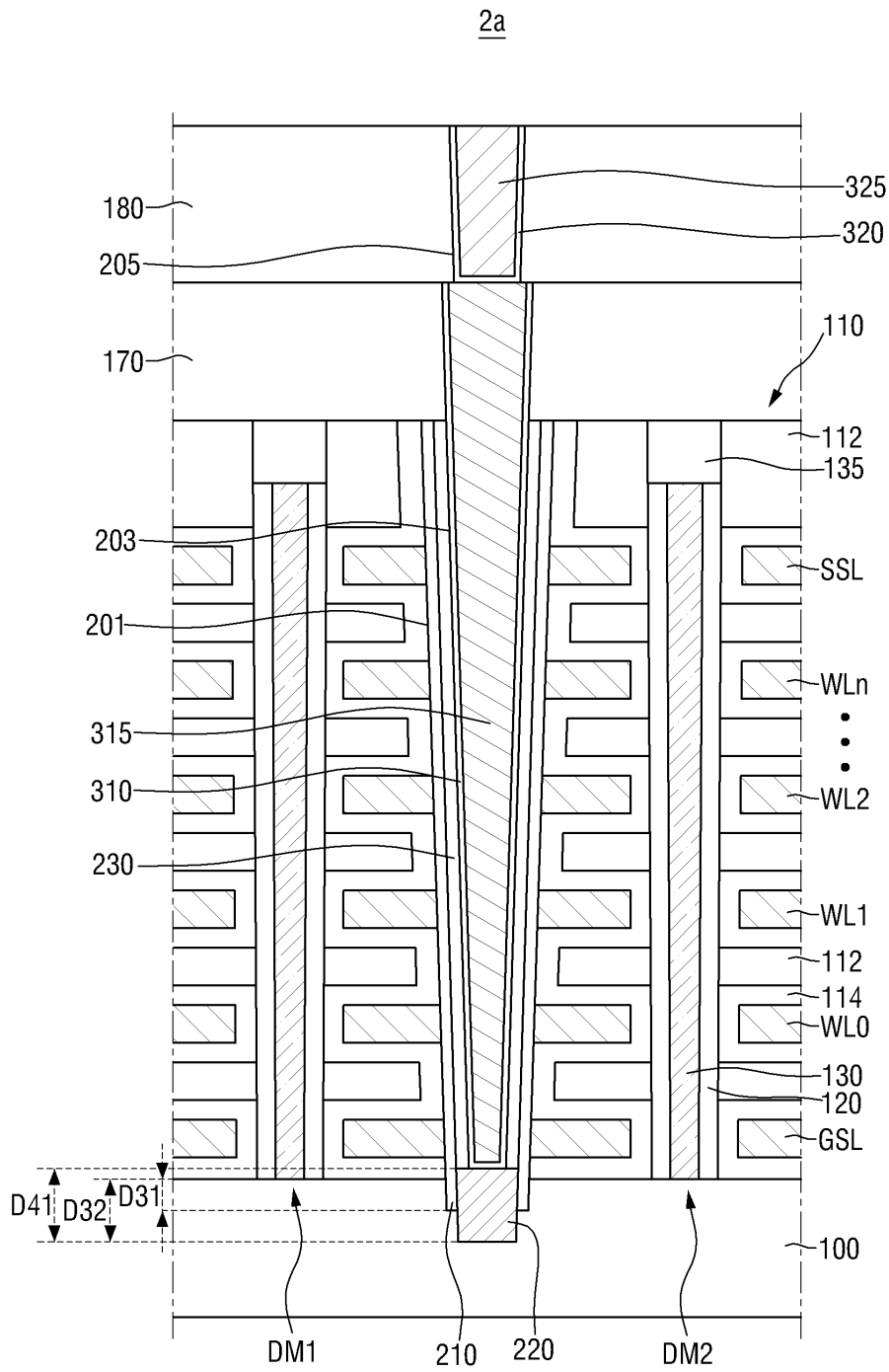
도면7



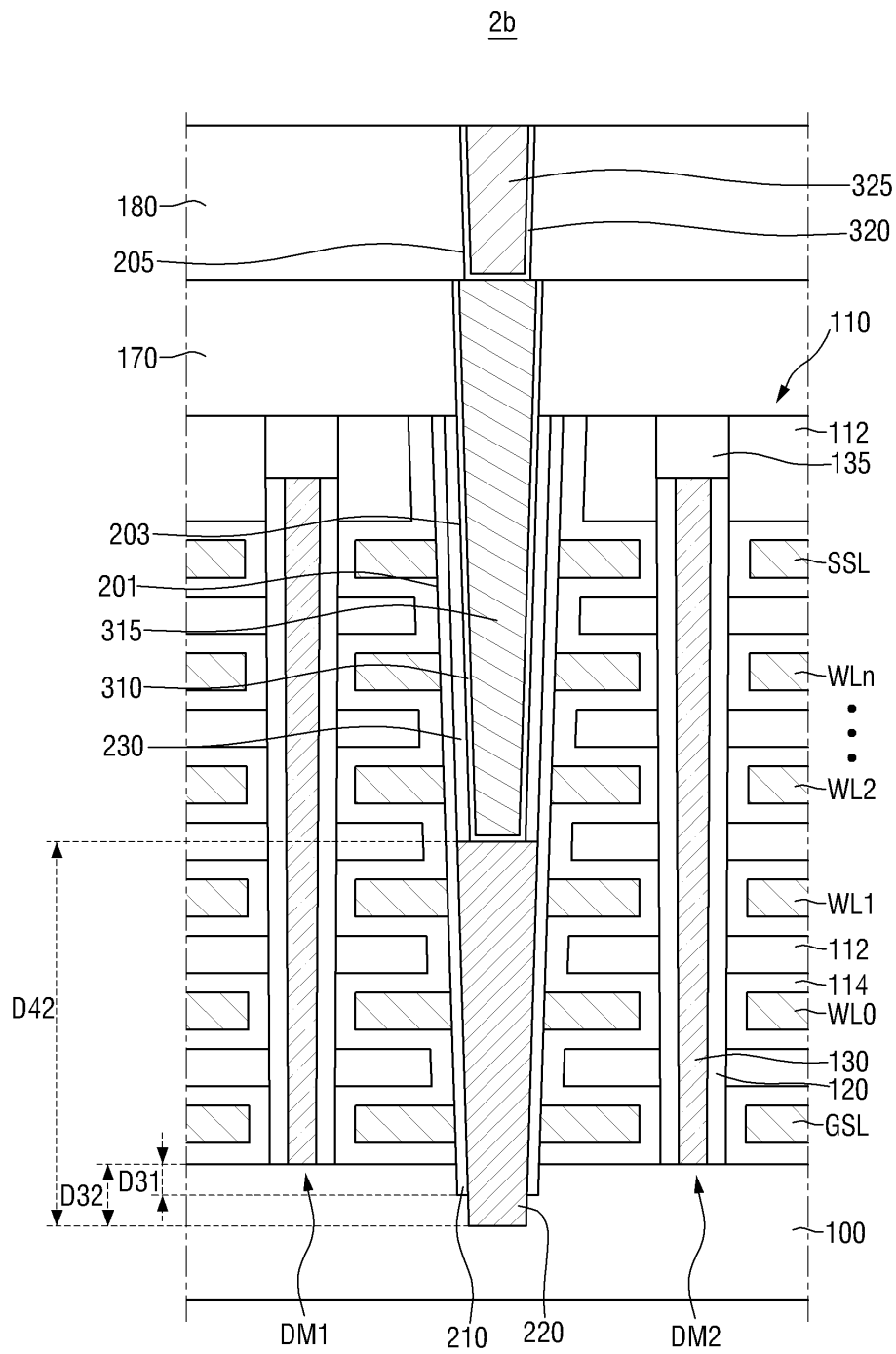
도면8



도면9

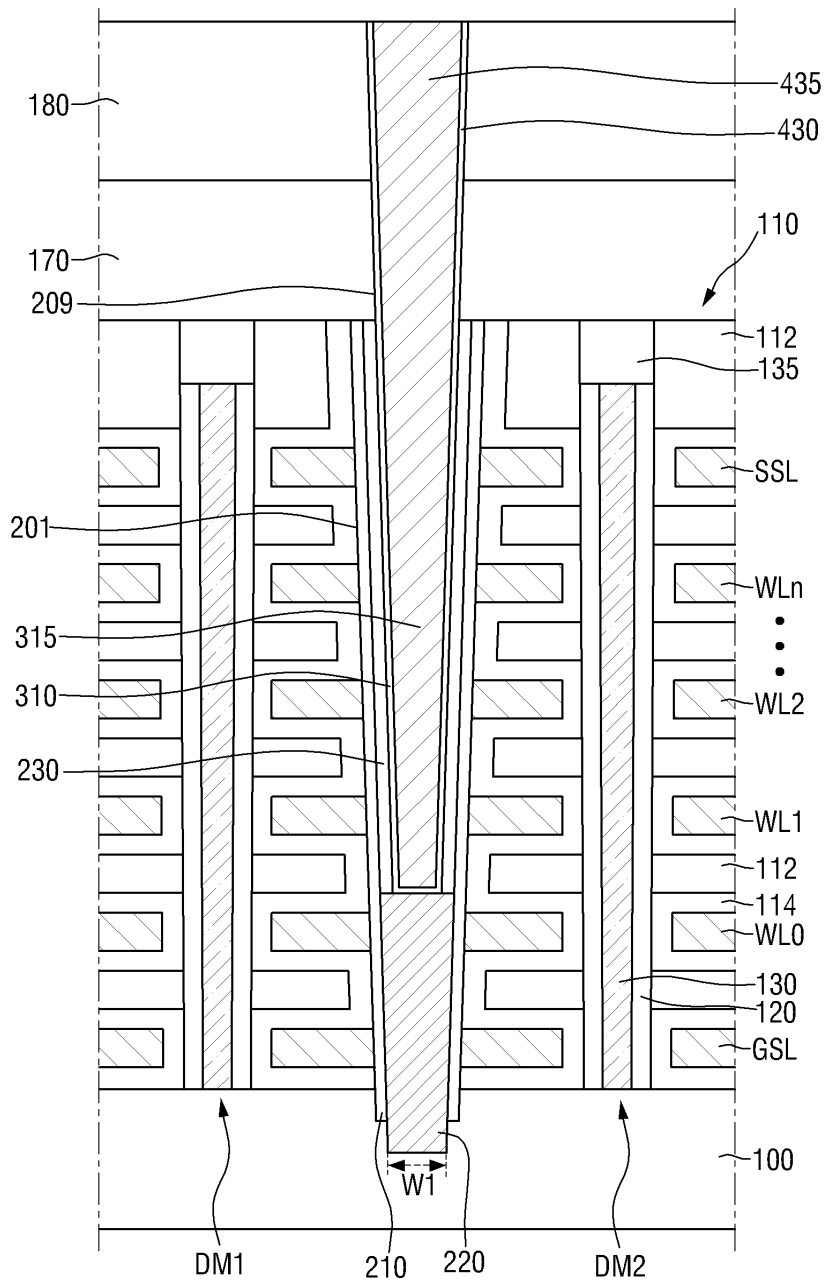


도면10



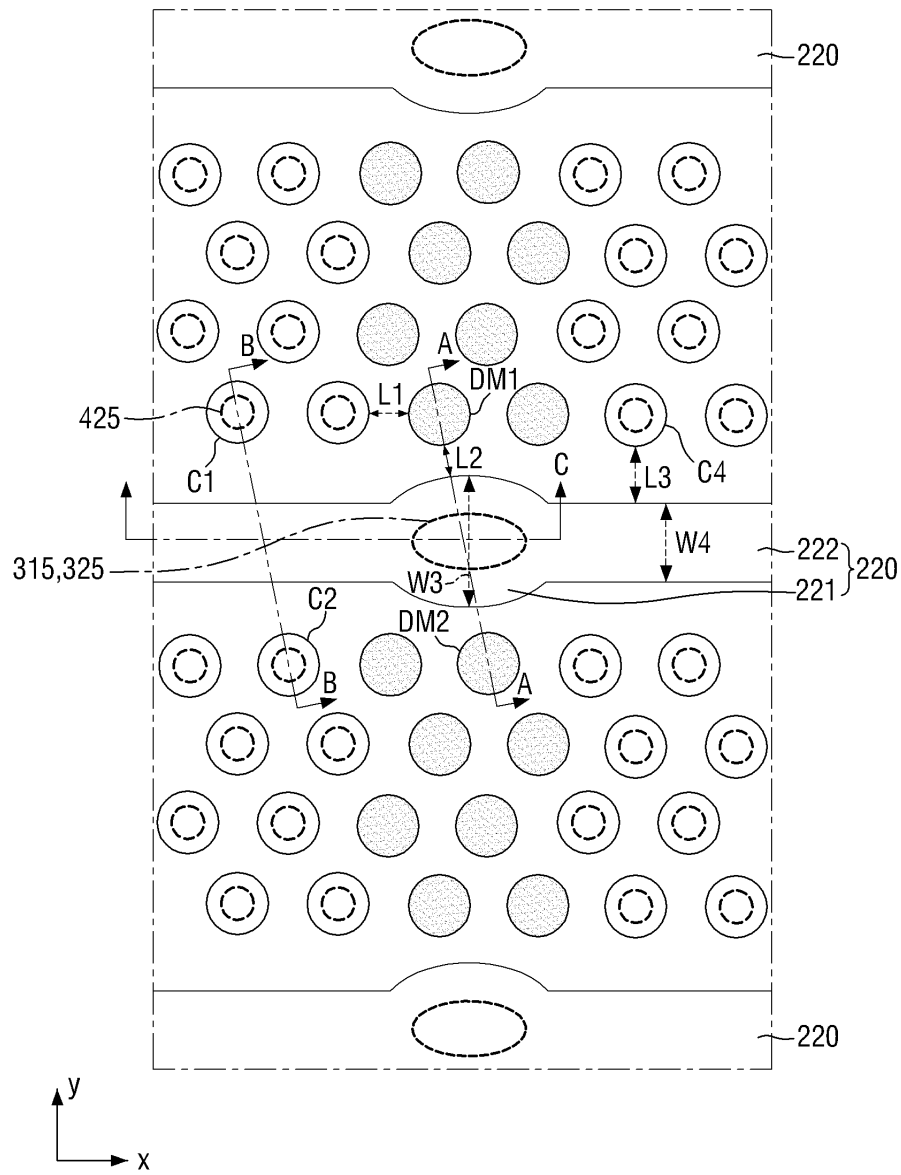
도면11

3

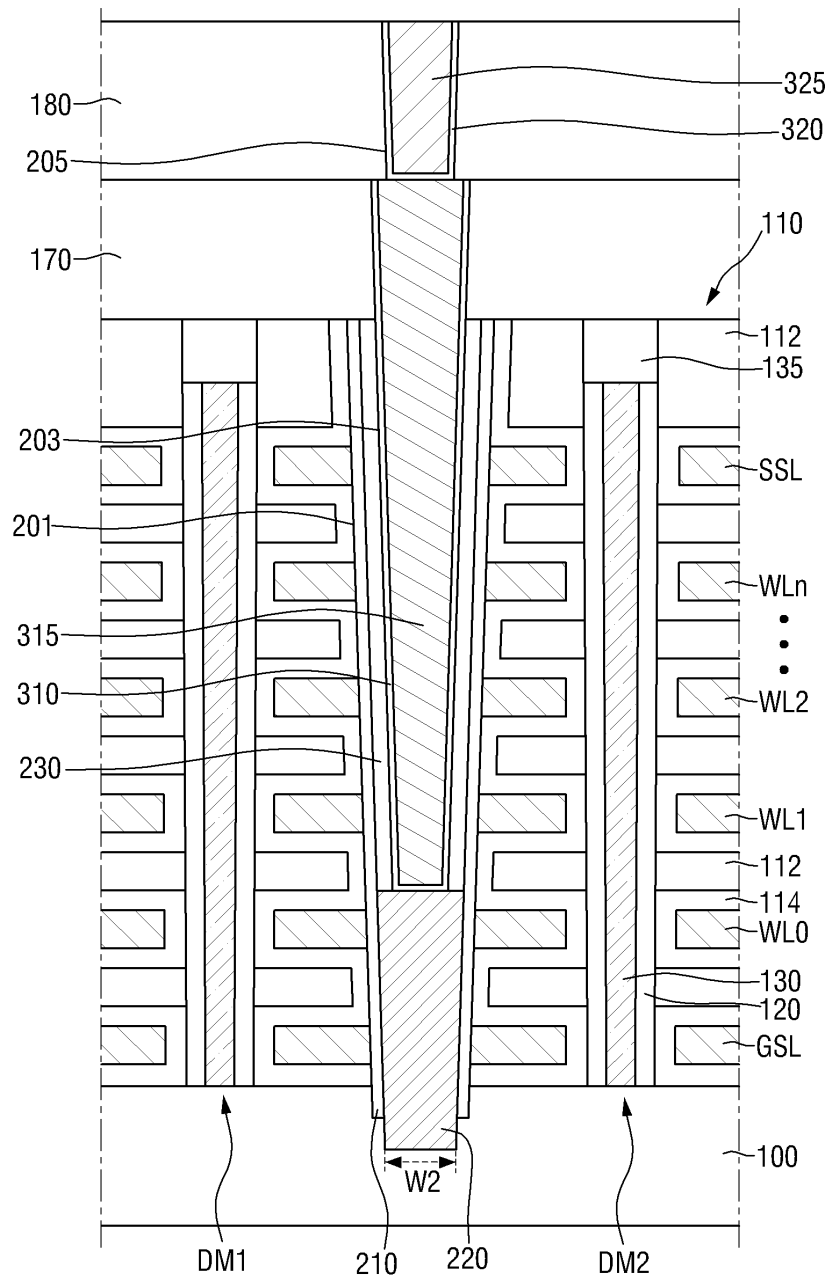


도면12

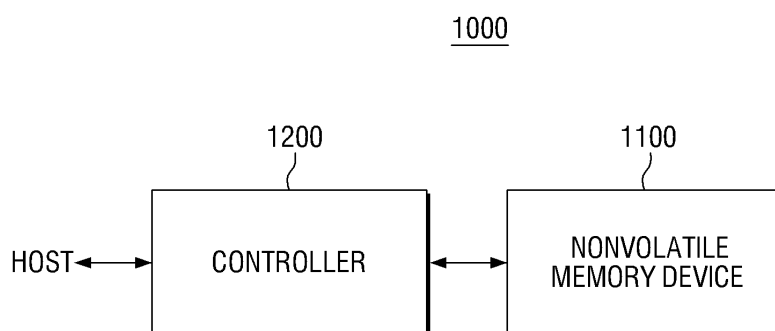
4



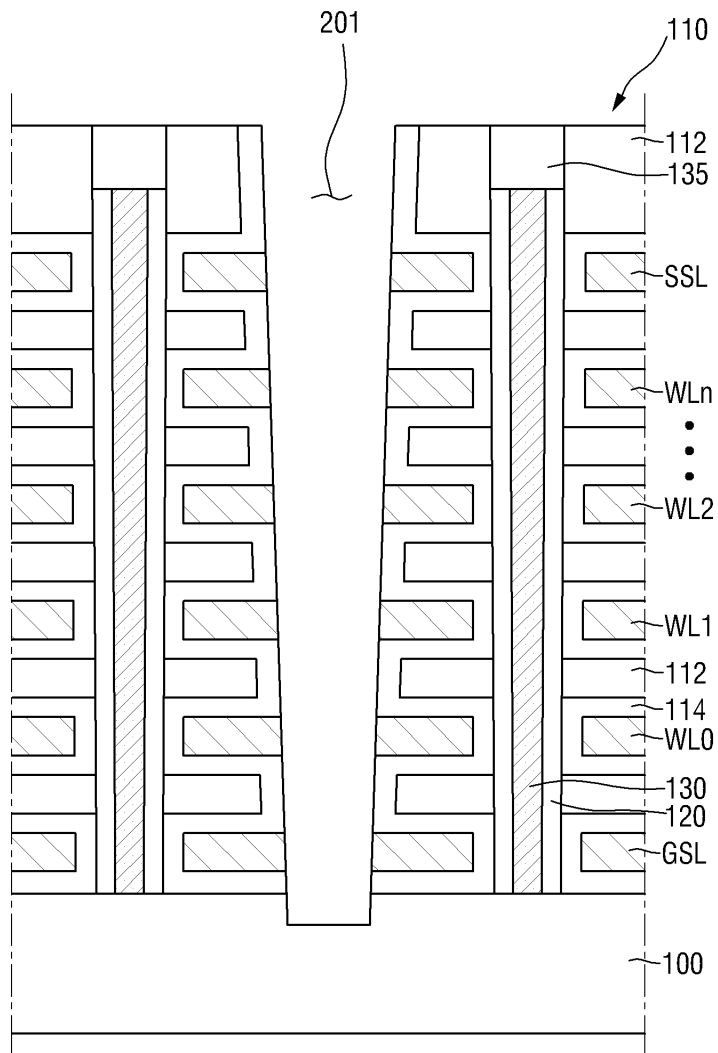
도면13



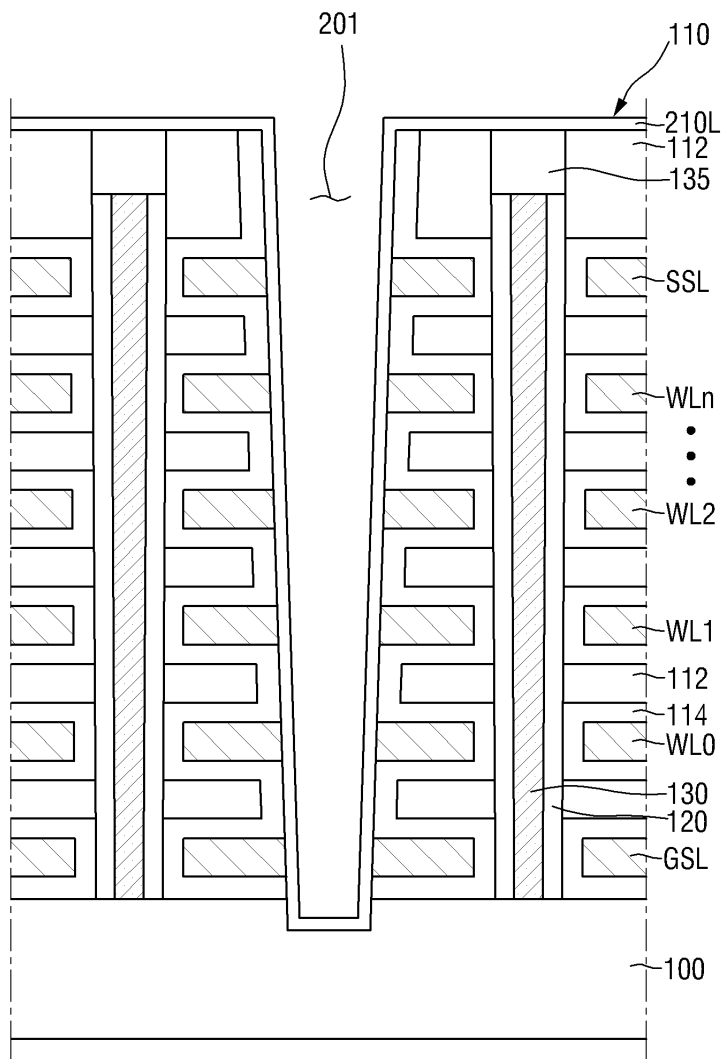
도면14



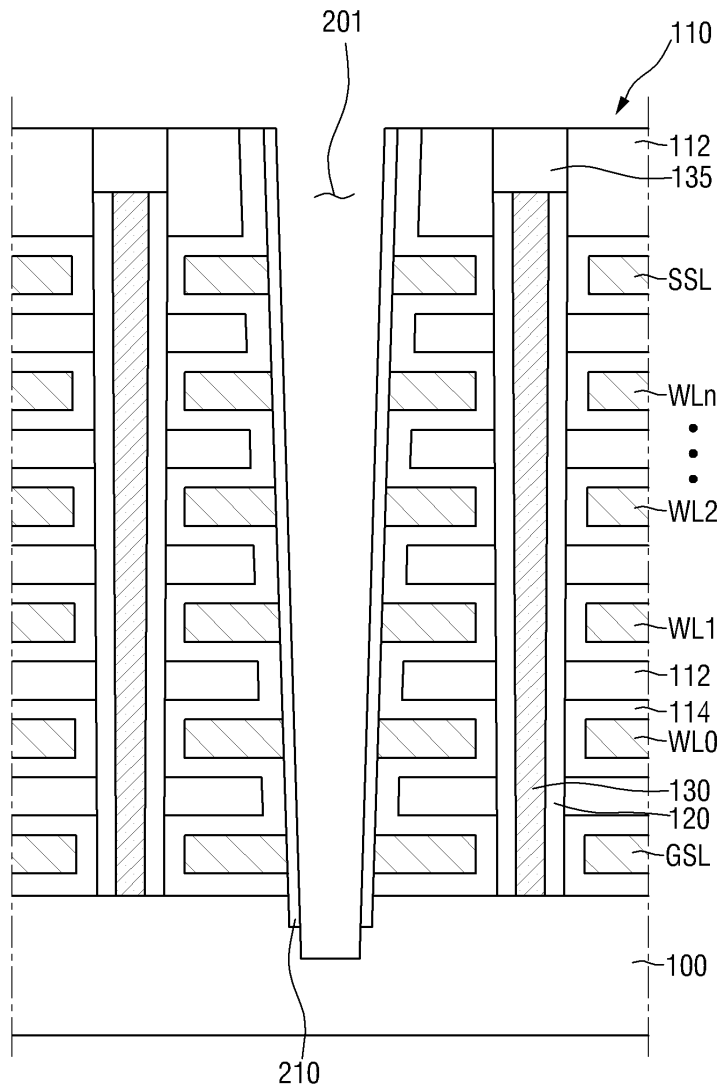
도면15



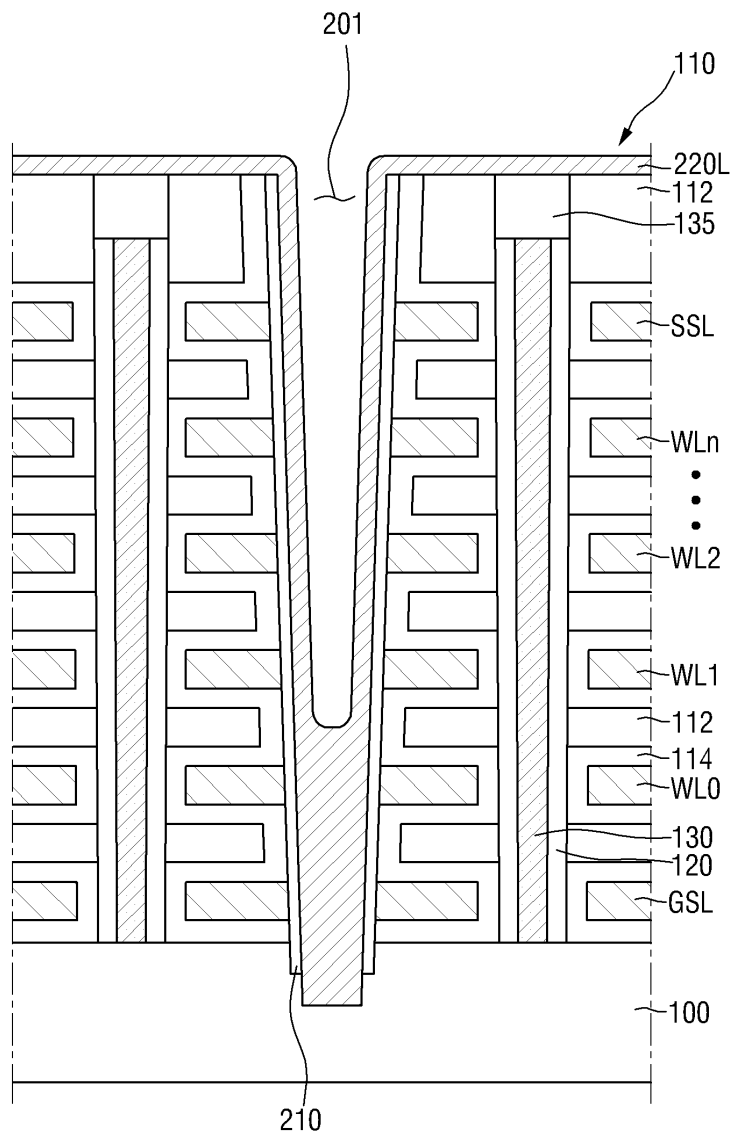
도면16



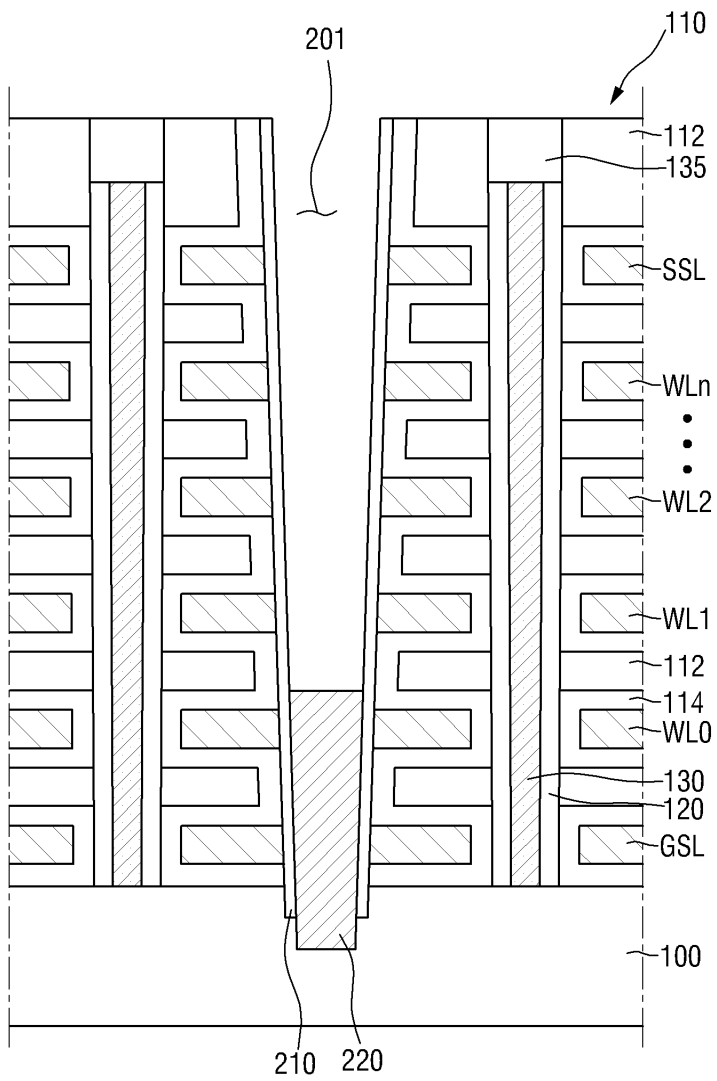
도면17



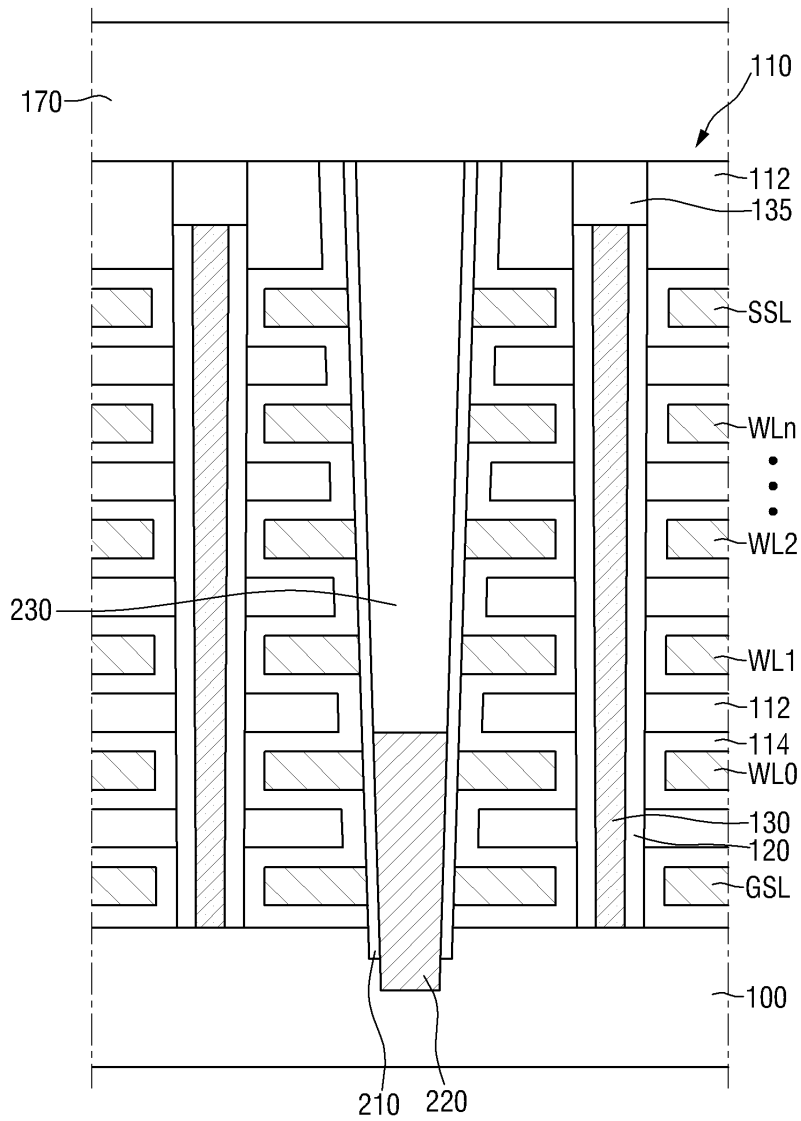
도면18



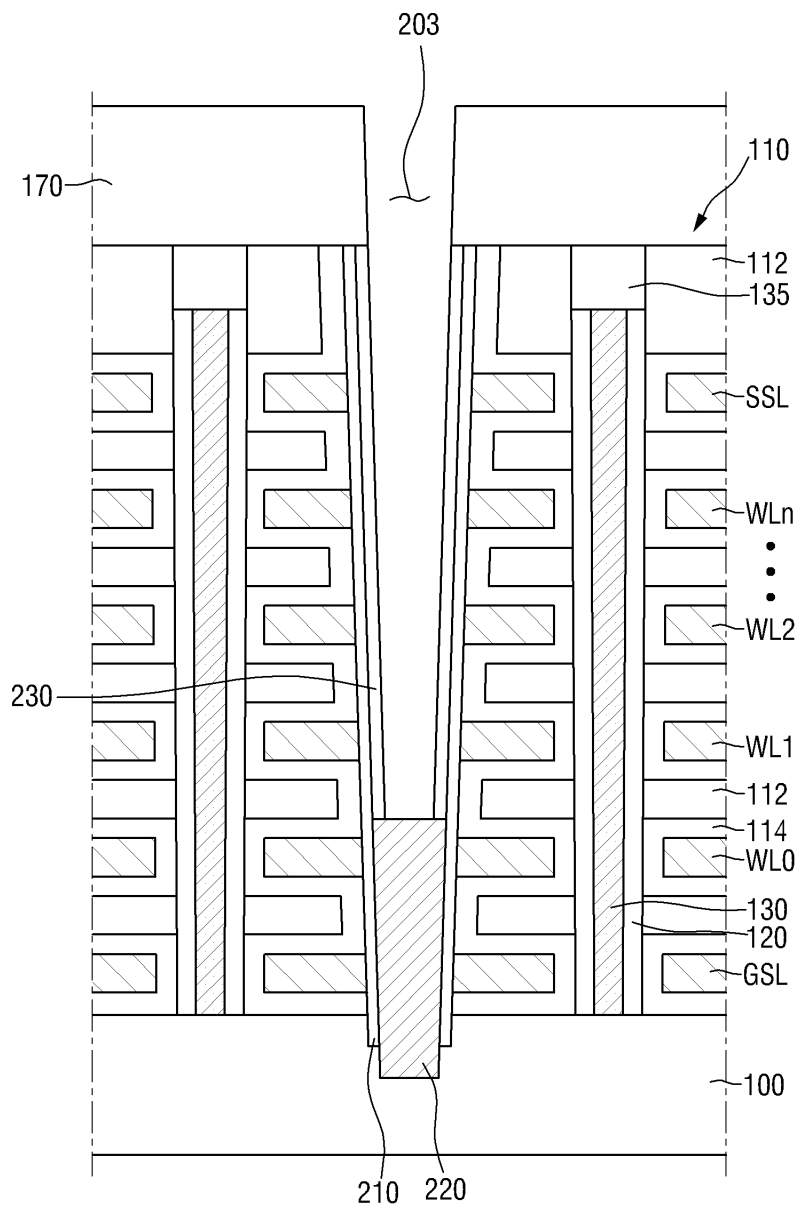
도면19



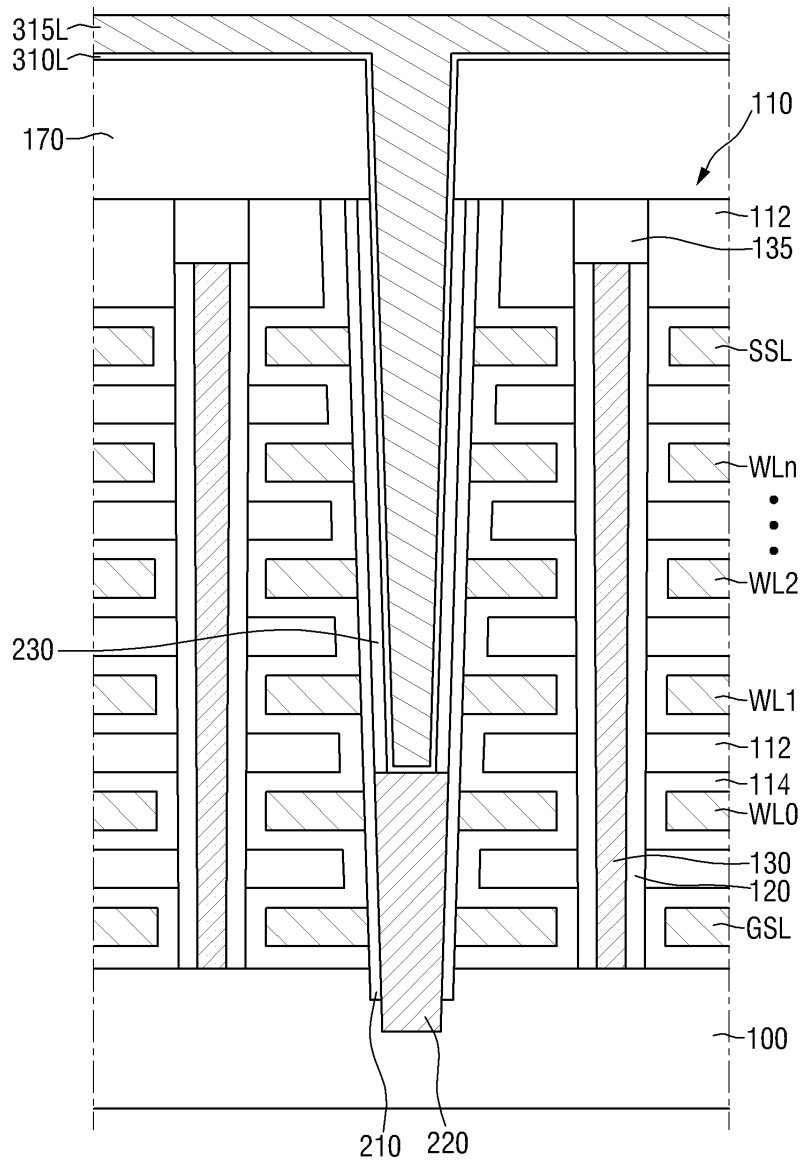
도면20



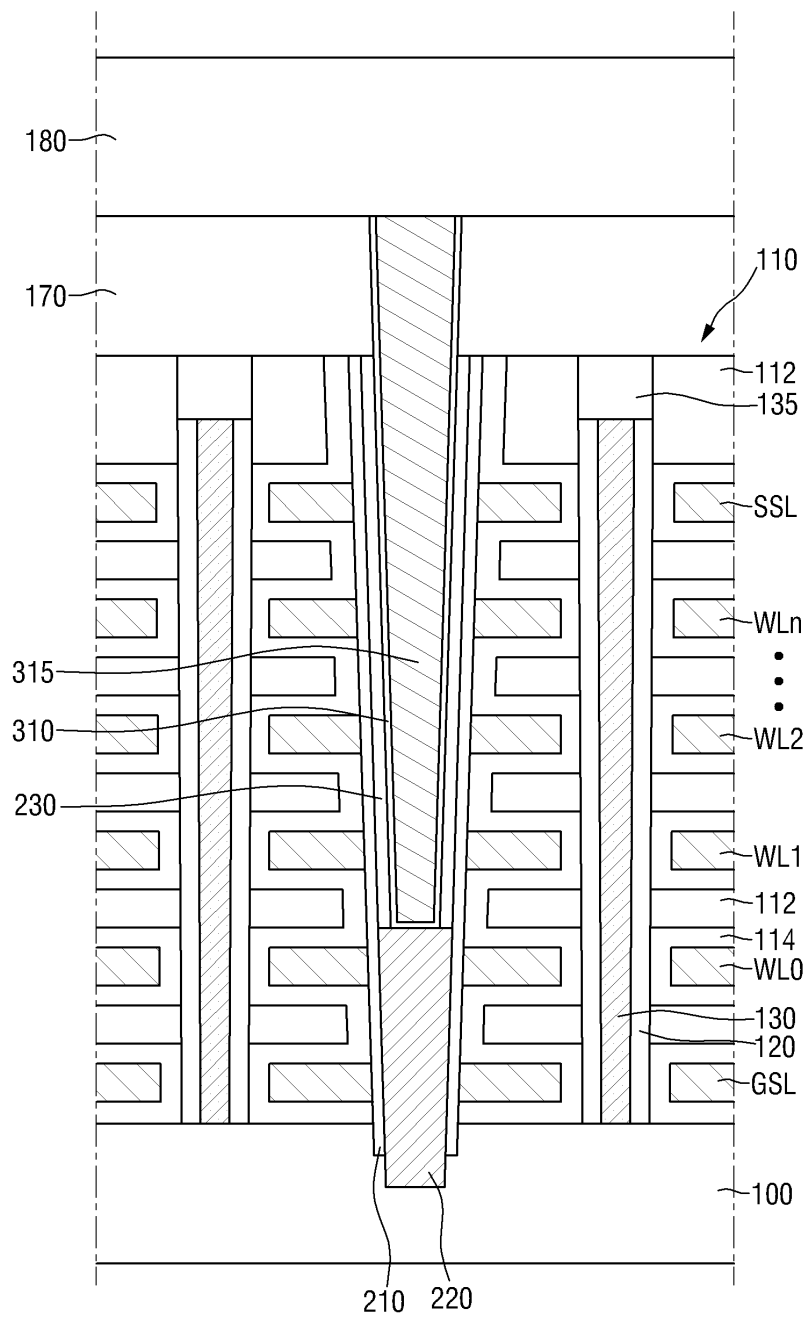
도면21



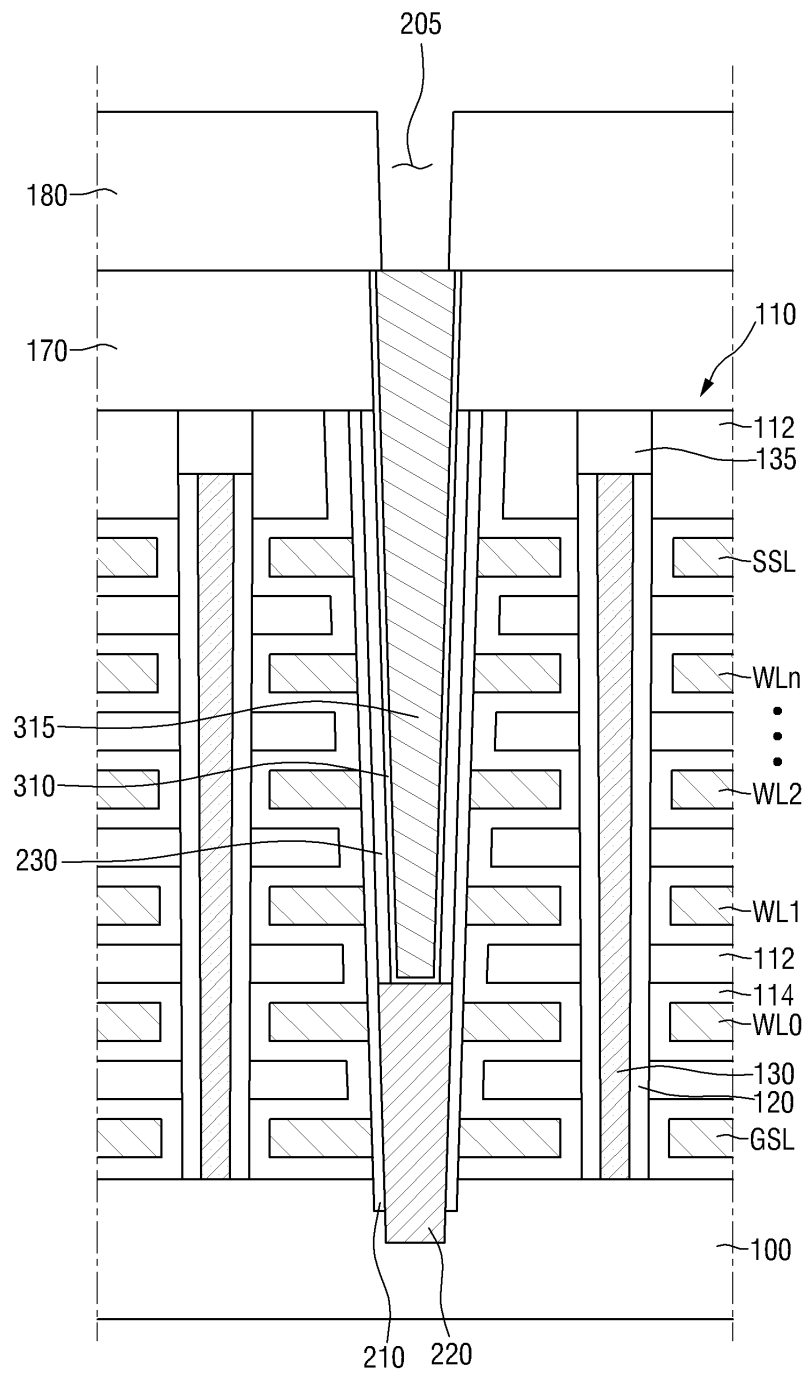
도면22



도면23



도면24



도면25

