



(12) 发明专利

(10) 授权公告号 CN 114650077 B

(45) 授权公告日 2023. 07. 14

(21) 申请号 202011499039.4

(22) 申请日 2020.12.17

(65) 同一申请的已公布的文献号  
申请公布号 CN 114650077 A

(43) 申请公布日 2022.06.21

(73) 专利权人 航天科工惯性技术有限公司  
地址 100074 北京市丰台区海鹰路1号院2  
号楼3层

(72) 发明人 余莉 孔祥苓 杨业明 梁屹  
于江海 高岩 刘晓锋

(51) Int. Cl.  
H04B 1/40 (2015.01)  
H04L 5/16 (2006.01)

(56) 对比文件  
CN 105207693 A, 2015.12.30  
CN 109391260 A, 2019.02.26  
CN 206259933 U, 2017.06.16

US 2005258865 A1, 2005.11.24

US 2015244752 A1, 2015.08.27

US 6192070 B1, 2001.02.20

CN 204155442 U, 2015.02.11

CN 207896965 U, 2018.09.21

CN 102611545 A, 2012.07.25

CN 108599799 A, 2018.09.28

US 2011039601 A1, 2011.02.17

WO 2014048269 A1, 2014.04.03

张福亮;赵振江;.一种宽输入电压的高效稳压电路.工业技术创新.2018,(第03期),全文.

李乐;郑宾;秦建斌;.全双工RS485总线发送机制的研究.中国仪器仪表.2008,(第02期),全文.

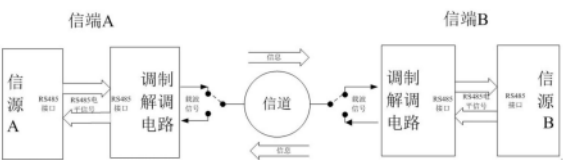
杨生元;.波特率自适应RS485隔离中继器设计.工矿自动化.2012,(第11期),全文.

审查员 陈静

权利要求书1页 说明书6页 附图2页

(54) 发明名称  
收发自控型RS485接口的通信电路

(57) 摘要  
本发明公开了一种收发自控型RS485接口的通信电路,包括:单稳态触发器、或逻辑门、非逻辑门和RS485通用接口芯片;其中,RS485通用接口芯片的R0引脚通过上拉电阻拉到数字电源,R0引脚还与调制电路连接,R0引脚的输出为单稳态触发器的输入,单稳态触发器的输出信号与前端解调电路的解码信号为或逻辑门的输入信号做或逻辑,或逻辑门的输出信号同时进入RS485通用接口芯片的DI引脚和非逻辑门,通过非逻辑门作非逻辑后的输出信号进入RS485通用接口芯片DE和 $\overline{RE}$ 引脚,作为RS485通用接口芯片内接收器和发送器的控制信号。该电路不需要CPU,可自适应波特率的变化,而且能够适用于150度以上的宽温环境。



1. 一种收发自控型RS485接口的通信电路,其特征在于,包括:单稳态触发器、或逻辑门、非逻辑门和RS485通用接口芯片;

其中,RS485通用接口芯片的R0引脚通过上拉电阻拉到数字电源,R0引脚还与调制电路连接,R0引脚的输出为单稳态触发器的输入,单稳态触发器的输出信号与前端解调电路的解码信号为或逻辑门的输入信号做或逻辑,或逻辑门的输出信号同时进入RS485通用接口芯片的DI引脚和非逻辑门,通过非逻辑门作非逻辑后的输出信号进入RS485通用接口芯片DE和 $\overline{RE}$ 引脚,作为RS485通用接口芯片内接收器和发送器的控制信号;

该通信电路初始上电时,RS485通用接口芯片内接收器使能接收,当RS485通用接口芯片内有外部信息送入,RS485通用接口芯片内接收器一直使能接收,发送关闭,自解码信息不外发;当RS485通用接口芯片内无外部通讯信号进入,同时有前端解调电路解码信号到来时,RS485通用接口芯片A、B端口向外发出RS485电平的解码信号。

2. 如权利要求1所述的收发自控型RS485接口的通信电路,其特征在于,还包括:低通滤波电路,与R0引脚和单稳态触发器连接,用于对R0引脚的输出信号进行滤波。

3. 如权利要求2所述的收发自控型RS485接口的通信电路,其特征在于,所述低通滤波电路包括:电阻和电容,所述电容一端接地,所述电容另一端与电阻的一端连接,所述电阻的另一端与R0引脚连接,所述电容和电阻连接后与单稳态触发器的输入端连接。

4. 如权利要求1所述的收发自控型RS485接口的通信电路,其特征在于,还包括:所述RS485通用接口芯片的A端口通过上拉电阻拉到数字电源,RS485通用接口芯片的B端口通过下拉电阻接地,所述RS485通用接口芯片的A端口和B端口通过电阻连接。

5. 如权利要求1所述的收发自控型RS485接口的通信电路,其特征在于,所述单稳态触发器采用稳态为0、暂稳态为1的下边沿触发的单稳态触发器。

6. 如权利要求1所述的收发自控型RS485接口的通信电路,其特征在于,所述单稳态触发器采用不可重复触发型单稳态触发器。

7. 如权利要求1所述的收发自控型RS485接口的通信电路,其特征在于,所述单稳态触发器采用可重复触发型单稳态触发器,要求每帧数据的发送间隔超过一个字节宽度。

8. 如权利要求1所述的收发自控型RS485接口的通信电路,其特征在于,所述单稳态触发器的型号为CD74HC123NSR。

9. 如权利要求1所述的收发自控型RS485接口的通信电路,其特征在于,所述或逻辑门的型号为MC74VHC1G32DTT1G。

10. 如权利要求1所述的收发自控型RS485接口的通信电路,其特征在于,所述非逻辑门的型号为NL17SZ14DFT2G。

11. 如权利要求1所述的收发自控型RS485接口的通信电路,其特征在于,所述RS485通用接口芯片的型号为HI-4853PST。

## 收发自控型RS485接口的通信电路

### 技术领域

[0001] 本发明涉及通信技术领域,尤其涉及收发自控型RS485接口的通信电路。

### 背景技术

[0002] 本部分旨在为权利要求书中陈述的本发明实施例提供背景或上下文。此处的描述不因为包括在本部分中就承认是现有技术。

[0003] 在点对点的半双工通信系统中,两信端即是发送端又是接收端。信端A的信息要传输到信端B,首先要经过调制电路对信端A的原始信号完成某种变换再送入信道,而信道另一端的信号需要通过解调电路恢复到原始信号后再传送给信端B。信端B的信息要传输到信端A,过程同理。在实际工程应用中,以上变换过程最常用到便是数字调制解调系统,调制电路将受调的数字信号变换成包含其数字量意义的载波信号送到信道,解调电路则将接收到的载波信号还原成原始的数字信号。而在两信端与调制解调电路中最常用的高可靠性的通信媒介就是RS485总线,而两通信端的调制解调电路通常也是采用相同的设计最为简单实用。

[0004] 以RS485总线接口作为信端与调制解调电路通信媒介的传输接口示意图如图1所示,信端A信源发送RS485电平的数字信号通过该端的调制解调电路调制成载波信号后送入信道,信端B的调制解调电路接收到该载波信号后通过本端的调制解调电路解调成原始的RS485电平的数字信号后再送到信端B,完成一次信端A对信端B的信息传输。同理,信端B对信端A的信息传输过程相同。对于任一信端来说,调制电路在调制的同时亦在解调,对于解调信号向外发送之前必须判断该信号是来自另一信端的有用信号解调还是本信端发出的信号调制后的自解调。为了实现以上判断,通常的办法是在电路中加入CPU来辅助,解码信号先送入CPU的一个串行通信口,如果判断是有用信号再通过CPU的另一个串行通信口送出,如果判断是自解调则不送出。另外,CPU送出的数字信号通常为3.3V或5V的TTL电平信号,不是RS485电平信号,电路中必须接入RS485接口芯片实现电平转换,而RS485接口芯片收发器的控制全部由CPU完成。

[0005] 以上判断解调信号的办法是实际工程应用中最常用的处理办法,但存在以下几个缺点:

[0006] (1) 由于CPU的引入,增加了调制解调电路的软硬件成本;

[0007] (2) 对于工程中需要多个波特率转换来传输信息的应用要求,调制解调电路中的CPU必须在每次解帧前预知正确的通信波特率才能正确解帧,预知的电路唯有在通信协议中体现出具体的要求,CPU在每一次解析后做出下一帧波特率是否改变的判断。而在波特率每一次转换时,最容易有丢帧、错帧的情况出现;

[0008] (3) 对于150度以上的高温应用环境,虽然尚有RS485接口芯片可选用可购买,但是目前基本上没有满足要求的CPU器件,即使国外有个别的芯片,购买渠道也很困难,价格自然相当昂贵。

## 发明内容

[0009] 本发明实施例提供一种收发自控型RS485接口的通信电路,包括:单稳态触发器、或逻辑门、非逻辑门和RS485通用接口芯片;

[0010] 其中,RS485通用接口芯片的R0引脚通过上拉电阻拉到数字电源,R0引脚还与调制电路连接,R0引脚的输出为单稳态触发器的输入,单稳态触发器的输出信号与前端解调电路的解码信号为或逻辑门的输入信号做或逻辑,或逻辑门的输出信号同时进入RS485通用接口芯片的DI引脚和非逻辑门,通过非逻辑门作非逻辑后的输出信号进入RS485通用接口芯片DE和 $\overline{RE}$ 引脚,作为RS485通用接口芯片内接收器和发送器的控制信号;

[0011] 该通信电路初始上电时,RS485通用接口芯片内接收器使能接收,当RS485通用接口芯片内有外部信息送入,RS485通用接口芯片内接收器一直使能接收,发送关闭,自解码信息不外发;当RS485通用接口芯片内无外部通讯信号进入,同时有前端解调电路解码信号到来时,RS485通用接口芯片A、B端口向外发出RS485电平的解码信号。

[0012] 与现有技术中RS485接口芯片收发器的控制全部由CPU完成的技术方案相比,本发明提出的电路不需要CPU控制RS485接口芯片收发器,可自适应波特率的变化。

## 附图说明

[0013] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。在附图中:

[0014] 图1为两通信端的通信接口示意图;

[0015] 图2为本发明实施例中一种收发自控型RS485接口的通信电路组成示意图;

[0016] 图3为本发明实施例中下边沿触发的单稳态触发器的工作特性示意图;

[0017] 图4为本发明实施例中实施例1电路图。

## 具体实施方式

[0018] 为使本发明实施例的目的、技术方案和优点更加清楚明白,下面结合附图对本发明实施例做进一步详细说明。在此,本发明的示意性实施例及其说明用于解释本发明,但并不作为对本发明的限定。

[0019] 本发明基于背景技术中提到的现有技术中存在的缺点提出了一种收发自控型RS485接口的通信电路,适用于点对点的半双工通信系统。该电路不需要CPU,自适应波特率的变化,而且能够适用于150度以上的宽温环境。

[0020] 具体的,该电路组成示意图如图2所示,该收发自控型RS485接口的通信电路单稳态触发器、或逻辑门、非逻辑门和RS485通用接口芯片;

[0021] 其中,RS485通用接口芯片的R0引脚通过上拉电阻 $R_{up}$ 拉到数字电源VCC,R0引脚还与调制电路连接,R0引脚的输出为单稳态触发器的边沿触发脉冲 $V_i$ 输入,单稳态触发器的输出信号 $V_o$ 与前端解调电路的解码信号 $S_x$ 为或逻辑门的输入信号(一起进入或逻辑门)做或逻辑,或逻辑门的输出信号 $S_y$ 同时进入RS485通用接口芯片的DI引脚和非逻辑门,通过非逻辑门作非逻辑后的输出信号 $S_z$ 进入RS485通用接口芯片DE和 $\overline{RE}$ 引脚,作为RS485通用接

口芯片内接收器和发送器的控制信号;

[0022] 该通信电路初始上电时,RS485通用接口芯片内接收器使能接收,当RS485通用接口芯片内有外部信息送入,RS485通用接口芯片内接收器一直使能接收,发送关闭,自解码信息不外发;当RS485通用接口芯片内无外部通讯信号进入,同时有前端解调电路解码信号到来时,RS485通用接口芯片A、B端口向外发出RS485电平的解码信号。

[0023] 在本发明实施例中,还包括:低通滤波电路,与R0引脚和单稳态触发器连接,用于对R0引脚的输出信号进行滤波。

[0024] 在本发明实施例中,所述低通滤波电路包括:电阻和电容,所述电容一端接地,所述电容另一端与电阻的一端连接,所述电阻的另一端与R0引脚连接,所述电容和电阻连接后与单稳态触发器的输入端连接。

[0025] 在本发明实施例中,所述RS485通用接口芯片的A端口通过上拉电阻拉至数字电源,RS485通用接口芯片的B端口通过下拉电阻接地,所述RS485通用接口芯片的A端口和B端口通过电阻连接。

[0026] 具体的,RS485通用接口芯片内收发器的控制信号,1表示使能接收器,0表示使能发送器。

[0027] 具体的,所述单稳态触发器只能是稳态为0,暂稳态为1的下边沿触发的单稳态触发器。由于所述RS485通用接口芯片的R0引脚设计了上拉电阻 $R_{up}$ 拉至数字电源Vcc,那么电路初始上电时,R0引脚的默认状态为1,因此稳态为0,暂稳态为1的下边沿触发的单稳态触发器输出信号Vo为0。由于RS485总线默认状态为1,有解调电路的正确解码信号Sx初始上电状态为1,因此或逻辑门的输出信号Sy初始上电状态为1,非逻辑门输出信号Sz初始上电为0,RS485通用接口芯片接收器使能。当RS485总线有外部信息送入RS485通用接口芯片A、B端口时,R0引脚输出信号Vi正常接至调制电路,前端解调电路的正确解码信号Sx为自解码信息,不需要外发。因此,在总线传输信息起始位0的作用下,R0引脚输出信号Vi会出现一个下降沿脉冲。下边沿触发的单稳态触发器在下降沿触发脉冲的作用下输出信号Vo由稳态0变成了暂稳态1,单稳态触发器输出信号Vo与前端解调电路的正确解码信号Sx在或逻辑门内做或逻辑后,输出信号Sy仍保持1。因此,非逻辑门输出信号Sz继续为0,使能RS485通用接口芯片的接收器。当RS485总线无外部通讯信号进入时,单稳态触发器输出信号Vo恢复至0稳态,此时如果有解调电路的正确解码信号Sx到来时,或逻辑门输出信号Sy与前端解调电路的正确解码信号Sx等同,进入RS485通用接口芯片的DI引脚。而非逻辑门输出信号Sz特性与前端解调电路的正确解码信号Sx相反,当Sx为0时,Sz为1,允许发送0,A、B端口相应输出0;当Sx为1时,Sz为0,接收允许,A、B端口恢复为1。利用RS485通用接口芯片的DI引脚输入信号的反逻辑特控制使能端后,RS485通用接口芯片A、B端口的电平状态变化与前端解调电路的正确解码信号Sx一致,等同于直接发送RS485电平的前端解调电路的正确解码信号Sx。

[0028] 在本发明实施例中,下边沿触发的单稳态触发器的工作特性如图3所示,触发器在下边沿触发脉冲作用下,输出从稳态0翻转到暂稳态1,在暂稳态1停留一段时间 $t_w$ 后又自动返回到稳态0。单稳态触发器有不可重复触发型和可重复触发型两种。不可重复触发型是指单稳态触发器一旦被触发进入暂稳态1以后,再加入触发脉冲不会影响电路的工作过程,必须在暂稳态1结束以后,它才能接受下一个触发脉冲而转入暂稳态1,如图3的Uo1波形示意图所示。可重复触发的单稳态触发器的输出是在下降沿触发进入暂稳态1以后,如果再次加

入触发脉冲,暂稳态1将重新被触发,使输出脉冲再继续维持一个 $t_w$ 宽度,如图3的Uo2波形示意图所示。由于RS485总线信息传输以字节为单位,每一个字节都会以0作为起始位,对应单稳态触发器输出信号Vo的脉宽 $t_w$ 在本发明中取值应略大于一个字节的宽度,才能与所有前端解调电路的正确解码信号Sx做或逻辑后再做非逻辑,从而得到一定宽度 $t_w$ 的0信号,控制RS485通用接口芯片的发送器不发送,使得自解码信息不输出。显而易见,该电路采用可重复触发型触发器的电路实现时,要求每帧数据的发送间隔必须超过一个字节宽度,否则容易错帧,而采用不可重复触发型触发器的电路实现对每帧数据的发送间隔没有太多的要求。

[0029] 在实际工程应用中,针对(-55~125)℃的环境条件,该收发自控型RS485接口的通信电路中涉及的单稳态触发器、或逻辑门、非逻辑门、RS485通用接口芯片都直接选用单片集成电路实现。而150℃以上的使用环境,或逻辑门、非逻辑门、RS485通用接口芯片尚有可选用的单片集成电路,而单片集成的单稳态触发器很难寻到,采用通过门电路和RC电路构建单稳态触发器的电路更为便捷和经济。

[0030] 举例说明。

[0031] 本实施例信端A与B之间的传送信息有以下3个特点:

[0032] 每帧字节在100个字节以内;

[0033] 每帧数据传输间隔在1s到3s之间;

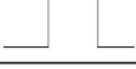
[0034] 波特率或为1200bps或为38400bps。

[0035] 本实施例应用一种收发自控型RS485接口的通信电路,由单稳态触发器D1、或逻辑门D2、非逻辑门D3、RS485通用接口芯片D4及其相关电阻R1~R8,电容C1、C2组成,其电路组成图如图4所示。单稳态触发器D1选用TI公司CD74HC123NSR,或逻辑门选用ON公司的MC74VHC1G32DTT1G、非逻辑门选用ON公司的NL17SZ14DFT2G、RS485通用接口芯片选用HOLT公司的HI-4853PST,电阻选用SSM公司的125度电阻,电容选用novacap公司的150度电容,VCC为+5V直流电源,可以应用于(-55~125)℃的环境条件。

[0036] TI公司的CD74HC123NSR是一种多功能的可重复触发的单稳态触发器集成电路,本身有上升沿和下降沿两种触发方式, $\overline{A}$ 是下降沿触发输入端,B为上升沿触发输入端。同时,这款单稳态触发器还设有互补的输出端Q和 $\overline{Q}$ ,Q的输出以0为稳态,1为暂稳态; $\overline{Q}$ 的输出则相反。此外,外接阻容端CX/RX引脚和CX引脚则用于暂稳态时间宽度 $t_w$ 的设置, $\overline{CLR}$ 引脚为直接清除端,低电平有效。该片的功能表如表1所示。

[0037] 表1 MC74VHC1G32DTT1G的功能表

[0038]

| 输入    |   |   | 输出                                                                                  |                                                                                     |
|-------|---|---|-------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------|
| CLEAR | A | B | Q                                                                                   | $\bar{Q}$                                                                           |
| L     | X | X | L                                                                                   | H                                                                                   |
| X     | H | X | L                                                                                   | H                                                                                   |
| X     | X | L | L                                                                                   | H                                                                                   |
| H     | L | ↑ |  |  |
| H     | ↓ | H |  |  |
| ↑     | L | H |  |  |

[0039] 由表1可知,若把输入信号加到A端,CLEAR端和B端都接高电平,就可以在正脉冲输出端Q得到一个由下降沿触发的稳态为0,暂稳态为1输出。本实施例即采用该方式设置电路参数如图4所示。D1输出的暂稳态1的宽度 $t_w$ 由外接电阻R1和电容C1决定。

[0040] 当 $C < 1000\text{pF}$ 时,输出脉宽为 $t_w = 0.7R_1C_1$ ;

[0041] 当 $C > 1000\text{pF}$ 时,输出脉宽为 $t_w = 0.45R_1C_1$ 。

[0042] 以上式中R1的单位为 $k\Omega$ ,C1的单位为pF,所以脉宽 $t_w$ 的单位为ns。

[0043] 由图4可见,实施例中D4的输出引脚R0设计了上拉电阻R5拉到数字电源+5V,同时设计了由R4和C2组成的低通滤波电路。R0引脚输出信号滤波后得到信号Vi,进入D1的 $\bar{A}$ 引脚,D1的Q端输出信号Vo与前端解调电路的正确解码信号Sx一起进入D2做或逻辑,D2的输出信号Sy直接进入D4的DI输入引脚,同时,Sy又进入D3作非逻辑,D3的输出信号Sz再进入了D4的控制引脚DE和 $\overline{RE}$ ,控制D4内部收发器转换。在本实施例中,暂稳态1的宽度 $t_w$ 应大于波特率在1200bps情况下一个字节的宽度,R1取240k $\Omega$ ,C1取105pf,可得脉冲宽度 $t_w$ 的理论计算值约为12.15ms,超过1200bps波特率下最长字节宽度20%以上。另外,由于实施例传输的每帧数据字节最多为100个字节,以每个字节最长11位(bit)计算,则每帧最长包含1100位(bit),在帧间隔最短时间1s的情况下,传输完1100位(bit)后,还剩余传输100位(bit)的时间等待下一帧数据到来。所述剩余传输100位(bit)的时间大约是91.7ms,大于D1设定的暂稳态宽度 $t_w$ ,实施例设计可行。

[0044] 由图4可见,本实施例D4的R0引脚设计了上拉电阻R1上拉至数字电源+5V,那么电路初始上电时,R0引脚的默认状态为高电平,因此D1输出信号Vo为低电平。由于RS485总线常态默认为高电平,所以本实施例在D4的AB口设计了上拉电阻R8(接数字电源VCC),下拉电阻R6(接地),它们与端接电阻R7(连接A口和B口)共同保证了D4上AB口的电压大于200mV,所以有解调电路的正确解码信号Sx初始上电状态为高电平,D2的输出信号Sy初始上电状态为高电平,D3输出信号为低电平,D4接收器使能。当RS485总线接口A、B端有外部信息送入时,R0引脚输出信号经过滤波后正常接至调制电路,Sx即为自解码信息,不需要外发。在RS485总线传输信息起始位0或其他0信息位的作用下,D4的R0引脚输出会不断有下降沿脉冲出现,重复触发D1的Q端输出信号Vo保持12.15ms的高电平,一直维持到最后一个0信息位结束

后的12.15ms。D2输出信号 $S_y$ 维持高电平的时间和D3输出信号 $S_z$ 维持低电平的时间与D1的Q端输出信号 $V_o$ 基本一致，D4的收发器一直处在接收状态。当RS485总线无外部通讯信息输入，D2的Q端输出信号 $V_o$ 恢复至低电平，此时如果有 $S_x$ 到来时，D2的输出信号 $S_y$ 与 $S_x$ 一致，进入D4的DI引脚，D3的输出信号 $S_z$ 特性与 $S_x$ 相反。当 $S_x$ 为0时， $S_z$ 为1，允许发送0，A、B端口相应输出0；当 $S_x$ 为1时， $S_z$ 为0，接收允许，A、B端口恢复为1常态。此电路利用D4的DI引脚输入信号的反逻辑特控制收发器的使能端后，A、B端口电平状态变化与 $S_x$ 一致，等同于直接发送RS485电平的正确解码信号 $S_x$ 。

[0045] 解码信号 $S_x$ 变换成RS485电平信号通过D4的A、B口对外传输时， $S_y$ 与 $S_z$ 会存在一定的相位差，所以D4的R0引脚端会时常出现一些由相位差引起的跌落毛刺，R4和C2组成的无源滤波电路就可以很好的解决这个问题，保证通讯的正常可靠。R4和C2根据实际测得的毛刺信号宽度设计，滤波后的跌落点不要低于 $V_o$ 所接入调制电路芯片和D1所定义高电平的最小电压即可。

[0046] 本发明实施例中，与现有技术中RS485接口芯片收发器的控制全部由CPU完成的技术方案相比，本发明提供的收发自控型RS485接口的通信电路，适用于点对点的半双工通信系统。该电路不需要CPU，可自适应波特率的变化，并且能够适用于150度以上的宽温环境。

[0047] 以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施例而已，并不用于限定本发明的保护范围，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

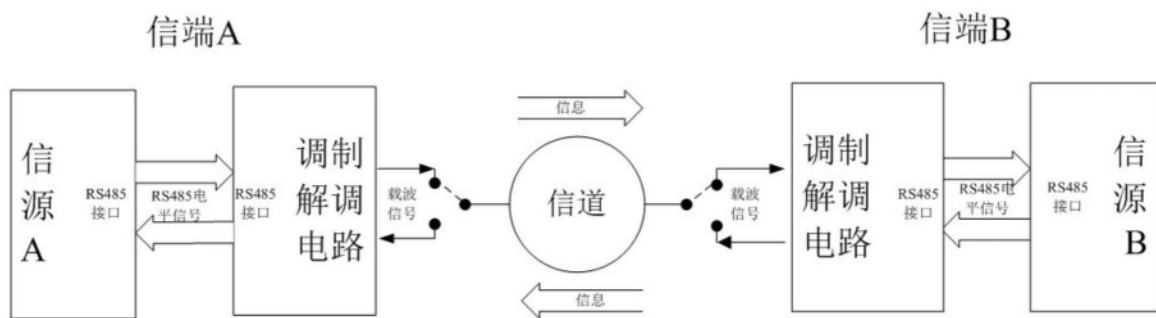


图1

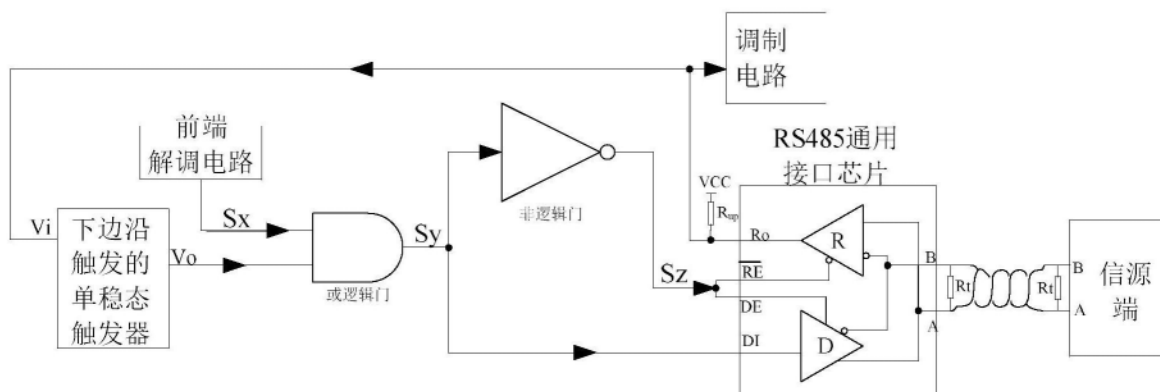


图2

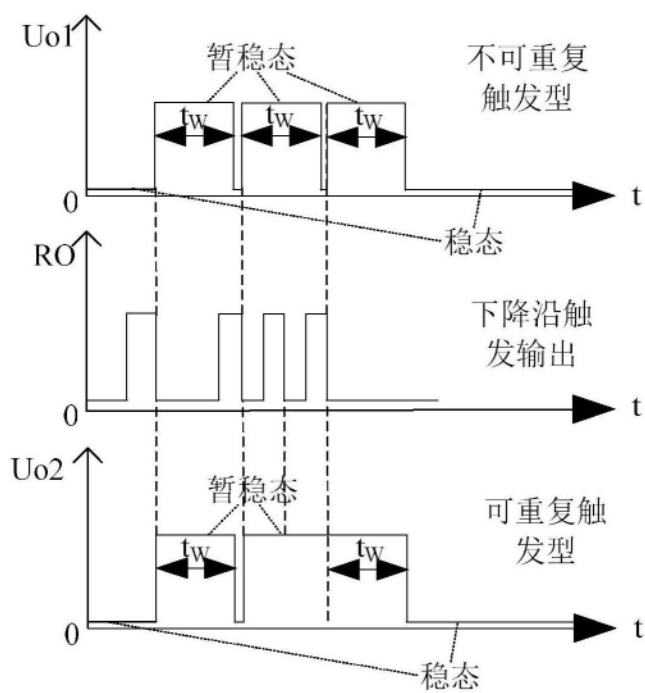


图3

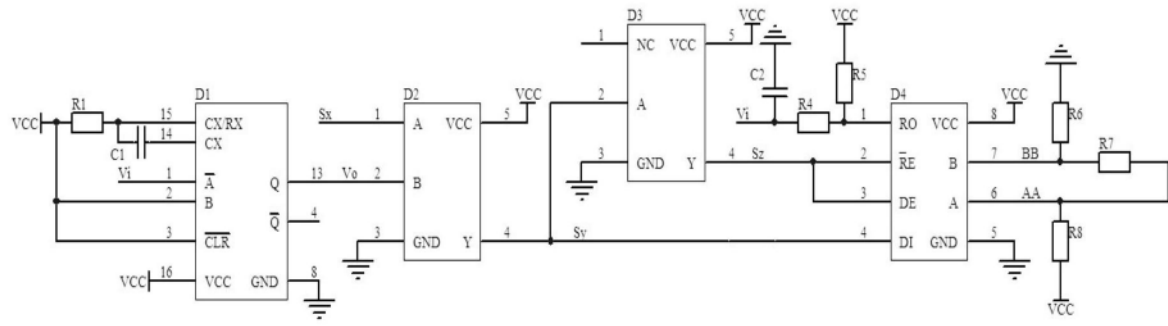


图4