

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5100663号
(P5100663)

(45) 発行日 平成24年12月19日 (2012. 12. 19)

(24) 登録日 平成24年10月5日 (2012. 10. 5)

(51) Int. Cl.

F I

G 1 1 C 29/56 (2006. 01)

G 1 1 C 29/00 6 5 2

G 1 1 C 29/42 (2006. 01)

G 1 1 C 29/00 6 3 1 D

請求項の数 11 (全 19 頁)

(21) 出願番号	特願2008-551019 (P2008-551019)	(73) 特許権者	390005175
(86) (22) 出願日	平成19年12月6日 (2007. 12. 6)		株式会社アドバンテスト
(86) 国際出願番号	PCT/JP2007/073601		東京都練馬区旭町 1 丁目 3 2 番 1 号
(87) 国際公開番号	W02008/078529	(74) 代理人	110000877
(87) 国際公開日	平成20年7月3日 (2008. 7. 3)		龍華国際特許業務法人
審査請求日	平成22年11月2日 (2010. 11. 2)	(72) 発明者	亀田 智史
(31) 優先権主張番号	特願2006-350625 (P2006-350625)		東京都練馬区旭町 1 丁目 3 2 番 1 号 株式
(32) 優先日	平成18年12月26日 (2006. 12. 26)		会社アドバンテスト内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	土井 優
			東京都練馬区旭町 1 丁目 3 2 番 1 号 株式
			会社アドバンテスト内
		(72) 発明者	佐藤 新哉
			東京都練馬区旭町 1 丁目 3 2 番 1 号 株式
			会社アドバンテスト内

最終頁に続く

(54) 【発明の名称】 試験装置および試験方法

(57) 【特許請求の範囲】

【請求項 1】

ページ単位でアクセスされ、複数のページを含むブロック単位で不良の記憶領域を無効化可能な被試験メモリを試験する試験装置であって、

前記被試験メモリの各ブロックに対応付けて、当該ブロックに不良が発生したか否かをそれぞれ示す複数のフェイル情報を記憶する不良ブロックメモリと、

前記被試験メモリの試験対象のページに、試験用のデータ列を書き込むデータ書込部と、

前記試験対象のページに書き込まれた試験用の前記データ列を読み出すデータ読出部と、

読み出された前記データ列を、書き込まれた前記データ列と比較する比較部と、

前記試験対象のページに不良が発生したか否かを判定する条件として予め定められた複数のフェイル条件のそれぞれに対応する複数のフェイル検出器を有し、前記複数のフェイル検出器のそれぞれが、前記比較部の比較結果に基づき対応する不良が発生したか否かを検出し、検出結果をフェイル信号として出力するフェイル検出部と、

前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報のそれぞれを、当該フェイル情報に予め割り当てられたフェイル条件に応じた前記フェイル信号により更新する更新部と

を備える試験装置。

【請求項 2】

前記複数のフェイル情報のそれぞれに対し、前記試験対象のページに不良が発生したか否かを判定する複数のフェイル条件のいずれを割り当てるかを設定する割当情報を記憶する割当レジスタを更に備え、

前記更新部は、前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報のそれぞれを、前記割当情報によって割り当てられた前記フェイル条件に応じた前記フェイル信号により更新する

請求項 1 に記載の試験装置。

【請求項 3】

前記フェイル検出部は、前記比較部による比較結果、前記データ列の書き込みに要した時間、および前記データ列の読出に要した時間の少なくとも 1 つに基づいて、前記試験対象のページにおける互いに異なる不良を検出する前記複数のフェイル検出器と、

前記複数のフェイル情報のそれぞれに対応してそれぞれ設けられ、前記割当レジスタにより対応する前記フェイル情報に割り当てられたフェイル検出器を選択し、選択した前記フェイル検出器による検出結果に基づき生成した前記フェイル信号を出力する複数の選択部とを有し、

前記更新部は、前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報を、前記複数の選択部が出力する複数の前記フェイル信号により更新する

請求項 2 に記載の試験装置。

【請求項 4】

前記複数のフェイル情報のうち、ブロックを無効とすべき不良に対応付けられた前記フェイル情報を指定する無効化情報を記憶する無効化レジスタと、

前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報を前記不良ブロックメモリから読み出して、読み出された前記複数のフェイル情報のうち前記無効化レジスタにより指定されたフェイル情報が、ブロックに不良が発生したことを示す場合に、前記試験対象のページの試験を行わなくさせるマスク処理部と

を更に備える請求項 1 から 3 のいずれか一項に記載の試験装置。

【請求項 5】

前記マスク処理部は、

読み出された前記複数のフェイル情報のうち前記無効化レジスタにより指定されたフェイル情報を選択するフェイル情報選択部と、

選択した前記フェイル情報に基づいて前記試験対象のページの試験を行わなくするか否かを示すマスク信号を生成するマスク生成部と

を有し、

前記試験対象のページの試験を行わなくすることを示す前記マスク信号を入力した場合に、前記データ書込部は、当該ページに対する試験用の前記データ列の書き込みを行わなくする

請求項 4 に記載の試験装置。

【請求項 6】

前記マスク処理部は、

読み出された前記複数のフェイル情報のうち前記無効化レジスタにより指定されたフェイル情報を選択するフェイル情報選択部と、

選択した前記フェイル情報に基づいて前記試験対象のページの試験を行わなくするか否かを示すマスク信号を生成するマスク生成部と

を有し、

前記試験対象のページの試験を行わなくすることを示す前記マスク信号を入力した場合に、前記比較部は、当該ページから読み出された前記データ列と書き込まれた前記データ列との不一致を検出しない

請求項 4 に記載の試験装置。

【請求項 7】

ページ単位でアクセスされ、複数のページを含むブロック単位で不良の記憶領域を無効

10

20

30

40

50

化可能な被試験メモリを試験する試験装置であって、

前記被試験メモリの各ブロックに対応付けて、当該ブロックに不良が発生したか否かをそれぞれ示す複数のフェイル情報を記憶する不良ブロックメモリと、

前記被試験メモリの試験対象のページに、試験用のデータ列を書き込むデータ書込部と、

前記試験対象のページに書き込まれた試験用の前記データ列を読み出すデータ読出部と、

読み出された前記データ列を、書き込まれた前記データ列と比較する比較部と、

前記試験対象のページに不良が発生したか否かを判定する条件として予め定められた複数のフェイル条件のそれぞれに対応する複数のフェイル検出器を有し、前記複数のフェイル検出器のそれぞれが、前記比較部の比較結果に基づき対応する不良が発生したか否かを検出し、検出結果をフェイル信号として出力するフェイル検出部と、

10

前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報のそれぞれを、複数の前記フェイル信号により更新する更新部と、

前記複数のフェイル情報のうち、ブロックを無効とすべき不良に対応付けられたフェイル情報を指定する無効化情報を記憶する無効化レジスタと、

前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報を前記不良ブロックメモリから読み出して、読み出された前記複数のフェイル情報のうち前記無効化レジスタにより指定されたフェイル情報が、ブロックに不良が発生したことを示す場合に、前記試験対象のページの試験を行わなくさせるマスク処理部と

20

を備える試験装置。

【請求項 8】

ページ単位でアクセスされ、複数のページを含むブロック単位で不良の記憶領域を無効化可能な被試験メモリを試験装置により試験する試験方法であって、

前記被試験メモリの各ブロックに対応付けて、当該ブロックに不良が発生したか否かをそれぞれ示す複数のフェイル情報を前記試験装置が備える不良ブロックメモリに記憶させることと、

前記被試験メモリの試験対象のページに、試験用のデータ列を書き込むことと、

前記試験対象のページに書き込まれた試験用の前記データ列を読み出すことと、

読み出された前記データ列を、書き込まれた前記データ列と比較することと、

30

前記試験対象のページに不良が発生したか否かを判定する条件として予め定められた複数のフェイル条件のそれぞれに対応する複数のフェイル検出器のそれぞれにより、比較した結果に基づき対応する不良が発生したか否かを検出し、検出結果をフェイル信号として出力することと、

前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報のそれぞれを、当該フェイル情報に予め割り当てられたフェイル条件に応じた前記フェイル信号により更新することと

を備える試験方法。

【請求項 9】

ページ単位でアクセスされ、複数のページを含むブロック単位で不良の記憶領域を無効化可能な被試験メモリを試験装置により試験する試験方法であって、

40

前記被試験メモリの各ブロックに対応付けて、当該ブロックに不良が発生したか否かをそれぞれ示す複数のフェイル情報を前記試験装置が備える不良ブロックメモリに記憶することと、

前記被試験メモリの試験対象のページに、試験用のデータ列を書き込むことと、

前記試験対象のページに書き込まれた試験用の前記データ列を読み出すことと、

読み出された前記データ列を、書き込まれた前記データ列と比較することと、

前記試験対象のページに不良が発生したか否かを判定する条件として予め定められた複数のフェイル条件のそれぞれに対応する複数のフェイル検出器のそれぞれにより、比較した結果に基づき対応する不良が発生したか否かを検出し、検出結果をフェイル信号として

50

出力することと、

前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報のそれぞれを、複数の前記フェイル信号により更新することと、

前記複数のフェイル情報のうち、ブロックを無効とすべき不良に対応付けられたフェイル情報を指定する無効化情報を前記試験装置が備える無効化レジスタに記憶することと、

前記試験対象のページに試験用の前記データ列を書き込むのに先立って、前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報を前記不良ブロックメモリから読み出すことと、

読み出された前記複数のフェイル情報のうち前記無効化レジスタにより指定されたフェイル情報が、ブロックに不良が発生したことを示す場合に、前記試験対象のページの試験を行わなくさせることと

を備える試験方法。

【請求項 10】

被試験メモリを試験する試験装置であって、

前記被試験メモリは、それぞれが複数のページにより構成される複数のブロックを含むフラッシュメモリであり、

前記被試験メモリに対するページ単位の書込み若しくは読出し、または、前記被試験メモリに対するブロック単位の消去の処理に生じた不良を検出して、検出結果をフェイル信号として出力するフェイル検出部と、

前記フェイル検出部が出力したフェイル信号に基づいて、前記被試験メモリを複数種類のグレードに選別する制御装置と

を備え、

前記フェイル検出部は、複数のフェイル検出器を有し、前記複数のフェイル検出器のそれぞれが、互いに種類の異なる複数の E C C のそれぞれによってエラー訂正が可能か否か、書込みを開始してから完了するまでの所要時間であるプログラム時間が予め定められた基準時間以上か否か、および、ブロック単位のデータ消去の所要時間が予め定められた基準時間以上か否かを検出する試験装置。

【請求項 11】

前記フェイル検出部が出力したフェイル信号に基づいて、あるブロックが不良ブロックであることを示すことを条件に、当該不良ブロックに対する試験を行わなくさせるマスク処理部を更に備える請求項 10 に記載の試験装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、試験装置および試験方法に関する。特に本発明は、被試験メモリについて、データの読み書きに生じた異常を検出する試験装置および試験方法に関する。本出願は、下記の日本出願に関連する。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の一部とする。

1. 特願 2006-350625 出願日 2006 年 12 月 26 日

【背景技術】

【0002】

近年、NAND 型フラッシュメモリのような不揮発性メモリデバイスが広く普及している。メモリデバイスの試験装置は、被試験メモリの出力と期待値とを論理比較し、比較の結果が一致すれば良品と、不一致であれば不良品と判断する。しかしながら、僅か一ビットだけ不一致であるのに不良品と判断しては、メモリデバイスの歩留まりは非常に低くなってしまう。このため、メモリデバイスには、予め予備の記憶領域を設けておき、不良の検出された記憶領域に代えてその予備の記憶領域を用いるようにしている。また、ECC などのエラー訂正符号によりデータを誤り訂正して、少数のエラーを許容するようにしている。このように、試験段階においては、良品のメモリデバイスにおいても、良品として許容できる範囲内で様々なエラーが検出される場合がある。

【0003】

参考として、メモリデバイスの試験方法および試験装置については以下の特許文献1を参照されたい。

【特許文献1】特開2001-319493号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来、試験装置は、このような良品のメモリデバイスに生じているエラーを管理するべく、メモリデバイス内のブロック毎にどのような種類のエラーが生じているかを検出している。このようなエラーの検出によって、その後どのような処理をするべきか、たとえば、ある不良ブロックを予備のブロックと置換するリペア処理をするべきかを判断できる。しかしながら、エラーの種類は様々であり、その全てを試験装置に記憶していたのでは、エラー記憶のための必要記憶容量が膨大となって、試験装置の設備規模を増大させてしまうおそれがある。また、記憶したエラーの情報の全てがその後の処理において用いられるとは限らず、用意した記憶領域が有効活用されない場合もある。

10

【0005】

そこで本発明は、上記の課題を解決することのできる試験装置および試験方法を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【課題を解決するための手段】

20

【0006】

本発明の第1の形態によると、ページ単位でアクセスされ、複数のページを含むブロック単位で不良の記憶領域を無効化可能な被試験メモリを試験する試験装置であって、前記被試験メモリの各ブロックに対応付けて、当該ブロックに不良が発生したか否かをそれぞれ示す複数のフェイル情報を記憶する不良ブロックメモリと、前記被試験メモリの試験対象のページに、試験用のデータ列を書き込むデータ書込部と、前記試験対象のページに書き込まれた試験用の前記データ列を読み出すデータ読出部と、読み出された前記データ列を、書き込まれた前記データ列と比較する比較部と、前記試験対象のページに不良が発生したか否かを判定する条件として予め定められた複数のフェイル条件のそれぞれに対応する複数のフェイル検出器を有し、前記複数のフェイル検出器のそれぞれが、前記比較部の比較結果に基づき対応する不良が発生したか否かを検出し、検出結果をフェイル信号として出力するフェイル検出部と、前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報のそれぞれを、当該フェイル情報に予め割り当てられたフェイル条件に応じた前記フェイル信号により更新する更新部とを備える試験装置を提供する。

30

【0007】

また、前記複数のフェイル情報のそれぞれに対し、前記試験対象のページに不良が発生したか否かを判定する複数のフェイル条件のいずれを割り当てるかを設定する割当情報を記憶する割当レジスタを更に備え、前記更新部は、前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報のそれぞれを、前記割当情報によって割り当てられた前記フェイル条件に応じた前記フェイル信号により更新してもよい。

40

【0008】

また、前記フェイル検出部は、前記比較部による比較結果、前記データ列の書き込みに要した時間、および前記データ列の読出に要した時間の少なくとも1つに基づいて、前記試験対象のページにおける互いに異なる不良を検出する複数のフェイル検出器と、前記複数のフェイル情報のそれぞれに対応してそれぞれ設けられ、前記割当レジスタにより対応する前記フェイル情報に割り当てられた前記フェイル検出器を選択し、選択した前記フェイル検出器による検出結果に基づき生成した前記フェイル信号を出力する複数の選択部とを有し、前記更新部は、前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報を、前記複数の選択部が出力する複数の前記フェイル信号により更新してもよい。

50

【0009】

また、前記複数のフェイル情報のうち、ブロックを無効とすべき不良に対応付けられた前記フェイル情報を指定する無効化情報を記憶する無効化レジスタと、前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報を前記不良ブロックメモリから読み出して、読み出された前記複数のフェイル情報のうち前記無効化レジスタにより指定されたフェイル情報が、ブロックに不良が発生したことを示す場合に、前記試験対象のページの試験を行わなくさせるマスク処理部とを更に備えてもよい。

【0010】

また、前記マスク処理部は、読み出された前記複数のフェイル情報のうち前記無効化レジスタにより指定されたフェイル情報を選択するフェイル情報選択部と、選択した前記フェイル情報に基づいて前記試験対象のページの試験を行わなくするか否かを示すマスク信号を生成するマスク生成部とを有し、前記試験対象のページの試験を行わなくすることを示す前記マスク信号を入力した場合に、前記データ書込部は、当該ページに対する試験用の前記データ列の書き込みを行わなくしてもよい。

10

【0011】

また、マスク処理部は、読み出された前記複数のフェイル情報のうち前記無効化レジスタにより指定されたフェイル情報を選択するフェイル情報選択部と、選択した前記フェイル情報に基づいて前記試験対象のページの試験を行わなくするか否かを示すマスク信号を生成するマスク生成部とを有し、前記試験対象のページの試験を行わなくすることを示す前記マスク信号を入力した場合に、前記比較部は、当該ページから読み出された前記データ列と書き込まれた前記データ列との不一致を検出しなくてもよい。

20

【0012】

また、本発明の第2の形態によると、ページ単位でアクセスされ、複数のページを含むブロック単位で不良の記憶領域を無効化可能な被試験メモリを試験する試験装置であって、前記被試験メモリ各ブロックに対応付けて、当該ブロックに不良が発生したか否かをそれぞれ示す複数のフェイル情報を記憶する不良ブロックメモリと、前記被試験メモリ試験対象のページに、試験用のデータ列を書き込むデータ書込部と、前記試験対象のページに書き込まれた試験用の前記データ列を読み出すデータ読出部と、読み出された前記データ列を、書き込まれた前記データ列と比較する比較部と、前記試験対象のページに不良が発生したか否かを判定する条件として予め定められた複数のフェイル条件のそれぞれに対応する複数のフェイル検出器を有し、前記複数のフェイル検出器のそれぞれが、前記比較部の比較結果に基づき対応する不良が発生したか否かを検出し、検出結果をフェイル信号として出力するフェイル検出部と、前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報のそれぞれを、複数の前記フェイル信号により更新する更新部と、前記複数のフェイル情報のうち、ブロックを無効とすべき不良に対応付けられたフェイル情報を指定する無効化情報を記憶する無効化レジスタと、前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報を前記不良ブロックメモリから読み出して、読み出された前記複数のフェイル情報のうち前記無効化レジスタにより指定されたフェイル情報が、ブロックに不良が発生したことを示す場合に、前記試験対象のページの試験を行わなくさせるマスク処理部とを備える試験装置を提供する。

30

40

【0013】

また、本発明の第3の形態によると、ページ単位でアクセスされ、複数のページを含むブロック単位で不良の記憶領域を無効化可能な被試験メモリを試験装置により試験する試験方法であって、前記被試験メモリ各ブロックに対応付けて、当該ブロックに不良が発生したか否かをそれぞれ示す複数のフェイル情報を前記試験装置が備える不良ブロックメモリに記憶させることと、前記被試験メモリ試験対象のページに、試験用のデータ列を書き込むことと、前記試験対象のページに書き込まれた試験用の前記データ列を読み出すことと、読み出された前記データ列を、書き込まれた前記データ列と比較することと、前記試験対象のページに不良が発生したか否かを判定する条件として予め定められた複数のフェイル条件のそれぞれに対応する複数のフェイル検出器のそれぞれにより、比較した結

50

果に基づき対応する不良が発生したか否かを検出し、検出結果をフェイル信号として出力することと、前記試験対象のページを含むブロックに対応付けられた前記複数のフェイル情報のそれぞれを、当該フェイル情報に予め割り当てられたフェイル条件に応じた前記フェイル信号により更新することとを備える試験方法を提供する。

【0014】

また、本発明の第4の形態によると、被試験メモリを試験する試験装置であって、前記被試験メモリは、それぞれが複数のページにより構成される複数のブロックを含むフラッシュメモリであり、前記被試験メモリに対するページ単位の書込み若しくは読出し、または、前記被試験メモリに対するブロック単位の消去の処理に生じた不良を検出して、検出結果をフェイル信号として出力するフェイル検出部と、前記フェイル検出部が出力したフェイル信号に基づいて、前記被試験メモリを複数種類のグレードに選別する制御装置とを備え、前記フェイル検出部は、複数のフェイル検出器を有し、前記複数のフェイル検出器のそれぞれが、互いに種類の異なる複数のECCのそれぞれによってエラー訂正が可能か否か、書込みを開始してから完了するまでの所要時間であるプログラム時間が予め定められた基準時間以上か否か、および、ブロック単位のデータ消去の所要時間が予め定められた基準時間以上か否かを検出する試験装置を提供する。

10

【0015】

また、前記フェイル検出部が出力したフェイル信号に基づいて、あるブロックが不良ブロックであることを示すことを条件に、当該不良ブロックに対する試験を行わなくさせるマスク処理部を更に備えてもよい。

20

【0016】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0017】

【図1】本発明の実施形態に係る試験装置10の全体構成を示す。

【図2】本発明の実施形態に係る被試験メモリ100の記憶領域を示す。

【図3】本発明の実施形態に係るフェイル管理モジュール180の構成の一例を示す。

【図4】本発明の実施形態に係る被試験メモリ100において発生したビット誤りの具体例を示す。

30

【図5】本発明の実施形態に係るフェイル管理モジュール180の具体的構成を示す。

【図6】本発明の実施形態に係る被試験メモリ100において検出されたフェイルの第1例を示す。

【図7】本発明の実施形態に係る被試験メモリ100において検出されたフェイルの第2例を示す。

【図8】本発明の実施形態に係る試験装置10において、検出されたフェイルに基づき生成されたマスク信号の一例を示す。

【図9】本発明の実施形態に係る試験装置10により被試験メモリ100を試験する処理の流れを示す。

【図10】本発明の実施形態に係るフェイル管理モジュール180の第1変形例を示す。

40

【図11】本発明の実施形態に係るフェイル管理モジュール180の第2変形例を示す。

【符号の説明】

【0018】

10・・・試験装置、100・・・被試験メモリ、120・・・タイミング発生器、130・・・パターン発生器、140・・・波形整形器、150・・・ドライバ、160・・・コンパレータ、170・・・比較部、180・・・フェイル管理モジュール、185・・・制御装置、190・・・リペア処理装置、210・・・データ、220・・・誤り訂正符号、230・・・制御情報、240・・・メインエリア、250・・・エキストラエリア、300・・・アドレスフェイルメモリ、305・・・アドレス圧縮機、310・・・不良ブロックメモリ、500・・・不良ブロックメモリ、505・・・アドレスフェイ

50

ルメモリ、５１０・・・割当レジスタ、５２０・・・フェイル検出部、５２２・・・１ビットＥＣＣ検出器、５２４・・・２ビットＥＣＣ検出器、５２６・・・４バイトＥＣＣ検出器、５２８・・・ビジー時間検出器、５３０・・・更新部、５３５・・・オアゲート、５３８・・・オアゲート、５４５・・・選択部、５４８・・・選択部、５５０・・・無効化レジスタ、５７０・・・マスク処理部、５７２・・・フェイル情報選択部、５７５・・・マスク生成部

【発明を実施するための最良の形態】

【００１９】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

10

【００２０】

図１は、本発明の実施形態に係る試験装置１０の全体構成を示す。試験装置１０は、タイミング発生器１２０と、パターン発生器１３０と、波形整形器１４０と、ドライバ１５０と、コンパレータ１６０と、比較部１７０と、フェイル管理モジュール１８０と、制御装置１８５と、リペア処理装置１９０とを備える。タイミング発生器１２０は、パターン発生器１３０から出力されるタイミングセット信号（ＴＳ信号）により指定されたタイミングデータを用いて、試験の１サイクルを示す周期クロックと、試験サイクルの開始タイミングを示すＲＡＴＥ信号とを生成する。そして、タイミング発生器１２０は、周期クロックをパターン発生器１３０に供給し、ＲＡＴＥ信号及びタイミングクロックを波形整形器１４０へ供給する。

20

【００２１】

パターン発生器１３０は、周期クロックに基づいて、被試験メモリ１００に供給する試験パターンのデータを生成し、波形整形器１４０へ供給する。この試験パターンデータは、データ列を被試験メモリ１００に書き込むために被試験メモリ１００に供給すべき信号からなる試験パターン、及び、書き込んだデータ列を被試験メモリ１００から読み出すために被試験メモリ１００に供給すべき信号からなる試験パターンを含む。波形整形器１４０は、本発明に係るデータ書込部の一例であり、試験用のデータ列を、被試験メモリ１００の試験対象のページに書き込む。この際、波形整形器１４０は、タイミングクロックおよびＲＡＴＥ信号に基づいて、このデータ列を被試験メモリ１００に供給すべきタイミングの波形に整形する。

30

【００２２】

ドライバ１５０は、波形整形器１４０により整形された試験パターンデータを、試験パターン信号として被試験メモリ１００へ供給する。コンパレータ１６０は、本発明に係るデータ読出部の一例であり、試験対象のページに書き込まれた試験用のデータ列を読み出す。詳細には、コンパレータ１６０は、試験パターンに応じて被試験メモリ１００が出力する出力信号を予め定められた基準電圧と比較して、出力信号の論理値を取得し、順次取得される論理値をデータ列とする。比較部１７０は、試験パターンに応じて被試験メモリ１００から読み出されたデータ列に含まれるデータのそれぞれを、パターン発生器１３０により予め生成された期待値と比較する。この期待値は、即ち、波形整形器１４０により被試験メモリ１００に対し書き込まれたデータ列である。また、比較部１７０は、データ列の読み出に要した時間が予め定められた規格による範囲内の大きさかどうかを判断してもよい。

40

【００２３】

フェイル管理モジュール１８０は、比較部１７０による比較結果や判断結果に基づいて、被試験メモリ１００に生じたエラーの種類を、被試験メモリ１００に含まれるブロック毎に記憶してゆく。エラーの種類を記憶するメモリのことを、不良ブロックメモリと呼ぶ。そして、リペア処理装置１９０は、試験完了後に、比較部１７０により不良ブロックメモリに記憶された内容に基づいて、被試験メモリ１００を良品として使用可能とするためのリペア処理を行う。リペア処理には、ブロックリペア処理、ページリペア処理、カラム

50

リペア処理などが含まれる。

【0024】

ブロックリペア処理とは、不良の生じたブロック全体を使用不能に設定して、予備のブロックを使用可能に設定する処理をいう。ページリペア処理とは、ブロックよりも小さい記憶単位であるページについて、不良の生じたページ全体を使用不能に設定して、予備のページを使用可能に設定する処理をいう。カラムリペア処理とは、記憶セルを指定する単位であるカラム毎に、不良の生じたカラム全体を使用不能に設定して、予備のカラムを使用可能に設定する処理をいう。

【0025】

制御装置185は、以上に例示した試験処理およびリペア処理の開始を、上記各部材に対して指示する。たとえば、制御装置185は、幾つかの試験処理をパターン発生器130およびフェイル管理モジュール180に順次指示して実行させ、その実行完了後にリペア処理装置190に指示してリペア処理を行わせる。また、制御装置185は、後述の不良ブロックメモリ500に記憶されたフェイル情報に基づいて、被試験メモリ100を複数種類のグレードに選別する。たとえば、1ビット誤りを訂正可能なECCがあれば良品として動作する被試験メモリ100と、4ビット誤りを訂正可能なECCがなければ良品として動作しない被試験メモリ100とは別のグレードに選別される。

【0026】

本実施形態に係る試験装置10は、以上のような構成による試験処理において、試験の目的や制約に応じて、フェイル管理モジュール180に記録させるエラーの種類を任意に設定可能とすることで、フェイル管理モジュール180に設ける記憶装置（上記の不良ブロックメモリ）の必要容量を削減しつつも、幅広い種類の試験処理・リペア処理を可能とすることを目的とする。

【0027】

図2は、本発明の実施形態に係る被試験メモリ100の記憶領域を示す。本実施形態に係る被試験メモリ100は、例えば不揮発性の記憶デバイスであるフラッシュメモリであり、被試験メモリ100の記憶領域は、複数のブロックに分割される。各ブロックは、たとえば64KBのデータ記憶容量を有し、たとえば32個等の複数のページから構成される。本実施形態に係る被試験メモリ100は、例えば2KB等のデータ記憶容量を有するページ単位でデータ列の読み書きを行う。より具体的には、被試験メモリ100は、例えば8ビット等の複数のデータIO端子を有し、これらの複数のデータIO端子を介して1入出力サイクルあたり1ワード（例えば8ビット）のデータを転送する。そして、1回の読み出し又は書き込み処理において、ページ内の各ワードをカラム方向に順に転送することで、ページ単位で読み書きを行う。

【0028】

被試験メモリ100内の記憶領域は、メインエリア240及びエキストラエリア250を含む。メインエリア240は、被試験メモリ100が記憶すべきデータ210を記憶する領域である。エキストラエリア250は、データ210に生じたビット誤りを訂正するための誤り訂正符号220、及び、当該ページの使用禁止等を示す制御情報230を記憶する領域である。このエキストラエリア250に制御情報230として特定の数値が記憶されると、その制御情報230を含むブロック全体が使用不能に設定されたり、その制御情報230を含むページ全体が使用不能に設定されたりする。どのような数値の書込みによりどのような設定がなされるか、および、どのような設定が可能であるかについては、被試験メモリ100の仕様によって異なる。

【0029】

図3は、本発明の実施形態に係るフェイル管理モジュール180の構成の一例を示す。ブロック単位で単に良否を判定するのであれば、フェイル管理モジュール180の構成を図3に示すものとすることもできる。具体的には、フェイル管理モジュール180は、アドレスフェイルメモリ300と、アドレス圧縮機305と、不良ブロックメモリ310とを有する。アドレスフェイルメモリ300は、比較部170による比較結果に基づいて、

被試験メモリ100の記憶セル毎に当該記憶セルの良否を示すビットパスフェイル情報を格納する。具体的には、アドレスフェイルメモリ300は、波形整形器140から入力されたアドレスに、比較部170から入力された良否判定結果を記憶する。各記憶セルの試験が順次行われた結果、各記憶セルの良否を示すビットマップ状のデータがアドレスフェイルメモリ300に記憶される。

【0030】

アドレス圧縮機305は、パターン発生器130から入力されたアドレスに基づきそのアドレスが属するブロックの識別情報を生成して、不良ブロックメモリ310に対し供給する。具体的には、アドレス圧縮機305は、入力されたアドレスの一部のビットをマスクして除外することで、ブロックの識別情報を生成してもよい。不良ブロックメモリ310は、被試験メモリ100の各ブロックに対応付けて、当該ブロックに不良が発生したか否かをそれぞれ示す複数のフェイル情報を記憶する。具体的には、不良ブロックメモリ310は、試験の対象となるブロックの識別情報をアドレス圧縮機305から入力し、ブロック毎の良否判定結果を比較部170から入力する。そして、不良ブロックメモリ310は、入力された識別情報により指定されるアドレスに、良否判定結果を記憶する。

10

【0031】

記憶された良否判定結果は、以降同一ブロックに対する試験を行わなくさせるためのマスク情報として波形整形器140および比較部170に出力されてもよい。これを受けて、波形整形器140は、試験用のデータ列の出力を停止し、比較部170は、出力データ列の比較を停止する。また、マスク情報はリペア処理装置190に対しさらに出力されてもよい。これにより、リペア処理装置190はその後のリペア処理を効率よく行うことができる。

20

【0032】

図4は、本発明の実施形態に係る被試験メモリ100において発生したビット誤りの具体例を示す。ブロック0のページ2は、カラム2、6、9および11にエラーの生じた記憶セルを含む。なお、表内の数値はエラーの生じた記憶セルの個数を示す。また、ブロック1のページ3は、カラム3、7および10にエラーの生じた記憶セルを含む。このように1つでもエラーの生じた記憶セルがブロックに含まれている場合には、フェイル管理モジュール180は、そのブロックが不良である旨を不良ブロックメモリ310に記憶する。この例の場合、ブロック0-3は共に不良の発生した記憶セルを含むので、不良ブロックメモリ310は、これらそれぞれのブロックに対応付けて、不良の発生した旨を示す論理値1を記憶する。また、不良ブロックメモリ310は、不良の発生した旨を示す論理値をそのままマスク情報として出力する。即ち、ブロック0-3について出力されるマスク情報は、ともに論理値1である。

30

【0033】

以上、良否判定の結果のみを記憶するのであれば、図3に示す構成のフェイル管理モジュール180を用いればよい。しかしながら、被試験メモリ100の規格によっては、リペア処理などの様々な事後処理が可能であるゆえ、ブロック毎に生じたエラーの種類を識別可能に記憶することが望ましい。以降、ブロック毎にエラーの種類を記憶可能としつつも、必要な記憶容量を低減する構成について説明する。

40

【0034】

図5は、本発明の実施形態に係るフェイル管理モジュール180の具体的構成を示す。フェイル管理モジュール180は、不良ブロックメモリ500と、アドレスフェイルメモリ505と、割当レジスタ510と、フェイル検出部520と、更新部530と、無効化レジスタ550と、マスク処理部570とを有する。不良ブロックメモリ500は、被試験メモリ100の各ブロックに対応付けて、当該ブロックに不良が発生したか否かをそれぞれ示す複数のフェイル情報を記憶する。これら複数のフェイル情報は、互いに種類の異なるエラーの発生を示すものである。アドレスフェイルメモリ505は、比較部170による比較結果に基づいて、被試験メモリ100の記憶セル毎に当該記憶セルの良否を示すビットパスフェイル情報を格納する。具体的には、アドレスフェイルメモリ505は、パ

50

ターン発生器 130 から入力されたアドレスに、比較部 170 から入力された良否判定結果を記憶する。

【0035】

割当レジスタ 510 は、複数のフェイル情報のそれぞれに対し、試験対象のページに不良が発生したか否かを判定する複数のフェイル条件のいずれを割当ててかを設定する割当情報を記憶する。たとえば、設定によって、あるフェイル情報には、1ビット誤りを訂正可能な ECC により誤り訂正可能かどうかを判定するフェイル条件が割り当てられ、他のフェイル情報には、データの読み出しに所定の基準よりも長い時間を要するかどうかを判定するフェイル条件が割り当てられる。このような割当情報は、試験の種類や目的に応じて、制御装置 185 から設定されてもよい。

10

【0036】

フェイル検出部 520 は、複数のフェイル条件のそれぞれに対応する不良が発生したか否かを検出し、検出結果をフェイル信号として更新部 530 に対し出力する。たとえば、フェイル検出部 520 は、被試験メモリ 100 に対するページ単位の書込み若しくは読み出し、または、被試験メモリ 100 に対するブロック単位の消去の処理に生じた不良を検出するものである。構成の具体例として、フェイル検出部 520 は、1ビット ECC 検出器 522 と、2ビット ECC 検出器 524 と、4バイト ECC 検出器 526 と、ビジー時間検出器 528 と、選択部 545 と、選択部 548 とを有する。1ビット ECC 検出器 522、2ビット ECC 検出器 524、4バイト ECC 検出器 526 およびビジー時間検出器 528 のそれぞれは、本発明に係るフェイル検出器の一例である。これら複数のフェイル検出器は、比較部 170 による比較結果、データ列の書き込みに要した時間、および／または、データ列の読み出しに要した時間の少なくとも 1 つに基づいて、試験対象のページにおける互いに異なる不良を検出する。

20

【0037】

具体的には、1ビット ECC 検出器 522 は、1ビット誤りを訂正する ECC によっては訂正不能な不良を検出する。2ビット ECC 検出器 524 は、2ビット誤りを訂正する ECC によっては訂正不能な不良を検出する。これらの ECC は、共に、ページ毎に対応して設けられており、1ページあたりに生じた誤りビット数が所定以下であることを条件にその誤り訂正を可能とするものである。このように、複数のフェイル検出器が検出するエラーは、種類が同一だが程度が異なるものであってもよい。また、4バイト ECC 検出器 526 は、4バイト誤りを訂正する ECC によっては訂正不能な不良を検出する。この ECC は、1ページあたりに生じたビット誤りを有するカラム数が所定以下であることを条件にその誤り訂正を可能とするものである。また、ビジー時間検出器 528 は、読み書きなどのコマンドを発行してからその結果が出力されるまでの待ち時間が所定の規格外かどうかを検出する。このように、各フェイル検出器が検出するエラーはその種類が異なってもよい。

30

【0038】

選択部 545 および選択部 548 その他の選択部のそれぞれは、複数のフェイル情報のそれぞれに対応してそれぞれ設けられ、割当レジスタ 510 により対応するフェイル情報に割り当てられたフェイル検出器を選択する。たとえば、選択部 545 は、割当レジスタ 510 に基づき、1ビット ECC 検出器 522 および 2ビット ECC 検出器 524 を選択し、選択部 548 は、割当レジスタ 510 に基づき、1ビット ECC 検出器 522 およびビジー時間検出器 528 を選択するというように、選択部ごとに選択するフェイル検出器の組合せが異なってよい。そして、選択部 545 および選択部 548 その他の選択部のそれぞれは、選択したフェイル検出器による検出結果に基づき生成したフェイル信号を、更新部 530 に対し出力する。一例として、フェイル信号は、選択した複数のフェイル検出器の出力の論理和である。即ち、選択した何れかのフェイル検出器でエラーが検出されると、フェイル発生を示す論理値がフェイル信号として出力される。

40

【0039】

更新部 530 は、試験対象のページを含むブロックに対応付けられた複数のフェイル情

50

報のそれぞれを、割り当てられたフェイル条件に応じたフェイル信号により更新する。具体的には、更新部530は、選択部毎に、オアゲート535およびオアゲート538その他のオアゲートを有する。そして、それぞれのオアゲートは、フェイル検出部520から入力したフェイル信号と、不良ブロックメモリ500の対応するビットから出力された論理和を、不良ブロックメモリ500に書き込む。即ち、あるブロックについて一旦フェイル条件が成立すると、その成立を示す論理値がそのブロックに対応する不良ブロックメモリ500中の領域に書き込まれ、そのブロックの試験が完了するまで上書きされ続ける。これにより、ブロックの試験完了後にそのブロックに不良の発生したページがあったかどうかを判別できる。

【0040】

10

続いて、あるブロックについて記憶されたフェイル情報に基づき、そのブロックのその後の試験を制御する処理機能について説明する。無効化レジスタ550は、複数のフェイル情報のうち、ブロックを無効とすべき不良に対応付けられたフェイル情報を指定する無効化情報を記憶する。

【0041】

マスク処理部570は、試験対象のページを含むブロックに対応付けられた複数のフェイル情報を不良ブロックメモリ500から読み出す。そして、マスク処理部570は、読み出された複数のフェイル情報のうち無効化レジスタ550により指定されたフェイル情報が、ブロックに不良が発生したことを示す場合に、試験対象のページの試験を行わなくさせる。具体的構成として、マスク処理部570は、フェイル情報選択部572と、マスク生成部575とを有する。フェイル情報選択部572は、読み出した複数のフェイル情報のうち無効化レジスタ550により指定されたフェイル情報を選択する。例えば、軽微なエラーはそのブロックのその後の試験を行わなくする原因とはならないから、そのようなエラーを示すフェイル情報はフェイル情報選択部572によって選択されない。一方で、比較的重度のエラーを示すフェイル情報はフェイル情報選択部572により選択される。

20

【0042】

マスク生成部575は、選択したフェイル情報に基づいて試験対象のページの試験を行わなくするか否かを示すマスク信号を生成する。生成されたマスク信号は波形整形器140および比較部170に入力される。これを受けて、波形整形器140は、そのページに対する試験用のデータ列の書込みを行わない。また、比較部170は、そのページから読み出されたデータ列と書き込まれたデータ列との不一致を検出しない。このようにすることで、比較的重度の障害が一旦発生したブロックには、その後の試験を中止することができ、その後の試験を行った場合に他の障害が原因で試験時間が長くなることを防止できる。

30

【0043】

図6は、本発明の実施形態に係る被試験メモリ100において検出されたフェイルの第1例を示す。この例は、まず、ブロック毎、ページ毎、かつ、カラム毎に、ビット誤りの生じたビットの数を示している。例えばブロック0、ページ2およびカラム2において、ビット誤りの数は1である。また、同ページのカラム6において、ビット誤りの数は2であり、同ページのカラム9において、ビット誤りの数は1であり、同ページのカラム11において、ビット誤りの数は1である。

40

【0044】

このページ2に生じたビット誤りの数は合計5である。この誤りは、1ビットECCでも2ビットECCでも3ビットECCでも4ビットECCでも訂正できない。したがって、1ビットECCの訂正限界を超えたことを検出する1ビットECC検出器522からはフェイル情報が出力される。このことを、図中のビットECC1の欄に記号F (Failの意)を表示して表す。同様に、ビットECC2-4の何れの欄もFとなる。

【0045】

また、このページ2で、誤りの生じたカラム（この図ではバイトと同義である）の数は

50

合計4である。この誤りは、1－3バイトECCでは訂正できないが、4バイトECCでは訂正できる。したがって、4バイトECCの訂正限界を超えたことを検出するビジー時間検出器528からはフェイル情報は出力されない。このことを、図中のバイトECC4の欄に記号P（Passの意）を表示して表す。バイトECC1－3の欄はFである。

【0046】

その他のブロックについても同様に、例えば、ブロック2のページ3のカラム1には8ビットの誤りが生じているので、この誤りは1－4ビットECCでは何れも訂正できない。したがって、同ページのビットECC1－4の欄は何れもFとなる。一方で、同ページにはそれ以外のビット誤りが生じていないので、この誤りは1バイトECCで訂正できる。このため、ビジー時間検出器528やその他バイトECCに関するフェイル検出器からはフェイル情報は出力されない。したがって、同ページのバイトECC1－4の欄は何れもPとなる。

10

【0047】

図7は、本発明の実施形態に係る被試験メモリ100において検出されたフェイルの第2例を示す。この例は、まず、ブロック毎かつページ毎に、そのページにページ単位でデータを書き込むために要する時間（プログラム時間）を示している。また、ブロック毎に、そのブロックのデータをブロック単位で消去するために要する時間（イレース時間）を示している。例えば、ブロック0の何れのページもプログラム時間は200μsであるが、ブロック2のページ7のプログラム時間は1500μsである。また、ブロック0のイレース時間は15msであるが、ブロック1～3のそれぞれのイレース時間は2msである。

20

【0048】

ビジー時間検出器528がプログラム時間の異常を検出する場合において、ブロック0のページ7は予め定められた基準値（たとえば600μs）を超える1500μsのプログラム時間を要するので、ビジー時間検出器528は、このページ7についてフェイル情報を出力する。このことを、図中ではページ7に対応する判定結果の欄に記号Fを表示して表す。他の例として、ビジー時間検出器528がイレース時間の異常を検出する場合において、ブロック0は予め定められた基準値を超える15msのイレース時間を要するので、ビジー時間検出器528は、このページ0についてフェイル情報を出力する。このことを、図中ではブロック0に対応する判定結果の欄に記号Fを表示して表す。

30

【0049】

このように、フェイル検出部520は、複数のフェイル検出器を有するので、図6に示したビット誤りのみならず、図7に示すデータ書き換えに要する時間など、多様な種類のフェイルを検出することができる。

【0050】

なお、図7に示したプログラム時間の異常は、各ページについて判定されるものではなく、ブロック内の各ページについてのプログラム時間の平均値や最大値について判断されるものでもよい。

【0051】

図8は、本発明の実施形態に係る試験装置10において、検出されたフェイルに基づき生成されたマスク信号の一例を示す。BBMのBit0－2のそれぞれは、本発明に係るフェイル情報を記憶する記憶領域を示す。即ち、Bit0－2のそれぞれは、被試験メモリ100の各ブロックに対応付けて、当該ブロックに不良が発生したか否かをそれぞれ示すフェイル情報を記憶するビットであり、フェイル情報によって表されるフェイルの種類は互いに異なっておりよい。

40

【0052】

たとえば、BBMのBit0は、1ビットECC検出器522により出力され、選択部545により選択されて、不良ブロックメモリ500に記憶されたフェイル情報を示している。フェイル情報は、1ビットECC検出器522および選択部545の組合せによっ

50

て表されるフェイル条件の成否を示すものであり、これは、1ビットECC検出器522や2ビットECC検出器524などの複数のフェイル検出器の検出結果の論理演算結果であってよい。但し、本例では説明の都合上、Bit 0は、1ビットECC検出器522により出力されたフェイル情報そのものを示す。なお、論理値1はフェイル情報を記憶していることを示し、論理値0はフェイル情報を記憶していないことを示す。

【0053】

また、BBMのBit 2は、2バイトECCによっては誤り訂正できないエラーを検出するフェイル検出器から出力されたフェイル情報を示す。また、BBMのBit 2は、ビジー時間検出器528から出力されたフェイル情報を示し、ここでは、プログラム時間が基準値を超えたページが検出されたことを示す。また、これらのフェイル情報に基づいてマスク処理部570により生成されるマスク情報をDMASKとして示す。マスク処理部570は、各ブロックについてBit 1およびBit 2のフェイル情報を選択する。そして、マスク生成部575は、これらのフェイル情報の論理和をマスク信号として出力する。

10

【0054】

したがって、Bit 1-2の少なくとも何れか一方が論理値1であるブロック0-2につき、マスク信号は論理値1である。一方、Bit 1-2の何れも論理値0であるブロック3につき、マスク信号は論理値0である。

【0055】

このように、マスク信号は全てのフェイル情報を反映したものでなくてもよく、その生成の方法は無効化レジスタ550の設定により自由に変更することができる。

20

【0056】

図9は、本発明の実施形態に係る試験装置10により被試験メモリ100を試験する処理の流れを示す。波形整形器140は、被試験メモリ100の試験対象のページに、試験用のデータ列を書き込む(S1000)。コンパレータ160は、試験対象のページに書き込まれた試験用のデータ列を読み出す(S1010)。比較部170は、読み出されたデータ列を、書き込まれたデータ列と比較する(S1020)。フェイル検出部520は、複数のフェイル条件のそれぞれに対応する不良が発生したか否かを検出する(S1030)。更新部530は、不良ブロックメモリ500にアクセスして、試験対象のページを含むブロックに対応付けられたフェイル情報のそれぞれを、割り当てられたフェイル条件に応じたフェイル信号により更新する(S1040)。マスク処理部570は、所定の条件が成立すると、試験対象のブロックのその後の試験を行わなくさせるためのマスク信号を出力する(S1050)。このマスク信号は、無効化レジスタ550に設定した無効化情報に基づく。具体的には、マスク処理部570は、複数のフェイル情報を不良ブロックメモリ500から読み出して、読み出した複数のフェイル情報のうち無効化レジスタ550により指定されたフェイル情報が、ブロックに不良が発生したことを示す場合に、マスク信号を出力する。

30

【0057】

図10は、本発明の実施形態に係るフェイル管理モジュール180の第1変形例を示す。この変形例は、フェイル情報として記憶すべきフェイル条件は任意に設定可能としたまま、マスク信号を出力する条件を固定することで、フェイル管理モジュール180の回路構成を簡略化することを目的とする。この変形例に係るフェイル管理モジュール180は、図5に示すフェイル管理モジュール180とは異なり、マスク処理部570を有しなくてよい。また、フェイル管理モジュール180は、マスク処理部570を制御するための無効化レジスタ550を有しなくてよい。その他の構成は図5に示すフェイル管理モジュール180と略同一であるから説明を省略する。この構成において、不良ブロックメモリ500から読み出されたフェイル情報はマスク信号として波形整形器140および比較部170に出力され、波形整形器140および比較部170において各種の処理が中止される。これにより、不良ブロックメモリ500の有効活用という上記実施形態の利点は保持しつつ、フェイル管理モジュール180の回路構成を簡略化できる。

40

50

【0058】

図11は、本発明の実施形態に係るフェイル管理モジュール180の第2変形例を示す。この変形例は、第1変形例とは逆に、マスク信号を出力する条件は任意に設定可能としたまま、フェイル条件を固定とすることで、フェイル管理モジュール180の回路構成を簡略化することを目的とする。この変形例に係るフェイル管理モジュール180は、図5に示すフェイル管理モジュール180とは異なり、選択部545および選択部548その他の選択部を有しなくてよい。また、フェイル管理モジュール180は、これらの選択部を制御するための割当レジスタ510を有しなくてよい。その他の構成は図5に示すフェイル管理モジュール180と略同一であるから説明を省略する。この構成において、不良ブロックメモリ500は、それぞれのブロックについて、フェイル検出部520が有する全てのフェイル検出器のそれぞれから出力されるフェイル情報を記憶する。そして、マスク処理部570は、記憶されたこれらのフェイル情報のうち、無効化レジスタ550により指示される任意の組合せに基づき、マスク信号を生成して出力する。これにより、マスク信号の柔軟な設定という上記実施形態の利点は保持しつつ、フェイル管理モジュール180の回路構成を簡略化できる。

10

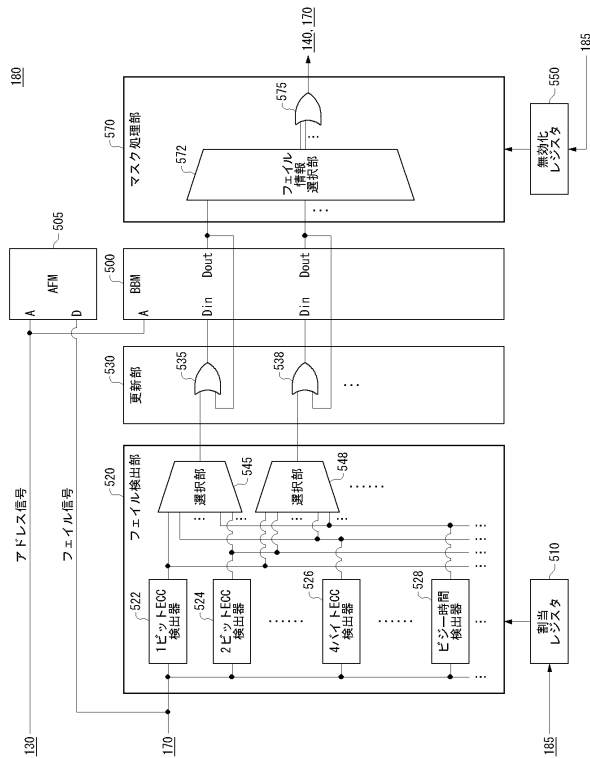
【0059】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。たとえば、上記実施形態およびその変形例において、フェイル情報とは、不良ブロックメモリ500に記憶すべき情報であって選択部毎に対応して割り当てられた1ビットのデータであるが、試験の用途や目的によっては2ビット以上のデータであってよい。また、フェイル情報は、フェイル検出器による検出結果そのものや幾つかの検出結果の論理和のみならず、検出結果を示す複数の論理値に任意の論理演算を行った結果であってよい。また、上記実施形態およびその変形例において、一旦不良ブロックメモリ500に記憶されたフェイル情報は、同一のフェイル情報により上書きされるものの他の情報に更新はされない。これに代えて、フェイル情報がエラーの数量を示すようなものである場合、更新部530は、新たにフェイル信号を入力したことに応じて、既に記憶しているフェイル情報が示す数量を増加させて、そのフェイル情報に上書きして保存してよい。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

20

30

【図 5】



【図 6】

ブロック 番号	かラム ページ 番号	かラム毎の ファイルビット数																ビットECC				バイトECC						
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	ファイル ビット数	1	2	3	4	ファイル バイト数	1	2	3	4	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P	
	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	2	0	0	1	0	0	0	2	0	0	1	0	1	0	0	0	0	0	5	F	F	F	F	4	F	F	F	F
	3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	6	0	0	0	0	0	1	0	0	0	1	0	1	0	0	1	0	0	4	F	F	F	F	4	F	F	F	F
	7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	3	0	0	0	1	0	0	0	1	0	0	1	0	0	0	0	0	0	3	F	F	F	F	3	F	F	F	F
	4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	6	0	1	0	0	0	1	0	0	0	1	0	0	1	0	1	0	0	5	F	F	F	F	5	F	F	F	F
	7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:		
2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	3	0	8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	8	F	F	F	F	1	P	P	P	P
	4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	6	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:		
3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	2	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	P	P	P	P	1	P	P	P	P
	3	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	2	F	P	P	P	2	F	P	P	P
	4	0	0	3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	3	F	F	F	F	3	P	P	P	P
	5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	6	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	P	P	P	P	0	P	P	P	P
	7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4	0	4	F	F	F	F	1	P	P	P	P
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:		

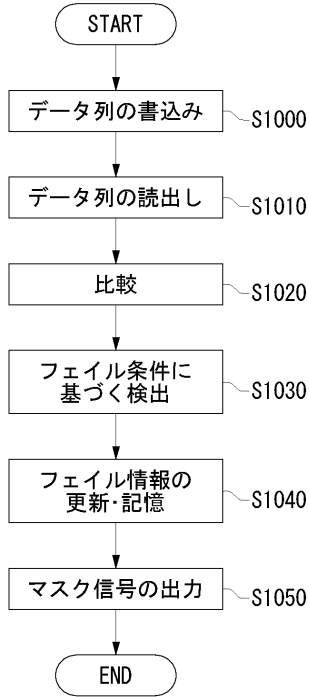
【図 7】

ブロック 番号	カラム 番号 ページ 番号	プログラム 時間	判定結果	イレース 時間	判定結果
0	0	200 μ s	P	15ms	F
	1	200 μ s	P		
	2	200 μ s	P		
	3	200 μ s	P		
	4	200 μ s	P		
	5	200 μ s	P		
	6	200 μ s	P		
	7	200 μ s	P		
1	0	200 μ s	P	2ms	P
	1	200 μ s	P		
	2	200 μ s	P		
	3	200 μ s	P		
	4	200 μ s	P		
	5	200 μ s	P		
	6	200 μ s	P		
	7	200 μ s	P		
2	0	200 μ s	P	2ms	P
	1	200 μ s	P		
	2	200 μ s	P		
	3	200 μ s	P		
	4	200 μ s	P		
	5	200 μ s	P		
	6	200 μ s	P		
	7	1500 μ s	F		
3	0	200 μ s	P	2ms	P
	1	200 μ s	P		
	2	200 μ s	P		
	3	200 μ s	P		
	4	200 μ s	P		
	5	200 μ s	P		
	6	200 μ s	P		
	7	200 μ s	P		

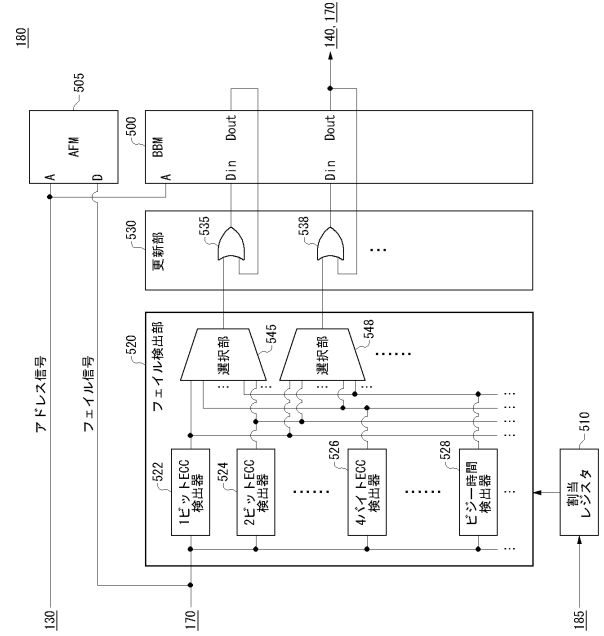
【図 8】

ブロック 番号	フラグ ページ番号	BBM			DMASK
		Bit0	Bit1	Bit2	
0	0	1	1	0	1
	1				
	2				
	3				
	4				
	5				
	6				
	7				
1	0	1	1	0	1
	1				
	2				
	3				
	4				
	5				
	6				
	7				
2	0	1	0	1	1
	1				
	2				
	3				
	4				
	5				
	6				
	7				
3	0	1	0	0	0
	1				
	2				
	3				
	4				
	5				
	6				
	7				

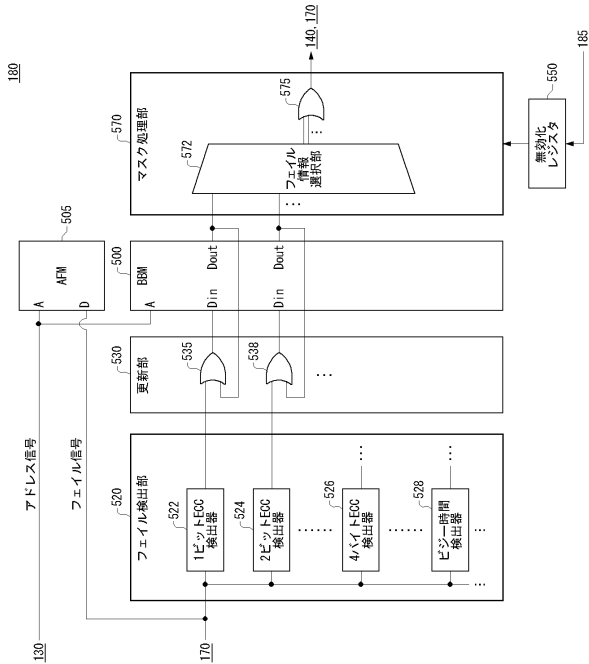
【図 9】



【図 10】



【図 11】



フロントページの続き

審査官 小林 紀和

- (56)参考文献 特開2006-139892 (JP, A)
特開2004-054966 (JP, A)
国際公開第2006/040900 (WO, A1)
特開2005-267761 (JP, A)
特開2003-194891 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/56

G11C 29/42