

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-534529  
(P2019-534529A)

(43) 公表日 令和1年11月28日(2019.11.28)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 11/22 (2006.01)</b>	G 1 1 C 11/22 2 2 0	5 F 0 8 3
<b>H O 1 L 27/11514 (2017.01)</b>	G 1 1 C 11/22 1 1 0	
	G 1 1 C 11/22 2 3 0	
	H O 1 L 27/11514	

審査請求 有 予備審査請求 未請求 (全 39 頁)

(21) 出願番号 特願2019-511354 (P2019-511354)  
 (86) (22) 出願日 平成29年8月2日 (2017.8.2)  
 (85) 翻訳文提出日 平成31年4月17日 (2019.4.17)  
 (86) 国際出願番号 PCT/US2017/045175  
 (87) 国際公開番号 W02018/044486  
 (87) 国際公開日 平成30年3月8日 (2018.3.8)  
 (31) 優先権主張番号 62/381,879  
 (32) 優先日 平成28年8月31日 (2016.8.31)  
 (33) 優先権主張国・地域又は機関  
 米国 (US)

(71) 出願人 595168543  
 マイクロン テクノロジー, インク.  
 アメリカ合衆国, アイダホ州 83716  
 -9632, ボイズ, サウス フェデラル  
 ウェイ 8000  
 (74) 代理人 100074099  
 弁理士 大菅 義之  
 (74) 代理人 100106851  
 弁理士 野村 泰久  
 (72) 発明者 ダーナー, スコット ジェイ.  
 アメリカ合衆国, アイダホ州 83716  
 , ボイズ, イースト セージウッド ドラ  
 イブ 5032

最終頁に続く

(54) 【発明の名称】 強誘電体メモリを含み、強誘電体メモリを動作するための装置及び方法

(57) 【要約】

強誘電体メモリを含み、強誘電体メモリを動作するための装置及び方法が開示される。例示的装置は、第1のプレート、第2のプレート、及び強誘電性誘電材料を有するコンデンサを含む。装置は、第1のデジット線、及び第1のプレートを第1のデジット線に結合するように構成された第1の選択コンポーネントを更に含み、第2のデジット線、及び第2のプレートを第2のデジット線に結合するように構成された第2の選択コンポーネントをも含む。

【選択図】 図 2 A

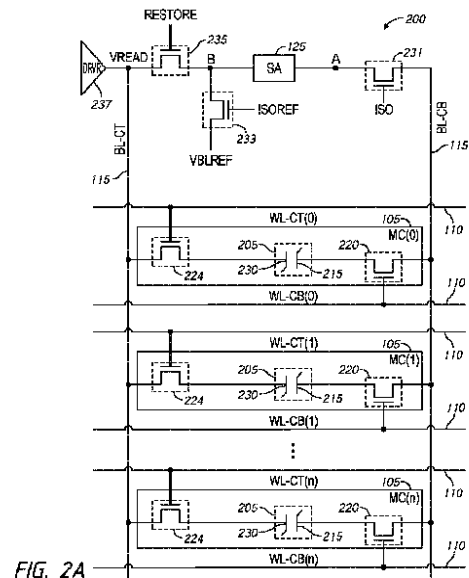


FIG. 2A

**【特許請求の範囲】****【請求項 1】**

第 1 のプレート、第 2 のプレート、及び強誘電性誘電材料を有するコンデンサと、  
第 1 のデジタル線と、  
前記第 1 のプレートを前記第 1 のデジタル線に結合するように構成された第 1 の選択コンポーネントと、  
第 2 のデジタル線と、  
前記第 2 のプレートを前記第 2 のデジタル線に結合するように構成された第 2 の選択コンポーネントと  
を含む、装置。

10

**【請求項 2】**

前記第 1 の選択コンポーネントは、第 1 のワード線に結合され、前記第 1 のワード線の活性化に応答して活性化されるように構成され、前記第 2 の選択コンポーネントは、第 2 のワード線に結合され、前記第 2 のワード線の活性化に応答して活性化されるように構成される、請求項 1 に記載の装置。

**【請求項 3】**

前記第 1 の選択コンポーネントは、前記第 1 のデジタル線と前記コンデンサの前記第 1 のプレートとの間に結合され、前記第 2 の選択コンポーネントは、前記第 2 のデジタル線と前記コンデンサの前記第 2 のプレートとの間に結合される、請求項 1 に記載の装置。

20

**【請求項 4】**

前記第 1 の選択コンポーネント、前記第 2 の選択コンポーネント、及び前記コンデンサは、垂直方向に積み重ねられる、請求項 1 に記載の装置。

**【請求項 5】**

第 1 の選択コンポーネント及び第 2 の選択コンポーネントを含む強誘電体メモリセルと、  
前記第 1 の選択コンポーネント及び前記第 2 の選択コンポーネントに夫々結合された第 1 のデジタル線及び第 2 のデジタル線と、  
前記第 1 の選択コンポーネントのゲートに結合された第 1 のアクセス線と、  
前記第 2 の選択コンポーネントのゲートに結合された第 2 のアクセス線と、  
第 1 のセンスノード及び第 2 のセンスノードを含むセンスコンポーネントであって、前記第 1 のセンスノードと前記第 2 のセンスノードとの間の電圧差をセンシングし、前記電圧差を増幅し、前記電圧差をラッチするように構成された前記センスコンポーネントと、  
前記第 1 のデジタル線及び前記第 1 のセンスノードに結合された第 1 のスイッチであって、前記第 1 のデジタル線を前記第 1 のセンスノードに選択的に結合するように構成された前記第 1 のスイッチと、  
前記第 2 のデジタル線及び前記第 2 のセンスノードに結合された第 2 のスイッチであって、前記第 2 のデジタル線を前記第 2 のセンスノードに選択的に結合するように構成された前記第 2 のスイッチと  
を含む、装置。

30

**【請求項 6】**

前記第 1 のデジタル線に読み出し電圧を提供するように構成されたドライバ回路を更に含む、請求項 5 に記載の装置。

40

**【請求項 7】**

前記センスコンポーネントは、  
ゲートを有する第 1 の p 型電界効果トランジスタと、  
前記第 1 の p 型電界効果トランジスタの前記ゲートに結合されたゲートを有する第 1 の n 型電界効果トランジスタと、  
ゲートを有する第 2 の p 型電界効果トランジスタと、  
前記第 2 の p 型電界効果トランジスタの前記ゲートに結合されたゲートを有する第 2 の n 型電界効果トランジスタと、

50

前記第 1 の p 型電界効果トランジスタ及び前記第 1 の n 型電界効果トランジスタのドレインに結合され、前記第 2 の p 型電界効果トランジスタ及び前記第 2 の n 型電界効果トランジスタの前記ゲートに更に結合された第 1 のセンスノードと、

前記第 2 の p 型電界効果トランジスタ及び前記第 2 の n 型電界効果トランジスタのドレインに結合され、前記第 1 の p 型電界効果トランジスタ及び前記第 1 の n 型電界効果トランジスタの前記ゲートに更に結合された第 2 のセンスノードとを含む、請求項 5 に記載の装置。

【請求項 8】

複数の前記強誘電体メモリセルの内の個別の強誘電体メモリセルの前記第 1 の選択コンポーネントに各々結合された複数の第 1 のアクセス線と、

10

前記複数の強誘電体メモリセルの内の個別の強誘電体メモリセルの前記第 2 の選択コンポーネントに各々結合された複数の第 2 のアクセス線とを更に含む、請求項 7 に記載の装置。

【請求項 9】

前記強誘電体メモリセルは、

前記第 1 の選択コンポーネントに結合された第 1 のプレートと、

前記第 2 の選択コンポーネントに結合された第 2 のプレートと、

前記第 1 のプレートと前記第 2 のプレートとの間に配置された強誘電体材料とを含む、請求項 5 に記載の装置。

【請求項 10】

20

前記第 1 のセンスノードに結合され、前記第 1 のセンスノードにリファレンス電圧を提供するように構成されたリファレンススイッチを更に含む、請求項 5 に記載の装置。

【請求項 11】

前記第 1 のデジット線及び前記第 2 のデジット線に結合された複数の強誘電体メモリセルであって、前記複数の強誘電体メモリセルの内の各強誘電体メモリセルは個別の第 1 の選択コンポーネント及び第 2 の選択コンポーネントを含む、前記複数の強誘電体メモリセル

を更に含む、請求項 5 に記載の装置。

【請求項 12】

前記第 1 のデジット線及び前記第 2 のデジット線は、相互に対して垂直方向にずらされ、強誘電体コンデンサは、垂直方向に前記第 1 の選択コンポーネントと前記第 2 の選択コンポーネントとの間にある、請求項 5 に記載の装置。

30

【請求項 13】

行及び列中に配置された複数のメモリセルであって、各メモリセルが第 1 の選択コンポーネント及び第 2 の選択コンポーネントを含み、前記第 1 の選択コンポーネントと前記第 2 の選択コンポーネントとの間に結合された強誘電体コンデンサを更に含む、前記複数のメモリセルと、

ワード線の複数の対であって、前記複数の内のワード線の各対は複数のメモリセルの個別の行に結合される、前記ワード線の複数の対と、

デジット線の複数の対であって、前記複数の内のデジット線の各対は複数のメモリセルの個別の列に結合される、前記デジット線の複数の対と

40

ワード線の前記複数の対に結合され、行アドレスに基づいてワード線の対を活性化するように構成された行デコーダと、

デジット線の前記複数の対に結合され、列アドレスに基づいてデジット線の対を活性化するように構成された列デコーダと、

デジット線の前記複数の対に結合され、複数のメモリセルの活性化された行の前記複数のメモリセルの蓄積状態を判定するように構成されたセンスコンポーネントとを含む、装置。

【請求項 14】

デジット線の前記複数の対の各々は、複数のメモリセルの前記個別の列の前記複数のメ

50

メモリセルの前記第 1 の選択コンポーネントに結合された第 1 のデジタル線を含み、複数のメモリセルの前記個別の列の前記複数のメモリセルの前記第 2 の選択コンポーネントに結合された第 2 のデジタル線を更に含む、請求項 13 に記載の装置。

【請求項 15】

前記センスコンポーネントは、前記複数のデジタル線の内のデジタル線の前記各対に結合された個別のセンスコンポーネントを含む、請求項 14 に記載の装置。

【請求項 16】

各センスコンポーネントは、前記センスコンポーネントが結合されるデジタル線の前記対の前記第 2 のデジタル線を電圧に駆動し、前記センスコンポーネントは、前記センスコンポーネントが結合されるデジタル線の前記対の前記第 1 のデジタル線を、前記第 1 のデジタル線の電圧を相補する電圧に駆動するように更に構成される、請求項 15 に記載の装置。

10

【請求項 17】

前記複数の内のワード線の各対は、複数のメモリセルの前記個別の行の前記第 1 の選択コンポーネントのゲートに結合された第 1 のワード線を含み、複数のメモリセルの前記個別の行の前記第 2 の選択コンポーネントのゲートに結合された第 2 のワード線を更に含む、複数のメモリセルの前記個別の行の前記第 1 の選択コンポーネントは前記第 1 のワード線により活性化され、複数のメモリセルの前記個別の行の前記第 2 の選択コンポーネントは前記第 2 のワード線により活性化される、請求項 14 に記載の装置。

【請求項 18】

前記第 1 の選択コンポーネント、前記第 2 の選択コンポーネント、及び前記強誘電体コンデンサは垂直方向に積み重ねられ、前記強誘電体コンデンサは、垂直方向に前記第 1 の選択コンポーネントと前記第 2 の選択コンポーネントとの間にある、請求項 13 に記載の装置。

20

【請求項 19】

メモリコンデンサの第 1 のプレートを第 1 のデジタル線に結合することと、  
 前記メモリコンデンサの第 2 のプレートを第 2 のデジタル線に結合することと、  
 前記メモリコンデンサの前記第 2 のプレートにおける電圧に変化を生じさせるために、  
 前記メモリコンデンサの前記第 1 のプレートに読み出し電圧を提供することと、  
 前記メモリコンデンサの前記第 2 のプレートにおける電圧とリファレンス電圧との間の電圧差をセンシングすることと、  
 増幅された電圧差を提供するために、前記電圧差を増幅することと、  
 増幅された前記電圧差を前記第 1 のデジタル線及び前記第 2 のデジタル線を経由して前記メモリコンデンサの前記第 1 のプレート及び前記第 2 のプレートに夫々印加することと、  
 前記メモリコンデンサの前記第 1 のプレートを前記第 1 のデジタル線から分断することと、  
 前記メモリコンデンサの前記第 2 のプレートを前記第 2 のデジタル線から分断することと  
 を含む、方法。

30

40

【請求項 20】

前記メモリコンデンサの前記第 1 のプレートを前記第 1 のデジタル線に結合すること、及び前記第 2 のデジタル線の前記第 2 のプレートを結合することは、第 1 の選択コンポーネントを活性化すること、及び第 2 の選択コンポーネントを活性化することを夫々含む、請求項 19 に記載の方法。

【請求項 21】

前記メモリコンデンサの前記第 1 のプレートを前記第 1 のデジタル線に結合すること、及び前記第 2 のデジタル線の前記第 2 のプレートを結合することは同時である、請求項 19 に記載の方法。

【請求項 22】

50

増幅された前記電圧差を提供するために、前記電圧差を増幅することは、

前記メモリコンデンサの前記第2のプレートの前記電圧が前記リファレンス電圧よりも大きいことに応答して、センスコンポーネントの第1のセンスノードをグラウンドに駆動し、前記センスコンポーネントの第2のセンスノードを供給電圧に駆動することと、

前記メモリコンデンサの前記第2のプレートの前記電圧が前記リファレンス電圧よりも小さいことに応答して、前記センスコンポーネントの前記第1のセンスノードを前記供給電圧に駆動し、前記センスコンポーネントの前記第2のセンスノードをグラウンドに駆動することと

を含む、請求項19に記載の方法。

【請求項23】

前記メモリコンデンサは強誘電体メモリコンデンサを含む、請求項19に記載の方法。

【請求項24】

前記第2のプレートに結合され、前記リファレンス電圧を提供されるセンスコンポーネントを活性化することを更に含む、請求項19に記載の方法。

【請求項25】

強誘電体メモリセルの第2のプレートにおける電圧変化であって、前記強誘電体メモリセルの前記第2のプレートに結合された第2のデジタル線を経由してセンスアンプの第2のセンスノードに提供される、前記強誘電体メモリセルの前記第2のプレートにおける前記電圧変化を生じさせるために、前記強誘電体メモリセルの第1のプレートに結合された第1のデジタル線上に読み出し電圧を駆動することと、

センスアンプの第1のセンスノードにリファレンス電圧を提供することと、

前記センスアンプの前記第2のセンスノードにおける電圧を前記第1のセンスノードの前記電圧と比較することと、

前記比較に基づいて、前記第1のセンスノード及び前記第2のセンスノードを相補電圧レベルに駆動することと、

前記第1のデジタル線及び前記第2のデジタル線を経由して前記強誘電体メモリセルの前記第1のプレート及び前記第2のプレートに前記相補電圧レベルを夫々提供するために、前記第1のセンスノードを前記第1のデジタル線に結合することと、

前記第1のプレート及び前記第2のプレートを前記第1のデジタル線及び前記第2のデジタル線から夫々絶縁することと

を含む、方法。

【請求項26】

前記第1のセンスノード及び前記第2のセンスノードを反対の相補電圧レベルに駆動すること

を更に含み、

前記反対の相補電圧レベルは、前記強誘電体メモリセルの極性を変化させるために前記第1のプレート及び前記第2のプレートに結合される、

請求項25に記載の方法。

【請求項27】

前記センスアンプの前記第2のセンスノードにおける前記電圧を前記第1のセンスノードの前記電圧と比較する前に、前記第2のノードを前記第2のデジタル線から分断することを更に含む、請求項25に記載の方法。

【請求項28】

前記比較に基づいて前記第1のセンスノード及び前記第2のセンスノードを相補電圧レベルに駆動した後に、前記第2のノードを前記第2のデジタル線に結合することを更に含む、請求項27に記載の方法。

【請求項29】

前記第1のデジタル線及び前記第2のデジタル線を経由して前記強誘電体メモリセルの前記第1のプレート及び前記第2のプレートに前記相補電圧レベルを夫々提供するために、前記第1のセンスノードを前記第1のデジタル線に結合することと、前記第1のプレ-

10

20

30

40

50

ト及び前記第 2 のプレートの前記第 1 のデジット線及び前記第 2 のデジット線から夫々絶縁することと、前記強誘電体メモリセル上にデータを復元する、請求項 2 5 に記載の方法。

【請求項 3 0】

前記第 1 のプレート及び前記第 2 のプレートの前記第 1 のデジット線及び前記第 2 のデジット線から絶縁する前に、前記第 1 のセンスノード及び前記第 2 のセンスノードを同じ電圧に駆動することを更に含む、請求項 2 5 に記載の方法。

【請求項 3 1】

前記相補電圧レベルは、供給電圧及びグランドを含む、請求項 2 5 に記載の方法。

【発明の詳細な説明】

10

【技術分野】

【0 0 0 1】

[関連出願の相互参照]

本願は、2016年8月31日出願の米国仮特許出願番号62/381,879の出願の利益を主張する。この出願は、その全体が全ての目的で参照により本明細書に組み込まれる。

【背景技術】

【0 0 0 2】

メモリデバイスは、コンピュータ、無線通信デバイス、カメラ、及びデジタル表示装置等の様々な電子デバイス中に情報を蓄積するために広く使用される。情報は、メモリデバイスの異なる状態をプログラミングすることによって蓄積される。例えば、バイナリデバイスは、論理“1”又は論理“0”によりしばしば示される2つの状態を有する。その他のシステムでは、3つ以上の状態が蓄積され得る。蓄積された情報にアクセスするために、電子デバイスは、メモリデバイス中の蓄積状態を読み出し得、又はセンシングし得る。情報を蓄積するために、電子デバイスは、メモリデバイス中に状態を書き込み得、又はプログラミングし得る。

20

【0 0 0 3】

ランダムアクセスメモリ(RAM)、リードオンリーメモリ(ROM)、ダイナミックRAM(DRAM)、同期型ダイナミックRAM(SDRAM)、強誘電体RAM(FerRAM)、磁気RAM(MRAM)、抵抗変化RAM(RRAM)、及びフラッシュメモリ等を含む様々な種類のメモリデバイスが存在する。メモリデバイスは揮発性又は不揮発性であり得る。不揮発性メモリ、例えば、フラッシュメモリは、外部電源が存在しなくても長時間、データを蓄積できる。揮発性メモリデバイス、例えば、DRAMは、外部電源により定期的リフレッシュされない限り、それらの蓄積状態を時間と共に喪失し得る。バイナリメモリデバイスは、例えば、充電又は放電されるコンデンサを含み得る。充電されたコンデンサは、しかしながら、リーク電流を通じて時間と共に放電され得、蓄積された情報の喪失をもたらす。定期的リフレッシュなしにデータを蓄積する能力等の不揮発性メモリの機構が利点であり得る一方で、揮発性メモリの幾つかの機構は、より高速な読み出し又は書き込み速度等の性能の利点を提供し得る。

30

【0 0 0 4】

40

FerRAMは、揮発性メモリと同様のデバイスアーキテクチャを使用し得るが、蓄積デバイスとしての強誘電体コンデンサの使用に起因して不揮発性の特性を有し得る。FerRAMデバイスは、したがって、その他の不揮発性及び揮発性のメモリデバイスと比較して改善した性能を有し得る。しかしながら、FerRAMデバイスの動作を改善することが望ましい。例えば、メモリのセンシング中の改善した雑音抵抗、よりコンパクトな回路及び削減したレイアウトサイズ、並びにFerRAMデバイスの動作に対する改善したタイミングを有することが望ましい。

【発明の概要】

【0 0 0 5】

強誘電体メモリを含み、強誘電体メモリを動作するための装置及び方法が開示される。

50

開示の一側面では、例示的装置は、第1のプレート、第2のプレート、及び強誘電性誘電材料を有するコンデンサを含む。装置は、第1のデジット線、及び第1のプレートを第1のデジット線に結合するように構成された第1の選択コンポーネントを更に含み、第2のデジット線、及び第2のプレートを第2のデジット線に結合するように構成された第2の選択コンポーネントをも含む。

【0006】

開示の別の側面では、例示的方法は、メモリコンデンサの第1のプレートを第1のデジット線に結合することと、メモリコンデンサの第2のプレートを第2のデジット線に結合することとを含む。メモリコンデンサの第2のプレートにおける電圧に変化を生じさせるために、メモリコンデンサの第1のプレートに読み出し電圧が提供される。メモリコンデンサの第2のプレートにおける電圧とリファレンス電圧との間で電圧差がセンシングされ、該電圧差は、増幅された電圧差を提供するために増幅される。増幅された電圧差は、第1のデジット線及び第2のデジット線を経由して、メモリコンデンサの第1のプレート及び第2のプレートに夫々印加される。メモリコンデンサの第1のプレートは第1のデジット線から分断され、メモリコンデンサの第2のプレートは第2のデジット線から分断される。

10

【図面の簡単な説明】

【0007】

【図1】本開示の様々な実施形態に従った強誘電体メモリを支持する例示的メモリアレイのブロック図である。

20

【図2A】本開示の実施形態に従ったメモリセルの列を含む例示的回路の概略図である。

【図2B】開示の実施形態に従ったセンスコンポーネントの概略図である。

【図3A】本開示の様々な実施形態に従った強誘電体メモリセルに対する例示的非線形電気特性の図である。

【図3B】本開示の様々な実施形態に従った強誘電体メモリセルに対する例示的非線形電気特性の図である。

【図4A】開示の実施形態に従った読み出し動作中の様々な信号のタイミング図である。

【図4B】開示の実施形態に従った読み出し動作中の様々な信号のタイミング図である。

【図5A】開示の実施形態に従った読み出し動作のフロー図である。

【図5B】開示の別の実施形態に従った読み出し動作のフロー図である。

30

【図6】開示の実施形態に従った書き込み動作中の様々な信号のタイミング図である。

【図7】開示の実施形態に従った書き込み動作中の様々な信号のタイミング図である。

【図8】開示の実施形態に従ったメモリセルを示すメモリアレイの一部の断面側面図を図示する図である。

【図9】本開示の様々な実施形態に従った強誘電体メモリを支持するメモリアレイのブロック図である。

【図10】本開示の様々な実施形態に従った強誘電体メモリを支持するシステムのブロック図である。

【発明を実施するための形態】

【0008】

40

開示の実施形態の十分な理解を提供するために幾つかの詳細が以下に記載される。しかしながら、開示の実施形態は、これらの特定の詳細なしに行われ得ることは当業者に明らかであろう。更に、本明細書に記述される本開示の特定の実施形態は、例示として提供され、開示の範囲をこれらの特定の実施形態に限定するために用いられるべきではない。他の実例では、開示を不必要に不明確にすることを避けるために、周知の回路、制御信号、タイミングプロトコル、及びソフトウェア動作は詳細には示されていない。

【0009】

図1は、本開示の様々な実施形態に従った強誘電体メモリを支持する例示的メモリアレイ100を説明する。メモリアレイ100は電子メモリ装置とも称され得る。メモリアレイ100は、異なる状態を蓄積するようにプログラム可能なメモリセル105を含む。各

50

メモリセル 105 は、論理 0 及び論理 1 で示される 2 つの状態を蓄積するようにプログラム可能であり得る。幾つかの場合、メモリセル 105 は、3 つ以上の論理状態を蓄積するように構成される。メモリセル 105 は、プログラム可能な状態を表す電荷を蓄積するためのコンデンサを含み得る。例えば、充電及び非充電のコンデンサは 2 つの論理状態を夫々表し得る。

#### 【0010】

強誘電体メモリセルは、誘電材料として強誘電体を有するコンデンサを含み得る。強誘電体コンデンサの電荷の異なるレベルは異なる論理状態を表し得る。強誘電体メモリセル 105 は、他のメモリアーキテクチャに比べて改善した性能、例えば、定期的なリフレッシュ動作を必要とせずに論理状態の永続的な蓄積をもたらし得る有益な特性を有し得る。

10

#### 【0011】

読み出し及び書き込み等の動作は、適切なアクセス線 110 及びデジット線 115 を活性化又は選択することによってメモリセル 105 上で実施され得る。アクセス線 110 はワード線 110 とも称され得る。ワード線 110 又はデジット線 115 を活性化又は選択することは、個別の線に電圧を印加することを含み得る。ワード線 110 及びデジット線 115 は導電性材料で作られる。例えば、ワード線 110 及びデジット線 115 は、金属（銅、アルミニウム、金、タングステン等）、金属合金、ドーピングした半導体、又はその他の導電性材料等で作られてもよい。図 1 の例に従うと、メモリセル 105 の各行は、ワード線 110 WL - CT 及び WL - CB に結合され、メモリセル 105 の各列は、デジット線 115 BL - CT 及び BL - CB に結合される。個別のワード線 110 及びデジット線 115 を活性化する（例えば、ワード線 110 又はデジット線 115 に電圧を印加することによって、それらの交点でメモリセル 105 がアクセスされ得る。メモリセル 105 にアクセスすることは、メモリセル 105 を読み出す又は書き込むことを含み得る。ワード線 110 とデジット線 115 との交点は、メモリセルのアドレスと称され得る。

20

#### 【0012】

幾つかのアーキテクチャでは、セルの論理蓄積デバイス、例えば、コンデンサは、選択コンポーネントによってデジット線から電氣的に絶縁され得る。ワード線 110 は、個別の選択コンポーネントに結合され得、該個別の選択コンポーネントを制御し得る。例えば、選択コンポーネントはトランジスタであってもよく、ワード線 110 は、トランジスタのゲートに結合されてもよい。ワード線 110 を活性化することは、メモリセル 105 のコンデンサと対応するデジット線 115 との間の電氣的結合又は閉回路をもたらす。デジット線は、メモリセル 105 の読み出し又は書き込みの何れかのためにその後アクセスされ得る。

30

#### 【0013】

メモリセル 105 へのアクセスは、行デコーダ 120 及び列デコーダ 130 を通じて制御され得る。幾つかの例では、行デコーダ 120 は、メモリコントローラ 140 から行アドレスを受信し、受信された行アドレスに基づいて適切なワード線 110 を活性化する。同様に、列デコーダ 130 は、メモリコントローラ 140 から列アドレスを受信し、適切なデジット線 115 を活性化する。例えば、メモリアレイ 100 は、多数のワード線 110 及び多数のデジット線 115 を含み得る。したがって、ワード線 110 WL - CT 及び WL - CB と、デジット線 115 BL - CT 及び BL - CB とを活性化することによって、それらの交点におけるメモリセル 105 がアクセスされ得る。

40

#### 【0014】

アクセスすると、メモリセル 105 は、メモリセル 105 の蓄積状態を判定するために、センスコンポーネント 125 によって読み出され得、又はセンシングされ得る。例えば、メモリセル 105 へのアクセス後、メモリセル 105 の強誘電体コンデンサは、対応するデジット線 115 上に放電し得る。強誘電体コンデンサの放電は、強誘電体コンデンサに対してバイアスすること又は電圧を印加することに基づき得る。放電は、デジット線 115 の電圧の変化を生じさせ得、センスコンポーネント 125 は、メモリセル 105 の蓄積状態を判定するために、デジット線 115 の電圧をリファレンス電圧（図示せず）と比

50



較し得る。例えば、デジット線 1 1 5 がリファレンス電圧よりも高い電圧を有する場合、センスコンポーネント 1 2 5 は、メモリセル 1 0 5 中の蓄積状態が論理 1 であったと判定し得、逆もまた同様である。センスコンポーネント 1 2 5 は、ラッチングと称され得る、信号中の差を検出及び増幅するために、様々なトランジスタ又はアンプを含み得る。デジット線 B L - C T 及び B L - C B の対毎に、別個のセンスコンポーネント 1 2 5 が提供され得る。メモリセル 1 0 5 の検出された論理状態は、出力 1 3 5 として、列デコーダ 1 3 0 を通じてその後出力され得る。

#### 【 0 0 1 5 】

メモリセル 1 0 5 は、関連するワード線 1 1 0 及びデジット線 1 1 5 を活性化することによってプログラムされ得、又は書き込まれ得る。上で論じられたように、ワード線 1 1 0 の活性化は、( 複数の ) メモリセル 1 0 5 の対応する行をそれらの個別のデジット線 1 1 5 に電氣的に結合する。ワード線 1 1 0 が活性化される間に、関連するデジット線 1 1 5 を制御することによって、メモリセル 1 0 5 は書き込まれ得、例えば、メモリセル 1 0 5 中に論理値が蓄積され得る。列デコーダ 1 3 0 は、メモリセル 1 0 5 に書き込まれるデータ、例えば、入力 1 3 5 を受け入れ得る。強誘電体メモリセル 1 0 5 は、強誘電体コンデンサに渡って電圧を印加することによって書き込まれ得る。このプロセスは、以下でより詳細に論じられる。

#### 【 0 0 1 6 】

幾つかのメモリアーキテクチャでは、メモリセル 1 0 5 へのアクセスは、蓄積された論理状態を劣化又は破壊し得、元の論理状態をメモリセル 1 0 5 に戻すために、再書き込み又はリフレッシュ動作が実施され得る。例えば、コンデンサは、センシング動作中に部分的に又は完全に放電され得、蓄積された論理状態を破損する。そのため、センシング動作後に論理状態が再書き込みされ得る。また、ワード線 1 1 0 を活性化することは、行中の全てのメモリセルの放電をもたらし得る。したがって、行中の幾つかの又は全てのメモリセル 1 0 5 は、再書き込みされる必要があり得る。

#### 【 0 0 1 7 】

メモリコントローラ 1 4 0 は、行デコーダ 1 2 0、列デコーダ 1 3 0、及びセンスコンポーネント 1 2 5 等の様々なコンポーネントを通じて、メモリセル 1 0 5 の動作 ( 例えば、読み出し、書き込み、再書き込み等 ) を制御し得る。メモリコントローラ 1 4 0 は、所望のワード線 1 1 0 及びデジット線 1 1 5 を活性化するために、行及び列のアドレス信号を生成し得る。メモリコントローラ 1 4 0 はまた、メモリアレイ 1 0 0 の動作中に使用される様々な電位を生成及び制御し得る。一般的に、本明細書で論じられる印加電圧の振幅、形状、又は存続期間は、調節又は変更され得、メモリアレイ 1 0 0 の動作中の様々な動作に対して異なり得る。更に、メモリアレイ 1 0 0 内の 1 つの、多数の、又は全てのメモリセル 1 0 5 は同時にアクセスされ得る。例えば、メモリアレイ 1 0 0 の多数の又は全てのセルは、全てのメモリセル 1 0 5 又はメモリセル 1 0 5 のグループが単一の論理状態にセットされるリセット動作中に同時にアクセスされ得る。

#### 【 0 0 1 8 】

図 2 A は、本開示の実施形態に従ったメモリセルの列を含む例示的回路 2 0 0 を説明する。図 2 は、本開示の様々な実施形態に従ったメモリセル 1 0 5 を含む例示的回路 2 0 0 を説明する。回路 2 0 0 は、メモリセル 1 0 5  $MC(0) \sim MC(n)$  を含み、ここで " n " はアレイサイズに依存する。回路 2 0 0 は、ワード線  $WL - CT(0) \sim WL - CT(n)$  及び  $WL - CB(0) \sim WL - CB(n)$  と、デジット線 B L - C T 及び B L - C B と、センスコンポーネント 1 2 5 とを更に含む。ワード線、デジット線、及びセンスコンポーネントは、図 1 を参照しながら記述したようなメモリセル 1 0 5、ワード線 1 1 0、デジット線 1 1 5、及びセンスコンポーネント 1 2 5 の夫々例示であり得る。メモリセル 1 0 5 の 1 つの列が図 2 A に示されるが、メモリアレイは、示されるような、メモリセルの複数の列を含み得る。

#### 【 0 0 1 9 】

メモリセル 1 0 5 は、第 1 のプレート、セル上部 2 3 0 と、第 2 のプレート、セル底部

10

20

30

40

50

215とを有するコンデンサ205等の論理蓄積コンポーネントを含み得る。セル上部230及びセル底部215は、それらの間に配置された強誘電体材料を通じて容量的に結合され得る。セル上部230及びセル底部215の配向は、メモリセル105の動作を変更することなく反転され得る。メモリセル105は、選択コンポーネント220及び224を更に含む。選択コンポーネント220及び224は、トランジスタ、例えば、n型電界効果トランジスタであり得る。こうした例では、メモリセル105の各々は、2つのトランジスタと1つのコンデンサとを含む。

#### 【0020】

回路200は、絶縁スイッチ231及びリファレンススイッチ233をも含む。リファレンススイッチ233には、リファレンス信号VBLREFが提供される。絶縁スイッチ231はセンスコンポーネント125のセンスノードAに結合され、リファレンススイッチ233はセンスコンポーネント125のセンスノードBに結合される。絶縁スイッチ231の活性化は信号ISOにより制御され、リファレンススイッチ233の活性化は信号ISOREFにより制御される。回路200は、スイッチ235及びドライバ回路237をも含む。幾つかの例では、スイッチ235は、トランジスタ、例えば、n型電界効果トランジスタであり得、その閾値電圧以上の電圧を印加することによって活性化され得る。スイッチ235の活性化は信号RESTOREにより制御される。ドライバ回路237は、活性化された場合にVREAD電圧を提供する。

10

#### 【0021】

メモリセル105は、デジタル線BL-CT及びデジタル線BL-CBを通じてセンスコンポーネント125と電子通信し得る。スイッチ235は、センスコンポーネント125とデジタル線BL-CTとドライバ回路237との間で直列に結合される。スイッチ235は、センスコンポーネント125をメモリセル105及びドライバ回路237に電氣的に結合し、センスコンポーネント125をメモリセル105及びドライバ回路237から電氣的に絶縁する。図2Aの例では、セル上部230はデジタル線BL-CTを介してアクセスされ得、セル底部はデジタル線BL-CBを介してアクセスされ得る。上述したように、コンデンサ205を充電又は放電することによって様々な状態が蓄積され得る。

20

#### 【0022】

コンデンサ205の蓄積状態は、回路200中に表された様々な素子を動作することによって読み出され得、又はセンシングされ得る。コンデンサ205は、デジタル線BL-CB及びBL-CTと電子通信し得る。例えば、コンデンサ205は、選択コンポーネント220及び224が不活性化された場合に、デジタル線BL-CB及びBL-CTから絶縁され得、コンデンサ205は、選択コンポーネント220及び224が活性化された場合に、デジタル線BL-CB及びBL-CTに結合され得る。選択コンポーネント220及び224の活性化は、メモリセル105の選択と称され得る。幾つかの場合、選択コンポーネント220及び224はトランジスタであり、その動作は、トランジスタのゲートに電圧を印加することによって制御され、ここで、該電圧の大きさは、トランジスタの閾値電圧の大きさよりも大きい。ワード線WL-CBは選択コンポーネント220を活性化し得、ワード線WL-CTは選択コンポーネント224を活性化し得る。例えば、ワード線WL-CBに印加された電圧は、選択コンポーネント220のトランジスタゲートに印加され、ワード線WL-CTに印加された電圧は、選択コンポーネント224のトランジスタゲートに印加される。結果として、個別のコンデンサ205は、デジタル線BL-CB及びBL-CTと夫々結合される。ワード線WL-CB及びWL-CTの両方が不活性化された場合、メモリセル105は蓄積モード中とみなされ得る。ワード線WL-CB及びWL-CTの両方が活性化され、デジタル線BL-CB及びBL-CTの電圧が同じである場合にも、メモリセル105は蓄積モード中とみなされ得る。

30

40

#### 【0023】

ワード線WL-CB(0)~WL-CB(n)及びWL-CT(0)~WL-CT(n)は、メモリセル105 MC(0)~MC(n)の選択コンポーネント220及び224と夫々電子通信する。したがって、個別のメモリセル105のワード線WL-CB及び

50

WL - CTの活性化は、メモリセル105を活性化し得る。例えば、WL - CB(0)及びWL - CT(0)の活性化はメモリセルMC(0)を活性化し、WL - CB(1)及びWL - CT(1)の活性化はメモリセルMC(1)を活性化する等々。幾つかの例では、選択コンポーネント220がデジット線BL - CTとセル上部230との間に結合され、選択コンポーネント224がデジット線BL - CBとセル底部215との間に結合されるように、選択コンポーネント220及び224の位置は切り替えられ得る。

#### 【0024】

コンデンサ205のプレート間の強誘電体材料に起因して、以下でより詳細に論じられるように、コンデンサ205は、デジット線BL - CB及びBL - CTに結合されると放電しないことがある。強誘電体コンデンサ205により蓄積された論理状態をセンシングするために、ワード線WL - CB及びWL - CTは、個別のメモリセル105を選択するためにバイアスされ得、例えば、ドライバ回路237によって、デジット線BL - CTに電圧が印加され得る。デジット線BL - CTのバイアスは、選択コンポーネント224の活性化の前又は後に印加され得る。デジット線BL - CTをバイアスすることは、コンデンサ205に渡る電圧差をもたらし得、それは、コンデンサ205上の蓄積電荷の変化を引き起こし得る。蓄積電荷の変化の大きさは、各コンデンサ205の最初の状態、例えば、最初の状態が論理1又は論理0の何れを蓄積したかに依存し得る。ワード線WL - CBにより選択コンポーネント220が活性化された場合、蓄積電荷の変化は、コンデンサ205上に蓄積された電荷に基づいて、デジット線BL - CBの電圧に変化を生じさせ得る。デジット線BL - CBのもたらされた電圧は、各メモリセル105中の蓄積された論理状態を判定するために、センスコンポーネント125によってリファレンス(例えば、VBLREF信号の電圧)と比較され得る。

10

20

#### 【0025】

センスコンポーネント125は、ラッチングと称され得る、信号の差を検出及び増幅するための様々なトランジスタ又はアンプを含み得る。センスコンポーネント125は、デジット線BL - CBの電圧と、リファレンス電圧であり得るリファレンス信号VBLREFの電圧とを受け取って比較するセンスアンプを含み得る。センスアンプの出力は、該比較に基づいて、より高い(例えば、正の)又はより低い(例えば、負の又はグラウンドの)供給電圧に駆動され得る。実例として、デジット線BL - CBがリファレンス信号VBLREFよりも高い電圧を有する場合、センスアンプの出力は正の供給電圧に駆動され得る。幾つかの場合、センスアンプは、デジット線BL - CBを供給電圧に付加的に駆動し得、デジット線BL - CTを負又はグラウンドの電圧に駆動し得る。センスコンポーネント125は、センスアンプの出力及び/又はデジット線BL - CBの電圧をその後ラッチし得、それは、メモリセル105中の蓄積状態、例えば、論理1を判定するために使用され得る。或いは、デジット線BL - CBがリファレンス信号VBLREFよりも低い電圧を有する場合、センスアンプの出力は、負又はグラウンドの電圧に駆動され得る。幾つかの場合、センスアンプは、デジット線BL - CBを供給電圧に負又はグラウンドの電圧に付加的に駆動し得、デジット線BL - CTを供給電圧に駆動し得る。センスコンポーネント125は、メモリセル105中の蓄積状態、例えば、論理0を判定するために、センスアンプの出力を同様にラッチし得る。メモリセル105のラッチされた論理状態は、例えば、図1に関する出力135として、列デコーダ130を通じてその後出力され得る。センスコンポーネント125がデジット線BL - CB及びBL - CTを相補電圧に駆動する(例えば、供給電圧が負又はグラウンドの電圧を相補し、負又はグラウンドの電圧が供給電圧を相補する)実施形態では、元のデータ状態の読み出しを復元するために、メモリセル105に相補電圧が印加され得る。データを復元することによって、別個の復元動作は不要である。

30

40

#### 【0026】

前述したように、デジット線BL - CB及びBL - CT、並びに選択コンポーネント220及び224は、コンデンサ205のセル底部215及びセル底部230の独立した制御を提供し、したがって、従来の強誘電体メモリでは典型的であるような共有のセルプレートの必要性をなくす。結果として、セルは、ディスターブメカニズム、例えば、セルプ

50

レートに関するパターンノイズを受けにくくなり得る。また、共有のセルプレートの設計を必要とするセルプレートドライバ回路は、回路サイズの削減し得ることを必要としない。メモリセルの複数の列のデジット線は、相互に無関係の電圧に駆動され得る。例えば、メモリセルの第1の列のデジット線BL-CT（セル底部の反対側にあるセル上部に、選択コンポーネントを通じて結合されたデジット線）は、メモリセルの第2の列のデジット線BL-CTが駆動される電圧とは無関係な電圧に駆動され得る。

【0027】

図2Bは、開示の実施形態に従ったセンスコンポーネント125を説明する。センスコンポーネント125は、p型電界効果トランジスタ252及び256と、n型電界効果トランジスタ262及び266とを含む。トランジスタ252及びトランジスタ262のゲートはセンスノードAに結合される。トランジスタ256及びトランジスタ266のゲートはセンスノードBに結合される。トランジスタ252及び256、並びにトランジスタ262及び266はセンスアンプを表す。p型電界効果トランジスタ258は、電源（例えば、VREAD電圧電源）に結合されるように構成され、トランジスタ252及び256の共通ノードに結合される。トランジスタ258は、活性PSA信号（例えば、負論理ロジック）により活性化される。n型電界効果トランジスタ268は、リファレンス電圧（例えば、グランド）に結合されるように構成され、トランジスタ262及び266の共通ノードに結合される。トランジスタ268は、活性NSA信号（例えば、正論理ロジック）により活性化される。

10

【0028】

動作中、センスアンプは、センスアンプを電源の電圧及びリファレンス電圧に結合するためのPSA及びNSAの信号を活性化することによって活性化される。活性化された場合、センスアンプは、センスノードA及びBの電圧を比較し、センスノードA及びBを相補電圧レベルに駆動する（例えば、センスノードAをVREADに駆動する、センスノードBをグランドに駆動する、又はセンスノードAをグランドに、センスノードBをVREADに駆動する）ことによって電圧差を増幅する。センスノードA及びBが相補電圧レベルに駆動された場合、センスノードA及びBの状態は、センスアンプによりラッチされ、センスアンプが不活性化するまでラッチされたままである。

20

【0029】

図2Aを参照すると、メモリセル105を書き込むために、コンデンサ205に渡って電圧が印加され得る。様々な方法が使用され得る。幾つかの例では、コンデンサ205をデジット線BL-CB及びBL-CTに電氣的に結合するために、ワード線WL-CB及びWL-CTを通じて選択コンポーネント220及び224が夫々活性化され得る。強誘電体コンデンサ205に対しては、コンデンサ205に渡って正又は負の電圧を印加するために、（デジット線BL-CTを通じて）セル上部230と（デジット線BL-CBを通じて）セル底部215との電圧を制御することによって、コンデンサ205に渡って電圧が印加され得る。

30

【0030】

幾つかの例では、センシング後にライトバック動作が実施され得る。以前に論じたように、センシング動作は、メモリセル105の元々蓄積されていた論理値を劣化又は破壊し得る。センシング後、検出された論理値はメモリセル105にライトバックされ得る。例えば、センスコンポーネント125は、メモリセル105の論理状態を判定し得、例えば、絶縁スイッチ231及びスイッチ235を通じて、同じ論理状態をその後ライトバックし得る。

40

【0031】

強誘電体材料は非線形に分極特性を有する。図3A及び図3Bは、本開示の様々な実施形態に従った強誘電体メモリ用のメモリセルに対するヒステリシス曲線300-a（図3A）及び300-b（図3B）を有する非線形電気特性の例を説明する。ヒステリシス曲線300-a及び300-bは、例示的強誘電体メモリセルの書き込み及び読み出しのプロセスを夫々説明する。ヒステリシス曲線300は、電圧差Vの関数として、強誘電体コ

50

ンデンサ（例えば、図2のコンデンサ205）上に蓄積された電荷Qを図示する。

【0032】

強誘電体材料は、自発的電気分極により特徴付けられ、例えば、それは、電界がない場合に非ゼロの電気分極を維持する。例示的強誘電体材料は、チタン酸バリウム（BaTiO<sub>3</sub>）、チタン酸鉛（PbTiO<sub>3</sub>）、チタン酸ジルコン酸鉛（PZT）、及びタンタル酸ストロンチウムビスマス（SBT）を含む。本明細書に記述される強誘電体コンデンサは、これら又はその他の強誘電体材料を含み得る。強誘電体コンデンサ内の電気分極は、強誘電体材料の表面に正味電荷をもたらし、コンデンサ端子を通じて反対の電荷を引き付ける。したがって、強誘電体材料とコンデンサ端子との境界に電荷が蓄積される。電気分極は、比較的長時間、無期限にさえ、外部に印加された電界がない場合にも維持され得るので、電荷漏洩は、例えば、揮発性メモリアレイに用いられるコンデンサと比較して著しく減少し得る。このことは、幾つかの揮発性メモリアーキテクチャに対して上述したようなリフレッシュ動作を実施する必要性を減らし得る。

10

【0033】

ヒステリシス曲線300は、コンデンサの単一の端子の視点から理解され得る。例として、強誘電体材料が負の分極を有する場合、正の電荷が端子に蓄積される。同様に、強誘電体材料が正の分極を有する場合、負の電荷が端子に蓄積される。また、ヒステリシス曲線300中の電圧は、コンデンサに渡る電圧差を表し、指向性があることを理解すべきである。例えば、正の電圧は、当該端子（例えば、セル上部230）に正の電圧を印加し、第2の端子（例えば、セル底部215）をグランド（又は約ゼロボルト（0V））に維持することによって実現され得る。負の電圧は、当該端子をグランドに維持し、第2の端子に正の電圧を印加することによって印加され得、例えば、正の電圧は、当該端子を負に分極するように印加され得る。同様に、ヒステリシス曲線300に示される電圧差を生成するために、2つの正の電圧、2つの負の電圧、又は正及び負の電圧の任意の組み合わせが適切なコンデンサ端子に印加され得る。

20

【0034】

ヒステリシス曲線300-aに図示されるように、強誘電体材料は、ゼロの電圧差で正又は負の分極を維持し得、2つの可能な充電状態：電荷状態305及び電荷状態310をもたらす。図3の例に従うと、電荷状態305は論理0を表し、電荷状態310は論理1を表す。幾つかの例では、個別の電荷状態の論理値は、理解を失うことなく逆にされてもよい。

30

【0035】

論理0又は1は、強誘電体材料の電気分極、したがってコンデンサ端子上の電荷を、電圧の印加により制御することによって、メモリセルに書き込まれ得る。例えば、正味正の電圧315をコンデンサに渡って印加することは、電荷状態305-aに到達するまで電荷の蓄積をもたらす。電圧315を除去すると、電荷状態305-aは、ゼロ電位において電荷状態305に到達するまで経路320に従う。同様に、電荷状態310は、正味負の電圧325を印加することによって書き込まれ、それは電荷状態310-aをもたらす。負の電圧325を除去した後、電荷状態310-aは、ゼロ電圧において電荷状態310に到達するまで経路330に従う。電荷状態305及び310は残留分極（Pr）値とも称され得、それは、外部のバイアス（例えば、電圧）を除去すると残留する分極（又は電荷）である。

40

【0036】

強誘電体コンデンサの蓄積状態を読み出す又はセンシングするために、コンデンサに渡って電圧が印加され得る。これに応じて、蓄積された電荷Qは変化し、該変化の程度は最初の電荷状態に依存し、結果として、最終的な蓄積電荷（Q）は、電荷状態305-b又は310-bの何れが最初に蓄積されたかに依存する。例えば、ヒステリシス曲線300-bは、蓄積された2つの可能な電荷状態305-b及び310-bを説明する。以前に論じたように、コンデンサに渡って電圧335が印加され得る。正の電圧として図示されるが、電圧335は負であってもよい。電圧335に応じて、電荷状態305-bは経路

50

340に従い得る。同様に、電荷状態310 - bが最初に蓄積された場合、それは経路345に従う。電荷状態305 - c及び電荷状態310 - cの最終位置は、具体的なセンシングスキーム及び回路を含む複数の要因に依存する。

#### 【0037】

幾つかの場合、最終的な電荷は、メモリセルに結合されたデジタル線の固有の静電容量に依存し得る。例えば、コンデンサがデジタル線に電氣的に結合され、電圧335が印加された場合、デジタル線の電圧は、その固有の静電容量に起因して上昇し得る。そのため、センスコンポーネントで測定される電圧は、電圧335と等しくないことがあり、代わりに、デジタル線の電圧に依存し得る。ヒステリシス曲線300 - b上の最終的な電荷状態305 - c及び310 - cの位置は、したがって、デジタル線の静電容量に依存し得、負荷線分析を通じて判定され得る。電荷状態305 - c及び310 - cは、デジタル線の静電容量に関して定義され得る。結果として、コンデンサの電圧、電圧350又は電圧355は、異なり得、コンデンサの最初の状態に依存し得る。

10

#### 【0038】

デジタル線電圧をリファレンス電圧と比較することによって、コンデンサの最初の状態が判定され得る。デジタル線電圧は、電圧335と、コンデンサに渡る最終電圧、電圧350又は電圧355との差、(例えば、電圧335 - 電圧350)又は(例えば、電圧335 - 電圧355)であり得る。蓄積された論理状態を判定するために、例えば、デジタル線電圧がリファレンス電圧よりも高いか、それとも低いかを判定するために、リファレンス電圧は、その大きさが2つの可能なデジタル線電圧の間にあるように生成され得る。例えば、リファレンス電圧は、2つの量、(電圧335 - 電圧350)及び(電圧335 - 電圧355)の平均であってもよい。センスコンポーネントにより比較されると、センシングされたデジタル線電圧は、リファレンス電圧よりも高い又は低いと判定され得、強誘電体メモリセルの蓄積された論理値(例えば、論理0又は1)が判定され得る。

20

#### 【0039】

図4Aは、開示の実施形態に従った読み出し動作中の様々な信号のタイミング図である。図4Aは、図1及び図2のメモリアレイ100及び例示的回路200を参照しながら記述されるであろう。図4Aの例示的読み出し動作において、メモリセル105により蓄積されたデータ状態は論理“1”である。

30

#### 【0040】

時刻T0以前において、デジタル線BL - CB及びBL - CTは、リファレンス電圧、例えば、グランドにあり、スイッチ235は不活性化されている。また、時刻T0以前において、センスノードBの電圧をリファレンス信号VBLREFのVREF電圧にセットするために、リファレンススイッチ233はISOREF信号により活性化される。デジタル線BL - CBに結合されることによってセンスノードAの電圧をグランドにセットするために、絶縁スイッチ231はISO信号により活性化される。

#### 【0041】

時刻T0において、アクセスされているメモリセル105の選択コンポーネント220及び224を夫々活性化するために、ワード線WL - CB及びWL - CTが活性化される。結果として、デジタル線BL - CBはセル底部215に結合され、デジタル線BL - CTはコンデンサ205のセル上部230に結合される。時刻T1において、デジタル線BL - CTを経由して、選択コンポーネント224を通じてセル上部230に電圧VREADを提供するために、ドライバ回路237が活性化される。電圧VREADは、セル底部215において電圧変化を生じさせるために、セル上部230からコンデンサ205を通じて結合される。以前に論じたように、セル底部215において生じる電圧の変化の大きさは、コンデンサにより最初に蓄積された電荷状態に少なくとも部分的に基づく。図4Aの現在の例の電荷状態が論理1に対応すると、電圧VREADに起因するセル底部215における電圧は、リファレンス信号VBLREFのVREF電圧よりも大きい。セル底部215の電圧は、選択コンポーネント220を通じて、デジタル線BL - CBを経由して

40

50

、絶縁スイッチ 231 を通じて、センスコンポーネント 125 のセンスノード A に結合される。

【0042】

幾つかの実施形態では、信号のタイミングは、図 4 A に具体的に示されたものとは異なり得る。例えば、ワード線 WL - CT は、ワード線 WL - CB を活性化するよりも前に活性化されてもよい。別例では、VREAD 電圧は、ワード線 WL - CB の活性化よりも前にセル上部 230 に提供される。セル上部をデジット線 BL - CT に結合し、セル底部をデジット線 BL - CB に結合し、セル上部 230 に VREAD 電圧を提供し、センスコンポーネント 125 のセンスノード A に提供されるセル底部 215 における電圧変化を生じさせるために、その他の実施形態ではその他の信号タイミングが同様に使用されてもよい。

10

【0043】

時刻 T2 において、センスコンポーネント 125 のセンスノード A 及び B を絶縁するために、ISO 信号は絶縁スイッチ 231 を不活性化し、リファレンススイッチ 233 は不活性化される。センスノード A の電圧 (VREAD 電圧にตอบสนองしたセル底部 215 の電圧) をセンスノード B の電圧 (リファレンス信号 VBLREF の VREF 電圧でのセル上部 235 の電圧) と比較するために、時刻 T3 においてセンスコンポーネント 125 が活性化される。センスノード A の電圧がセンスノード B のリファレンス信号 VBLREF の電圧よりも大きいことに起因して、センスコンポーネント 125 は、センスノード A を VREAD 電圧に駆動し、センスノード B をグラウンドに駆動する。センスノード A における VREAD 電圧は、メモリセル 105 から読み出された論理 1 の状態を表す。図 4 A に示されないが、メモリセル 105 の検出された論理状態は、出力 135 (図 1) として列デコーダ 130 を通じてその後出力され得る。センスノード A をデジット線 BL - CB に結合するために、絶縁スイッチ 231 は、時刻 T4 において ISO 信号により活性化される。

20

【0044】

時刻 T5 において、VREAD 電圧をこれ以上提供しないために、ドライバ回路 237 は不活性化され、センスノード B をデジット線 BL - CT に結合するために、スイッチ 235 は RESTORE 信号 (図示せず) により活性化される。結果として、デジット線 BL - CT はグラウンドに駆動され、この結果、セル上部 230 もグラウンドに駆動される。反対に、デジット線 BL - CB は、絶縁スイッチ 231 を通じて VREAD 電圧に駆動され、この結果、セル底部 215 も VREAD 電圧に駆動される。スイッチ 235 の活性化は、メモリセル 105 により蓄積された論理 1 の状態を読み出し動作が変化又は劣化させないことを確保するために、コンデンサ 205 上の電荷を復元する。

30

【0045】

センスコンポーネント 125 は時刻 T6 において不活性化され、センスノード A の電圧 (及びデジット線 BL - CB の電圧) はグラウンドに変化し、読み出し動作を完了するために、ワード線 WL - CB 及び WL - CT は、コンデンサ 205 をデジット線 BL - CB 及び BL - CT から夫々全て絶縁するように選択コンポーネント 220 及び 224 を不活性化するために、時刻 T7 において不活性化される。

40

【0046】

図 4 B は、開示の実施形態に従った読み出し動作中の様々な信号のタイミング図である。図 4 B は、図 1 及び図 2 のメモリアレイ 100 及び例示的回路 200 を参照しながら記述されるであろう。図 4 B の例示的読み出し動作において、メモリセル 105 により蓄積されるデータ状態は論理 "0" である。

【0047】

時刻 T0 以前において、デジット線 BL - CB 及び BL - CT は、リファレンス電圧、例えば、グラウンドにあり、スイッチ 235 は不活性化されている。また、時刻 T0 以前において、センスノード B の電圧をリファレンス信号 VBLREF の VREF 電圧にセットするために、リファレンススイッチ 233 は ISOREF 信号により活性化される。デジット線 BL - CB に結合されることによってセンスノード A の電圧をグラウンドにセットす

50

るために、絶縁スイッチ 231 は I S O 信号により活性化される。

【0048】

時刻 T 0 において、アクセスされているメモリセル 105 の選択コンポーネント 220 及び 224 を夫々活性化するために、ワード線 W L - C B 及び W L - C T が活性化される。結果として、デジタル線 B L - C B はセル底部 215 に結合され、デジタル線 B L - C T はコンデンサ 205 のセル上部 230 に結合される。時刻 T 1 において、デジタル線 B L - C T を経由して、選択コンポーネント 224 を通じてセル上部 230 に電圧 V R E A D を提供するために、ドライバ回路 237 が活性化される。電圧 V R E A D は、セル底部 215 において電圧変化を生じさせるために、セル上部 230 からコンデンサ 205 を通じて結合され、電圧に変化を生じさせる。図 4 A の論理 1 に対する例示的読み出し動作とは対照的に、論理 0 に対応する図 4 B の現在の例の電荷状態の結果として、電圧 V R E A D に起因するセル底部 215 における電圧は、リファレンス信号 V B L R E F の V R E F 電圧よりも小さい。セル底部 215 の電圧は、選択コンポーネント 220 を通じて、デジタル線 B L - C B を経由して、絶縁スイッチ 231 を通じてセンスコンポーネント 125 のセンスノード A に結合される。図 4 A の例示的読み出し動作と同様に、幾つかの実施形態では、信号のタイミングは、図 4 B に具体的に示したものと異なってもよい。

10

【0049】

時刻 T 2 において、センスコンポーネント 125 のセンスノード A 及び B を絶縁するために、I S O 信号は絶縁スイッチ 231 を不活性化し、リファレンススイッチ 233 は不活性化される。センスノード A の電圧 ( V R E A D 電圧に回答したセル底部 215 の電圧 ) をセンスノード B の電圧 ( リファレンス信号 V B L R E F の V R E F 電圧でのセル上部 235 の電圧 ) と比較するために、時刻 T 3 においてセンスコンポーネント 125 が活性化される。センスノード A の電圧がセンスノード B のリファレンス信号 V B L R E F の電圧よりも小さいことに起因して、センスコンポーネント 125 は、センスノード A をグラウンドに駆動し、センスノード B を V R E A D 電圧に駆動する。センスノード A のグラウンド電圧は、メモリセル 105 から読み出された論理 0 の状態を表す。図 4 B に示されないが、メモリセル 105 の検出された論理状態は、出力 135 ( 図 1 ) として列デコーダ 130 を通じてその後出力され得る。センスノード A をデジタル線 B L - C B に結合するために、絶縁スイッチ 231 は、時刻 T 4 において I S O 信号により活性化される。

20

【0050】

時刻 T 5 において、V R E A D 電圧をこれ以上提供しないために、ドライバ回路 237 は不活性化され、センスノード B をデジタル線 B L - C T に結合するために、スイッチ 235 は R E S T O R E 信号 ( 図示せず ) により活性化される。結果として、デジタル線 B L - C T は V R E A D 電圧に駆動され、この結果、セル上部 230 も V R E A D 電圧に駆動される。反対に、デジタル線 B L - C B は、絶縁スイッチ 231 を通じてグラウンドに駆動され、この結果、セル底部 215 もグラウンドに駆動される。スイッチ 235 の活性化は、メモリセル 105 により蓄積された論理 0 の状態を読み出し動作が変化又は劣化させないことを確保するために、コンデンサ 205 上の電荷を復元する。

30

【0051】

センスコンポーネント 125 は時刻 T 6 において不活性化される。センスノード B ( 及びデジタル線 B L - C T ) の電圧はグラウンドに変化し、センスノード A ( 及びデジタル線 B L - C B ) の電圧はグラウンドのままである。読み出し動作を完了するために、ワード線 W L - C B 及び W L - C T は、コンデンサ 205 をデジタル線 B L - C B 及び B L - C T から夫々全て絶縁するように選択コンポーネント 220 及び 224 を不活性化するために、時刻 T 7 において不活性化される。

40

【0052】

図 5 A は、発明の実施形態に従った方法 500 のためのフロー図である。方法 500 は、メモリセル、例えば、以前に論じたメモリセル 105 を読み出すために使用され得る。図 5 A は、図 1 及び図 2 のメモリアレイ 100 及び例示的回路 200 を参照しながら記述されるであろう。

50



## 【 0 0 5 3 】

方法 5 0 0 は、ステップ 5 0 2 において、メモリコンデンサの第 1 のプレートを第 1 のデジット線に結合することと、ステップ 5 0 4 において、メモリコンデンサの第 2 のプレートを第 2 のデジット線に結合することを含む。例えば、セル上部 2 3 0 をデジット線 B L - C T に結合することと、セル底部 2 1 5 をデジット線 B L - C B に結合すること。セル底部 2 1 5 及びセル上部 2 3 0 をデジット線 B L - C B 及び B L - C T に夫々結合するために、選択コンポーネント 2 2 0 及び 2 2 4 が使用され得る。セル底部 2 1 5 のデジット線 B L - C B への結合、及びセル上部 2 3 0 のデジット線 B L - C T への結合は、幾つかの実施形態では同時であり得る。他の実施形態では、セル底部 2 1 5 のデジット線 B L - C B への結合、及びセル上部 2 3 0 のデジット線 B L - C T への結合は、同時でなく

10

## 【 0 0 5 4 】

メモリコンデンサの第 2 のプレートにおける電圧に変化を生じさせるために、ステップ 5 0 6 において、メモリコンデンサの第 1 のプレートに読み出し電圧が提供される。例示的読み出し電圧は、セル上部 2 3 0 に提供される V R E A D である。ステップ 5 0 8 において、メモリコンデンサの第 2 のプレートにおける電圧と、リファレンス電圧との間で電圧差がセンシングされ、該電圧差は、増幅された電圧差を提供するために、ステップ 5 1 0 において増幅される。図 1 及び図 2 を参照すると、センスコンポーネント 1 2 5 は、セル上部 2 3 0 の電圧と、リファレンス信号 V B L R E F 等のリファレンス電圧との間の電圧差をセンシングし、センスコンポーネント 1 2 5 は、例えば、出力を供給電圧及びノ又はリファレンス電圧に駆動することによって電圧差を増幅する。以前に論じたように、幾つかの実施形態では、センスコンポーネント 1 2 5 のセンスノード A 及び B は、相補電圧レベルに駆動される（例えば、セル底部 2 1 5 の電圧がリファレンス信号 V B L R E F の電圧よりも大きいことに応答して、センスノード A を V R E A D に、センスノード B をグラウンドに駆動し、又はセル底部 2 1 5 の電圧がリファレンス信号 V B L R E F の電圧よりも小さいことに応答して、センスノード A をグラウンドに、センスノード B を V R E A D に駆動する）。

20

## 【 0 0 5 5 】

増幅された電圧差は、ステップ 5 1 2 において、第 1 及び第 2 のデジット線を経由してメモリコンデンサの第 1 及び第 2 のプレートに夫々印加される。メモリコンデンサの第 1 のプレートは、ステップ 5 1 4 において第 1 のデジット線から分断され、メモリコンデンサの第 2 のプレートは、ステップ 5 1 6 において第 2 のデジット線から分断される。例えば、図 1 及び図 2 を参照すると、増幅された電圧差は、デジット線 B L - C T 及び B L - C B を通じてセル上部 2 3 0 及びセル底部 2 1 5 に夫々印加される。デジット線 B L - C T をセル上部 2 3 0 から分断するために選択コンポーネント 2 2 4 が使用され得、デジット線 B L - C B をセル底部 2 1 5 から分断するために選択コンポーネント 2 2 0 が使用され得る。

30

## 【 0 0 5 6 】

図 5 B は、発明の実施形態に従った方法 5 2 0 のためのフロー図である。方法 5 2 0 は、メモリセル、例えば、以前に論じたメモリセル 1 0 5 を読み出すために使用され得る。図 5 B は、図 1 及び図 2 のメモリアレイ 1 0 0 及び例示的回路 2 0 0 を参照しながら記述されるであろう。

40

## 【 0 0 5 7 】

方法 5 2 0 は、ステップ 5 2 2 において、強誘電体メモリセルの第 2 のプレートにおいて電圧変化を生じさせるために、強誘電体メモリセルの第 1 のプレートに結合された第 1 のデジット線上に読み出し電圧を駆動することを含む。例えば、読み出し電圧 V R E A D は、選択コンポーネント 2 2 4 を通じてセル上部 2 3 0 に結合され得るデジット線 B L - C T 上に駆動され得る。強誘電体メモリセルの第 2 のプレートにおける電圧変化は、ステップ 5 2 4 において、強誘電体メモリセルの第 2 のプレートに結合された第 2 のデジット線を経由して、センスアンプの第 2 のセンスノードに提供される。以前に論じたように、

50

セル底部 2 1 5 は、V R E A D 電圧に起因する電圧変化を経験し得、該電圧変化は、センスコンポーネント 1 2 5 のセンスノード A に提供され得る。

【 0 0 5 8 】

リファレンス信号 V B L R E F 等のリファレンス電圧は、ステップ 5 2 6 においてセンスアンプの第 1 のノードに提供され、センスアンプの第 2 のセンスノードにおける電圧は、ステップ 5 2 8 において第 1 のセンスノードの電圧と比較される。第 1 及び第 2 のセンスノードは、ステップ 5 3 0 において、該比較に基づいて相補電圧レベルに駆動される。図 1 及び図 2 を参照すると、センスコンポーネント 1 2 5 は、センスノード A と B との電圧を比較し得、センスノード A 及び B を相補電圧、例えば、V R E A D 電圧に、及びグラウンドに駆動し得る。

10

【 0 0 5 9 】

ステップ 5 3 2 において、第 1 及び第 2 のデジット線を経由して、強誘電体メモリセルの第 1 及び第 2 のプレートに相補電圧レベルを夫々提供するために、第 1 のセンスノードは第 1 のデジット線に結合され、ステップ 5 3 4 において、第 1 及び第 2 のプレートは、第 1 及び第 2 のデジット線から夫々絶縁される。

【 0 0 6 0 】

図 6 は、開示の実施形態に従った書き込み動作中の様々な信号のタイミング図である。図 6 は、図 1 及び図 2 のメモリアレイ 1 0 0 及び例示的回路 2 0 0 を参照しながら記述されるであろう。図 6 の例示的書き込み動作では、論理 “ 1 ” を現在蓄積するメモリセル 1 0 5 に論理 “ 0 ” が書き込まれる。

20

【 0 0 6 1 】

時刻 T A 以前において、選択コンポーネント 2 2 0 及び 2 2 4 を活性化するために、ワード線 W L - C B 及び W L - C T が夫々活性化される。結果として、デジット線 B L - C B はセル底部 2 1 5 に結合され、デジット線 B L - C T はコンデンサ 2 0 5 のセル上部 2 3 0 に結合される。デジット線 B L - C B の電圧は、現在蓄積された論理 “ 1 ” を表す V R E A D 電圧にあり、デジット線 B L - C T の電圧は、リファレンス電圧、例えば、グラウンドにある。また、時刻 T A 以前において、デジット線 B L - C B は、活性化された絶縁スイッチ 2 3 1 を通じて、センスコンポーネント 1 2 5 のセンスノード A に結合され、デジット線 B L - C T は、活性化されたスイッチ 2 3 5 を通じて、センスコンポーネント 1 2 5 のセンスノード B に結合される。したがって、時刻 T A 以前において、センスノード A 及び B は、セル底部 2 1 5 及びセル上部 2 3 0 に夫々結合される。

30

【 0 0 6 2 】

時刻 T A において、センスノード A 及び B に結合された書き込みアンプ（図示せず）は、センスノード A を V R E A D 電圧からグラウンドに駆動し、センスノード B をグラウンドから V R E A D 電圧に駆動する。センスノード A 及び B の電圧はセンスコンポーネント 1 2 5 によりラッチされる。書き込みアンプによりセンスノード A 及び B が駆動されると共に、デジット線 B L - C B の電圧はグラウンドに変化し、デジット線 B L - C T の電圧は V R E A D 電圧に変化する。センスノード A 及びデジット線 B L - C B のグラウンド電圧は、コンデンサ 2 0 5 に書き込まれる論理 “ 0 ” を表す。デジット線 B L - C B のグラウンド電圧及びデジット線 B L - C T の V R E A D 電圧は、活性化された選択コンポーネント 2 2 0 及び 2 2 4 を通じて、セル底部 2 1 5 に及びセル上部 2 3 0 に夫々全て印加される。結果として、コンデンサ 2 0 5 は、蓄積されたデータを論理 “ 1 ” から論理 “ 0 ” に変化するように、反対の極性に分極されてくる。

40

【 0 0 6 3 】

時刻 T B までには、センスノード A 及び B における電圧は、センスコンポーネント 1 2 5 によりラッチされており、センスノード A 及び B の電圧は、書き込みアンプによりこれ以上駆動されない。センスコンポーネント 1 2 5 は、時刻 T B において不活性化され、センスノード B（及びデジット線 B L - C T）の電圧はグラウンドに変化する。書き込み動作を完了するために、ワード線 W L - C B 及び W L - C T は時刻 T C において不活性化される。

50

## 【 0 0 6 4 】

図 7 は、開示の実施形態に従った書き込み動作中の様々な信号のタイミング図である。図 7 は、図 1 及び図 2 のメモリアレイ 1 0 0 及び例示的回路 2 0 0 を参照しながら記述されるであろう。図 7 の例示的書き込み動作では、論理 “ 0 ” を現在蓄積するメモリセル 1 0 5 に論理 “ 1 ” が書き込まれる。

## 【 0 0 6 5 】

時刻 T A 以前において、選択コンポーネント 2 2 0 及び 2 2 4 を活性化するために、ワード線 W L - C B 及び W L - C T が夫々活性化される。結果として、デジット線 B L - C B はセル底部 2 1 5 に結合され、デジット線 B L - C T はコンデンサ 2 0 5 のセル上部 2 3 0 に結合される。デジット線 B L - C B の電圧は、現在蓄積された論理 “ 0 ” を表すグラウンドにあり、デジット線 B L - C T の電圧は、V R E A D 電圧にある。また、時刻 T A 以前において、デジット線 B L - C B は、活性化された絶縁スイッチ 2 3 1 を通じて、センスコンポーネント 1 2 5 のセンスノード A に結合され、デジット線 B L - C T は、活性化されたスイッチ 2 3 5 を通じて、センスコンポーネント 1 2 5 のセンスノード B に結合される。したがって、時刻 T A 以前において、センスノード A 及び B は、セル底部 2 1 5 及びセル上部 2 3 0 に夫々結合される。

10

## 【 0 0 6 6 】

時刻 T A において、センスノード A 及び B に結合された書き込みアンプ（図示せず）は、センスノード A をグラウンドから V R E A D 電圧に駆動し、センスノード B を V R E A D 電圧からグラウンドに駆動する。センスノード A 及び B の電圧はセンスコンポーネント 1 2 5 によりラッチされる。書き込みアンプによりセンスノード A 及び B が駆動されると共に、デジット線 B L - C B の電圧は V R E A D 電圧に変化し、デジット線 B L - C T の電圧はグラウンドに変化する。センスノード A 及びデジット線 B L - C B の V R E A D 電圧は、コンデンサ 2 0 5 に書き込まれる論理 “ 1 ” を表す。デジット線 B L - C B の V R E A D 電圧及びデジット線 B L - C T のグラウンド電圧は、活性化された選択コンポーネント 2 2 0 及び 2 2 4 を通じて、セル底部 2 1 5 に及びセル上部 2 3 0 に夫々全て印加される。結果として、コンデンサ 2 0 5 は、蓄積されたデータを論理 “ 0 ” から論理 “ 1 ” に変化するように、反対の極性に分極されてくる。

20

## 【 0 0 6 7 】

時刻 T B までには、センスノード A 及び B における電圧はセンスコンポーネント 1 2 5 によりラッチされており、センスノード A 及び B の電圧は書き込みアンプによりこれ以上駆動されない。センスコンポーネント 1 2 5 は、時刻 T B において不活性化され、センスノード B（及びデジット線 B L - C T）の電圧はグラウンドに変化する。書き込み動作を完了するために、ワード線 W L - C B 及び W L - C T は時刻 T C において不活性化される。

30

## 【 0 0 6 8 】

幾つかの実施形態では、図 6 及び図 7 を参照しながら記述した書き込み動作は、読み出し動作、例えば、図 4 A 及び図 4 B を参照しながら記述した読み出し動作と併せて実施され得る。例えば、図 4 A の例示的読み出し動作に関して、図 6 の例示的書き込み動作は、時刻 T 5 でのスイッチ 2 3 5 の活性化に続いて実施され得る。別例では、図 4 B の例示的読み出し動作に関して、図 7 の例示的書き込み動作は、時刻 T 5 でのスイッチ 2 3 5 の活性化に続いて実施され得る。図 6 及び図 7 の例示的書き込み動作は、その他の実施形態では、異なる動作と併せて実施され得る。

40

## 【 0 0 6 9 】

図 4 A 及び図 4 B を参照しながら前述したように、論理 “ 1 ” は、リファレンス信号 V B L R E F の V R E F 電圧よりも大きいセル底部上の電圧により表され、論理 “ 0 ” は、リファレンス信号 V B L R E F の V R E F 電圧よりも小さいセル底部上の電圧により表される。また、図 6 及び図 7 の例示的書き込み動作を参照しながら前述したように、論理 “ 1 ” は、V R E A D 電圧をセル底部に、グラウンドをセル上部に印加することによって書き込まれ、論理 “ 0 ” は、グラウンドをセル底部に、V R E A D 電圧をセル上部に印加することによって書き込まれる。幾つかの例では、リファレンス信号 V B L R E F の V R E F の

50

電圧と比較される電圧に対応する論理値、及び論理値を書き込むための正味正/負の電圧の印加は、理解を失うことなく逆にされてもよい。

【0070】

図4～図7の読み出し及び書き込みの動作を参照しながら記述した例示的な電圧及び信号のタイミングは、説明目的のために提供されており、本開示の範囲を限定することを意図しない。電圧及び関連する信号のタイミングは、本開示の範囲から逸脱することなく修正され得る。

【0071】

図8は、開示に従ったメモリセル105の例示的实施形態を含むメモリアレイ100の一部を説明する。

10

【0072】

メモリアレイ100の説明される領域は、デジット線BL-CT及びBL-CBを含む。デジット線BL-CT及びBL-CBは、相互に垂直方向にずらされており、センスコンポーネント125に接続され得る。隣接するメモリセル105の対は、隣接するこうしたメモリセルがメモリアレイ内で相互に共通の列中にある(例えば、デジット線BL-CT及びBL-CBにより表される共通の列沿いある)ように示されている。絶縁材料48は、メモリセル105の様々なコンポーネントを包囲するように示されている。幾つかの実施形態では、(複数の)メモリセル105は、メモリアレイの列沿いの実質的に同一のメモリセルと称され得、用語“実質的に同一の”は、製作及び測定の合理的な公差の範囲内でメモリセルが相互に同一であることを意味する。

20

【0073】

デジット線BL-CBは、基部15の上方に示され、基部15により支持される。こうした基部は半導体材料であり得る。(複数の)メモリセル105は、選択コンポーネント220及び224と強誘電体コンデンサ205とを夫々含む。コンデンサ205は、垂直方向にメモリセル105の選択コンポーネント220と224との間にある。コンデンサ205は、第1のプレート、セル上部230と、第2のプレート、セル底部215と、セル上部230とセル底部215との間に配置された強誘電体材料232とを含む。セル上部230は容器形状であるように示され、セル底部215は、こうした容器形状内で延伸するように示されているが、他の実施形態では、セル上部及びセル底部は、異なる構造を有してもよい。実例として、セル上部及びセル底部は、平面構造を有してもよい。ピラー212は、デジット線BL-CTからコンデンサ205のセル上部230へ延伸し、ピラー202は、デジット線BL-CBからコンデンサ205のセル底部215へ延伸する。

30

【0074】

選択コンポーネント224は、コンデンサ205のセル上部230へ延伸するソース/ドレイン領域214を有し、デジット線BL-CTへ延伸するソース/ドレイン領域216を有する。選択コンポーネント224は、ソース/ドレイン領域214と216との間にチャンネル領域218をも有する。ゲート211は、チャンネル領域218沿いにあり、ゲート誘電材料213によってチャンネル領域からずらされる。ゲート211は、ワード線WL-CT中に含まれ得る。

【0075】

選択コンポーネント220は、コンデンサ205のセル底部215へ延伸するソース/ドレイン領域204を有し、デジット線BL-CBへ延伸するソース/ドレイン領域206を有する。選択コンポーネント220は、ソース/ドレイン領域204と206との間にチャンネル領域208をも有する。ゲート201は、チャンネル領域208沿いにあり、ゲート誘電材料203によってチャンネル領域からずらされる。ゲート201は、ワード線WL-CB中に含まれ得る。

40

【0076】

図8の実施形態に示されるように、メモリセル105の選択コンポーネント220及び224並びにコンデンサ205は垂直方向に積み重ねられ、そのことは、(複数の)メモリセル105を高レベルの集積に詰め込むことを可能にし得る。

50

## 【0077】

幾つかの実施形態では、デジット線BL-CT及びBL-CBの相対的な配向は、デジット線BL-CTが支持基板15の上方にあり、デジット線BL-CBがデジット線BL-CTの上方にあるように逆にされる。こうした他の実施形態では、説明されるコンデンサ205は、図8の示された構造に対して反転され、それに応じて、容器形状のセル上部230は、下方の代わりに上方に開放するであろう。

## 【0078】

図9は、本開示の様々な実施形態に従った強誘電体メモリを支持するメモリアレイ100を含むメモリ900の一部のブロック図を説明する。メモリアレイ100は、電子メモリ装置と称され得、図1、図2、又は図4～図7を参照しながら記述したメモリコントローラ140及びメモリセル105の例示であり得るメモリコントローラ140及びメモリセル105を含む。

10

## 【0079】

メモリコントローラ140は、バイアスコンポーネント905及びタイミングコンポーネント910を含み得、図1に記述したようなメモリアレイ100を動作し得る。メモリコントローラ140は、図1、図2、又は図4～図7を参照しながら記述したワード線110、デジット線115、及びセンスコンポーネント125の例示であり得るワード線110、デジット線115、及びセンスコンポーネント125と電子通信し得る。メモリコントローラ140は、図2又は図4～図7を参照しながら記述したリファレンススイッチ233、絶縁スイッチ231、及びスイッチ235の夫々例示であり得るリファレンススイッチ233、絶縁スイッチ231、及びスイッチ235とも電子通信し得る。メモリコントローラ140は、リファレンススイッチ233を通じてセンスコンポーネント125にリファレンス信号VBLREFを提供し得る。メモリアレイ100のコンポーネントは、相互に電子通信し得、図1～図7を参照しながら記述した機能を実施し得る。

20

## 【0080】

メモリコントローラ140は、ワード線又はデジット線に電圧を印加することによってワード線110又はデジット線115を活性化するように構成され得る。例えば、バイアスコンポーネント905は、上述したようにメモリセル105を読み出す又は書き込むために、メモリセル105を動作するための電圧を印加するように構成され得る。幾つかの場合、メモリコントローラ140は、図1を参照しながら記述したように、行デコーダ、列デコーダ、又はそれら両方を含み得る。このことは、メモリコントローラ140が1つ以上のメモリセル105にアクセスすることを可能にし得る。バイアスコンポーネント905は、センスコンポーネント125にリファレンス信号VBLREFを提供するようにも構成され得る。また、バイアスコンポーネント905は、センスコンポーネント125の動作のための電位を提供し得る。

30

## 【0081】

メモリコントローラ140は、強誘電体メモリセル105に対するアクセス動作のリクエストを受信することに基づいて、絶縁スイッチ231を活性化し得、すなわち、メモリコントローラ140は、メモリセル105をセンスコンポーネント125に電氣的に接続し得る。メモリコントローラ140は、センスコンポーネント125を活性化することに基づいて、強誘電体メモリセル105の論値状態を更に判定し得、強誘電体メモリセル105の論理状態を強誘電体メモリセル105にライトバックし得る。

40

## 【0082】

幾つかの場合、メモリコントローラ140は、その動作をタイミングコンポーネント910を使用して実施し得る。例えば、タイミングコンポーネント910は、本明細書で論じた、読み出し及び書き込み等のメモリ機能を実施するためのスイッチング及び電圧印加に対するタイミングを含む、様々なワード線選択又はセル上部バイアスのタイミングを制御し得る。幾つかの場合、タイミングコンポーネント910は、バイアスコンポーネント905の動作を制御し得る。

## 【0083】

50

センスコンポーネント 125 は、( デジット線 115 を通じた ) メモリセル 105 からの信号をリファレンス信号 V B L R E F の電圧と比較し得る。リファレンス信号 V B L R E F は、図 2、図 4 A、及び図 4 B を参照しながら記述したように、2 つのセンス電圧間の値を有する電圧を有し得る。論理状態を判定すると、センスコンポーネント 125 は、該出力をラッチし得、ここで、該出力は、メモリアレイ 100 が一部である電子デバイスの動作に従って使用され得る。

**【 0084 】**

図 10 は、本開示の様々な実施形態に従った強誘電体メモリを支持するシステム 1000 を説明する。システム 1000 は、様々なコンポーネントを接続又は物理的に支持するためのプリント回路基板であり得、又は該プリント回路基板を含み得るデバイス 1005 を含む。デバイス 1005 は、コンピュータ、ノートブックコンピュータ、ラップトップ、タブレットコンピュータ、又はモバイルフォン等であり得る。デバイス 1005 は、図 1 及び図 9 を参照しながら記述したようなメモリアレイ 100 の一例であり得るメモリアレイ 100 を含む。メモリアレイ 100 は、図 1 及び図 9 を参照しながら記述したメモリコントローラ 140 と、図 1、図 2、及び図 4 ~ 図 9 を参照しながら記述したメモリセル 105 との例示であり得るメモリコントローラ 140 及びメモリセル 105 を含む得る。デバイス 1005 は、プロセッサ 1010、BIOS コンポーネント 1015、周辺コンポーネント 1020、及び入出力制御コンポーネント 1025 をも含み得る。デバイス 1005 のコンポーネントは、バス 1030 を通じて相互に電子通信し得る。

10

**【 0085 】**

プロセッサ 1010 は、メモリコントローラ 140 を通じてメモリアレイ 100 を動作するように構成され得る。幾つかの場合、プロセッサ 1010 は、図 1 及び図 9 を参照しながら記述したメモリコントローラ 140 の機能を実施し得る。その他の場合、メモリコントローラ 140 はプロセッサ 1010 中に集積され得る。プロセッサ 1010 は、汎用プロセッサ、デジタルシグナルプロセッサ ( D S P )、特定用途向け集積回路 ( A S I C )、フィールドプログラマブルゲートアレイ ( F P G A ) 若しくはその他のプログラム可能論理デバイス、分離したゲート若しくはトランジスタ論理、分離したハードウェアコンポーネント、又はこれらの種類のコンポーネントの組み合わせであり得る。プロセッサ 1010 は、様々な機能を実施し得、本明細書に記述されるようにメモリアレイ 100 を動作し得る。プロセッサ 1010 は、例えば、メモリアレイ 100 中に蓄積されたコンピュータ可読命令を実行し、様々な機能又はタスクをデバイス 1005 に実施させるように構成され得る。

20

30

**【 0086 】**

BIOS コンポーネント 1015 は、ファームウェアとして動作するベーシックインプット / アウトプットシステム ( B I O S ) を含むソフトウェアコンポーネントであり得、それは、システム 1000 の様々なハードウェアコンポーネントを初期化し得、稼働し得る。BIOS コンポーネント 1015 はまた、プロセッサ 1010 と様々なコンポーネント、例えば、周辺コンポーネント 1020、入出力制御コンポーネント 1025 等との間のデータの流れを管理し得る。BIOS コンポーネント 1015 は、リードオンリーメモリ ( R O M )、フラッシュメモリ、又は任意のその他の不揮発性メモリ中に蓄積されたプログラム又はソフトウェアを含み得る。

40

**【 0087 】**

周辺コンポーネント 1020 は、デバイス 1005 中に集積される任意の入力又は出力デバイス、又はこうしたデバイスのためのインタフェースであり得る。例示として、ディスクコントローラ、音声コントローラ、画像コントローラ、イーサネットコントローラ、モデム、ユニバーサルシリアルバス ( U S B ) コントローラ、シリアル若しくはパラレルポート、又はペリフェラルコンポーネントインタコネク ( P C I ) 若しくはアクセラレーテッドグラフィックスポート ( A G P ) スロット等の周辺カードスロットが挙げられ得る。

**【 0088 】**

50

入出力制御コンポーネント1025は、プロセッサ1010と周辺コンポーネント1020、入力デバイス1035、又は出力デバイス1040との間のデータ通信を管理し得る。入出力制御コンポーネント1025は、デバイス1005中に集積されない周辺装置をも管理し得る。幾つかの場合、入出力制御コンポーネント1025は、外部周辺装置への物理的接続又はポートを表し得る。

【0089】

入力1035は、デバイス1005又はそのコンポーネントへの入力を提供する、デバイス1005の外にあるデバイス又は信号を表し得る。これは、ユーザインタフェース、又はその他のデバイスとのインタフェース若しくはその他のデバイス間のインタフェースを含み得る。幾つかの場合、入力1035は、周辺コンポーネント1020を介してデバイス1005とインタフェースで連結する周辺装置であり得、又は入出力制御コンポーネント1025により管理され得る。

10

【0090】

出力1040は、デバイス1005又はその何れかのコンポーネントから出力を受信するように構成された、デバイス1005の外にあるデバイス又は信号を表し得る。出力1040の例は、表示装置、音声スピーカ、プリントデバイス、別のプロセッサ、又はプリント回路基板等を含み得る。幾つかの場合、出力1040は、周辺コンポーネント1020を介してデバイス1005とインタフェースで連結する周辺装置であり得、又は入出力制御コンポーネント1025により管理され得る。

【0091】

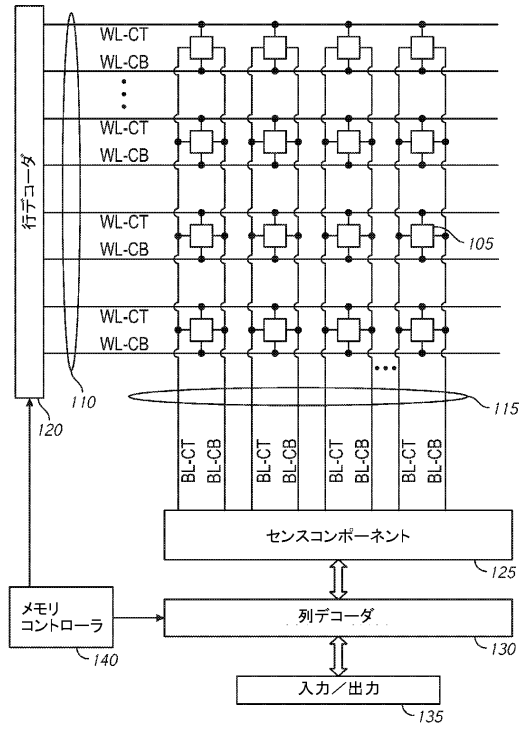
メモリコントローラ140、デバイス1005、及びメモリアレイ100のコンポーネントは、それらの機能を実行するように設計された回路で構成され得る。これは、本明細書に記載される機能を実行するように構成された様々な回路素子、例えば、導電線、トランジスタ、コンデンサ、インダクタ、抵抗、アンプ、又はその他の能動素子若しくは非能動素子を含み得る。

20

【0092】

開示の特定の実施形態が説明目的で本明細書に記述されているが、開示の精神及び範囲から逸脱することなく様々な変更がなされ得ることは、上述のことから分かるであろう。したがって、開示は、添付の請求項による場合を除き限定されない。

【図 1】



【図 2 A】

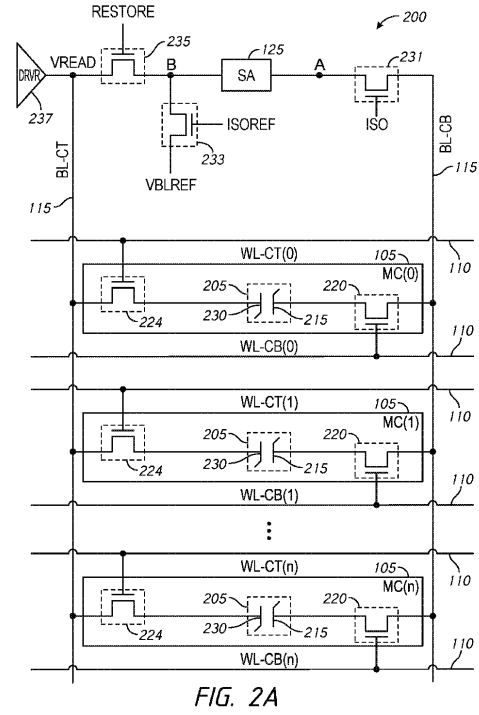


FIG. 2A

【図 2 B】

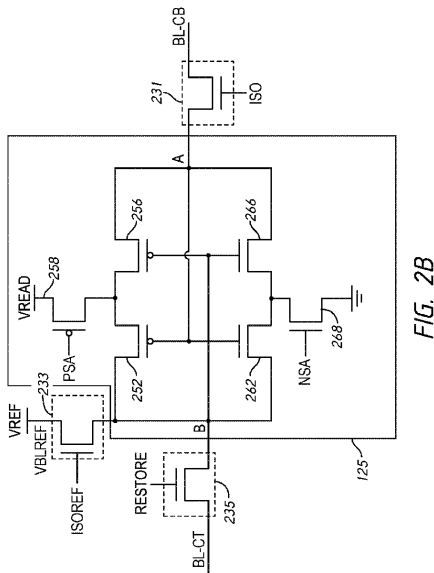


FIG. 2B

【図 3 A】

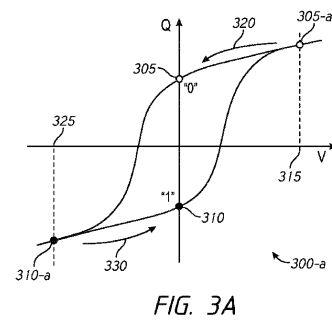


FIG. 3A

【図 3 B】

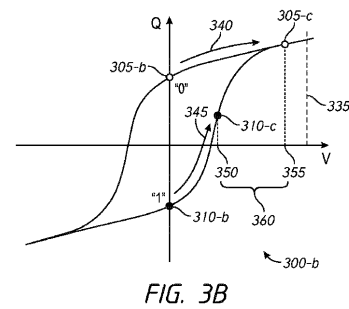


FIG. 3B



【図 4 A】

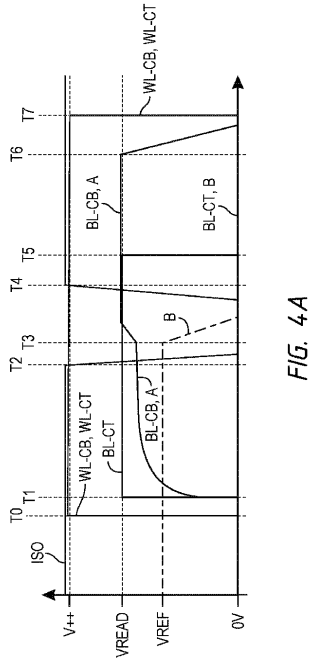


FIG. 4A

【図 4 B】

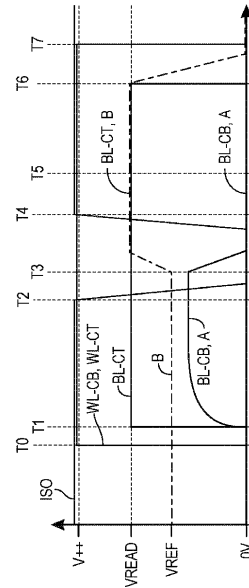
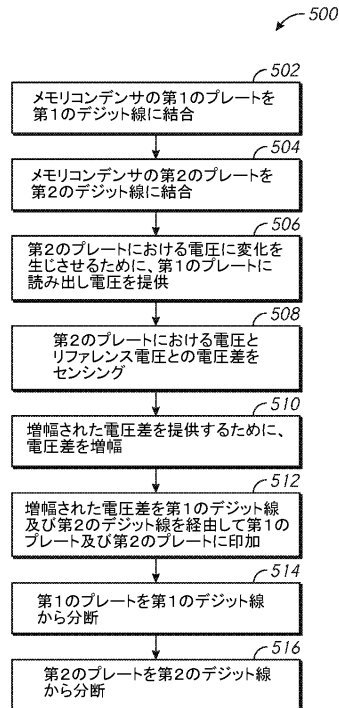
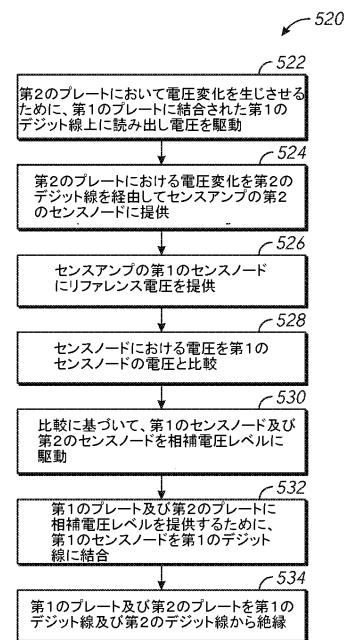


FIG. 4B

【図 5 A】



【図 5 B】



【図6】

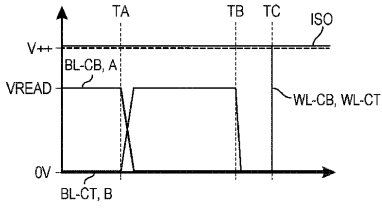


FIG. 6

【図7】

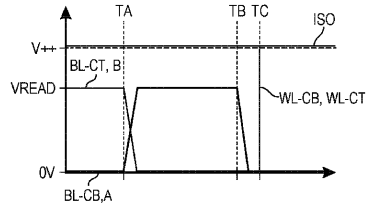


FIG. 7

【図8】

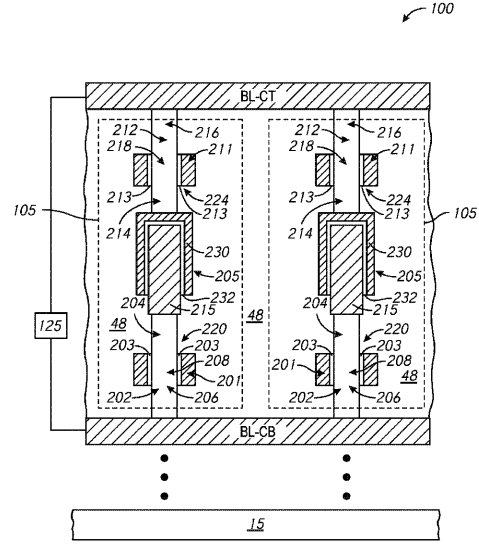
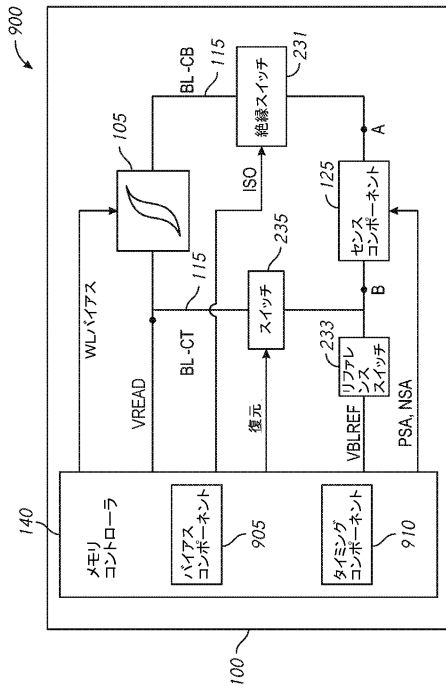
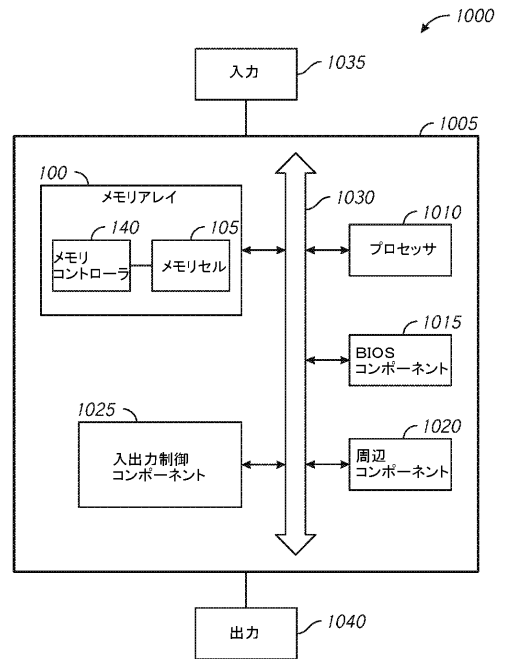


FIG. 8

【図9】



【図10】



## 【手続補正書】

【提出日】令和1年5月7日(2019.5.7)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

## 【特許請求の範囲】

## 【請求項1】

第1のプレート、第2のプレート、及び強誘電性誘電材料を有するコンデンサと、  
第1のデジット線と、  
前記第1のプレートを前記第1のデジット線に結合するように構成された第1の選択コンポーネントと、  
第2のデジット線と、  
前記第2のプレートを前記第2のデジット線に結合するように構成された第2の選択コンポーネントと  
を含む、装置。

## 【請求項2】

前記第1の選択コンポーネントは、第1のワード線に結合され、前記第1のワード線の活性化に応答して活性化されるように構成され、前記第2の選択コンポーネントは、第2のワード線に結合され、前記第2のワード線の活性化に応答して活性化されるように構成される、請求項1に記載の装置。

## 【請求項3】

前記第1の選択コンポーネントは、前記第1のデジット線と前記コンデンサの前記第1のプレートとの間に結合され、前記第2の選択コンポーネントは、前記第2のデジット線と前記コンデンサの前記第2のプレートとの間に結合される、請求項1に記載の装置。

## 【請求項4】

前記第1の選択コンポーネント、前記第2の選択コンポーネント、及び前記コンデンサは、垂直方向に積み重ねられる、請求項1に記載の装置。

## 【請求項5】

第1の選択コンポーネント及び第2の選択コンポーネントを含む強誘電体メモリセルと、  
前記第1の選択コンポーネント及び前記第2の選択コンポーネントに夫々結合された第1のデジット線及び第2のデジット線と、  
前記第1の選択コンポーネントのゲートに結合された第1のアクセス線と、  
前記第2の選択コンポーネントのゲートに結合された第2のアクセス線と、  
第1のセンスノード及び第2のセンスノードを含むセンスコンポーネントであって、前記第1のセンスノードと前記第2のセンスノードとの間の電圧差をセンシングし、前記電圧差を増幅し、前記電圧差をラッチするように構成された前記センスコンポーネントと、  
前記第1のデジット線及び前記第1のセンスノードに結合された第1のスイッチであって、前記第1のデジット線を前記第1のセンスノードに選択的に結合するように構成された前記第1のスイッチと、  
前記第2のデジット線及び前記第2のセンスノードに結合された第2のスイッチであって、前記第2のデジット線を前記第2のセンスノードに選択的に結合するように構成された前記第2のスイッチと  
を含む、装置。

## 【請求項6】

前記第1のデジット線に読み出し電圧を提供するように構成されたドライバ回路を更に含む、請求項5に記載の装置。

## 【請求項7】

前記センスコンポーネントは、  
ゲートを有する第 1 の p 型電界効果トランジスタと、  
前記第 1 の p 型電界効果トランジスタの前記ゲートに結合されたゲートを有する第 1 の n 型電界効果トランジスタと、  
ゲートを有する第 2 の p 型電界効果トランジスタと、  
前記第 2 の p 型電界効果トランジスタの前記ゲートに結合されたゲートを有する第 2 の n 型電界効果トランジスタと、  
前記第 1 の p 型電界効果トランジスタ及び前記第 1 の n 型電界効果トランジスタのドレインに結合され、前記第 2 の p 型電界効果トランジスタ及び前記第 2 の n 型電界効果トランジスタの前記ゲートに更に結合された第 1 のセンスノードと、  
前記第 2 の p 型電界効果トランジスタ及び前記第 2 の n 型電界効果トランジスタのドレインに結合され、前記第 1 の p 型電界効果トランジスタ及び前記第 1 の n 型電界効果トランジスタの前記ゲートに更に結合された第 2 のセンスノードと  
を含む、請求項 5 に記載の装置。

【請求項 8】

複数の前記強誘電体メモリセルの内の個別の強誘電体メモリセルの前記第 1 の選択コンポーネントに各々結合された複数の第 1 のアクセス線と、  
前記複数の強誘電体メモリセルの内の個別の強誘電体メモリセルの前記第 2 の選択コンポーネントに各々結合された複数の第 2 のアクセス線と  
を更に含む、請求項 7 に記載の装置。

【請求項 9】

前記強誘電体メモリセルは、  
前記第 1 の選択コンポーネントに結合された第 1 のプレートと、  
前記第 2 の選択コンポーネントに結合された第 2 のプレートと、  
前記第 1 のプレートと前記第 2 のプレートとの間に配置された強誘電体材料と  
を含む、請求項 5 に記載の装置。

【請求項 10】

前記第 1 のセンスノードに結合され、前記第 1 のセンスノードにリファレンス電圧を提供するように構成されたリファレンススイッチを更に含む、請求項 5 に記載の装置。

【請求項 11】

前記第 1 のデジット線及び前記第 2 のデジット線に結合された複数の強誘電体メモリセルであって、前記複数の強誘電体メモリセルの内の各強誘電体メモリセルは個別の第 1 の選択コンポーネント及び第 2 の選択コンポーネントを含む、前記複数の強誘電体メモリセル  
を更に含む、請求項 5 に記載の装置。

【請求項 12】

前記第 1 のデジット線及び前記第 2 のデジット線は、相互に対して垂直方向にずらされ、強誘電体コンデンサは、垂直方向に前記第 1 の選択コンポーネントと前記第 2 の選択コンポーネントとの間にある、請求項 5 に記載の装置。

【請求項 13】

行及び列中に配置された複数のメモリセルであって、各メモリセルが第 1 の選択コンポーネント及び第 2 の選択コンポーネントを含み、前記第 1 の選択コンポーネントと前記第 2 の選択コンポーネントとの間に結合された強誘電体コンデンサを更に含む、前記複数のメモリセルと、

ワード線の複数の対であって、前記複数の内のワード線の各対は複数のメモリセルの個別の行に結合される、前記ワード線の複数の対と、

デジット線の複数の対であって、前記複数の内のデジット線の各対は複数のメモリセルの個別の列に結合される、前記デジット線の複数の対と

ワード線の前記複数の対に結合され、行アドレスに基づいてワード線の対を活性化するように構成された行デコーダと、

デジット線の前記複数の対に結合され、列アドレスに基づいてデジット線の対を活性化するように構成された列デコーダと、

デジット線の前記複数の対に結合され、複数のメモリセルの活性化された行の前記複数のメモリセルの蓄積状態を判定するように構成されたセンスコンポーネントとを含む、装置。

【請求項 14】

デジット線の前記複数の対の各々は、複数のメモリセルの前記個別の列の前記複数のメモリセルの前記第 1 の選択コンポーネントに結合された第 1 のデジット線を含み、複数のメモリセルの前記個別の列の前記複数のメモリセルの前記第 2 の選択コンポーネントに結合された第 2 のデジット線を更に含む、請求項 13 に記載の装置。

【請求項 15】

前記センスコンポーネントは、デジット線の前記複数の対の内のデジット線の前記各対に結合された個別のセンスコンポーネントを含む、請求項 14 に記載の装置。

【請求項 16】

各センスコンポーネントは、前記センスコンポーネントが結合されるデジット線の前記対の前記第 2 のデジット線を電圧に駆動し、前記センスコンポーネントは、前記センスコンポーネントが結合されるデジット線の前記対の前記第 1 のデジット線を、前記第 2 のデジット線の電圧を相補する電圧に駆動するように更に構成される、請求項 15 に記載の装置。

【請求項 17】

前記複数の内のワード線の各対は、複数のメモリセルの前記個別の行の前記第 1 の選択コンポーネントのゲートに結合された第 1 のワード線を含み、複数のメモリセルの前記個別の行の前記第 2 の選択コンポーネントのゲートに結合された第 2 のワード線を更に含み、複数のメモリセルの前記個別の行の前記第 1 の選択コンポーネントは前記第 1 のワード線により活性化され、複数のメモリセルの前記個別の行の前記第 2 の選択コンポーネントは前記第 2 のワード線により活性化される、請求項 14 に記載の装置。

【請求項 18】

前記第 1 の選択コンポーネント、前記第 2 の選択コンポーネント、及び前記強誘電体コンデンサは垂直方向に積み重ねられ、前記強誘電体コンデンサは、垂直方向に前記第 1 の選択コンポーネントと前記第 2 の選択コンポーネントとの間にある、請求項 13 に記載の装置。

【請求項 19】

メモリコンデンサの第 1 のプレートを第 1 のデジット線に結合することと、  
前記メモリコンデンサの第 2 のプレートを第 2 のデジット線に結合することと、  
前記メモリコンデンサの前記第 2 のプレートにおける電圧に変化を生じさせるために、前記メモリコンデンサの前記第 1 のプレートに読み出し電圧を提供することと、  
前記メモリコンデンサの前記第 2 のプレートにおける電圧とリファレンス電圧との間の電圧差をセンシングすることと、  
増幅された電圧差を提供するために、前記電圧差を増幅することと、  
増幅された前記電圧差を前記第 1 のデジット線及び前記第 2 のデジット線を経由して前記メモリコンデンサの前記第 1 のプレート及び前記第 2 のプレートに夫々印加することと、  
前記メモリコンデンサの前記第 1 のプレートを前記第 1 のデジット線から分断することと、  
前記メモリコンデンサの前記第 2 のプレートを前記第 2 のデジット線から分断することとを含む、方法。

【請求項 20】

前記メモリコンデンサの前記第 1 のプレートを前記第 1 のデジット線に結合すること、及び前記メモリコンデンサの前記第 2 のプレートを前記第 2 のデジット線に結合すること

は、第 1 の選択コンポーネントを活性化すること、及び第 2 の選択コンポーネントを活性化することを夫々含む、請求項 19 に記載の方法。

【請求項 21】

前記メモリコンデンサの前記第 1 のプレートを前記第 1 のデジット線に結合すること、及び前記メモリコンデンサの前記第 2 のプレートを前記第 2 のデジット線に結合することは同時である、請求項 19 に記載の方法。

【請求項 22】

増幅された前記電圧差を提供するために、前記電圧差を増幅することは、前記メモリコンデンサの前記第 2 のプレートの前記電圧が前記リファレンス電圧よりも大きいことに応答して、センスコンポーネントの第 1 のセンスノードをグランドに駆動し、前記センスコンポーネントの第 2 のセンスノードを供給電圧に駆動することと、前記メモリコンデンサの前記第 2 のプレートの前記電圧が前記リファレンス電圧よりも小さいことに応答して、前記センスコンポーネントの前記第 1 のセンスノードを前記供給電圧に駆動し、前記センスコンポーネントの前記第 2 のセンスノードをグランドに駆動することを含む、請求項 19 に記載の方法。

【請求項 23】

前記メモリコンデンサは強誘電体メモリコンデンサを含む、請求項 19 に記載の方法。

【請求項 24】

前記第 2 のプレートに結合され、前記リファレンス電圧を提供されるセンスコンポーネントを活性化することを更に含む、請求項 19 に記載の方法。

【請求項 25】

強誘電体メモリセルの第 2 のプレートにおける電圧変化であって、前記強誘電体メモリセルの前記第 2 のプレートに結合された第 2 のデジット線を経由してセンスアンプの第 2 のセンスノードに提供される、前記強誘電体メモリセルの前記第 2 のプレートにおける前記電圧変化を生じさせるために、前記強誘電体メモリセルの第 1 のプレートに結合された第 1 のデジット線上に読み出し電圧を駆動することと、

センスアンプの第 1 のセンスノードにリファレンス電圧を提供することと、

前記センスアンプの前記第 2 のセンスノードにおける電圧を前記第 1 のセンスノードの前記電圧と比較することと、

前記比較に基づいて、前記第 1 のセンスノード及び前記第 2 のセンスノードを相補電圧レベルに駆動することと、

前記第 1 のデジット線及び前記第 2 のデジット線を経由して前記強誘電体メモリセルの前記第 1 のプレート及び前記第 2 のプレートに前記相補電圧レベルを夫々提供するために、前記第 1 のセンスノードを前記第 1 のデジット線に結合することと、

前記第 1 のプレート及び前記第 2 のプレートを前記第 1 のデジット線及び前記第 2 のデジット線から夫々絶縁することと

を含む、方法。

【請求項 26】

前記第 1 のセンスノード及び前記第 2 のセンスノードを反対の相補電圧レベルに駆動すること

を更に含む、

前記反対の相補電圧レベルは、前記強誘電体メモリセルの極性を変化させるために前記第 1 のプレート及び前記第 2 のプレートに結合される、請求項 25 に記載の方法。

【請求項 27】

前記センスアンプの前記第 2 のセンスノードにおける前記電圧を前記第 1 のセンスノードの前記電圧と比較する前に、前記第 2 のセンスノードを前記第 2 のデジット線から分断することを更に含む、請求項 25 に記載の方法。

【請求項 28】

前記比較に基づいて前記第1のセンスノード及び前記第2のセンスノードを相補電圧レベルに駆動した後に、前記第2のセンスノードを前記第2のデジット線に結合することを更に含む、請求項27に記載の方法。

【請求項29】

前記第1のデジット線及び前記第2のデジット線を経由して前記強誘電体メモリセルの前記第1のプレート及び前記第2のプレートに前記相補電圧レベルを夫々提供するために、前記第1のセンスノードを前記第1のデジット線に結合することと、前記第1のプレート及び前記第2のプレートを前記第1のデジット線及び前記第2のデジット線から夫々絶縁することと、前記強誘電体メモリセル上にデータを復元する、請求項25に記載の方法。

【請求項30】

前記第1のプレート及び前記第2のプレートを前記第1のデジット線及び前記第2のデジット線から絶縁する前に、前記第1のセンスノード及び前記第2のセンスノードを同じ電圧に駆動することを更に含む、請求項25に記載の方法。

【請求項31】

前記相補電圧レベルは、供給電圧及びグランドを含む、請求項25に記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

図2Aは、本開示の実施形態に従ったメモリセルの列を含む例示的回路200を説明する。図2Aは、本開示の様々な実施形態に従ったメモリセル105を含む例示的回路200を説明する。回路200は、メモリセル105 MC(0)~MC(n)を含み、ここで“n”はアレイサイズに依存する。回路200は、ワード線WL-CT(0)~WL-CT(n)及びWL-CB(0)~WL-CB(n)と、デジット線BL-CT及びBL-CBと、センスコンポーネント125とを更に含む。ワード線、デジット線、及びセンスコンポーネントは、図1を参照しながら記述したようなワード線110、デジット線115、及びセンスコンポーネント125の夫々例示であり得る。メモリセル105の1つの列が図2Aに示されるが、メモリアレイは、示されるような、メモリセルの複数の列を含み得る。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

センスコンポーネント125は、ラッチングと称され得る、信号の差を検出及び増幅するための様々なトランジスタ又はアンプを含み得る。センスコンポーネント125は、デジット線BL-CBの電圧と、リファレンス電圧であり得るリファレンス信号VBLREFの電圧とを受け取って比較するセンスアンプを含み得る。センスアンプの出力は、該比較に基づいて、より高い(例えば、正の)又はより低い(例えば、負の又はグランドの)供給電圧に駆動され得る。実例として、デジット線BL-CBがリファレンス信号VBLREFよりも高い電圧を有する場合、センスアンプの出力は正の供給電圧に駆動され得る。幾つかの場合、センスアンプは、デジット線BL-CBを供給電圧に付加的に駆動し得る、デジット線BL-CTを負又はグランドの電圧に駆動し得る。センスコンポーネント125は、センスアンプの出力及び/又はデジット線BL-CBの電圧をその後ラッチし得る、それは、メモリセル105中の蓄積状態、例えば、論理1を判定するために使用され得る。或いは、デジット線BL-CBがリファレンス信号VBLREFよりも低い電圧を有

する場合、センスアンプの出力は、負又はグラウンドの電圧に駆動され得る。幾つかの場合、センスアンプは、デジット線  $BL - CB$  を負又はグラウンドの電圧に付加的に駆動し得、デジット線  $BL - CT$  を供給電圧に駆動し得る。センスコンポーネント 125 は、メモリセル 105 中の蓄積状態、例えば、論理 0 を判定するために、センスアンプの出力を同様にラッチし得る。メモリセル 105 のラッチされた論理状態は、例えば、図 1 に関する出力 135 として、列デコーダ 130 を通じてその後出力され得る。センスコンポーネント 125 がデジット線  $BL - CB$  及び  $BL - CT$  を相補電圧に駆動する（例えば、供給電圧が負又はグラウンドの電圧を相補し、負又はグラウンドの電圧が供給電圧を相補する）実施形態では、元のデータ状態の読み出しを復元するために、メモリセル 105 に相補電圧が印加され得る。データを復元することによって、別個の復元動作は不要である。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

前述したように、デジット線  $BL - CB$  及び  $BL - CT$ 、並びに選択コンポーネント 220 及び 224 は、コンデンサ 205 のセル底部 215 及びセル上部 230 の独立した制御を提供し、したがって、従来の強誘電体メモリでは典型的であるような共有のセルプレートの必要性をなくす。結果として、セルは、ディスターブメカニズム、例えば、セルプレートに関するパターンノイズを受けにくくなり得る。また、共有のセルプレートの設計を必要とするセルプレートドライバ回路は、回路サイズの削減し得ることを必要としない。メモリセルの複数の列のデジット線は、相互に無関係の電圧に駆動され得る。例えば、メモリセルの第 1 の列のデジット線  $BL - CT$ （セル底部の反対側にあるセル上部に、選択コンポーネントを通じて結合されたデジット線）は、メモリセルの第 2 の列のデジット線  $BL - CT$  が駆動される電圧とは無関係な電圧に駆動され得る。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

強誘電体材料は非線形に分極特性を有する。図 3A 及び図 3B は、本開示の様々な実施形態に従った強誘電体メモリ用のメモリセルに対するヒステリシス曲線 300 - a（図 3A）及び 300 - b（図 3B）を有する非線形電気特性の例を説明する。ヒステリシス曲線 300 - a 及び 300 - b は、例示的強誘電体メモリセルの書き込み及び読み出しのプロセスを夫々説明する。ヒステリシス曲線 300 は、電圧差  $V$  の関数として、強誘電体コンデンサ（例えば、図 2A のコンデンサ 205）上に蓄積された電荷  $Q$  を図示する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

強誘電体材料は、自発的電気分極により特徴付けられ、例えば、それは、電界がない場合に非ゼロの電気分極を維持する。例示的強誘電体材料は、チタン酸バリウム（ $BaTiO_3$ ）、チタン酸鉛（ $PbTiO_3$ ）、チタン酸ジルコン酸鉛（ $PZT$ ）、及びタンタル酸ストロンチウムビスマス（ $SBT$ ）を含む。本明細書に記述される強誘電体コンデンサは、これら又はその他の強誘電体材料を含み得る。強誘電体コンデンサ内の電気分極は、強誘電体材料の表面に正味電荷をもたらし、コンデンサ端子を通じて反対の電荷を引き付



ける。したがって、強誘電体材料とコンデンサ端子との境界に電荷が蓄積される。電気分極は、比較的長時間、無期限にさえ、外部に印加された電界がない場合にも維持され得るので、電荷漏洩は、例えば、揮発性メモリアレイに用いられるコンデンサと比較して著しく減少し得る。このことは、幾つかの揮発性メモリアーキテクチャに対して上述したようなリフレッシュ動作を実施する必要性を減らし得る。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

時刻 T2 において、センスコンポーネント 125 のセンスノード A 及び B を絶縁するために、ISO 信号は絶縁スイッチ 231 を不活性化し、リファレンススイッチ 233 は不活性化される。センスノード A の電圧 (VREAD 電圧に応答したセル底部 215 の電圧) をセンスノード B の電圧 (リファレンス信号 VBLREF の VREF 電圧でのセル上部 230 の電圧) と比較するために、時刻 T3 においてセンスコンポーネント 125 が活性化される。センスノード A の電圧がセンスノード B のリファレンス信号 VBLREF の電圧よりも大きいことに起因して、センスコンポーネント 125 は、センスノード A を VREAD 電圧に駆動し、センスノード B をグラウンドに駆動する。センスノード A における VREAD 電圧は、メモリセル 105 から読み出された論理 1 の状態を表す。図 4A に示されないが、メモリセル 105 の検出された論理状態は、出力 135 (図 1) として列デコーダ 130 を通じてその後出力され得る。センスノード A をデジタル線 BL-CB に結合するために、絶縁スイッチ 231 は、時刻 T4 において ISO 信号により活性化される。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

時刻 T2 において、センスコンポーネント 125 のセンスノード A 及び B を絶縁するために、ISO 信号は絶縁スイッチ 231 を不活性化し、リファレンススイッチ 233 は不活性化される。センスノード A の電圧 (VREAD 電圧に応答したセル底部 215 の電圧) をセンスノード B の電圧 (リファレンス信号 VBLREF の VREF 電圧でのセル上部 230 の電圧) と比較するために、時刻 T3 においてセンスコンポーネント 125 が活性化される。センスノード A の電圧がセンスノード B のリファレンス信号 VBLREF の電圧よりも小さいことに起因して、センスコンポーネント 125 は、センスノード A をグラウンドに駆動し、センスノード B を VREAD 電圧に駆動する。センスノード A のグラウンド電圧は、メモリセル 105 から読み出された論理 0 の状態を表す。図 4B に示されないが、メモリセル 105 の検出された論理状態は、出力 135 (図 1) として列デコーダ 130 を通じてその後出力され得る。センスノード A をデジタル線 BL-CB に結合するために、絶縁スイッチ 231 は、時刻 T4 において ISO 信号により活性化される。

【手続補正 9】

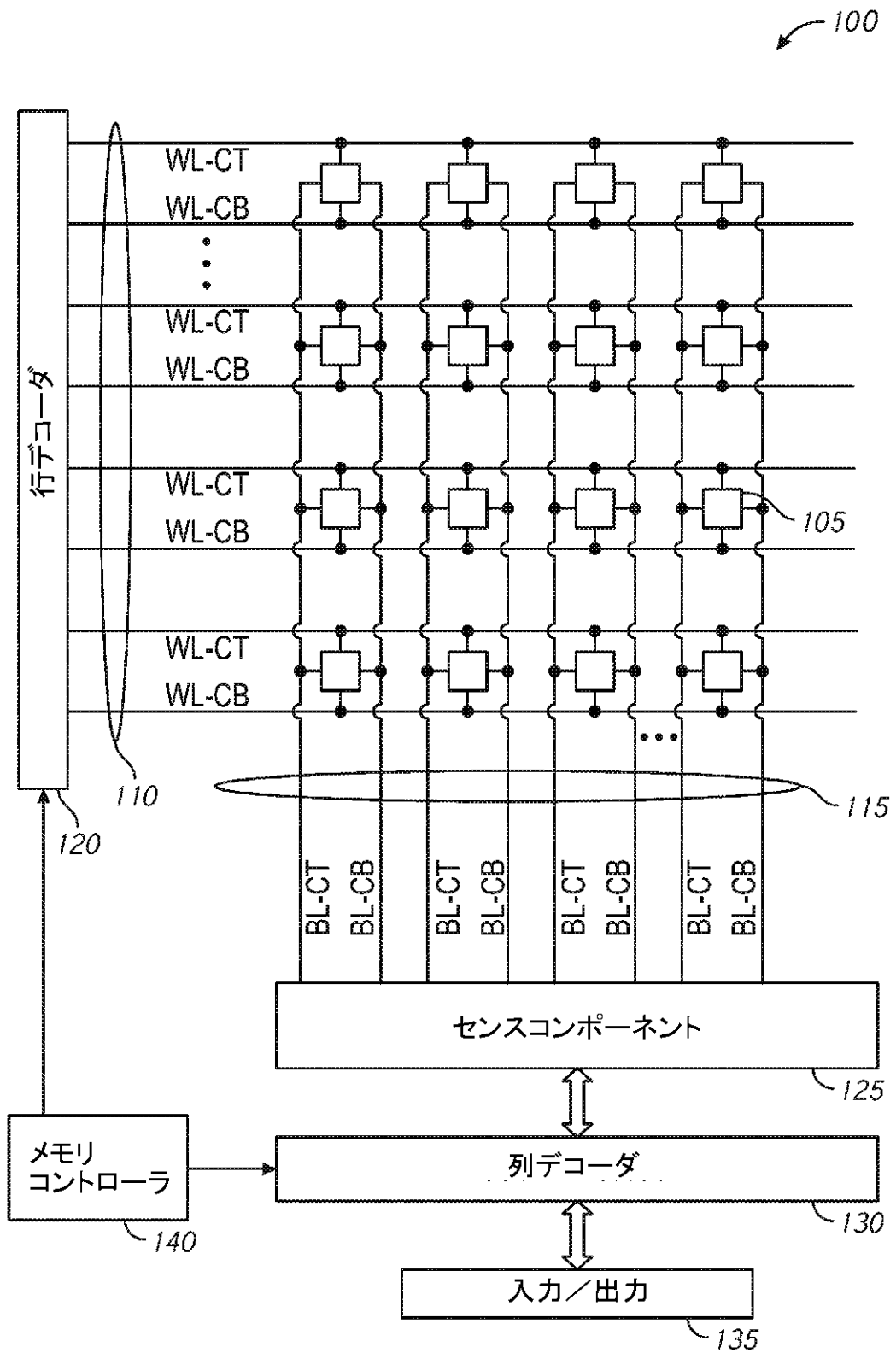
【補正対象書類名】図面

【補正対象項目名】図 1

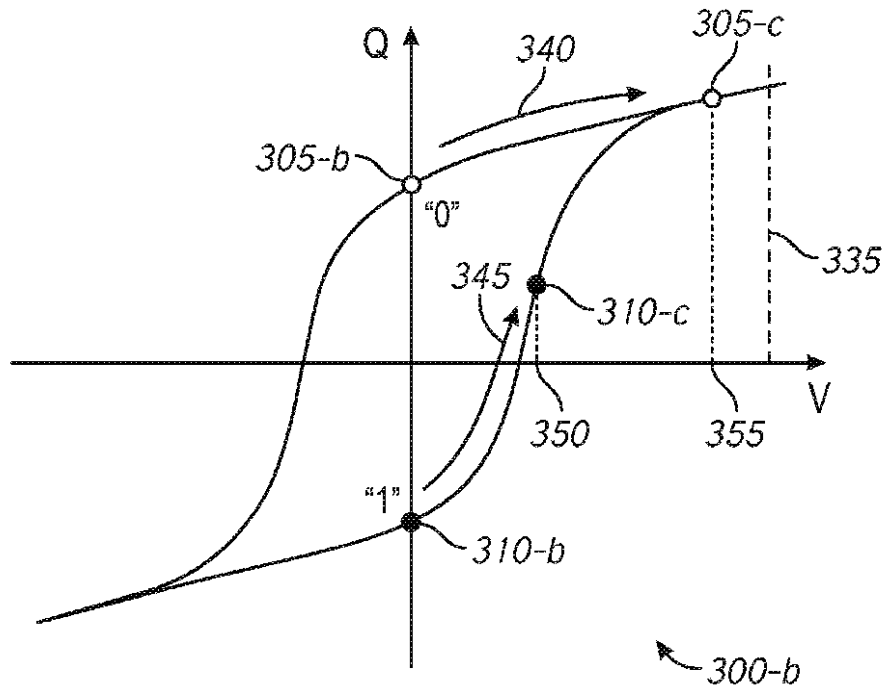
【補正方法】変更

【補正の内容】

【図1】

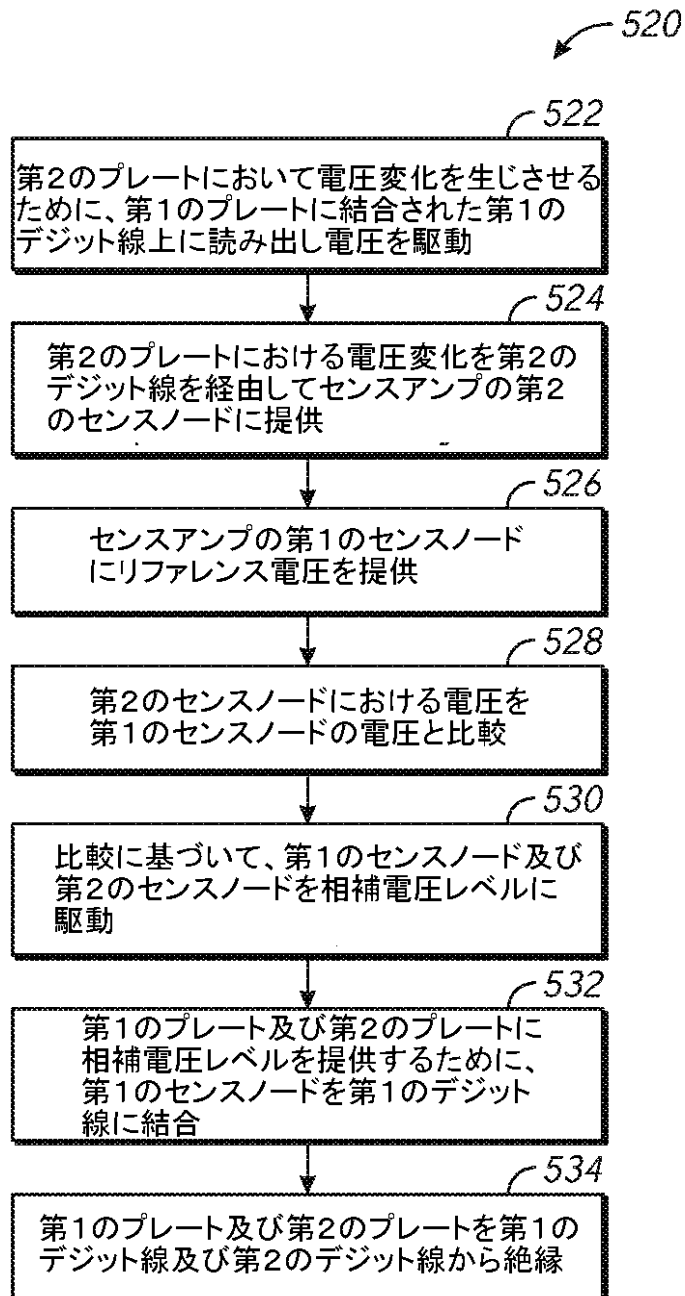


【手続補正 1 0】  
【補正対象書類名】図面  
【補正対象項目名】図 3 B  
【補正方法】変更  
【補正の内容】  
【図 3 B】



【手続補正 1 1】  
【補正対象書類名】図面  
【補正対象項目名】図 5 B  
【補正方法】変更  
【補正の内容】

【図5B】



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. <b>PCT/US2017/045175</b>
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> <b>G11C 11/22(2006.01)i, H01L 27/11502(2017.01)i</b>		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G11C 11/22; H01L 27/108; H01L 27/11502		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: 2T1C, ferroelectric, memory, capacitor, plate, bit-lines, transistor, operation, read, voltage, and similar terms.		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002-0044477 A1 (YOSHIKI TAKEUCHI et al.) 18 April 2002 See paragraphs [0004], [0040]-[0042], [0044], [0047], [0049], [0053]-[0054], [0104]; and figures 1, 11.	1,3-4
A		2,5-31
A	US 2009-0010037 A1 (HEE BOK KANG et al.) 08 January 2009 See paragraphs [0024]-[0041]; and figures 1-5.	1-31
A	US 2012-0170348 A1 (MICHAEL PATRICK CLINTON et al.) 05 July 2012 See paragraphs [0019]-[0027]; and figures 1-5.	1-31
A	US 2008-0265300 A1 (SATORU AKIYAMA et al.) 30 October 2008 See paragraphs [0058]-[0091]; and figures 1-7D.	1-31
A	US 05959922 A (DONG-JIN JUNG) 28 September 1999 See column 5, line 32 - column 9, line 38; and figures 2-6.	1-31
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 27 November 2017 (27.11.2017)		Date of mailing of the international search report <b>29 November 2017 (29.11.2017)</b>
Name and mailing address of the ISA/KR International Application Division Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer LEE, Dal Kyong Telephone No. +82-42-481-8440

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2017/045175**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002-0044477 A1	18/04/2002	JP 2002-124081 A JP 4047531 B2 US 6483737 B2	26/04/2002 13/02/2008 19/11/2002
US 2009-0010037 A1	08/01/2009	KR 10-0849794 B1 US 7643326 B2	31/07/2008 05/01/2010
US 2012-0170348 A1	05/07/2012	US 8477522 B2	02/07/2013
US 2008-0265300 A1	30/10/2008	CN 100336226 C CN 1633712 A US 2004-0232497 A1 US 2010-0084698 A1 US 2010-0314676 A1 US 7408218 B2 US 7683419 B2 US 7804118 B2 US 8106441 B2 WO 03-052829 A1 WO 2003-052829 A1	05/09/2007 29/06/2005 25/11/2004 08/04/2010 16/12/2010 05/08/2008 23/03/2010 28/09/2010 31/01/2012 26/06/2003 28/04/2005
US 05959922 A	28/09/1999	CN 1118826 C CN 1212434 A JP 11-144474 A JP 3913906 B2 KR 10-0268444 B1 TW 389901 A	20/08/2003 31/03/1999 28/05/1999 09/05/2007 16/10/2000 11/05/2000

## フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(特許庁注：以下のものは登録商標)

1 . R R A M

(72)発明者 カワムラ, クリストファー ジェイ.

アメリカ合衆国, アイダホ州 83712, ボイズ, サウス トルカ ウェイ 1778

Fターム(参考) 5F083 FR01 GA01 GA05 GA10 JA36 JA37 JA38 JA39 KA01 KA05

LA12 LA16