(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3622270号

(P3622270)

(45)発行日　平成17年2月23日(2005.2.23)　(24)登録日　平成16年12月3日(2004.12.3)

(51)Int.Cl.[7]	F I		
G09G 5/18	G09G	5/18	
G09G 5/00	H04N	5/46	
H04N 5/46	H04N	9/31	Z
H04N 9/31	G09G	5/00	520W

請求項の数 7　(全 17 頁)

(21)出願番号　特願平7-174201
(22)出願日　平成7年6月16日(1995.6.16)
(65)公開番号　特開平9-6307
(43)公開日　平成9年1月10日(1997.1.10)
審査請求日　平成14年6月12日(2002.6.12)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100090479
弁理士　井上　一
(74)代理人　100090387
弁理士　布施　行夫
(74)代理人　100090398
弁理士　大渕　美千栄
(72)発明者　平島　聡史
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　後藤　亮治

最終頁に続く

(54)【発明の名称】映像信号処理装置、情報処理システム及び映像信号処理方法

(57)【特許請求の範囲】

【請求項１】

映像供給装置の種類に応じて周波数が異なる映像信号を所与のサンプリングクロックによりサンプリングするＡ／Ｄコンバータと、該Ａ／Ｄコンバータに対して前記サンプリングクロックを供給するサンプリングクロック供給回路とを含む映像信号処理装置であって、

前記サンプリングクロック供給回路が、前記サンプリングクロックの位相調整を行うためのエッジ情報を求めるエッジ検出回路を含み、

該エッジ検出回路が、前記映像信号に基づいて前記映像信号の周波数に関わらず、その幅が一定となるエッジパルスを発生する回路と、

該エッジパルスの振幅電圧と所与のしきい値電圧とを比較して上記エッジ情報を求める回路と、該しきい値電圧の値を調整する調整回路とを含むことを特徴とする映像信号処理装置。

【請求項２】

請求項１において、

前記調整回路が、

前記映像信号の振幅電圧の大きさに応じて前記しきい値電圧を調整することを特徴とする映像信号処理装置。

【請求項３】

映像信号を所与のサンプリングクロックによりサンプリングするＡ／Ｄコンバータと、

異なる位相を有する複数のクロックで構成されるクロック群を有し、前記Ａ／Ｄコンバー

タに対して前記サンプリングクロックを供給するとともに、前記サンプリングクロックの位相調整を行うためのエッジ情報を生成するサンプリングクロック供給回路と、
前記エッジ情報に基づき、前記クロック群から初期サンプリングクロックを選択するとともに、前記Ａ／Ｄコンバータから出力されるデータに基づいて前記サンプリングクロックの位相調整を行う位相調整手段と、
を含む映像信号処理装置であって、
前記サンプリングクロック供給回路は、前記初期サンプリングクロックと、前記クロック群から選択した前記初期サンプリングクロックとは位相の異なる比較用サンプリングクロックとを前記Ａ／Ｄコンバータに供給し、
前記Ａ／Ｄコンバータは、前記初期サンプリングクロックに基づき、前記映像信号をサンプリングし、Ａ／Ｄ変換した第１のデータを、前記位相調整手段の有する第１のメモリに格納するとともに、前記比較用サンプリングクロックに基づき、前記映像信号をサンプリングし、Ａ／Ｄ変換した第２のデータを、前記位相調整手段の有する第２のメモリに格納し、
前記位相調整手段は、前記第１のデータと、前記第２のデータとの差が最小となる前記比較用サンプリングクロックを最適位相のサンプリングクロックとして判断し、当該最適位相のサンプリングクロックに基づき前記サンプリングが行われるように、前記サンプリングクロック供給回路を制御することを特徴とする映像信号処理装置。

【請求項４】

請求項１～３のいずれかにおいて、
前記映像信号から基準クロックを抽出する回路と、
抽出された該基準クロックに基づいて、該基準クロックに対して所定の位相差を有するクロックを生成し、前記Ａ／Ｄコンバータに供給する回路と、
を含むことを特徴とする映像信号処理装置。

【請求項５】

映像供給装置の種類に応じて周波数が異なる映像信号を、位相調整処理が施されたサンプリングクロックによりサンプリングするステップを含む映像信号処理方法であって、
前記サンプリングクロックの位相調整を行うためのエッジ情報を求めるエッジ検出ステップを含み、
該エッジ検出ステップが、前記映像信号に基づいて前記映像信号の周波数に関わらず、その幅が一定となるエッジパルスを発生するステップと、該エッジパルスの振幅電圧と所与のしきい値電圧とを比較するステップと、該しきい値電圧の値を調整するステップとを含むことを特徴とする映像信号処理方法。

【請求項６】

請求項１～４のいずれかに記載の映像信号処理装置を備えた表示装置。

【請求項７】

請求項１～４のいずれかに記載の映像信号処理装置を備えたプロジェクタ。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、映像信号処理装置、該映像信号処理装置を含む情報処理システム及び映像信号処理方法に関する。

【０００２】

【従来の技術及び発明が解決しようとする課題】

情報処理システムの１つの形態として、パーソナルコンピュータ、マルチメディア端末、ゲーム装置等の映像供給装置により映像信号を供給し、ディスプレイ、液晶パネル等の表示装置に出力するシステムが知られている。このようなシステムにおいては、映像供給装置と表示装置との間はアナログインターフェースにより結合されており、映像供給装置からはアナログの映像信号が供給されるのが一般的である。従って、供給される映像信号に所望のデジタル処理を施したい場合には、映像信号を、一旦、Ａ／Ｄコンバータによりデ

ジタル信号に変換し、所望のデジタル信号処理を施した後にＤ／Ａコンバータを介して信号を表示装置に出力する必要がある。例えばマルチメディアプレゼンテーションシステムの１つとして開発実用化が進められている投写型ディスプレイシステムでは、パーソナルコンピュータから供給される映像信号をデジタル信号に変換し、この信号に対して、オンスクリーン表示・デジタルγ補正のためのデジタル信号処理を施すことになる。

【０００３】

さて投写型ディスプレイシステム等の情報処理システムの汎用性を高めるためには、異種のパーソナルコンピュータの全てに接続でき、全てのパーソナルコンピュータに対して対応できるシステムを開発することが望まれる。しかしながら、映像信号のクロック周波数は、これらのパーソナルコンピュータ間で異なっているのが実情であり、クロック周波数がパーソナルコンピュータの機種毎に異なっていると、Ａ／Ｄコンバータで使用されるサンプリングクロックの位相調整が困難になる。サンプリングクロックの位相調整が適正になされないと、表示特性が極めて劣化し、大きな問題となる。一方、この位相調整を実現する１つの手法として、ユーザが手動でＳＹＮＣ調整と呼ばれるボリュームを操作する手法も考えられるが、これでは操作が煩雑且つ難解で、ユーザにかかる負担が大きい。従って、このサンプリングクロックの位相調整を簡易に、自動的に行うことができるシステムが望まれる。

【０００４】

本発明は、以上のような課題を解決するためになされたものであり、その目的とするところは、サンプリングクロックの位相調整を簡易に実現できる映像信号処理装置、情報処理システム及び映像信号処理方法を提供するところにある。

【０００５】

【課題を解決するための手段及び作用】

上記課題を解決するために本発明は、映像供給装置の種類に応じて周波数が異なるアナログの映像信号を所与のサンプリングクロックによりサンプリングしてデジタル信号に変換するＡ／Ｄコンバータと、該Ａ／Ｄコンバータに対して前記サンプリングクロックを供給するサンプリングクロック供給回路とを含む映像信号処理装置であって、

前記サンプリングクロック供給回路が、前記サンプリングクロックの位相調整を行うためのエッジ情報を求めるエッジ検出回路を含み、

該エッジ検出回路が、前記映像信号と該映像信号を遅延させた信号とに基づく減算処理によりエッジパルスを発生する回路を含むことを特徴とする。

【０００６】

本発明によれば、映像信号とその遅延信号との減算処理によりエッジパルスが発生し、このエッジパルスあるいはこのエッジパルスから得られる情報をエッジ情報としてサンプリングクロックの位相調整が行われる。本発明によれば、エッジパルスは、映像信号とその遅延信号とに基づいて得られるため、エッジパルスの幅は、遅延信号の遅延時間により決められる。従って映像信号の状態によらずエッジパルスの幅を一定にすることが可能となる。また本発明によれば、リンギングが生じた場合、雑音が多い場合にも適正なエッジ情報を得ることができ、良好なサンプリングクロックを得ることができる。

【０００７】

また本発明は、映像供給装置の種類に応じて周波数が異なるアナログの映像信号を所与のサンプリングクロックによりサンプリングしてデジタル信号に変換するＡ／Ｄコンバータと、該Ａ／Ｄコンバータに対して前記サンプリングクロックを供給するサンプリングクロック供給回路とを含む映像信号処理装置であって、

前記サンプリングクロック供給回路が、前記サンプリングクロックの位相調整を行うためのエッジ情報を求めるエッジ検出回路を含み、

該エッジ検出回路が、前記映像信号に基づいてエッジパルスを発生する回路と、該エッジパルスの振幅電圧と所与のしきい値電圧とを比較する回路と、該しきい値電圧の値を調整する調整回路とを含むことを特徴とする。

【０００８】

本発明によれば、比較回路によりエッジパルスの振幅電圧と比較されるしきい値電圧の値を、調整回路により調整できる。これによりエッジパルスの振幅電圧が大きい場合にはしきい値電圧を大きくし、小さい場合にはしきい値電圧を小さくする等の調整が可能となる。

【０００９】

この場合、前記調整回路は、前記映像信号の振幅電圧の大きさに応じて前記しきい値電圧を調整することが望ましい。映像信号の振幅電圧が大きい場合には、エッジパルスの振幅電圧も大きい場合が多いからである。

【００１０】

また本発明は、映像供給装置の種類に応じて周波数が異なるアナログの映像信号を所与のサンプリングクロックによりサンプリングしてデジタル信号に変換するＡ／Ｄコンバータと、該Ａ／Ｄコンバータに対して前記サンプリングクロックを供給するサンプリングクロック供給回路とを含む映像信号処理装置であって、前記Ａ／Ｄコンバータから出力されるデジタル信号に基づいて前記サンプリングクロックの位相調整を行う位相調整手段を含むことを特徴とする。

【００１１】

本発明によれば、位相調整手段が、例えば所与のサンプリングクロックによりＡ／Ｄコンバータから得られたデジタル信号を調べ、この調べた結果に基づいてサンプリングクロックの位相調整を行うことができる。そして再度、この位相調整されたサンプリングクロックにより得られたデジタル信号を調べ、その結果に基づいてサンプリングクロックを位相調整することができ、これを繰り返すことにより適正な位相のサンプリングクロックを得ることが可能となる。

【００１２】

この場合、前記位相調整手段が、前記サンプリングクロックが第１の位相であった場合に前記Ａ／Ｄコンバータから出力されるデジタル信号と、前記サンプリングクロックが第２の位相であった場合に前記Ａ／Ｄコンバータから出力されるデジタル信号とを比較して、前記位相調整を行ってもよい。このように第１、第２の位相の場合の結果を比較して位相調整を行えば、映像信号の輝度等の最大値、最小値を容易に見つけだすことが可能となる。

【００１３】

またこの場合、前記映像信号から基準クロックを抽出する回路と、抽出された該基準クロックに基づいて、位相の異なる複数のクロックを生成する回路と、該複数のクロックのいずれかを選択し、選択されたクロックを前記サンプリングクロックとして前記Ａ／Ｄコンバータに供給するセレクタと、前記複数のクロックのいずれを選択するかを前記セレクタに対して指示する処理手段とを含むようにしてもよい。このようにすれば、複数のクロックの中のいずれかを選択するだけでサンプリングクロックの位相調整を実現でき、回路構成の簡易化、処理の高速化を図れる。

【００１４】

また本発明は、映像信号を供給する映像供給装置と、上記映像信号処理装置とを含む情報処理システムであって、

該映像信号処理装置が、前記Ａ／Ｄコンバータから出力されたデジタル信号に対して所与のデジタル信号処理を施す手段を含むことを特徴とする。

【００１５】

本発明によれば、適正なサンプリングクロックによりサンプリングされ、Ａ／Ｄ変換されて得られたデジタル信号に対して、例えばオンスクリーン表示、デジタルγ補正等の種々のデジタル信号処理を施すことができる。

【００１６】

また本発明は、映像信号を供給する映像供給装置と、上記映像信号処理装置とを含む情報処理システムであって、

該映像信号処理装置が、所与のテレビ映像信号をデジタル信号に変換する手段と、該デジ

タル信号及び前記Ａ／Ｄコンバータから出力されるデジタル信号のいずれか一方を表示信号として選択する手段とを含むことを特徴とする。

【００１７】

本発明によれば、テレビ映像を変換して得られたデジタル信号と、Ａ／ＤコンバータによりＡ／Ｄ変換されて得られたデジタル信号に対して、変換後に、同じハードウェアにより同じ処理を施すこと等が可能となり、ハードウェアの小規模化を図ることができる。

【００１８】

また本発明は、映像信号を供給する映像供給装置と、該映像信号に所与の信号処理を施す映像信号処理装置とを含む情報処理システムであって、

前記映像供給装置が、位相調整用映像信号を発生する手段を含み、

前記映像信号処理装置が、

前記映像供給装置から供給されるアナログの映像信号を所与のサンプリングクロックによりサンプリングしてデジタル信号に変換するＡ／Ｄコンバータと、

前記位相調整用映像信号に基づいて位相が調整されるサンプリングクロックを前記Ａ／Ｄコンバータに対して供給するサンプリングクロック供給回路とを含むことを特徴とする。

【００１９】

本発明によれば、映像供給装置から位相調整用の映像信号が供給され、この位相調整用映像信号に基づいて適正な位相のサンプリングクロックを得ることが可能となる。この時の位相調整用信号は、輝度の最大値・最小値をドット毎に繰り返すパターン等から成る信号であることが望ましい。

【００２０】

この場合、前記映像信号処理装置が、前記映像供給装置に対して、前記位相調整用映像信号を供給することを指示する手段を含むようにしてもよい。このようにすれば、例えば電源を投入後、映像信号処理装置がスタンバイ状態になるまでの期間等に、サンプリングクロックの位相調整を行うことが可能となる。

【００２１】

【実施例】

（第１の実施例）

図１に本発明の第１の実施例を示す。第１の実施例は、映像信号と、この映像信号を遅延させた信号とに基づく減算処理によりエッジパルスを発生し、このエッジパルスに基づいてＡ／Ｄコンバータのサンプリングクロックの位相調整を行う実施例である。なお以下の実施例では、投写型ディスプレイシステムに本発明を適用した場合を例にとり主に説明を行う。

【００２２】

アナログの映像信号（ビデオ信号）２２は、パーソナルコンピュータ等の映像供給装置からＰＣビデオ入力４を介してＡ／Ｄコンバータ１０に入力される。Ａ／Ｄコンバータ１０は、この映像信号２２をデジタル信号２４に変換するものであり、得られたデジタル信号２４をデジタル信号処理部１２に出力する。デジタル信号処理部１２は、このデジタル信号２４に対して、オンスクリーン表示（画面上に所望の文字等を映し出す）・デジタルγ補正等のための各種のデジタル信号処理を施すものである。デジタル信号処理が施された信号はＤ／Ａコンバータ１４によりアナログ信号に変換され、プロジェクタ機構（表示装置）１６に出力される。プロジェクタ機構１６はパーソナルコンピュータからの画像をスクリーン上に投影するものであり、信号ドライバ、走査ドライバ、液晶パネル、光学機器等を含む。

【００２３】

このように本実施例では、パーソナルコンピュータから入力されるアナログの映像信号２２に各種のデジタル信号処理を施すために、Ａ／Ｄ変換処理が必要となる。しかしながらこのようなオンスクリーン表示等の処理を行わない場合においても、このＡ／Ｄ変換処理は必要である。即ち近年の投写型ディスプレイシステム等では、ＴＶ映像を表示装置に表示することが望まれており、このためＮＴＳＣ、ＰＡＬ／ＳＥＣＡＭ等の各種方式でＴＶ

ビデオ入力６を介して送られてくるＴＶ映像信号を、ＲＧＢ信号に変換するためのデジタルクロマ回路１８が必要とされる。そして、このデジタルクロマ回路１８の出力は、通常、デジタル信号となっている。従って、投写型ディスプレイシステム等においてパーソナルコンピュータからの映像とＴＶ映像の両方の表示を可能にするためには、パーソナルコンピュータからの映像信号２２についてもＴＶ映像と同様にデジタル信号に変換する必要がある。従ってオンスクリーン表示等のためのデジタル信号処理を行わなくてもＡ／Ｄコンバータ１０によるＡ／Ｄ変換は必要となる。

【００２４】

なお図１ではＤ／Ａ変換後の信号をプロジェクタ機構１６に入力しているが、プロジェクタ機構１６がデジタルインターフェース仕様の場合には、デジタル信号処理部１２の出力を直接にプロジェクタ機構１６に入力してもよい。またデジタル信号処理部１２は、Ａ／Ｄコンバータ１０の出力とデジタルクロマ回路１８の出力のいずれかを選択する処理も行っている。

【００２５】

サンプリングクロック供給回路３０は、映像信号２２をサンプリングする際に必要とされるサンプリングクロック２６をＡ／Ｄコンバータ１０に対して供給するものであり、基準クロック抽出回路３２、多段クロック遅延回路３４、セレクタ３６、エッジ検出回路４０を含む。処理部２０は装置全体の制御を行うものであり、例えばＣＰＵ、メモリ等を含むものである。また処理部２０は、エッジ検出回路４０から入力されたエッジ情報２８に基づいて、サンプリングクロック供給回路３０（セレクタ３６）に対して、サンプリングクロックの位相調整のための指示を行う。

【００２６】

次に本実施例の構成及び動作について更に詳細に説明する。図２（Ａ）には、パーソナルコンピュータから入力される映像信号２２の一例が示される。Ｊ、Ｋに示すパルスは、水平同期のために使用されるものであり、水平同期信号に相当する。また図２（Ｂ）には図２（Ａ）のＬの部分の波形が拡大して示される。この映像信号の周期をＴとした場合に、周波数Ｆ＝１／Ｔは、映像信号を供給するパーソナルコンピュータの種類によって異なったものとなる。例えばＩＢＭ社製のものでは２５ＭＨｚ程度、ＮＥＣ社製のものでは２１ＭＨｚ程度となる。また同じＩＢＭ社製のものでも機種によってこの周波数が微妙に異なったり、あるいは映像信号の品質（周波数特性等）も異なったものとなる。例えば図２（Ｂ）には、理想的な映像信号の波形が示されるが、実際にはパーソナルコンピュータが使用するビデオボード等の性能の良し悪しに依存して、図２（Ｃ）に示すようにリンギング・雑音等がのった信号となる。

【００２７】

このようにＡ／Ｄコンバータ１０には、パーソナルコンピュータの種類等に依存して周波数等が異なる種々の映像信号が入力されることになるが、システムの汎用性を高めるためには、これらの全てのパーソナルコンピュータに対応できることが望ましい。このためＡ／Ｄコンバータ１０は、これらの全ての映像信号を適正にＡ／Ｄ変換できるものである必要がある。

【００２８】

図３に、基準クロック抽出回路３２の構成例を示す。基準クロック抽出回路３２（ＰＬＬ）は映像信号から基準となるクロックを抽出するものであり、例えば位相比較器６０、Ｌ．Ｐ．Ｆ（ローパスフィルタ）６２、Ｖ．Ｃ．Ｏ６４、１／Ｎ分周器６６を含む。位相比較器６０には、図２（Ａ）のＪ、Ｋに相当する水平同期信号Ｈｓと、Ｖ．Ｃ．Ｏ６４の出力ＣＬＫ０を１／Ｎ分周器６６で１／Ｎに分周した信号とが入力される。ＶＧＡの場合には走査方向のドット数は６４０となり、この場合には１／Ｎ分周器６６に設定されるＮは例えば８００程度となる。これにより、水平同期信号Ｈｓの周波数をＦｓとした場合に、８００×Ｆｓの周波数を有する基準クロックＣＬＫ０がＶ．Ｃ．Ｏ６４から出力されることになる。この基準クロックＣＬＫ０は液晶表示等のためのドットクロックにもなる。

【００２９】

図４に多段クロック遅延回路３４の構成例を示す。この多段クロック遅延回路３４は直列接続されたバッファ７０－１～７０－ｎを含み、先頭のバッファ７０－１には基準クロック抽出回路３２で抽出された基準クロックＣＬＫ０が入力される。そして、これらのバッファの出力ＣＬＫ１～ＣＬＫｎはセレクタ３６に入力される。図５に映像信号２２とＣＬＫ０～ＣＬＫｎの関係を示す。図５に示すように、ＣＬＫ０とＣＬＫ１とは、３～４ｎｓｅｃ（バッファのディレイ値に相当）分だけ位相がシフトしている。ＣＬＫ１とＣＬＫ２、ＣＬＫ３とＣＬＫ４等の関係も同様である。セレクタ３６は、処理部２０からの指示にしたがい、これらの位相が異なるクロック群ＣＬＫ０～ＣＬＫｎからいずれか１つを選択し、これをサンプリングクロック２６としてＡ／Ｄコンバータ１０に出力する。サンプリングクロックのエッジ（例えば立ち上がりエッジ）は、映像信号２２の輝度最大点及び最小点に一致している必要がある。一致していないと、映像信号が黒表示のものである場合にも、表示装置には例えば灰色表示がなされ、画質が極めて低下するからである。そこで図５では、セレクタ３６により例えばＣＬＫ２が選択され、このＣＬＫ２が、サンプリングクロック２６としてＡ／Ｄコンバータ１０に出力される。図５に示すように、ＣＬＫ２の立ち上がりエッジは、映像信号２２の輝度最大点Ｇ及び最小点Ｈと一致しており、このＣＬＫ２で映像信号２２をサンプリングすれば良好な品質の画像を得ることができる。

【００３０】

図６にＡ／Ｄコンバータ１０の構成例が示される。このＡ／Ｄコンバータ１０は、入力されたアナログの映像信号２２を各量子化レベルと比較し、８ビットのデジタル信号Ｄ０～Ｄ７に変換する。上側基準電圧ＶＨと下側基準電圧ＶＬは、抵抗７４－１～７４－２５４により分割され、分割された電圧がサンプリングコンパレータ７２－１～７２－２５５に入力される。これらのサンプリングコンパレータ７２－１～７２－２５５は、セレクタ３６から入力されたサンプリングクロック２６に基づいて映像信号２２をサンプリングすると共に、サンプリングされた映像信号と上記分割電圧とを比較し、その結果をエンコーダ７６に出力する。エンコーダ７６は、これらの比較結果に基づいて映像信号２２のレベルに応じたデジタル値を決定し、これをラッチ７８にラッチする。ラッチされたデジタル信号はデジタル信号処理部１２に出力される。

【００３１】

なお図６には、並列比較型のＡ／Ｄコンバータを示したが、Ａ／Ｄコンバータの構成はこれに限られるものではない。例えば２ステップ（Ｎステップ）並列比較型等、少なくもアナログの映像信号をサンプリングクロックでサンプリングしてＡ／Ｄ変換を行うものであればどのような構成のものでも構わない。

【００３２】

さて第１の実施例では、処理部２０が、セレクタに対してサンプリングクロックの選択の指示を与える。この場合、処理部２０の上記指示は、エッジ検出回路４０から入力されるエッジ情報（映像信号のエッジ位置を示す情報）に基づいて行われる。

【００３３】

エッジ検出回路４０は、図１に示すように、遅延回路４２、反転バッファ４４、コンパレータ４６を含む。図７に、この遅延回路４２の構成例を示す。映像信号２２は、トランジスタ８０、抵抗Ｒ１から成る回路によりバッファリングされ、コンデンサＣ１、Ｃ２、インダクダンスＬ１から成る回路により遅延させられる。図７の例では映像信号は１０ｎｓｅｃ程度遅延する。なおＲ２、Ｒ３は、インピーダンスマッチングのための抵抗である。

【００３４】

遅延回路４２、反転バッファ４４には例えば図８（Ａ）に示すような波形の映像信号２２が入力される。そして遅延回路４２により遅延された映像信号と、反転バッファ４４により反転された映像信号とが加算され、これにより図８（Ｂ）に示すようなエッジパルスが生成される。このエッジパルスのパルス幅は１０ｎｓｅｃ（遅延回路４２のディレイ値に相当する）程度となる。このエッジパルスは、コンパレータ４６の例えば＋端子に入力され、－端子に入力されるしきい値電圧ＶＴと比較される。これによりコンパレータ４６からは図８（Ｃ）に示すような信号が出力され、これがエッジ情報として処理部２０に入力

される。
【００３５】
なお図８（Ｃ）では映像信号２２の立ち上がりでエッジ情報が有効となるが、立ち下がりで有効となるようにしてもよいし、立ち上がり及び立ち下がりの両方で有効になるようにしてもよい。この場合には、例えば図８（Ｂ）に示すようなしきい値電圧ＶＴ’及びこのＶＴ’とエッジパルスとを比較するコンパレータを用意する。そしてこのコンパレータの出力と、ＶＴとの比較動作をする上記のコンパレータの出力とをＯＲ回路等に入力すればよい。
【００３６】
以上のように第１の実施例は、映像信号とその遅延信号との減算によりエッジパルスを発生することをその特徴としている。この遅延回路を用いた手法には、以下のような利点がある。
【００３７】
第１に、図８（Ａ）に示すようにエッジパルスの幅（横幅）は遅延回路４２のディレイ値により決められ、一定値（例えば１０ｎｓｅｃ程度）とすることができる。このため、映像信号の波形に依存してエッジパルスの幅が変動する等の事態が防止されるため、後段の回路、例えばコンパレータ４６等の安定動作を保証できる。
【００３８】
第２に、例えば図９（Ａ）に示すように映像信号にリンギング等がある場合にも、リンギングが生じた場所で発生するパルスの振幅電圧を図９（Ｂ）に示すように小さくできる。従って、図９（Ｃ）に示すように、リンギング等がある場合にも適正なエッジ情報を処理部２０に対して出力できる。
【００３９】
第３に、例えば映像信号の周波数特性が悪い場合、雑音が多い場合等にも、一定の振幅電圧・一定の幅のエッジパルスを生成でき、映像信号の品質にあまり依存せずに安定して適正なエッジ情報を得ることができる。
【００４０】
以上のように第１の実施例によれば、映像信号の品質等に依らずに適正で安定したエッジ情報を処理部２０に対して与えることができ、この良好なエッジ情報に基づいて処理部２０がサンプリングクロックの選択指示、即ちサンプリグクロックの位相調整を行う。これにより適正で安定したサンプリングクロック２６をＡ／Ｄコンバータ１０に対して供給でき、表示品質等を格段に向上できることとなる。
【００４１】
なお第１の実施例では、サンプリングクロックの位相調整に基準クロック抽出回路３２、多段クロック遅延回路３４、セレクタ３６等を用いたが、本発明はこれに限らず、これらと均等な種々の回路を用いることができる。例えば基準クロック２２を映像信号２２から抽出せず、外部等からこれを供給することも可能である。また映像信号２２とその遅延信号からエッジパルスを得る回路も図１に示す構成に限られるものではない。更に例えばコンパレータ４６を設けず、エッジパルスをそのままエッジ情報として用いても構わない。
【００４２】
（第２の実施例）
第２の実施例は、エッジパルスと比較するしきい値電圧ＶＴを調整する回路を設けた実施例であり、図１０にその構成の一例を示す。
【００４３】
調整回路８２は、積分回路８４、Ｌ．Ｐ．Ｆ８６、基準しきい値電圧発生回路８８を含み、その出力であるしきい値電圧ＶＴはコンパレータ４６の－端子に入力される。コンパレータ４６は、しきい値電圧ＶＴと、エッジパルスとを図８（Ｂ）に示すように比較し、図８（Ｃ）に示すようなエッジ情報を出力する。図８（Ｂ）から明らかなように、ＶＴが小さすぎると、振幅電圧の小さい雑音等のパルスにもコンパレータ４６が反応してしまい好ましくない。一方、ＶＴが大きすぎると、適正なエッジパルスに対してコンパレータ４６

が反応しないという事態が生じる。そこで本実施例のようにしきい値電圧ＶＴの値を調整する調整回路８２を設ければ上記問題を解決できる。

【００４４】

図１０に示す回路では、映像信号２２の振幅電圧の大きさに応じてしきい値電圧ＶＴの値が調整される。例えば映像信号２２として図１１（Ａ）に示す波形の信号が入力されたとする。するとこの映像信号２２は積分回路８４により積分され、積分回路８４からは図１１（Ｂ）に示す波形の信号が出力される。この信号がＬ．Ｐ．Ｆ８６に入力されると、Ｌ．Ｐ．Ｆ８６からは図１１（Ｃ）に示すような電圧、例えば０．３ＶのＤＣ電圧が出力される。この０．３ＶのＤＣ電圧は、基準しきい値電圧発生回路８８から出力される０．３ＶのＤＣ電圧と加算され、調整回路８２からは、結局、０．６Ｖのしきい値電圧ＶＴが出力されることになる。一方、振幅電圧が全体的に図１１（Ａ）よりも小さい図１１（Ｄ）に示す波形の映像信号が入力されると、積分回路８４からは図１１（Ｅ）に示すような波形の信号が、Ｌ．Ｐ．Ｆ８６からは図１１（Ｆ）に示すように例えば０．１ＶのＤＣ電圧が出力される。これにより０．４Ｖのしきい値電圧ＶＴが出力されることになる。

【００４５】

以上のように、本実施例によれば、映像信号２２の振幅電圧が全体的に大きい場合にはしきい値電圧ＶＴも大きくなり、逆に小さければしきい値電圧ＶＴも小さくなる。エッジパルスの振幅電圧は、一般に、映像信号の振幅電圧の大きさに依存する場合が多い。従って、映像信号の振幅電圧の大きさに応じて、しきい値電圧ＶＴを調整することで、雑音等の影響を受けにくく且つ映像信号のエッジを確実に検出できるエッジ検出回路を実現できることとなる。

【００４６】

なお、しきい値電圧ＶＴの調整手法は第１の実施例で説明したものに限らず、少なくもエッジパルスの振幅電圧の大きさとしきい値電圧ＶＴの大きさとの間に相関を持たせるものであれば、種々の手法を採用できる。またエッジ検出回路等の構成も第１の実施例で説明したものに限られるものではない。

【００４７】

（第３の実施例）

第３の実施例は、Ａ／Ｄコンバータから出力されるデジタル信号に基づいて、サンプリングクロックの位相調整を行う実施例であり、図１２にその構成の一例を示す。

【００４８】

図１２において、例えばラインメモリ９０、９２、処理部２０等が位相調整手段に相当する。これらのラインメモリ９０、９２は、各々、Ａ／Ｄコンバータ１０から出力された例えば１走査ライン分のデータを保持するメモリである。もちろん複数走査ライン分のデータを保持するようにしても構わない。サンプリングクロック供給回路３０は、例えば第１の実施例と同様に、基準クロック抽出回路３２、多段クロック遅延回路３４、セレクタ３６、エッジ検出回路４０を含む。

【００４９】

次に第３の実施例の動作の一例について説明する。処理部２０は、エッジ検出回路４０からのエッジ情報２８に基づいて、クロック群ＣＬＫ０～ＣＬＫｎのいずれを初期時に選ぶかをセレクタ３６に対して指示する。例えばエッジ情報が図８（Ｃ）に示すようなものであった場合には、図８（Ｃ）のエッジＰとエッジＱの１／４のところに例えば立ち上がりエッジがくるクロックを初期サンプリングクロックとして選択する。

【００５０】

次にこの初期サンプリングクロックに基づいて、Ａ／Ｄコンバータ１０により映像信号２２をサンプリングし、Ａ／Ｄ変換を行う。そしてその結果をラインメモリ９０に格納する。次に、セレクタ３６が選択するクロック群を変更する。例えば、初期サンプリングクロックがＣＬＫｍであった場合にはＣＬＫｍ－１又はＣＬＫｍ＋１を選択する。これらのＣＬＫｍ－１、ＣＬＫｍ＋１はＣＬＫｍと位相が例えば３～４ｎｓｅｃ程度異なる。そしてこのＣＬＫｍ－１又はＣＬＫｍ＋１をサンプリングクロックとしてＡ／Ｄコンバータ１０

により映像信号２２をサンプリングし、Ａ／Ｄ変換を行う。そしてその結果を、今度は、ラインメモリ９２に格納する。

【００５１】

次にラインメモリ９０とラインメモリ９２に格納されたデータの差が演算される。処理部２０は、この差が最少となるところを見つけだし、その時に選択したクロックを最適位相のクロックと判断する。そして、そのクロックをサンプリングクロックとして選択するようにセレクタ３６に対して指示し、それ以降の映像信号２２のサンプリングはこのサンプリングクロックに基づき行われる。

【００５２】

なお本発明におけるサンプリングクロックの位相調整の手法は第３の実施例で説明したものに限定されず、少なくもＡ／Ｄコンバータから出力されたデジタル信号に基づいて行うものであればよい。例えばラインメモリを３個以上設けたり、あるいは１画面分のデータを格納するフィールドメモリを設けても構わない。またエッジ情報を用いる手法では、位相調整の初期設定が可能となるため、位相調整を簡易・高速に実現できるという利点がある。しかしながらエッジ情報を用いずに位相調整を行うことも可能である。この場合には、例えばサンプリングクロックがＣＬＫ０、ＣＬＫ１である場合のデジタル信号の差、ＣＬＫ１、ＣＬＫ２である場合の差、ＣＬＫ２、ＣＬＫ３である場合の差というように、全ての場合についての差を求める。そしてこれらの差の中で最小となるものを見つけ出せばよい。更にサンプリングクロック供給回路３０の構成も図１２に示すものに限られるものではない。

【００５３】

（第４の実施例）

第４の実施例は、映像信号処理装置に対して位相調整用の映像信号を供給して、位相調整を容易にする実施例であり、図１３にその構成の一例を示す。

【００５４】

図１３に示すように、映像信号処理装置１１０には、パーソナルコンピュータ１００から映像信号ライン１１４を介して映像信号が供給される。この時、パーソナルコンピュータ１００に含まれる映像信号発生手段１０２が位相調整用の映像信号を発生する。サンプリングクロック供給回路３０は、この位相調整用の映像信号に基づいてサンプリングクロックの位相調整を行い、この位相調整されたサンプリングクロックをＡ／Ｄコンバータ１０に供給する。パーソナルコンピュータ１００には、例えば所与のオペレーティングシステムと、映像信号処理装置１１０を適正に動作させるためのドライバーソフトウェア（デバイスドライバ）、画像表示用のアプリケーションソフトウェア等がインストールされる。これらのドライバーソフトウェア、アプリケーションソフトウェア等が映像信号発生手段１０２となり、これらのソフトウェアにより位相調整用の映像信号が発生される。

【００５５】

また本実施例では、位相調整用映像信号の供給を、ＲＳ２３２Ｃ等の通信ライン１１２を介してパーソナルコンピュータ１００に対して処理部２０が指示するようにしてもよい。例えば映像信号処理装置１１０においては、画像表示が可能となるまでに一定時間を要する場合があり、例えば投写型ディスプレイシステム等においては、ランプ等がスタンバイ状態になるまでに一定時間を要する。そしてこの一定時間の間は画像表示ができないため、この空き時間を利用してサンプリングクロックの位相調整を行うことが望まれる。そこで本実施例ではこの空き時間に、処理部２０が、位相調整用映像信号の供給をパーソナルコンピュータ１００に対して指示するようにする。これにより空き時間を利用した位相調整が可能となり、映像信号処理装置１１０がスタンバイ状態となった場合に即座に画像表示を行うこと等が可能となる。

【００５６】

なお位相調整用映像信号の供給の指示は、ＲＳ２３２Ｃ等のみならず種々のインターフェースを介して行うことができる。例えば映像信号を送るラインの空きライン（空きピン）を利用して、この指示を送ることも可能である。映像信号ライン１１４には、例えば２本

の空きがあり、この空きラインにＤＤＣ（デジタルデータコントロール）クロック、ＤＤＣデータを割り当てる。そして処理部２０が、これらのＤＤＣクロック、ＤＤＣデータ等を用いて、パーソナルコンピュータ１００に対して位相調整用映像信号の供給を指示することになる。

【００５７】

次に位相調整用映像信号について説明する。位相調整用映像信号は、まず第１に、図１４（Ａ）に示すように１ドットクロック毎に輝度の最大値・最小値を繰り返すパターン、例えば白・黒を繰り返すパターンの信号であることが望ましい。全てのドットが黒であるパターン、あるいは全てのドットが白であるパターンが映像信号として入力されると、エッジパルスを生成できず、サンプリングクロック供給回路３０によるエッジ情報の検出等が困難となるからである。第２に、位相調整用映像信号の振幅幅は、図１４（Ｂ）に示すように、電圧レベルＶＨ、ＶＬで定義されるウィンドウよりもほんのわずかだけ広いものであることが望ましい。即ち位相調整用映像信号の輝度の最大値（例えば白レベル）はＶＨよりも少しだけ（例えば１量子化レベル分）大きく、輝度の最小値（例えば黒レベル）はＶＬよりも少しだけ（例えば１量子化レベル分）小さくすることが望ましい。ここでＶＨ、ＶＬは、図６に示すように、Ａ／Ｄコンバータ１０の上側・下側の基準電圧となるものであり、Ａ／Ｄコンバータ１０のＡ／Ｄ変換のウィンドウを定義するものである。Ａ／Ｄコンバータ１０は、このウィンドウで定義される電圧差を例えば２５６分割することになる（８ビットの場合）。

【００５８】

アナログ映像信号のインターフェースでは、黒レベルと白レベルとの間の電圧差の規格は例えば０．７１４ｍＶとなっている。従って、Ａ／Ｄコンバータ１０のウィンドウ幅も例えば０．７１ｍＶに固定しておくのが一般的である。しかしながら、映像信号を供給するパーソナルコンピュータのメーカー・性能等が異なると、黒レベルと白レベルとの間の電圧差が０．７１４ｍＶより大きくなったり、小さくなったりし、Ａ／Ｄ変換の精度が悪くなる等の問題が生じる。これを回避するために、本実施例では、パーソナルコンピュータ１００の映像信号発生手段１０２が、ウィンドウ幅よりも少しだけ広い振幅電圧の映像信号を、位相調整用映像信号として出力するようにしている。また処理部２０が、このような大きさの振幅電圧の映像信号を出力するように、パーソナルコンピュータ１００に対して指示するようにしてもよい。更に、パーソナルコンピュータの種類等に応じて、Ａ／Ｄコンバータ１０に設定するＶＨ、ＶＬの値を抵抗等の素子を用いて変えるようにしてもよい。

【００５９】

以上のように第４の実施例によれば、位相調整に最適な位相調整用映像信号を用いて無駄な時間を費やすことなくサンプリングクロックの位相調整を行うことができるため、表示品質・使い勝手を大幅に向上できる。

【００６０】

なお、本発明は上記第１～第４の実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【００６１】

例えば本発明は、投写型ディスプレイシステムのみならず、マルチメディアシステム等の種々の情報処理システムに適用できる。

【００６２】

またサンプリングクロック供給回路、エッジ検出回路等の各種回路の構成は、上記第１～第４の実施例で説明したものに限らず、これと均等な各種の回路を採用することができる。

【００６３】

【発明の効果】

本発明によれば、映像信号の状態によらずエッジパルスの幅を一定にすることができ、このエッジパルスが入力される回路等の安定した動作を保証できる。また映像信号が、リン

ギング、雑音等を有している場合にも、良好なサンプリングクロックを得ることができ、高品質の表示画像を得ることができる。

【００６４】

また本発明によれば、エッジパルスの振幅電圧の大きさに応じてしきい値電圧の大きさを調整できるため、比較回路が雑音等により誤動作する等の事態を有効に防止できる。

【００６５】

また本発明によれば、Ａ／Ｄコンバータからのデジタル信号に基づいてサンプリングクロックの位相調整を行うことができるため、例えば所与のソフトウェア等でフレキシブルに動作する処理部等を用い、複雑で精度の高い位相調整を実現できる。

【００６６】

また本発明によれば、専用の映像信号によりサンプリングクロックを位相調整できるため、表示画像の状態に依らずに、正確且つ高精度なサンプリングクロックを得ることができる。

【００６７】

【図面の簡単な説明】

【図１】第１の実施例の構成の一例を示す図である。

【図２】図２（Ａ）～（Ｃ）は、映像信号の波形の例を示す図である。

【図３】基準クロック抽出回路の構成例を示す図である。

【図４】多段クロック遅延回路の構成例を示す図である。

【図５】映像信号とクロック群との関係を説明するための図である。

【図６】Ａ／Ｄコンバータの構成例を示す図である。

【図７】遅延回路の構成例を示す図である。

【図８】図８（Ａ）～（Ｃ）は、映像信号、エッジパルス、エッジ情報の波形の例を示す図である。

【図９】図９（Ａ）～（Ｃ）は、映像信号、エッジパルス、エッジ情報の波形の例を示す図である。

【図１０】第２の実施例の構成の一例を示す図である。

【図１１】図１１（Ａ）～（Ｆ）は、調整回路内で作られる各種波形の例を示す図である。

【図１２】第３の実施例の構成の一例を示す図である。

【図１３】第４の実施例の構成の一例を示す図である。

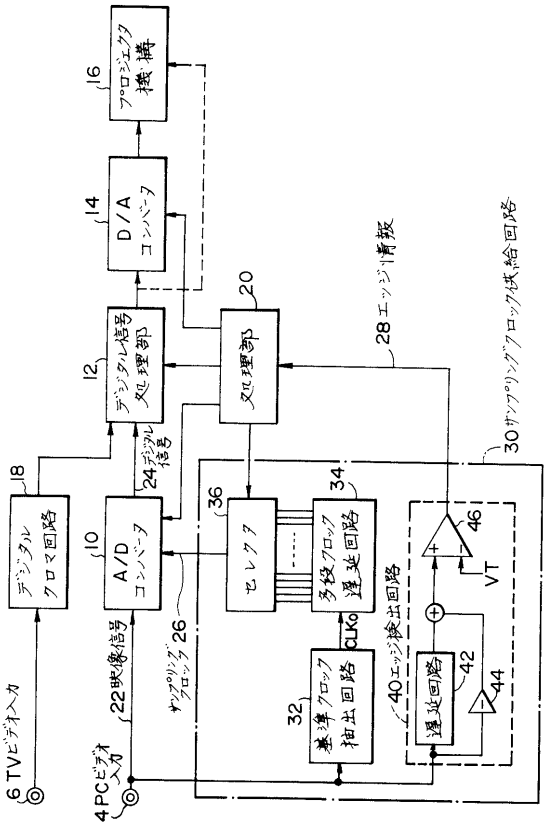
【図１４】図１４（Ａ）、（Ｂ）は、位相調整用映像信号について説明するための図である。

【符号の説明】

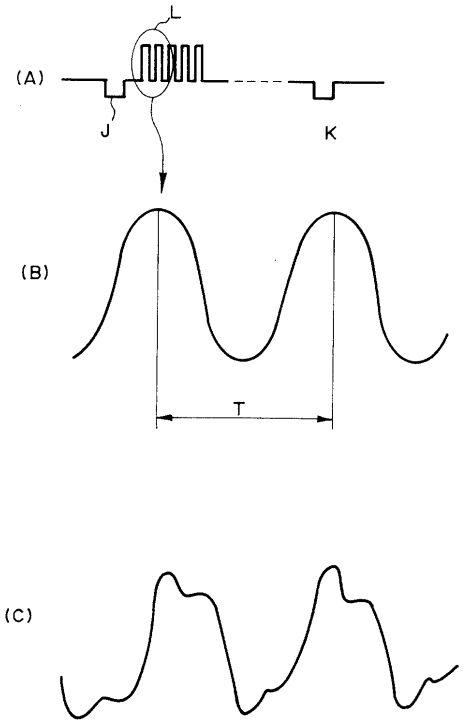
４　ＰＣビデオ入力
６　ＴＶビデオ入力
１０　Ａ／Ｄコンバータ
１２　デジタル信号処理部
１４　Ｄ／Ａコンバータ
１６　プロジェクタ機構
１８　デジタルクロマ回路
２０　処理部
３０　サンプリングクロック供給回路
３２　基準クロック抽出回路
３４　多段クロック遅延回路
３６　セレクタ
４０　エッジ検出回路
４２　遅延回路
４４　反転バッファ
４６　コンパレータ

８２　調整回路
８４　積分回路
８６　Ｌ．Ｐ．Ｆ
８８　基準しきい値電圧発生回路
９０　ラインメモリ
９２　ラインメモリ
１００　パーソナルコンピュータ
１０２　映像信号発生手段
１１０　映像信号処理装置
１１２　通信ライン
１１４　映像信号ライン

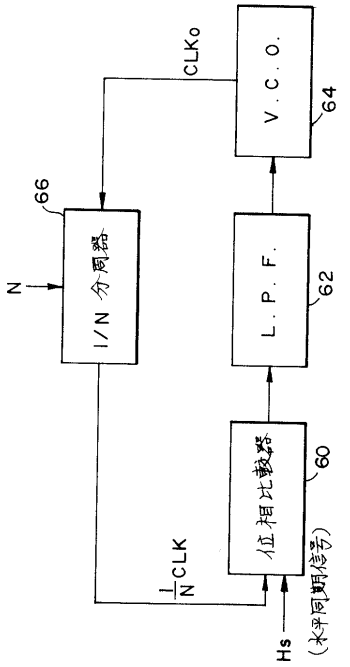
【図１】



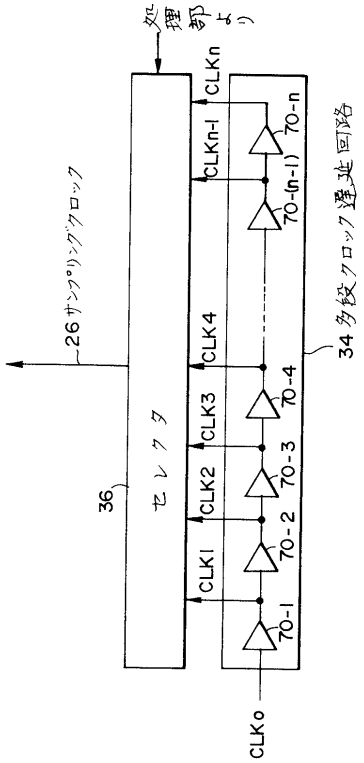
【図２】



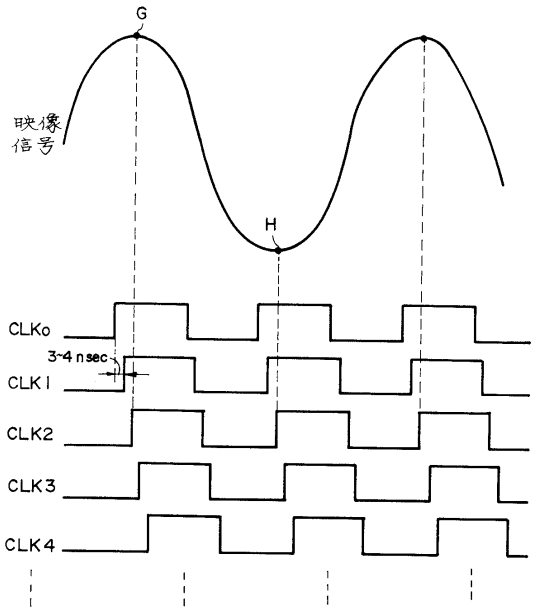
【図３】


CLKo
V.C.O.
64
66
N
1/N 分周器
L.P.F.
62
位相比較器
60
1/N CLK
Hs
(水平同期信号)

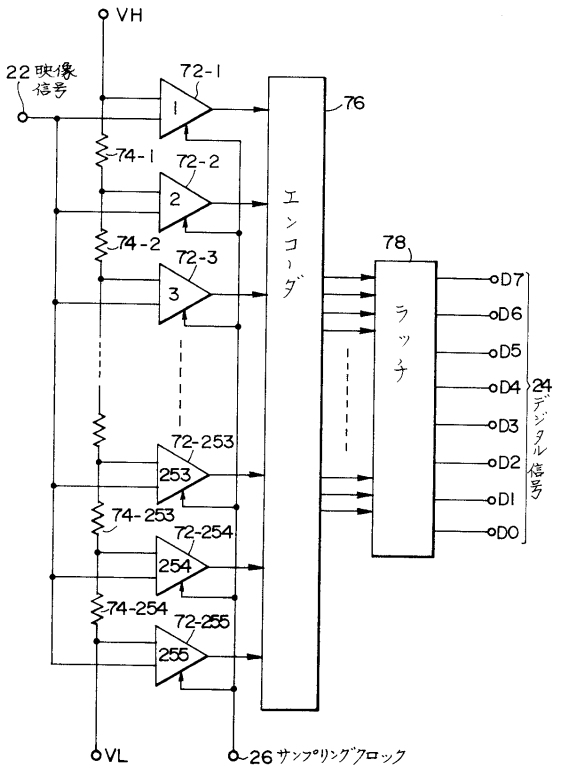
【図４】


処理部より
CLKn
CLKn-1
70-n
70-(n-1)
26 サンプリングクロック
CLK4
CLK3
CLK2
CLK1
70-4
70-3
70-2
70-1
34 多段クロック遅延回路
セレクタ
36
CLKo

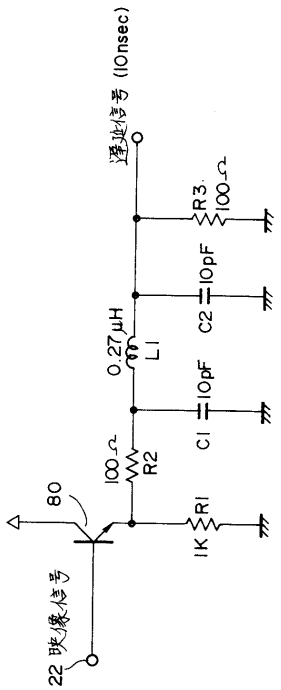
【図５】


G
映像信号
H
CLKo
3-4 nsec
CLK1
CLK2
CLK3
CLK4

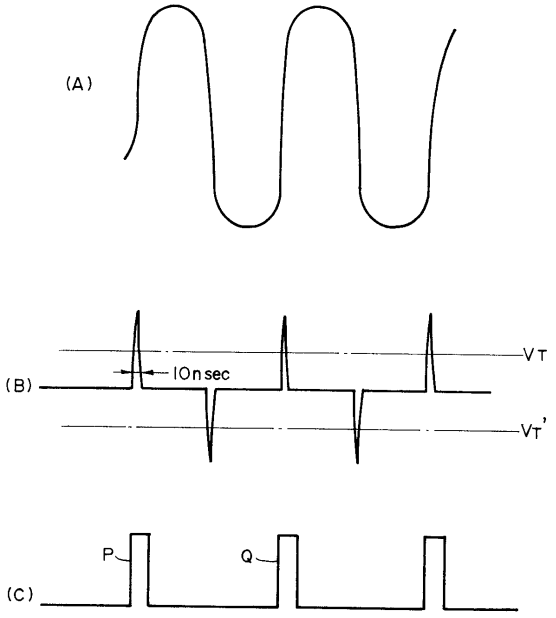
【図６】


VH
22 映像信号
72-1
1
76
74-1
72-2
2
74-2
72-3
3
エンコーダ
78
ラッチ
D7
D6
D5
D4
D3
D2
D1
D0
24 デジタル信号
72-253
253
74-253
72-254
254
74-254
72-255
255
VL
26 サンプリングクロック

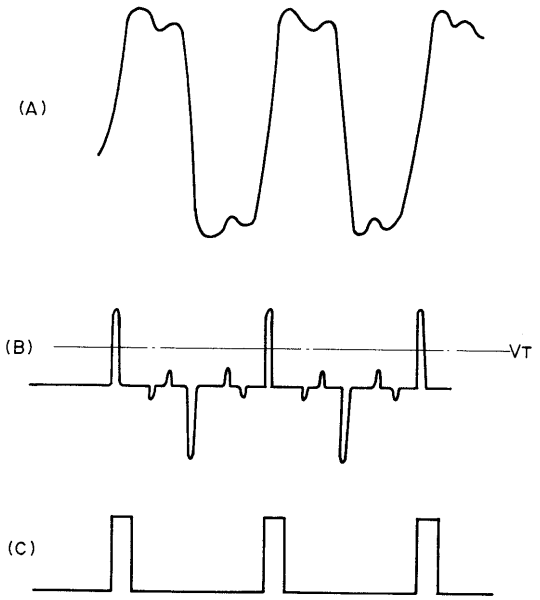
【図７】


遅延信号 (10nsec)
R3
100Ω
10pF
C2
0.27μH
L1
10pF
C1
100Ω
R2
80
R1
1K
22 映像信号

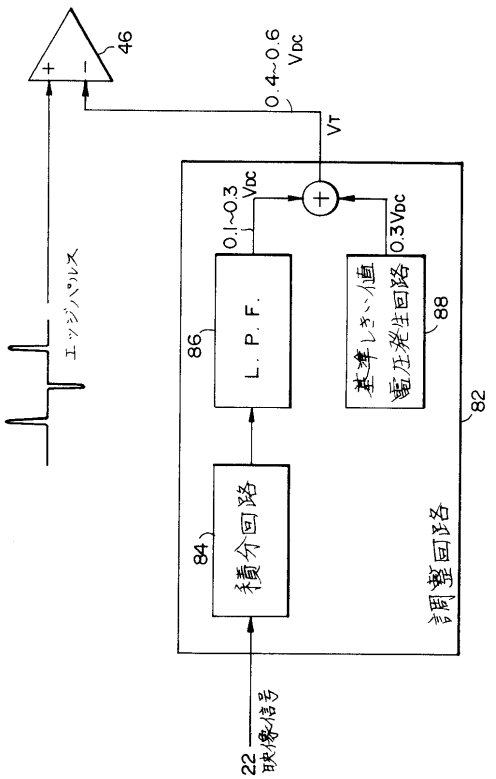
【図８】


(A)
(B)
10nsec
VT
VT'
(C)
P
Q

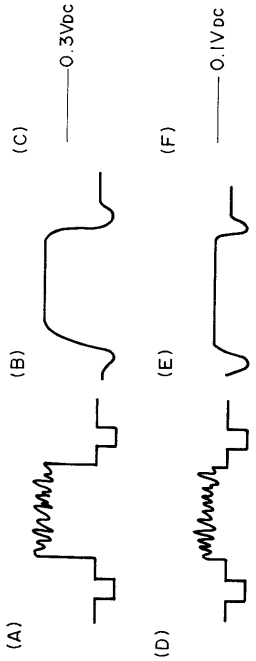
【図９】


(A)
(B)
VT
(C)

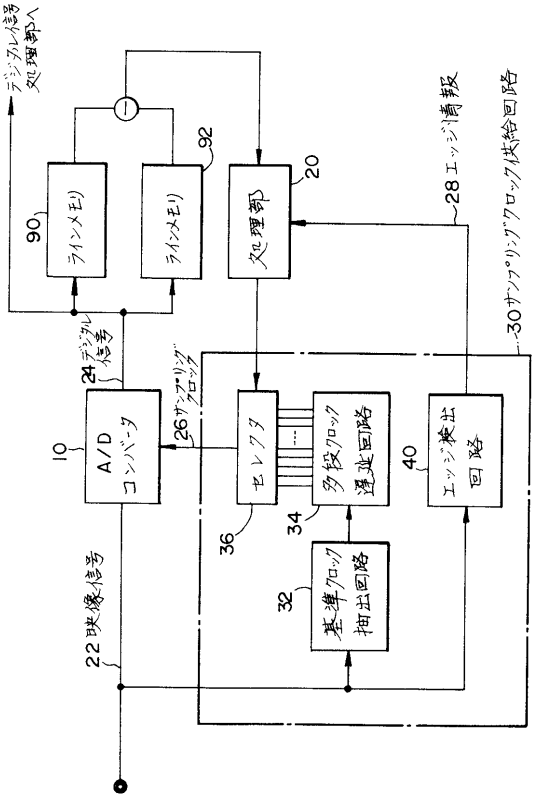
【図１０】


46
0.4~0.6 Vdc
VT
0.1~0.3 Vdc
0.3Vdc
エッジパルス
86
L. P. F.
基準しきい値電圧発生回路
88
82
84
積分回路
調整回路
22 映像信号

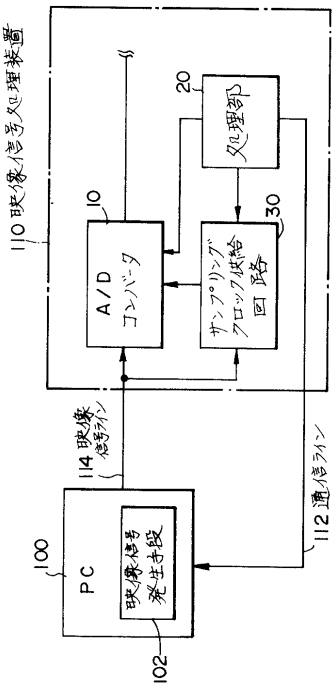
【図１１】



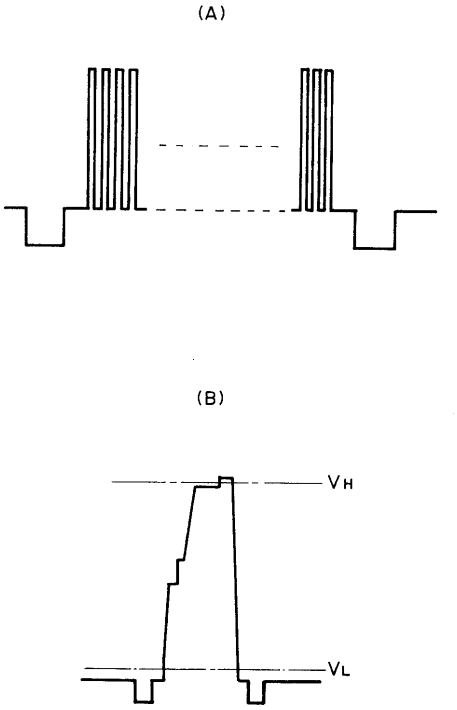
【図１２】



【図１３】



【図１４】



フロントページの続き

(56)参考文献 特開平０８－１６０９２８（ＪＰ，Ａ）
特開平０８－０８７２４６（ＪＰ，Ａ）
特開平０５－０６６７５２（ＪＰ，Ａ）
特開平０３－０９７３７６（ＪＰ，Ａ）
特開平０５－２４９９４２（ＪＰ，Ａ）
特開平０６－０４６３７４（ＪＰ，Ａ）
特開平０４－２７６７９１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)

G09G 5/00 - 5/42
H04N 5/14 - 5/217
5/64 - 5/74