

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6238936号
(P6238936)

(45) 発行日 平成29年11月29日(2017.11.29)

(24) 登録日 平成29年11月10日(2017.11.10)

(51) Int.Cl. F I
H03M 1/46 (2006.01) H03M 1/46

請求項の数 16 外国語出願 (全 22 頁)

(21) 出願番号	特願2015-140190 (P2015-140190)	(73) 特許権者	501209070
(22) 出願日	平成27年7月14日 (2015.7.14)		インフィネオン テクノロジーズ アーゲー
(65) 公開番号	特開2016-36131 (P2016-36131A)		ー
(43) 公開日	平成28年3月17日 (2016.3.17)		I N F I N E O N T E C H N O L O G I
審査請求日	平成27年7月14日 (2015.7.14)		E S A G
(31) 優先権主張番号	10 2014 110 012.3		ドイツ連邦共和国 85579 ノイビー
(32) 優先日	平成26年7月16日 (2014.7.16)		ベルク アム カンペオン 1-12
(33) 優先権主張国	ドイツ(DE)	(74) 代理人	110002077
前置審査			園田・小林特許業務法人
		(72) 発明者	スラヴァラブ, ニランジャン レディ
			オーストリア国 フィラッハ 9500,
			アム ビヒル 13
		(72) 発明者	ボグナー, ペーター
			オーストリア国 ヴェルンベルク 924
			1, ソンネンハングヴェーク 10
			最終頁に続く

(54) 【発明の名称】 アナログ・デジタル変換で使用するための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

アナログ・デジタル変換回路を動作させる方法であって、前記アナログ・デジタル変換回路が、複数のデジタル・アナログ(DAC)キャパシタンスにおいて、少なくとも1つのDACキャパシタンスを含み、前記方法が、

供給電圧レベルに結合された充電電圧スイッチであって、充電電圧レベルに設定されるよう構成される充電電圧スイッチの供給電圧端子から前記充電電圧レベルを導出するステップであって、前記充電電圧レベルが、前記供給電圧レベルおよび前記充電電圧スイッチの基準電圧端子に供給される基準電圧レベルに基づいて設定されている、ステップと、

前記少なくとも1つのDACキャパシタンスを前記充電電圧レベルに設定された第1の電圧源に切り替えるステップと、

前記第1の電圧源から前記少なくとも1つのDACキャパシタンスを分離するステップと、

前記少なくとも1つのDACキャパシタンスを前記基準電圧レベルに設定された第2の電圧源に切り替えるステップと、

前記第2の電圧源から前記少なくとも1つのDACキャパシタンスを分離するステップと、

前記少なくとも1つのDACキャパシタンスを放電電圧レベルに設定された第3の電圧源に切り替えるステップと、

を含み、

10

20

前記少なくとも 1 つの D A C キャパシタンスを前記第 1 の電圧源、前記第 2 の電圧源、および、前記第 3 の電圧源に切り替えるステップは、前記少なくとも 1 つの D A C キャパシタンス上に蓄えられた蓄積電荷を表す D A C 電圧に基づいて、

前記充電電圧スイッチは、前記供給電圧端子から前記少なくとも 1 つの D A C キャパシタンスへの電荷の流れを制御するように構成されている、
方法。

【請求項 2】

前記充電電圧レベルが、事前充電電圧レベルである、請求項 1 に記載の方法。

【請求項 3】

それぞれの切り替えるステップが、事前充電段階、基準充電段階、および放電段階を含む一連の作業段階における、互いに異なる作業段階に入ること示し、任意の 2 つの作業段階の間にオーバーラップがない、請求項 1 または 2 に記載の方法。

10

【請求項 4】

前記少なくとも 1 つの D A C キャパシタンスに前記一連の作業段階を選択的に適用するために前記切り替えるステップを制御するステップを含む、請求項 3 に記載の方法。

【請求項 5】

前記事前充電電圧レベルを前記基準電圧レベルに設定するステップを含む、請求項 2 から 4 のいずれか一項に記載の方法。

【請求項 6】

周期的なパターンを有するクロック信号を供給するステップと、前記クロック信号への切替えおよび / または分離を同期するステップとを含む、請求項 1 から 5 のいずれか一項に記載の方法。

20

【請求項 7】

前記基準充電段階の持続時間が、前記事前充電段階の持続時間の数倍分だけ継続する、請求項 3 から 6 のいずれか一項に記載の方法。

【請求項 8】

アナログ・デジタル変換で使用するための回路装置であって、
基準電圧に設定されるように構成された基準電圧端子と、
供給電圧に設定されるように構成された供給電圧端子と、
前記供給電圧端子に結合され、前記供給電圧および前記基準電圧に基づく事前充電電圧に設定されるように構成された、事前充電スイッチと、
放電電圧に設定されるように構成された放電電圧端子と、
前記基準電圧端子、前記事前充電スイッチ、および、前記放電電圧端子に切替え可能に結合された少なくとも 1 つのデジタル・アナログ (D A C) キャパシタンスと、
前記少なくとも 1 つの D A C キャパシタンスに結合され、前記少なくとも 1 つの D A C キャパシタンスを選択的に切り替えて、

30

第 1 の作業段階における前記基準電圧、

第 2 の作業段階における前記事前充電電圧、および

第 3 の作業段階における前記放電電圧、

を受けるように構成された選択装置と、

40

前記少なくとも 1 つの D A C キャパシタンスに結合され、前記少なくとも 1 つの D A C キャパシタンス上に蓄えられた蓄積電荷を表す D A C 電圧を出力するように構成されたバイアス端子と、
を備え、

前記選択装置は、前記少なくとも 1 つの D A C キャパシタンスを、前記 D A C 電圧に基づいて、前記第 1、第 2、および第 3 の作業段階間で選択的に切り替えるように構成されている、

前記事前充電スイッチは、前記供給電圧端子と前記少なくとも 1 つの D A C キャパシタンスとの間に結合され、前記供給電圧端子から前記少なくとも 1 つの D A C キャパシタンスへの電荷の流れを制御するように構成されている、

50

回路装置。

【請求項 9】

前記供給電圧端子と前記事前充電スイッチの間に結合されたバッファをさらに備える、請求項 8 に記載の回路装置。

【請求項 10】

前記少なくとも 1 つの D A C キャパシタンスに結合され、電流パルスを供給して、前記少なくとも 1 つの D A C キャパシタンスを事前充電するように構成されたパルス発生器をさらに備える、請求項 8 または 9 に記載の回路装置。

【請求項 11】

前記パルス発生器が、前記事前充電スイッチと同じ製造技術で製造された回路素子から構成される、請求項 10 に記載の回路装置。

10

【請求項 12】

前記パルス発生器が、前記少なくとも 1 つの D A C キャパシタンスのうちのいくつかを事前充電するように構成される、請求項 10 または 11 に記載の回路装置。

【請求項 13】

前記パルス発生器が、事前充電パルスの持続時間を制御するように構成される、請求項 10 から 12 のいずれか一項に記載の回路装置。

【請求項 14】

周期的なパターンを有するクロック信号を供給するように構成され、前記事前充電スイッチに結合されて、前記事前充電スイッチの制御に作用する信号発生器をさらに備える、請求項 8 に記載の回路装置。

20

【請求項 15】

クロック発生器と前記事前充電スイッチの間に結合されて、前記事前充電スイッチの制御に作用し、前記基準電圧端子から前記 D A C キャパシタンスへの電流の流れを遅延するように構成された遅延要素をさらに備える、請求項 8 に記載の回路装置。

【請求項 16】

入力電圧を受けるように構成された入力電圧端子と、デジタル・アナログ端子においてデジタル・アナログ電圧を供給するように構成されたデジタル・アナログ回路装置と、前記入力電圧端子および前記デジタル・アナログ端子に結合され、制御出力信号を供給するように構成された制御出力を有する比較器とを備え、請求項 8 から 15 のいずれか一項に記載の回路装置によるデジタル・アナログ装置が設けられる、アナログ・デジタル変換機器。

30

【発明の詳細な説明】

【背景技術】

【0001】

アナログ・デジタル (A D C) キャパシタンスの事前充電に関する技法が、本明細書において開示される。たとえば、D A C キャパシタンスは、アナログ・デジタル変換器 (A D C) に使用される。アナログ・デジタル変換器の入力は、スイッチト・キャパシタ負荷を形成することができる。たとえば、逐次比較型アナログ・デジタル変換器 (S A R - A D C) の入力は、外部のサンプルアンドホールド (S / H) 装置、または S A R - A D C 内部のサンプルアンドホールド機能のいずれかをを用いて、アナログ入力電圧信号を取り込む。S A R - A D C は、このアナログ入力電圧と、S A R - A D C で使用される基準電圧の既知の端数値とを比較する。この基準電圧は、S A R - A D C の入力電圧範囲全体を決定する。

40

【0002】

今日では、逐次比較型アナログ・デジタル変換器は、容量性デジタル・アナログ変換器 (C - D A C) を使用して、連続的にビット組合せを比較し、該当するビットをデータ・レジスタにセットするか、または消去する。S A R - A D C 変換器の入力において、入力信号はまずスイッチに「入力される」。スイッチを閉じると、このスイッチは、比較器と、入力、基準端子、またはアースのいずれかとの間に選択的に接続された容量性アレイと

50

直列に、スイッチ抵抗を形成する。容量性アレイが入力信号を捕捉すると、入力スイッチが開いて、入力信号から容量性アレイを切断する。次に、選択的に、容量性アレイの少なくとも1つのDACキャパシタンスが、基準端子に接続される。全てのDACキャパシタンスに、電荷が再分配される。したがって、比較器入力での電圧が変動する。サンプリング・キャパシタンスでの電圧が、選択されたDACキャパシタンスによって表される基準電圧の端数値よりも大きい場合は、比較器が0レベルの信号を出力し、小さい場合には、比較器は1レベルの信号を出力する。

【発明の概要】

【課題を解決するための手段】

【0003】

10

以下の説明では、簡略化された概要を提示して、本発明の1つまたは複数の態様の基本的な理解を得る。この概要は、本発明を広範囲に概観するものではなく、本発明の重要もしくは重大な要素を識別するものではなく、またはその範囲を詳細に説明するものでもない。むしろ、この概要の主な目的は、後に提示されるより詳細な説明への導入部として、簡略化された形態で本発明のいくつかの概念を提示することである。

【0004】

一態様では、独立方法クレームに定義した方法を説明する。別の態様では、独立装置クレームに定義した装置を説明する。各従属クレームは、1つまたは複数の態様での、本発明による実施形態を定義する。特に但し書きがない限り、これらの実施形態の特徴を互いに組み合わせてもよいことに留意されたい。たとえば、方法の実施形態の各要素は、装置の実施形態において実装してもよい。たとえば、装置の一実施形態の特徴を使用して、方法の一実施形態のステップを実行してもよい。

20

【0005】

説明する実施形態は、たとえば、アナログ・デジタル変換の分野に役立てることができる。いくつかの実施形態による逐次近似レジスタ・アナログ・デジタル変換器(SAR-ADC、本明細書ではSAR変換器ともいう)の入力において、入力信号はまず、スイッチに「入力」され、ここで、閉じたスイッチが容量性アレイと直列にスイッチ抵抗を形成する。これらスイッチト・キャパシタの一方の端子(「比較器側の端子」)が、比較器の反転入力に結合される。もう一方の端子(「基準側の端子」)は、入力電圧、基準電圧、またはアースに接続することができる。初めに、基準側の端子が入力信号に結合する。容量性アレイが入力信号を完全に捕捉すると、入力スイッチが開き、SAR変換器が変換プロセスを開始する。変換プロセス中、アナログ信号のデジタル表現における最大有効ビット(MSB)に関連するキャパシタの基準側端子が基準電圧に接続され、もう一方のキャパシタがアースに接続される。これを実行することによって、全てのキャパシタに電荷が再分配される。充電の平衡度に従って、比較器の反転入力の電圧が上下する。比較器の反転入力の電圧が、基準電圧の半分よりも高い場合、変換器は、MSBに「0」を割り当て、その値を、SAR-ADCのシリアル・ポートから送出する。この電圧が、基準電圧の半分よりも低い場合、変換器は、値「1」をシリアル・ポートから送出し、MSBキャパシタをアースに接続する。MSBの割当てに続いて、このプロセスをMSB-1キャパシタで繰り返す。SAR-ADC変換プロセスを実行するのに要する時間は、捕捉時間および変換時間からなる。変換プロセス全体が終了すると、SAR-ADCは、スリープ・モードに入ることができる。

30

40

【0006】

前述の通り、ADCは、スイッチト・キャパシタを使用することができる。スイッチト・キャパシタは、基準電圧を使用して充電することができ、この基準電圧には電圧降下が生じる。典型的な構成では、いくつかのスイッチト・キャパシタが同期して動作し、こうした構成においては、充電電流が蓄積して電流スパイクが発生し、これによって機能不良が生じる恐れがある。前述の従来技法およびそれに関連する問題に関して、本明細書において開示される技法の少なくとも1つの効果は、同様機能の従来方法よりも効率的に、記載された方法を実行できることでもよい。少なくとも1つの効果は、同様機能の従来装置

50

よりも効率的に、記載された装置を動作させることができることでもよい。

【0007】

特許請求の範囲に記載の範囲もしくは意味を曲げて解釈し、またはそれを限定するために使用されるものではないという了解の下に、この概要が提示されている。この概要は、特許請求される主題の重要な特徴または本質的な特徴を識別するものではなく、特許請求される主題の範囲を限定する際の手助けとして使用されるものでもない。他の方法、装置、およびシステムも開示される。以下の詳細な説明を読み、添付図面を見れば、追加の特徴および利点が当業者には理解されよう。

【0008】

各図面を参照して、特許請求される主題を以下で詳細に説明する。詳細な説明では、添付図を参照する。図面全体を通して同じ参照番号を使用して、同様の特征および構成要素を参照する。複数桁の参照番号を使用して、実施形態の各要素を示す。複数の実施形態が記載されている場合、複数桁の参照番号の最下位数は、様々な実施形態で同様の特征および構成要素を示すが、最上位数は、対応する図に示してある特定の実施形態を示すことができる。説明を簡単にするために、様々な実施形態での同様の要素は、通常、ある実施形態でその要素に初めて言及するときにはしか紹介しないことになる。スイッチの図を考慮して、以下の図面規則を使用する。すなわち、開いたスイッチが「o」で示してあり、閉じたスイッチが「o」なしで示してある。

【図面の簡単な説明】

【0009】

【図1】いくつかの実施形態によるアナログ・デジタル変換装置の例示的な実装を概略的に示す図である。

【図2】図1に示したアナログ・デジタル変換装置における、いくつかの実施形態による容量性デジタル・アナログ変換器(C-DAC)の例示的な実装を示す回路図である。

【図3】図2に示した容量性デジタル・アナログ変換器(DAC)における、いくつかの実施形態によるスイッチ構成の例示的な実装を示す回路図である。

【図4】図3に示したスイッチ構成を動作させるときの、スイッチの状態を示す時間表である。

【図5】図3に示した例示的な実装の、いくつかの実施形態による一変形形態を示す図である。

【図6】図3に示した例示的な実装の、いくつかの実施形態によるさらに別の変形形態を示す図である。

【図7】いくつかの実施形態による容量性デジタル・アナログ変換器(C-DAC)の例示的な実装を示す回路図である。

【発明を実施するための形態】

【0010】

説明することを目的とし、特許請求される主題を完全に理解するために、数多くの具体的な詳細を説明する。しかし、場合によっては、特許請求される主題は、これらの具体的な詳細がなくても実施できることが明らかになる可能性がある。

【0011】

この開示は、アナログ・デジタル変換器(ADC)で使用するための回路を、実装し動作させるための技法を対象とするものであり、このADCは、本明細書で「C-DAC」変換器または単に「DAC」とも短く呼ばれる、いわゆる容量性デジタル・アナログ変換器(C-DAC)を有し、これは、ADCでのサンプリング・キャパシタンスに蓄えられる充電と比較する際に使用される充電用の貯蔵装置として使用するためのものであり、このキャパシタは集合的にサンプリング・キャパシタンスと呼ばれる。本明細書に記載の技法は、適所において、または従来のADC回路の基準電圧源に加えて、さらなる電圧源を使用する。追加の電圧源は、高抵抗基準電圧源からC-DACに流れる電流を低減するように構成される。従来の解決策と比較すると、少なくとも1つの効果は、基準電圧源からC-DAC変換器に流れる電流の量を下げることでもよい。したがって、実施形態によっ

ては、少なくともある程度まで基準電圧源での電圧降下を回避することができるが、なぜならば、基準電圧源からC-DACに流れる必要のある電流が少ないからである。従来の解決策と比較すると、少なくとも1つの効果は、電流スパイク、およびADCの動作安定性へのこのようなスパイクの悪影響を回避することでもよい。本明細書に記載の技法によっては、基準電圧源の代わりに、または特に基準電圧源を補うものとして、さらなる電圧源を使用する。

【0012】

図1は、いくつかの実施形態による装置を実装する、例示的なアナログ・デジタル変換器(ADC)100を概略的に示す図である。ADC100は、複数の機能ブロックおよび/または回路ブロックを備える。具体的には、ADC100は、逐次近似レジスタ(SAR)120、容量性デジタル・アナログ変換器(C-DAC)140、サンプルアンドホールド(S/H)ユニット160、および比較器180を備える。本明細書においては、機能ブロックおよび/または回路ブロックとして、先に開示した要素について述べるが、場合によっては、別々に開示された2つのブロックが、2つの機能を提供するように構成された単一の回路ブロックを形成できることを理解されたい。ADC100は、クロック・ライン115を介して、クロック信号CLKを受信するように構成される。実施形態によっては、クロック信号CLKは、ADC100の一実装環境で使用されるマスタ・クロック信号から得られる。実施形態によっては、クロック信号CLKは、特にADC100とともに使用するために生成される。実施形態によっては、ADC100は、クロック信号CLKを生成するように構成されたクロック信号発生器を備える。クロック信号CLKについて述べるが、クロック信号CLKは、このクロック信号CLKの受信側として開示された特定の回路または機能について、必要に応じてクロック信号を代表するものであることを理解されたい。したがって、逐次近似レジスタ(SAR)120やC-DAC変換器140など、ADC100の互いに異なる部分に供給されるクロック信号CLKは、実施形態によっては両者において同じではなく、同様にして、ADC100の互いに異なる部分に結合しているクロック・ライン115への言及は、実施形態によっては、ADC100の結合部分において必要に応じて、それぞれのクロック信号CLKを送出するように構成された別々のラインを指す。さらに、ADC100は、基準電圧ライン135を介して基準電圧信号VREFを受信し、また入力電圧ライン155を介して入力電圧信号VINを受信するように構成される。ADC100は、供給電圧ライン110に結合されており、このラインの電圧は供給電圧レベルVDDに設定されている。本明細書において、「結合(coupled)」という用語は、「接続(connected)」および「直接接続(directly connected)」の意味に限定されないが、その意味をも含む。たとえば、いくつかの実施形態によれば、供給電圧ライン110にADC100を直接接続することができ、この場合に抵抗値が最小になる。いくつかの実施形態によれば、供給電圧ライン110へのADC100の結合には、たとえばレベル・シフタおよび/またはフィルタなどの回路素子が含まれ得る。逐次近似レジスタ(SAR)120は、デジタル制御信号D0、D1、D2、...、DN-2、DN-1を選択的に出力するように構成された、N本のデジタル信号ラインのグループ130に結合される。さらに、ADC100は、SAR出力ライン126を介して、デジタル制御信号D0、D1、D2、...、DN-2、DN-1がアナログ・デジタル変換の結果であることを示すエンドオブコンバージョン信号EOCを出力するように構成される。

【0013】

逐次近似レジスタ(SAR)120は、クロック信号CLKを受信するためのクロック端子121、およびSAR供給電圧分岐118を介して供給電圧ライン110に接続された端子128を有する。本明細書において、「端子」という用語は、ラインの端部、ソケット、プラグ、または用語「端子」に関連する他の構造上の終始点を意味することに限定されない。むしろ、「端子」という用語は、回路の動作時に、指定された信号を受信するように定めることができる回路での位置、たとえばクロック端子121の場合には、クロック信号CLKが供給される、かつ/またはクロック信号CLKを送出する任意の回路部分

10

20

30

40

50

を示すために使用される。逐次近似レジスタ(SAR)120は、N本のデジタル信号ラインのグループ130を介してC-DAC変換器140に結合され、C-DAC変換器140を制御する際に使用するためデジタル制御信号D0、D1、D2、...、DN-2、DN-1を選択的に出力するように構成される。本明細書においては、本明細書で開示されるこうした原理が、SAR120からC-DAC変換器140に出力される全てのデジタル制御信号に同様に適用されるので、SAR120からC-DAC変換器140に出力される単一のデジタル制御信号、たとえば説明を簡単にするためにデジタル制御信号D2などについて一例として言及すると、文字「D」のみを使用してデジタル制御信号を示すことができ、添え字を省くことになる。いくつかの実施形態によれば、逐次近似レジスタ(SAR)120は、比較器180に結合されていて、フィードバック・ライン190を介して、フィードバック信号FBを比較器180から受信するように構成されたフィードバック端子122を備える。逐次近似レジスタ(SAR)120は、SAR出力ライン126を介して、エンドオブコンバージョン信号125を出力するように構成された、ADC制御出力端子125を有する。

10

【0014】

いくつかの実施形態によれば、容量性デジタル・アナログ変換器(C-DAC)140は、たとえば何らかの基準電圧源(図示せず)から基準電圧ライン135を介して受信するための、または他の方法で基準電圧信号VREFに設定するための基準電圧端子141を有する。容量性デジタル・アナログ変換器(C-DAC)140は、C-DAC供給電圧分岐138を介して供給電圧ライン110に接続された供給電圧端子148を有する。実施形態によっては、C-DAC変換器140は、放電ライン139を介してアース(接地)101に結合されたDACバイアス端子146を有する。実施形態によっては、C-DACバイアス端子146は、アース電圧とは異なる電圧レベルに設定された、アナログ・デジタル変換器(ADC)100のバイアス電圧端子に結合することができる。C-DAC変換器140は、一群のデジタル信号入力端子142を備えており、このデジタル信号入力端子はそれぞれ、デジタル信号ラインのグループ130のデジタル信号ラインに結合され、デジタル制御信号DをSAR120から受信するように構成される。いくつかの実施形態によれば、C-DAC変換器140は、DAC基準ライン175を介して、DAC電圧信号VDACを変換器180に出力するように構成されたDAC出力端子145を備える。実施形態によっては、逐次近似レジスタ(SAR)120は、クロック・ライン115に結合されてクロック信号CLKを受信する、SARクロック端子149を有する。

20

30

【0015】

いくつかの実施形態によれば、サンプルアンドホールド(S/H)ユニット160は、入力電圧ライン155を介して入力電圧信号VINを受信するための、入力電圧信号端子161を有する。実装によっては、入力電圧信号VINは、時間とともに変動することがあるアナログ信号である。入力電圧信号VINを供給して、ADCによってデジタル化することができる。実施形態によっては、入力電圧信号端子161から見ると、サンプルアンドホールド(S/H)ユニット160は、高インピーダンス回路である。実施形態によっては、この高インピーダンスは、少なくとも10kオームとすることができる。さらに、サンプルアンドホールド(S/H)ユニット160は、S/H供給電圧分岐158を介して供給電圧ライン110に結合された、供給電圧端子168を備える。サンプルアンドホールド(S/H)ユニット160は、サンプルアンドホールド・ライン176を介して、サンプルアンドホールド電圧信号VSHを比較器180に出力するように構成された、サンプルアンドホールド出力端子165を備える。いくつかの実施形態によれば、実装によっては、高インピーダンス入力源からサンプルアンドホールド・ユニット160を分離するための演算増幅器(オペアンプ)を使用する、ADCドライバ回路が設けられる。フィルタ抵抗132およびフィルタ・キャパシタンス133を有するR/C低域通過回路は、演算増幅器とサンプルアンドホールド・ユニット160との間を行き交う機能を実行する役割を負うことができる。低域通過回路の抵抗は、低域通過回路のキャパシタンスから増

40

50

幅器の出力段を分離することによって、増幅器を安定に保つ。低域通過回路のキャパシタンスは、サンプルアンドホールド・ユニット 160 に安定な入力源を提供する。

【0016】

比較器 180 は、DAC 基準ライン 175 を介して DAC 電圧信号 VDAC を受信するように構成された、負の入力端子 (-) を有する。比較器 180 は、サンプルアンドホールド・ライン 176 を介してサンプルアンドホールド電圧信号を受信するように構成された、正の入力端子 (+) を有する。さらに、比較器 180 は、比較器供給電圧分岐 178 を介して供給電圧ライン 110 に接続された、供給電圧端子 188 を備える。比較器 180 は、フィードバック・ライン 190 を介して、逐次近似レジスタ (SAR) 120 のフィードバック端子 122 にフィードバック信号 FB を出力するように構成される。

10

【0017】

図 2 は、図 1 に示したアナログ・デジタル変換装置における、いくつかの実施形態による容量性デジタル・アナログ変換器 (C-DAC) の例示的な実装を示す回路図である。C-DAC 変換器 140 は、N 個のデジタル・アナログ (DAC) キャパシタンス、144a、144b、144c を備える。本明細書においては、本明細書で開示されるこうした原理が、全てのデジタル・アナログ・キャパシタンスに同様に適用されるので、単一の DAC キャパシタンス、たとえば説明を簡単にするために DAC キャパシタンス 144a などについて一例として言及すると、参照番号「144」のみを使用して DAC キャパシタンスを示すことになり、文字の接尾語は省くことになる。DAC キャパシタンス 144a、144b、144c の片側は、DAC 基準ライン 175 に結合される。実施形態によっては、DAC キャパシタンス 144a、144b、144c の片側は、DAC 基準ライン 175 に直接接続される。DAC キャパシタンス 144 のもう一方の側は、関連する DAC スイッチ構成 143a、143b、143c にそれぞれ結合される。本明細書においては、本明細書で開示されるこうした原理が、全ての DAC スイッチに同様に適用されるので、単一の DAC スイッチ構成、たとえば説明を簡単にするために DAC スイッチ構成 143a などについて一例として言及すると、参照番号「143」のみを使用して DAC スイッチ構成を示すことができ、文字の接尾語は省いてもよい。実施形態によっては、DAC キャパシタンス 144 のもう一方の側は、関連する DAC スイッチ 143 に直接接続される。図 2 に示した実施形態では、DAC スイッチ構成 143a、143b、143c は、3 つの異なる接続状態にそれぞれ設定できるようにする、N 個の 3 投式スイッチとして設けられる。DAC スイッチ構成 143 の例示的な構成を詳細に論じるとき、以下に示す通り、他の実装でも同様の効果を実現することができ、同等な機能をもたらすことができることを理解されたい。事前充電状態では、DAC スイッチ構成 143 は、(たとえば、DAC スイッチ 144a の場合に示すように) 関連する DAC キャパシタンス 144 を DAC 電圧源分岐 138 に結合するように設定される。基準充電状態では、DAC スイッチ構成 143 は、(たとえば、DAC スイッチ 144b の場合に示すように) 関連する DAC キャパシタンス 144 を基準電圧ライン 135 に結合するように設定される。放電状態では、DAC スイッチ構成 144 は、(たとえば、DAC スイッチ 144c の場合に示すように) 関連する DAC キャパシタンス 144 を放電ライン 139 に結合するように設定される。

20

30

40

【0018】

C-DAC 変換器 140 は、N 個のデジタル信号入力端子 142a、142b を備えており、これらの端子は、SAR 120 (図 2 には図示せず) から、デジタル信号ライン 130a、130b、130c のグループ 130 上のデジタル制御信号 D2、DN-2、DN-1 を受信するように構成される。本明細書においては、本明細書で開示されるこうした原理が、全てのデジタル信号ラインに同様に適用されるので、単一のデジタル信号ライン、たとえば説明を簡単にするためにデジタル信号ライン 130a などについて一例として言及すると、グループの参照番号「130」のみを使用してデジタル信号ラインを示すことになり、文字の接尾語は省くことになる。C-DAC 変換器 140 は、SAR ユニット 120 から受信したデジタル信号ライン 130a、130b、130c 上のデジタル制

50

御信号を、デジタル信号ライン 130 a、130 b、130 c に関連する D A C スイッチ 143 a、143 b、143 c に送るように構成される。したがって、以下のいくつかの実施形態のより詳細な議論から明らかになるように、たとえば、C - D A C 変換器 140 を制御する際にデジタル制御信号を使用して、D A C スイッチ 143 のスイッチ状態を制御することができる。実施形態によっては、図 2 に示すように、D A C スイッチ制御回路 147 a、147 b、147 c が設けられ、逐次近似レジスタ (S A R) 120 から受信されたデジタル制御信号 D 2、D N - 2、D N - 1 を処理し、処理済みのデジタル制御信号としての信号であるデジタル制御信号 D 2、D N - 2、D N - 1 を、デジタル信号ライン 130 a、130 b、130 c に関連する D A C スイッチ 143 a、143 b、143 c に供給するように構成される。実施形態によっては、処理は、たとえばクロック信号 C L K を考慮に入れて、D A C スイッチ 143 a、143 b、143 c を不定状態に設定するのを回避する。

10

【0019】

一実施形態では、C - D A C 変換器 140 の基準電圧端子 141 が、基準電圧ライン 135 上のノード 134 に結合されたフィルタ抵抗 132 およびフィルタ・キャパシタンス 133 を備えるフィルタ構成に結合される。

【0020】

図 3 は、図 2 に示した容量性デジタル・アナログ変換器 (D A C) における、いくつかの実施形態による 3 投式スイッチ 143 の一構成の例示的な実装を示す回路図である。ほんの一例として、事前充電状態に設定されたスイッチ構成 143 a の一構成の実施形態が示してある。D A C スイッチ構成 143 は、C L O S E 状態にあるときに、D A C キャパシタンス 144 を D A C 供給電圧分岐 138 に結合するように構成された、事前充電スイッチ 143 1 を備える。さらに、D A C スイッチ構成 143 は、C L O S E 状態にあるときに、D A C キャパシタンス 144 を基準電圧ライン 135 に結合するように構成された、基準電圧スイッチ 143 2 を備える。D A C スイッチ構成 143 は、C L O S E 状態にあるときに、D A C キャパシタンス 144 を放電ライン 139 に結合するように構成された、放電スイッチ 143 3 を備える。さらに、実施形態によっては、D A C スイッチ構成 143 は、事前充電スイッチ 143 1、基準電圧スイッチ 143 2、および放電スイッチ 143 3 それぞれの制御端子にデジタル制御信号 D を供給するように構成された、デジタル信号ライン 130 の分岐 130 1、130 2、130 3 を備える。いくつかの実施によれば、D A C スイッチ構成 143 は、事前充電スイッチ 143 1、基準電圧スイッチ 143 2、および放電スイッチ 143 3 それぞれについて少なくとも 1 つ、トランジスタを備える。一実施形態では、スイッチ構成 143 a は、事前充電スイッチ 143 1、基準電圧スイッチ 143 2、および放電スイッチ 143 3 のうち 2 つのスイッチが同時に C L O S E 状態にならないように構成される。デジタル制御信号 D を供給するためのデジタル信号ライン 130 に関連して、本明細書で開示され説明される 1 つの D A C スイッチ構成 143 は、D A C スイッチ構成 143 a、143 b、143 c について例示的なものであり、一実施形態では、全ての D A C スイッチ構成のグループについて、容量性デジタル・アナログ変換器 (C - D A C) 140 に含まれ、3 つの状態の間で切り替えるように構成されることを理解されたい。

20

30

40

【0021】

次に、図 4 を参照しながら、いくつかの実施形態の動作を開示することになる。図 4 は、ある期間 T C A P 全体を通して、図 3 に示した容量性デジタル・アナログ変換器の実装を動作させて、事前充電段階、基準充電段階、および放電段階を含む作業段階のサイクル 400 の処理を受けるときのスイッチの状態を示す時間表である。

【0022】

例示的なアナログ・デジタル変換器 (A D C) 100 の動作全体を通して、クロック・ライン 115 に供給されるクロック信号 C L K は、H I G H レベルと L O W レベルの間で周期的に切り替わる。本明細書において、クロック処理および / または信号処理についての用語「H I G H」レベルおよび「L O W」レベルは、特に別段の言及がない限り、単に

50

2つのクロック状態または信号状態をそれぞれ区別するだけのものであり、これらの用語は交換可能に使用することができる。すなわち、説明された動作は、逆の信号処理または混合信号処理、すなわち場合によっては、図4に時刻 t_0 および時刻 t_4 で示したクロック信号CLKの例に示すように、立下り信号エッジまたは立上り信号エッジで実施することもできる。より具体的には、図4には、時刻 t_0 と時刻 t_2 の間の参照番号401で、あるクロック期間TCLKが示してある。この例では、クロック信号CLKは、デューティ・サイクルが50%であるが、別のデューティ・サイクル値を使用することもできる。クロック信号CLKを使用して、本明細書に記載の動作を同期する。実施形態によっては、クロック信号CLKは、逐次近似レジスタ(SAR)120の動作を同期し、それに応じて、このレジスタは、クロック信号CLKに同期した容量性デジタル・アナログ変換器(C-DAC)140にデジタル制御信号D0、D1、D2...DN-2、DN-1を出力する。実施形態によっては、逐次近似レジスタ(SAR)120の動作は、別個のクロックなど別のクロック源に同期することができる。たとえば、比較器180の動作、ならびに逐次近似レジスタ(SAR)120の動作に、別のクロック源を使用してもよい。いくつかの実装によれば、SAR120は、選択装置として動作可能であり、DACスイッチ構成143a、143b、143cを選択して、事前充電段階、基準充電段階、および放電段階の各作業段階のサイクルの処理を受けるように構成される。したがって、いくつかの実装によっては、以下に述べるように、DACスイッチ構成143a、143b、143cのうち選択されたスイッチ構成が、SAR120からデジタル制御信号を受信してもよい。

【0023】

時刻 t_0 において、DACスイッチ構成143の事前充電スイッチ1431、基準電圧スイッチ1432、および放電スイッチ1433はOPEN状態である。クロック信号CLKに同期されると、逐次近似レジスタ(SAR)120は、とりわけ、関連するデジタル信号ライン上にデジタル制御信号Dを出力する。容量性デジタル・アナログ変換器(C-DAC)140、特にデジタル信号ライン130に接続するように結合されたスイッチ構成143では、デジタル制御信号Dが、事前充電スイッチ1431、基準電圧スイッチ1432、および放電スイッチ1433に分配される。

【0024】

時刻 t_1 において、選択されたDACキャパシタンス144の事前充電段階、基準充電段階、および放電段階を含む、作業段階のサイクル400が開始する。事前充電スイッチ1431で受信されたデジタル制御信号Dによって、事前充電スイッチ1431がCLOSE状態に設定される。したがって、事前充電スイッチ1431は、供給電圧ライン110からDAC供給電圧分岐138および事前充電スイッチ1431を介してDACキャパシタンス144に電荷が流れるための接続を実現する。時間間隔405において、基準電圧スイッチ1432および放電スイッチ1433が、開状態であり(図3には図示せず)、その結果、DACキャパシタンス144は、基準電圧ライン135を介して充電を受けることもなく、アースに放電することもない。DACキャパシタンス144を供給電圧のレベルVDDの近くにまで充電するのに十分長い、 dt_1 の長さの時間間隔405の後、 t_2 において、受信したデジタル制御信号Dが、事前充電スイッチ1431を制御してOPEN状態にする。したがって、事前充電スイッチ1431は、電圧源ライン110からDACキャパシタンス144を切断する。長さ dt_2 の時間間隔410において、DACスイッチ構成143の事前充電スイッチ1431、基準電圧スイッチ1432、および放電スイッチ1433はOPEN状態である。したがって、2つのスイッチがCLOSE状態でオーバーラップすること、およびそれに関連して回路状態が不確定になること、電圧源からアースに流れる短絡回路電流、ならびに装置の安全動作に不都合な他の影響が確実に回避される。いくつかの実施形態によれば、時間間隔405の長さ dt_1 と比較して、時間間隔410の長さ dt_2 を短くすることができ、この実装を製造する際に使用される製造プロセスの技術的なパラメータが、時間間隔410の最短の長さ dt_2 を決定することができる。

10

20

30

40

50

【 0 0 2 5 】

時刻 t_3 において、基準電圧スイッチ 1 4 3 2 で受信されたデジタル制御信号 D が、基準電圧スイッチ 1 4 3 2 を制御して C L O S E 状態にする。したがって、基準電圧スイッチ 1 4 3 2 は、基準電圧源から基準電圧フィルタ構成 1 3 2、1 3 3、1 3 4、基準電圧ライン 1 3 5、および基準電圧スイッチ 1 4 3 2 を介して D A C キャパシタンス 1 4 4 に電荷が流れるための接続を実現する。D A C キャパシタンス 1 4 4 を基準電圧のレベル V R E F にまで充電するのに十分長い、 $d t_3$ の長さの時間間隔 4 1 5 の後、 t_4 において、受信したデジタル制御信号 D が、基準電圧スイッチ 1 4 3 2 を制御して O P E N 状態にする。したがって、基準電圧スイッチ 1 4 3 2 は、基準電圧ライン 1 3 5 から D A C キャパシタンス 1 4 4 を切断する。長さ $d t_4$ の時間間隔 4 2 0 において、D A C スイッチ構成 1 4 3 の事前充電スイッチ 1 4 3 1、基準電圧スイッチ 1 4 3 2、および放電スイッチ 1 4 3 3 は O P E N 状態である。したがって、2 つのスイッチが C L O S E 状態でオーバーラップすること、および回路状態が不確定になること、電圧源からアースに流れる短絡回路電流、ならびに装置の安全動作に不都合な他の影響が確実に回避される。時間間隔 4 0 5 の長さ $d t_1$ と比較して、時間間隔 4 1 0 の長さ $d t_4$ を短くすることができる。

10

【 0 0 2 6 】

時刻 t_5 において、放電スイッチ 1 4 3 3 で受信されたデジタル制御信号 D 2 が、放電スイッチ 1 4 3 3 を制御して C L O S E 状態にする。したがって、放電スイッチ 1 4 3 3 は、D A C キャパシタンス 1 4 4 から放電スイッチ 1 4 3 3 および放電ライン 1 3 9 を介してアース 1 0 1 に電荷が流れるための接続を実現する。実装によっては、アース以外の何か他のバイアス電圧レベルに放電を実行してもよい。実施形態によっては、図示してはいないが、充電に関して本明細書において開示される原理は、放電にも適用することができる。したがって、2 つ以上の段階で様々な電位に放電が実行される。たとえば、第 1 の放電段階では、バイアス電圧レベルに放電が実行され、次いで第 2 の放電段階では、バイアス電圧レベルとは異なるアース電圧レベルに放電が実行される。D A C キャパシタンス 1 4 4 をアースでのバイアス電圧レベルの近くにまで放電するのに十分長い、 $d t_5$ の長さの時間間隔 4 2 5 の後、 t_6 において、受信したデジタル制御信号 D が、放電スイッチ 1 4 3 3 を制御して O P E N 状態にする。したがって、放電スイッチ 1 4 3 3 は、アース 1 0 1 から D A C キャパシタンス 1 4 4 を切断する。長さ $d t_6$ の時間間隔 4 3 0 において、D A C スイッチ構成 1 4 3 の事前充電スイッチ 1 4 3 1、基準電圧スイッチ 1 4 3 2、および放電スイッチ 1 4 3 3 は O P E N 状態である。したがって、2 つのスイッチが C L O S E 状態でオーバーラップすること、および回路状態が不確定になること、電圧源からアースに流れる短絡回路電流、ならびに装置の安全動作に不都合な他の影響が確実に回避される。時間間隔 4 0 5 の長さ $d t_1$ と比較して、時間間隔 4 3 0 の長さ $d t_6$ を短くすることができる。

20

30

【 0 0 2 7 】

時刻 t_7 において、D A C キャパシタンス 1 4 4 a の事前充電、基準充電、および放電の作業段階の別サイクル 4 0 0 が開始してこのサイクルを繰り返し、これは、時刻 t_1 で開始し、期間 T C A P の間実行される。実施形態によっては、たとえば、図 4 に示した実装の場合のように、デジタル・アナログ (D A C) キャパシタンス 1 4 4 a の事前充電が、クロック信号 C L K のある期間 T C L K 4 0 1 において完了する。対照的に、基準電圧 V R E F のレベルへの充電が、クロック期間 T C L K 4 0 1 の倍数で完了する。したがって、実装に必要性に応じて、電流の流れを最適化することができる。具体的には、ある相対的に強いパルスで、電圧源から電流を引いてきて、基準電圧源から電流を引いてくる前に既に事前充電している間に、基準電圧レベルに必要となる D A C キャパシタンス 1 4 4 a 上の充電のほとんどを供給することができる。したがって、D A C キャパシタンス 1 4 4 を基準電圧レベルにまで充電するには、基準電圧源から引いてくる電流が少なく済み、基準電圧源からの電流の流れに関連する欠点がこのように回避される。

40

【 0 0 2 8 】

一実施形態では、供給電圧 V D D のレベルの近く、またはちょうど供給電圧 V D D のレ

50

ベルにまでD A C キャパシタンス 1 4 4 を事前充電することにより、基準電圧ライン 1 3 5 に結合された基準電圧源からの必要以上の充電の流れが回避されるが、それというもの、D A C キャパシタンス 1 4 4 の事前充電電圧レベルが、基準電圧源の基準電圧レベル V R E F とは異なる程度にしか、電荷が流れないからである。

【 0 0 2 9 】

図 5 は、図 3 に示した例示的な実装の変形形態を示す図であり、この変形形態はさらに、いくつかの実施形態による電圧レベル回路を備える。電圧レベル回路は、電圧源ライン 1 1 0 と D A C 電圧源分岐 1 3 8 の間に結合されたソースフォロア 1 3 7 を備える。さらに、電圧レベル回路は、基準電圧ライン 1 3 5 上のノード 1 3 4 とソースフォロア 1 3 7 との間に接続された電源制御ライン 1 3 6 を備える。電圧レベル回路は、供給電圧レベル V D D とは異なる電圧レベルにまで、D A C キャパシタンス 1 4 4 の事前充電を実行できるようにする機能を、前述の実施形態に提供する。したがって、供給電圧レベル V D D に関係なく、この装置は、基準電圧 V R E F のレベルに近い、または基準電圧 V R E F のレベルにほぼ等しい、事前充電電圧のレベルを達成するように構成することができる。少なくとも 1 つの効果は、基準電圧源上の基準充電電流負荷が特に低いことでもよい。

【 0 0 3 0 】

図 6 は、図 3 に示した例示的な実装のさらに別の変形形態を示す図であり、この変形形態は、いくつかの実施形態によるタイミング回路を備える。このタイミング回路は、デジタル信号ライン 1 3 0 と、容量性スイッチ構成 1 4 3 によく似ている容量性スイッチ構成 6 4 3 との間に結合されたタイミング・ブロック 6 0 0 で示してある。いくつかの実施によれば、前述の A D C 1 0 0 の C - D A C 変換器 1 4 0 では、容量性スイッチ構成 6 4 3 が、容量性スイッチ構成 1 4 3 に取って代わることができることを理解されたい。以下に説明するように、いくつかの実施形態によれば、タイミング・ブロック 6 0 0 は、S A R 1 2 0 から供給されるデジタル制御信号 D を処理し、デジタル制御信号 D を処理した結果として、イネーブル信号を容量性スイッチ構成 6 4 3 に供給するように構成される。本明細書において、「処理」という用語は、少なくとも、デジタル制御信号 D を複数の信号経路上に分配すること、デジタル制御信号 D に論理演算（たとえば、N O T 演算、A N D 演算など）を実行すること、およびデジタル制御信号 D の遅延のうちの 1 つまたは複数を意味することができる。

【 0 0 3 1 】

容量性スイッチ構成 6 4 3 は、事前充電スイッチ 6 4 3 1、基準電圧スイッチ 6 4 3 2、および放電スイッチ 6 4 3 3 を備える。さらに、容量性スイッチ構成 6 4 3 は、事前充電スイッチ 6 4 3 1 に結合され、制御信号を事前充電スイッチ 6 4 3 1 に供給するように構成された、事前充電信号分岐 6 3 0 1 を備える。さらに、容量性スイッチ構成 6 4 3 は、基準電圧スイッチ 6 4 3 2 に結合され、制御信号を基準電圧スイッチ 6 4 3 2 に供給するように構成された、基準電圧充電信号分岐 6 3 0 2 を備える。さらに、容量性スイッチ構成 6 4 3 は、放電スイッチ 6 4 3 3 に結合され、制御信号を放電スイッチ 6 4 3 3 に供給するように構成された、放電信号分岐 6 3 0 3 を備える。例示的な一実装によれば、容量性スイッチ構成 6 4 3 は、イネーブル信号の制御下のスイッチ、たとえば事前充電スイッチ 6 4 3 1、基準電圧スイッチ 6 4 3 2、および放電スイッチ 6 4 3 3 に供給されるイネーブル信号を、L O W レベルに変更することで、このスイッチを制御して O P E N 状態にするように構成される。さらに、容量性スイッチ構成 6 4 3 は、イネーブル信号を H I G H レベルに変更することで、制御されたスイッチを C L O S E 状態に設定するように構成される。

【 0 0 3 2 】

タイミング・ブロック 6 0 0 内のタイミング回路は、第 1 の分岐ノード 6 0 1 を備え、デジタル信号ライン 1 3 0 の経路は、デジタル信号分岐 6 1 1、6 2 1、6 3 1 に分岐する。事前充電信号分岐 6 1 1 が、事前充電制御 A N D ゲート 6 1 0 への第 1 の入力に結合されており、基準電圧充電デジタル信号分岐 6 2 1 が、基準電圧充電制御 A N D ゲート 6 2 0 に結合される。放電デジタル信号分岐 6 3 1 は、放電制御信号反転器 6 3 0 に結合さ

10

20

30

40

50

れる。さらに、基準電圧充電デジタル信号分岐 6 2 1 は、第 2 の分岐ノード 6 0 2 を備え、ここで、遅延要素 6 0 4 への経路が分岐し、この経路は、所定の時間だけ遅延要素 6 0 4 に入力されるデジタル制御信号の出力を遅延するように構成される。遅延要素 6 0 4 の出力は、事前充電制御信号分岐 6 0 5 を介して、事前充電制御信号反転器 6 0 8 に結合される。事前充電制御信号反転器 6 0 8 の出力は、反転信号ライン 6 1 2 を介して、事前充電制御 AND ゲート 6 1 0 の第 2 の出力に結合される。さらに、遅延要素 6 0 4 の出力は、遅延信号ライン 6 2 2 を介して、基準電圧充電制御 AND ゲート 6 2 0 の第 2 の入力に結合される。

【 0 0 3 3 】

次に、具体的には図 4 および図 6 を参照して、タイミング・ブロック 6 0 0 の動作を簡潔に説明する。時刻 t_0 において、デジタル制御信号 D が、LOW レベルから HIGH レベルに変化する（図 4 に参照番号 4 4 1 で示す）。したがって、事前充電制御 AND ゲート 6 1 0 への第 1 の入力は、第 1 のノード 6 0 1 および事前充電デジタル信号分岐 6 1 1 を介して、LOW レベルから HIGH レベルに変化するデジタル制御信号 D を受信する。事前充電制御 AND ゲート 6 1 0 への第 2 の入力を考慮すると、デジタル制御信号 D は、第 2 のノード 6 0 2 を介して遅延要素 6 0 4 にも供給される。しかし、遅延要素 6 0 4 は、LOW レベルから HIGH レベルへの変化 4 4 1 の出力を遅延する。その間に、遅延要素 6 0 4 は、分岐 6 0 5 を介して、事前充電制御信号反転器 6 0 8 に供給される LOW レベルのデジタル制御信号を出力し続ける。したがって、事前充電制御信号反転器 6 0 8 は、反転信号ライン 6 1 2 を介して、事前充電制御 AND ゲート 6 1 0 の第 2 の入力に HIGH レベル信号を出力する。したがって、事前充電制御 AND ゲート 6 1 0 は、事前充電スイッチ 6 4 3 1 への HIGH レベルの事前充電イネーブル信号を、事前充電信号分岐 6 3 0 1 に出力する。したがって、遷移している短い時間間隔 dt_6 の後、事前充電スイッチ 6 4 3 1 は、CLOSE 状態に設定され、時刻 t_1 において、作業段階の 1 サイクル 4 0 0 の動作が開始するが、それというのも、電源ライン 1 1 0 から、事前充電スイッチ 6 4 3 1 を介して、DAC キャパシタンス 1 4 4 に電荷が流れ始めるからである。

【 0 0 3 4 】

時刻 t_2 において、遅延要素 6 0 4 は、遅延時間間隔 dt_1 が終了した後に、LOW レベルから HIGH レベルへの信号変化を出力する。したがって、事前充電制御信号反転器 6 0 8 は、HIGH レベルでの信号を受信し、事前充電制御 AND ゲート 6 1 0 の第 2 の入力に LOW レベル信号を出力する。したがって、事前充電制御 AND ゲート 6 1 0 は、事前充電スイッチ 6 4 3 1 への LOW レベルの事前充電イネーブル信号を、事前充電信号分岐 6 3 0 1 に出力する。したがって、事前充電スイッチ 6 4 3 1 は、OPEN 状態に設定され、充電が終了して、電源ライン 1 1 0 から DAC キャパシタンス 1 4 4 に流れる。

【 0 0 3 5 】

やはり時刻 t_2 において、基準電圧充電制御 AND ゲート 6 2 0 の第 2 の入力が、遅延要素 6 0 4 から出力されるときに LOW レベルから HIGH レベルに変化するイネーブル信号を受信する。したがって、基準電圧充電制御 AND ゲート 6 2 0 は、基準電圧スイッチ 6 4 3 2 に対する基準電圧充電イネーブル信号の LOW レベルから HIGH レベルへの変化を、基準電圧充電信号分岐 6 3 0 2 に出力する。したがって、基準電圧スイッチ 6 4 3 2 は CLOSE 状態に設定される。

【 0 0 3 6 】

時刻 t_3 において、遷移時間間隔 dt_2 が終了した後に、事前充電スイッチ 6 4 3 1 での切替え状態が完了する。所定の遅延時間間隔 dt_1 が十分に長かったと仮定すれば、時刻 t_3 のこの時点において、DAC キャパシタンス 1 4 4 が充電されて、供給電圧 VDD のレベルになる。

【 0 0 3 7 】

さらに、時刻 t_3 において、遷移時間間隔 dt_2 が終了した後に、基準電圧スイッチ 6 4 3 2 での切替え状態が完了する。DAC キャパシタンス上の電圧レベルが基準電圧レベル VREF よりも低いと仮定すれば、基準電圧源から、基準電圧フィルタ構成 1 3 2、1

10

20

30

40

50

33、134、基準電圧ライン135、および基準電圧スイッチ6432を介して、DACキャパシタンス144に電荷が流れる。

【0038】

時刻 t_4 において、デジタル制御信号Dが、HIGHレベルからLOWレベルに変化する(図4に参照番号442で示す)。したがって、基準電圧充電制御ANDゲート620の第1の入力は、基準電圧充電デジタル信号分岐621を介して、HIGHレベルからLOWレベルに変化するデジタル制御信号Dを受信する。したがって、基準電圧充電制御ANDゲート620は、基準電圧スイッチ6432に対する基準電圧充電イネーブル信号のHIGHレベルからLOWレベルへの変化を、基準電圧充電信号分岐6302に出力する。したがって、基準電圧スイッチ6432はOPEN状態に設定される。

10

【0039】

さらに、時刻 t_4 において、放電制御信号反転器630は、第1のノードおよび放電デジタル信号分岐631を介して、HIGHレベルからLOWレベルに変化するデジタル制御信号Dを受信する。したがって、放電制御信号反転器630は、放電スイッチ6433に対するHIGHレベルの放電制御信号を、放電信号分岐6303に出力する。

【0040】

時刻 t_5 において、遷移時間間隔 dt_4 が終了した後に、基準電圧スイッチ6432での切替え状態が完了する。時間間隔 dt_3 が十分に長かったと仮定すれば、時刻 t_5 のこの時点において、DACキャパシタンス144が充電されて、基準電圧VREFのレベルになる。

20

【0041】

さらに、時刻 t_5 において、遷移時間間隔 dt_4 が終了した後に、基準電圧スイッチ6433での切替え状態が完了し、放電スイッチ6433がCLOSE状態に設定され、DACキャパシタンス144から、放電スイッチ6433および放電ライン139を介して、アース101に電荷が流れる。

【0042】

時刻 t_6 において、デジタル制御信号Dが、やはりLOWレベルからHIGHレベルに変化する(図4に参照番号443で示す)。遷移時間間隔 dt_6 が終了した後に、結果として、放電スイッチ6433での切替えが完了する。同様に、充電および放電のサイクルの始まりに関して先に述べた、事前充電スイッチ6431での切替えが完了する。

30

【0043】

遷移している短い時間間隔 dt_6 の後、作業段階の1サイクル400が完了する。

【0044】

選択されたDACキャパシタンス144を動作させるための、スイッチ構成143、643のタイミング制御の他の実装は、本開示の範囲内にある。実施形態によっては、先に開示された回路の回路素子は全て、同じ製造技術で製造されて、集積回路チップなど装置のそれぞれの実施形態を実装するのに使用される製造技術に関係なく、所与の回路設計の時間および温度に依存する一貫した挙動を実現する。

【0045】

代替実施形態によっては、充電段階に関して先に開示された原理が放電段階にも適用され、したがって、この放電段階は、事前放電および放電を、単独で、または事前充電および充電を包含する充電段階と組み合わせて包含し、本開示の範囲内にあることを理解されたい。したがって、実施形態によっては、容量性スイッチ構成は、それぞれのキャパシタンスを事前放電することに関連するスイッチ制御回路を備えるように構成される。

40

【0046】

いくつかの実施形態による一態様では、この記述により、アナログ・デジタル変換、具体的にはアナログ・デジタル変換用の回路を動作させる際に使用するための方法が説明されている。この回路は、複数のデジタル・アナログ(DAC)キャパシタンスにおいて、少なくとも1つのDACキャパシタンスを含む。一実施形態は、第1の充電電圧レベルに設定された第1の電圧源を、この少なくとも1つのDACキャパシタンスに切り替えるス

50

テップを含む。少なくとも1つの効果は、D A C キャパシタンスが、場合によっては第1の充電電圧レベルで事前充電または事前放電され、事前充電の場合には、第1の電圧源から少なくとも1つのD A C キャパシタンスに電荷が流れ、または事前放電の場合には、少なくとも1つのD A C キャパシタンスから第1の電圧源に電荷が流れることでもよい（したがって、第1の電圧源は「第1の電圧低下」を生じる）。一実施形態では、たとえば事前充電の場合、第1の電圧源は供給電圧源である。少なくとも1つの効果は、供給電圧源から充電電流を引いても、他の電圧源に悪影響を及ぼさないことでもよい。実施形態によっては、事前放電の場合、第1の充電電圧レベルとしての事前放電電圧レベルに事前放電電圧端子が設定されることにより、少なくとも1つのD A C キャパシタンスと第1の電圧源との結合が実行される。一実施形態は、少なくとも1つのD A C キャパシタンスから第1の電圧源を分離するステップを含む。少なくとも1つの効果は、少なくとも1つのD A C キャパシタンスの電圧が、第1の充電電圧レベルに保持されることでもよい。一実施形態は、基準電圧レベルに設定された第2の電圧源を、この少なくとも1つのD A C キャパシタンスに切り替えるステップを含む。実施形態によっては、事前放電および放電を実装することで、基準電圧レベルは、事前放電電圧レベルとは異なる放電電圧レベルである。実施形態によっては、放電電圧レベルはアースになる。少なくとも1つの効果は、少なくとも1つのD A C キャパシタンスが、場合によっては基準電圧レベルで充電または放電され、充電の場合には、第2の電圧源から少なくとも1つのD A C キャパシタンスに電荷が流れ、または放電の場合には、少なくとも1つのD A C キャパシタンスから第2の電圧源に電荷が流れることでもよい（したがって、第2の電圧源は「第2の電圧低下」を生じる）。一実施形態では、第2の電圧源は基準電圧源である。少なくとも1つの効果は、第1の電圧源のみが使用される場合よりも高い確度で、基準電圧レベルなど所定の電圧レベルを保持できることでもよい。

【0047】

一実施形態は、少なくとも1つのD A C キャパシタンスから第2の電圧源を分離するステップを含む。少なくとも1つの効果は、D A C キャパシタンスの電圧が、第2の電圧レベルに保持されることでもよい。一実施形態は、少なくとも1つのD A C キャパシタンスを、放電電圧レベルに設定された放電端子に切り替えるステップを含む。少なくとも1つの効果は、サンプルアンドホールド回路の以前のサンプリング・サイクル中に収集された電荷が、D A C キャパシタンスから放電されることでもよい。

【0048】

一実施形態では、それぞれの切替えは、事前充電段階、基準充電段階、および放電段階を含む一連の作業段階における、互いに異なる作業段階に入ることを示す。一実施形態では、任意の2つの作業段階の間にオーバーラップはない。一実施形態は、事前充電電圧レベルを基準電圧レベルに設定するステップを含む。少なくとも1つの効果は、基準充電段階において、少なくとも1つのD A C キャパシタンスに電荷が流れないことでもよい。

【0049】

実装によっては、充電と放電の両方が、それぞれ事前充電および事前放電を含む。したがって、充電で使用するための第1の基準電圧源、および放電で使用するための第2の基準電圧源が設けられ、互いに異なる電圧レベルに設定される。たとえば、前述の通り、第1の基準電圧レベルは基準電圧レベルであり、第2の基準電圧レベル、すなわち放電電圧レベルはアース電圧のレベルである。さらに、実施形態によっては、事前充電で使用するよう構成された第1の電圧源、および事前放電で使用するよう構成された第1の電圧源は、同じ電圧レベルに設定された同じ第1の電圧源である。しかし、実施形態によっては、事前充電で使用するよう構成された第1の電圧源、および事前放電で使用するよう構成された別の第1の電圧源は、別々に設けられ、互いに異なる電圧レベルに設定される。

【0050】

一実施形態は、供給電圧レベルから、事前充電電圧レベルを導出するステップを含む。少なくとも1つの効果は、基準電圧源が、D A C キャパシタンスを事前充電することによ

10

20

30

40

50

って影響されないことでもよい。基準電圧への不要な影響を補償するために通常設けられるバッファは、これを省くことができ、または従来よりも狭い面積で設計することができる。一実施形態では、供給電圧レベルは基準電圧レベルである。少なくとも1つの効果は、基準充電段階において、基準電圧源からの電流の流れが回避されることでもよいが、それというのも、事前充電段階においては、DACキャパシタンスが、供給電圧源の確度で基準電圧レベルに既に充電されているからである。

【0051】

一実施形態は、少なくとも1つのDACキャパシタンスに一連の作業段階を選択的に適用するための切替えを制御するステップを含む。同時には必要とならないDACキャパシタンスの事前充電、充電、および放電に関連する変位電流による電力損失を、こうして回避することができる。一実施形態は、周期的なパターンを有するクロック信号を供給するステップと、このクロック信号への切替えおよび/または分離を同期するステップとを含む。したがって、各作業段階はクロック信号の倍数であり、各作業段階のいずれかに入るための切替えは、クロック信号に同期することができる。一実施形態では、基準充電段階の持続時間は、事前充電段階の持続時間の数倍分だけ継続する。

10

【0052】

この記述は、いくつかの実施形態による一態様では、アナログ・デジタル変換で使用するための装置を説明する。一実施形態は、基準電圧に設定するように構成された基準電圧端子と、この基準電圧端子に切替え可能に結合された少なくとも1つのデジタル・アナログ(DAC)キャパシタンスと、少なくとも1つのDACキャパシタンスに結合され、少なくとも1つのDACキャパシタンスを選択的に切り替えて、基準電圧を受けように構成された選択装置と、少なくとも1つのDACキャパシタンスに結合され、基準電圧を受けように選択された少なくとも1つのDACキャパシタンス上に蓄えられた蓄積電荷を表すDAC電圧を出力するように構成されたバイアス端子と、供給電圧に設定するように構成された供給電圧端子とを備え、少なくとも1つのDACキャパシタンスが供給電圧端子に切替え可能に結合される。少なくとも1つの効果は、少なくとも1つのDACキャパシタンスに基準電圧が印加されているときに、装置がDAC電圧を供給することでもよい。実施形態によっては、この装置は、少なくとも事前放電段階および最終放電段階を含む複数の段階で、少なくとも1つのデジタル・アナログ変換器(DAC)のキャパシタンスを放電するように構成される。DACキャパシタンスを充電することに関して、このセク

20

30

【0053】

一実施形態は、供給電圧端子と少なくとも1つのDACキャパシタンスとの間に結合され、供給電圧端子から少なくとも1つのDACキャパシタンスへの電荷の流れを制御するように構成された事前充電スイッチを備える。少なくとも1つの効果は、供給電圧端子を使用して、DACキャパシタンスを事前充電できることでもよい。

【0054】

一実施形態は、供給電圧端子と事前充電スイッチの間に結合されたバッファを備える。少なくとも1つの効果は、供給電圧レベルとは異なり、かつ/または基準電圧レベルに近い事前充電電圧レベルをバッファが供給して、基準電圧端子を介して引かれる電流を低減し、基準電圧源から多量の電流を引くことの悪影響を回避できることでもよい。一実施形態では、バッファはソースフォロアとして設けられる。したがって、少なくとも1つのDACキャパシタンスを事前充電するために、また事前充電を制御するために、様々な電圧源を使用することができる。

40

【0055】

一実施形態は、少なくとも1つのDACキャパシタンスに結合され、電流パルスを供給して、少なくとも1つのDACキャパシタンスを事前充電するように構成されたパルス発生器を備える。実施形態によっては、少なくとも1つの別のパルス発生器が設けられ、その結果、DACキャパシタンスのグループがそれぞれ、互いに異なるパルス発生器と連動

50

し、D A C キャパシタンスの各グループが、少なくとも1つのD A C キャパシタンスを包含し、D A C キャパシタンスのどの2つのグループも、共通のD A C キャパシタンスを有することはない。一実施形態では、パルス発生器は、事前充電スイッチと同じタイプの回路素子から構成される。少なくとも1つの効果は、装置性能の依存性、たとえば装置を製造する際に使用されるプロセス技術、装置の動作温度、装置の動作電圧などへの依存性が、パルス発生器および事前充電スイッチにとって同じであることでもよい。様々な依存性を補償するための追加の補償回路を使用しなくても済む。一実施形態では、パルス発生器は、長さが基準電圧とは無関係の事前充電電流パルスを生じさせるように構成することができる。一実施形態では、パルス発生器は、少なくとも1つのD A C キャパシタンスのうちのいくつかを事前充電するように構成される。一実施形態では、パルス発生器は、少なくとも1つのD A C キャパシタンスのうちの全てのD A C キャパシタンスを事前充電するように構成される。一実施形態では、パルス発生器は、事前充電パルスの持続時間を制御するように構成される。少なくとも1つの効果は、事前充電パルスの幅をデジタル処理で制御することでもよい。

【0056】

一実施形態は、周期的なパターンを有するクロック信号を供給するように構成され、事前充電スイッチに結合されて、事前充電スイッチの制御に作用する信号発生器を備える。実施形態によっては、少なくとも1つの別の信号発生器が設けられ、その結果、D A C キャパシタンスのグループがそれぞれ、互いに異なる信号発生器と連動し、D A C キャパシタンスの各グループが、少なくとも1つのD A C キャパシタンスを包含し、D A C キャパシタンスのどの2つのグループも、共通のD A C キャパシタンスを有することはない。少なくとも1つの効果は、D A C キャパシタンスが事前充電される事前充電段階を実装することでもよい。一実施形態は、クロック発生器と事前充電スイッチの間に結合されて、事前充電スイッチの制御に作用し、基準電圧端子からD A C キャパシタンスへの電流の流れを遅延するように構成された遅延要素を備える。少なくとも1つの効果は、単一のスイッチ制御信号によって複数のスイッチを連続してアドレスすることができ、遅延要素が、連続して制御される2つのスイッチの切替えの間に遅延をもたらすことでもよい。遅延の持続時間を使用して、D A C キャパシタンスを事前充電することができ、それにより、基準電圧端子から流れる電荷の量を低減することができる。

【0057】

この記述は、いくつかの実施形態による一態様では、アナログ・デジタル変換で使用するための機器を説明する。一実施形態は、入力電圧を受けるように構成された入力電圧端子と、D A C 端子においてD A C 電圧を供給するように構成されたデジタル・アナログ(D A C)装置と、入力電圧端子およびD A C 端子に結合され、制御出力信号を供給するように構成された制御出力を有する比較器とを備え、本明細書において開示される実施形態のうち任意の実施形態によるD A C 装置が設けられる。少なくとも1つの効果は、この機器が動作して、比較器の制御出力において、入力電圧端子で供給される入力電圧を、入力電圧のレベルを表すデジタル制御信号に供給することでもよい。

【0058】

本明細書において、「例示的」という用語は、代表例、具体例、または例証としての働きをもつことを意味するために本明細書で使用される。本明細書で「例示的」と記述されたいかなる態様または設計も、必ずしも好ましいものとして、または他の態様もしくは設計に勝って有利であると解釈されるものではない。むしろ、例示的という用語を使用することは、具体的に概念および技法を提示するものである。本明細書において、たとえば「技法」という用語は、本明細書に記載の文脈が示すように、1つまたは複数の装置、機器、システム、方法、製品、および/またはコンピュータ読取り可能な命令を指してもよい。本明細書において、「または」という用語は、排他的な「または」ではなく、包含的な「または」を意味するものである。すなわち、別段の指定がない限り、または文脈から明らかでない限り、「XはAまたはBを利用する」は、自然な包含的置換のいずれをも意味するものである。すなわち、XがAを利用する場合である。本明細書において、本出願

10

20

30

40

50

よび添付の特許請求の範囲で使用される冠詞としての「a」および「an」という用語は一般に、別段の指定がない限り、または単数形を指すと文脈から明らかでない限り、「1つまたは複数」を意味するものと解釈すべきである。本明細書において、「結合された」および「接続された」という用語は、様々な用語がどのように結びついているかを説明するのに使用されてきた。このように説明してきた様々な要素の結びつきは、直接的でもよく、間接的でもよい。

【0059】

態様によっては、機器との関連で説明してきたが、これらの態様はまた、対応する機能性の説明を示し、ブロックまたは装置が、機能の機能性もしくは特徴に対応する。同様に、機能性との関連で説明される態様はまた、対応するブロックもしくはアイテム、または対応する機器の特徴の説明を示す。本明細書に記載の様々な実施形態の特徴は、特に具体的な記載のない限り、互いに組み合わせてもよいことを理解されたい。本明細書において特定の実施形態を例示し、説明してきたが、様々な代替実装および/または同等な実装を、図示して説明した特定の実施形態の代わりとしてもよいことが当業者には理解されよう。本出願は、本明細書において議論した特定の実施形態の任意の改変形態または変形形態を包含するものである。本発明は、特許請求の範囲およびその均等物によってのみ限定されるものである。本明細書において論じた例示的な実装/実施形態は、様々な構成要素を組み合わせてもよい。本明細書における実装は、例示的な実施形態に関して説明してある。しかし、実装の個々の態様は、別々に特許請求してもよく、また様々な実施形態の特徴のうち1つまたは複数を組み合わせてもよいことを理解すべきである。場合によっては、よく知られた特徴を省いて、または簡略化して、例示的な実装の説明を明らかにする。例示的な実装の上記説明では、説明するために、具体的な数、材料構成、および他の詳細について述べて、特許請求の範囲に記載の本発明をよりよく説明する。しかし、特許請求される本発明は、本明細書に記載の例示的な詳細とは異なる詳細を使用して実施してもよいことが、当業者には明白になろう。発明者は、説明した例示的な実施形態/実装を、本質的には例示的なものであると考える。発明者は、これら例示的な実施形態/実装が、添付特許請求の範囲に記載の範囲を限定するものとは考えていない。むしろ、発明者は、特許請求される本発明が、現在または将来の他の技術とともに、他の方式で実施され、また実装されてもよいことを企図してきた。実施形態/実装、および方法/プロセスを説明する順序は、限定的なものと解釈するものではなく、説明された任意の数の実装およびプロセスを組み合わせてもよい。たとえば、いくつかの実装が、第1および第2の機能に関して先に説明されたとき、例示されていない他の実装は、第1の機能（第2の機能ではなく）のみを含んでもよく、または第1の機能（第2の機能ではなく）のみを含んでもよい。先に開示した概念の他の置換えおよび組合せも、本開示内にあるものと企図されている。本開示は、こうした全ての修正形態および変更形態を含み、以下の特許請求の範囲に記載の範囲によってのみ限定される。上記構成要素（たとえば、要素および/またはリソース）によって実行される様々な機能を考慮すると、本明細書で示した本開示の例示的な実装での機能を実行する開示された構造とは構造的に同等ではないが、こうした構成要素を記述するのに使用される用語は、別段の定めがない限り、（たとえば、機能的に同等な）説明された構成要素の指定された機能を実行する任意の構成要素に対応するものである。

【符号の説明】

【0060】

- 100 アナログ・デジタル変換器
- 101 アース（接地）
- 110 供給電圧ライン
- 130 デジタル信号ライン
- 132 フィルタ抵抗
- 133 フィルタ・キャパシタンス
- 135 基準電圧ライン
- 140 デジタル・アナログ変換器

10

20

30

40

50

- 1 4 1 基準電圧端子
- 1 4 3 D A C スイッチ
- 1 4 4 デジタル・アナログ・キャパシタンス
- 1 4 6 D A C バイアス端子
- 1 8 0 比較器
- 6 0 4 遅延要素
- 6 4 3 容量性スイッチ構成
- 1 4 3 1 事前充電スイッチ
- 1 4 3 2 基準電圧スイッチ
- 1 4 3 3 放電スイッチ
- 6 4 3 1 事前充電スイッチ
- 6 4 3 2 基準電圧スイッチ
- 6 4 3 3 放電スイッチ

10

【図 1】

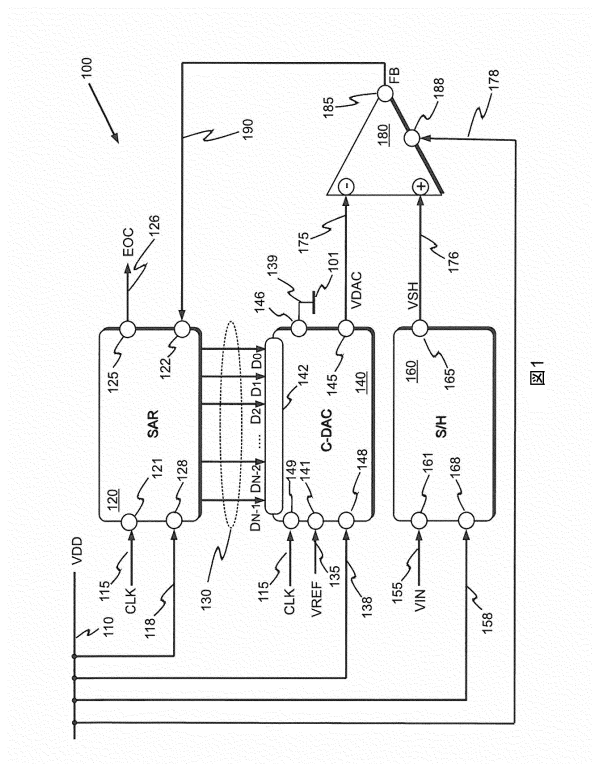


図 1

【図 2】

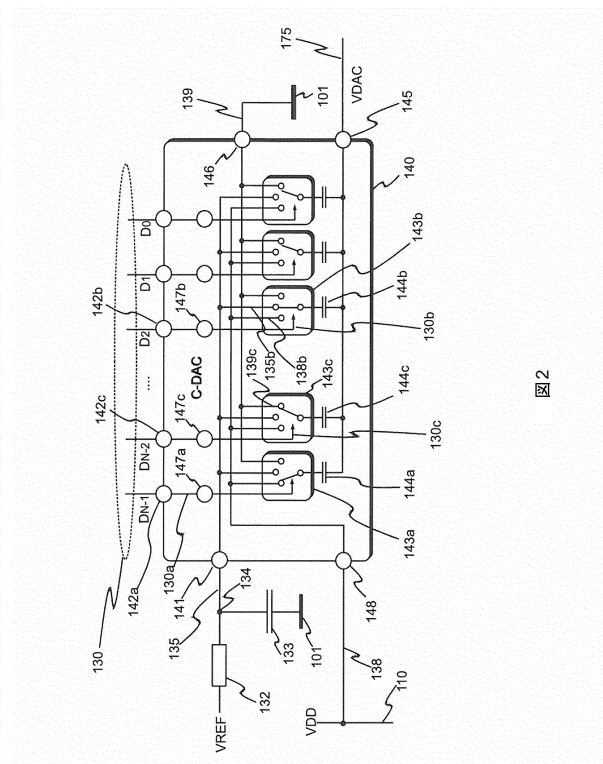


図 2

[illegible]

フロントページの続き

- (72)発明者 ファイヴィー, クリフォード
イギリス国 マレー エルギン アイヴィー 3 0 4 エヌジェー, ハミルトン ドライブ 5 9
(72)発明者 ヴァッピス, ヘルビヒ
オーストリア国 ドロボラッハ 9 5 8 0, エッガー ゼーウーファーシュトラッセ 2 2 / 1

審査官 小林 正明

- (56)参考文献 特表平 0 9 - 5 1 2 6 8 6 (J P , A)
特開 2 0 0 5 - 2 1 0 1 8 2 (J P , A)
特開平 0 7 - 3 3 6 2 2 4 (J P , A)
特開 2 0 0 2 - 0 4 3 9 4 2 (J P , A)
特開 2 0 0 8 - 1 8 2 5 3 6 (J P , A)
特開 2 0 1 4 - 7 8 9 0 9 (J P , A)

- (58)調査した分野(Int.Cl., D B 名)
H 0 3 M 1 / 4 6