

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成22年9月16日 (2010.9.16)

【公表番号】特表2009-545835(P2009-545835A)

【公表日】平成21年12月24日 (2009.12.24)

【年通号数】公開・登録公報2009-051

【出願番号】特願2009-523020(P2009-523020)

【国際特許分類】

G 1 1 C 13/00 (2006.01)

G 1 1 C 17/14 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 45/00 (2006.01)

H 0 1 L 49/00 (2006.01)

【F I】

G 1 1 C 13/00 A

G 1 1 C 17/06 C

H 0 1 L 27/10 4 4 8

H 0 1 L 27/10 4 5 1

H 0 1 L 27/10 4 3 1

H 0 1 L 45/00 Z

H 0 1 L 49/00 Z

【手続補正書】

【提出日】平成22年7月29日 (2010.7.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路であって、

第 1 のビット線層上に複数のビット線を有し、第 1 のワード線層上に複数のワード線を有するメモリアレイを備え、前記メモリアレイは受動素子メモリセルの交点アレイを含み、各メモリセルは、関連付けられたワード線と関連付けられたビット線との間に結合され、さらに、

1 本以上のワード線を選択するためのワード線デコーダ回路を備え、前記ワード線デコーダ回路は、2 つの動作モード間で反転可能な極性を有し、

ワード線デコーダ回路は、2 つの動作モードのうち一方においては選択受動素子メモリセルを介して電流を供給し、2 つの動作モードのうち他方においては選択受動素子メモリセルを介して電流を下げる、集積回路。

【請求項 2】

1 本以上のビット線を選択するためのビット線デコーダ回路をさらに備え、前記ビット線デコーダ回路は、2 つの動作モード間で反転可能な極性を有する、請求項 1 に記載の集積回路。

【請求項 3】

ビット線デコーダ回路は複数のビット線デコーダ出力ノードを含み、各々がそれぞれのマルチヘッドビット線ドライバ回路に関連付けられ、

所与のマルチヘッドビット線ドライバ回路は、データ依存型の第 1 のソース選択バスと第 1 のソースバイアス線とに関連付けられ、

各マルチヘッドビット線ドライバ回路は、それぞれの複数のビット線ドライバ回路を含み、所与のマルチヘッドビット線ドライバ回路の各それぞれのビット線ドライバ回路は、関連付けられたビット線デコーダ出力ノードに 응답し、それぞれのビット線を第 1 のソース選択バスのそれぞれのバス線に複数回結合させ、それぞれのビット線を第 1 のソースバイアス線に複数回結合させる、請求項 2 に記載の集積回路。

【請求項 4】

メモリアレイは、第 2 のビット線層上にビット線を有する三次元メモリアレイを含み、各マルチヘッドビット線ドライバ回路は、第 1 のビット線層上のビット線と第 2 のビット線層上のビット線とに関連付けられる、請求項 2 に記載の集積回路。

【請求項 5】

各メモリセルは、反転可能な抵抗素子を含む、請求項 1 に記載の集積回路。

【請求項 6】

所与のマルチヘッドビット線ドライバ回路の各ビット線ドライバ回路はそれぞれ、第 1 のソース選択バスのそれぞれのバス線に結合されたソース端子、関連付けられたビット線デコーダノードに結合されたゲート端子、およびそれぞれのビット線に結合されたドレイン端子を有する P M O S 装置と、

第 1 のソースバイアス線に結合されたソース端子、関連付けられたビット線デコーダノードに結合されたゲート端子、およびそれぞれのビット線に結合されたドレイン端子を有する N M O S 装置とからなり、

各ビット線ドライバ回路内の N M O S 装置は、三重ウェル半導体構造内に配置される、請求項 3 に記載の集積回路。

【請求項 7】

第 1 の動作モードにおいて、第 1 のソース選択バスはデータ依存型であり、このようなバス線は、第 1 の動作モードに対応するデータビットに従って、第 1 の動作モードに適切なアクティブまたは非アクティブビット線バイアス条件に規定され、第 1 のソースバイアス線は、第 1 の動作モードに適切な非アクティブビット線バイアス条件に規定され、

第 2 の動作モードにおいて、第 1 のソースバイアス線は、第 2 の動作モードに適切なアクティブビット線バイアス条件に規定され、第 1 のソース選択バスのバス線の各々は、第 2 の動作モードに適切な非アクティブビット線バイアス条件に規定される、請求項 3 に記載の集積回路。

【請求項 8】

第 1 の動作モードに適切なアクティブおよび非アクティブビット線バイアス条件は、それぞれ第 1 のモード選択ビット線電圧と第 1 のモード非選択ビット線電圧とを含み、

第 2 の動作モードに適切なアクティブおよび非アクティブビット線バイアス条件は、それぞれ第 2 のモード選択ビット線電圧と第 2 のモード非選択ビット線電圧とを含み、

第 1 のモード選択ビット線電圧および第 2 のモード選択ビット線電圧は、接地基準電圧に対して極性が反対であり、

ビット線デコーダの極性は、第 1 のモードおよび第 2 のモードのうち一方においてはアクティブハイであり、第 1 のモードおよび第 2 のモードのうち他方においてはアクティブローである、請求項 7 に記載の集積回路。

【請求項 9】

ワード線デコーダ回路は、複数のワード線デコーダ出力ノードを含み、各々はそれぞれのマルチヘッドワード線ドライバ回路に関連付けられ、

所与のマルチヘッドワード線ドライバ回路は、復号化された第 2 のソース選択バスおよび第 2 のソースバイアス線に関連付けられ、

第 1 の動作モードにおいて、第 3 のソース選択バスのバス線のうち選択された 1 本は、対応アドレス情報に従って、第 1 の動作モードに適切なアクティブワード線バイアス条件に規定され、第 2 のソース選択バスの残りの非選択バス線および第 2 のソースバイアス線

は、第 1 の動作モードに適切な非アクティブワード線バイアス条件に規定され、

第 2 の動作モードにおいて、第 2 のソースバイアス線は、第 2 の動作モードに適切なアクティブワード線バイアス条件に規定され、第 2 のソース選択バスのバス線は、第 2 の動作モードに適切な非アクティブワード線バイアス条件に規定される、請求項 8 に記載の集積回路。

【請求項 10】

第 1 の動作モードに適切なアクティブおよび非アクティブワード線バイアス条件はそれぞれ、第 1 のモード選択ワード線電圧と第 1 のモード非選択ワード線電圧とを含み、

第 2 の動作モードに適切なアクティブおよび非アクティブワード線バイアス条件はそれぞれ、第 2 のモード選択ワード線電圧と第 2 のモード非選択ワード線電圧とを含み、

第 2 のモード選択ワード線電圧および第 2 のモード選択ビット線電圧は、接地基準電圧に対して極性が反対であり、

ワード線デコーダの極性は、第 1 のモードおよび第 2 のモードのうち一方においてはアクティブハイであり、第 1 のモードおよび第 2 のうちモードの他方においてはアクティブローである、請求項 9 に記載の集積回路。

【請求項 11】

第 2 のモード非選択ワード線電圧および第 2 のモード非選択ビット線電圧は、ほぼ同じ電圧である、請求項 10 に記載の集積回路。

【請求項 12】

集積回路メモリアレイを動作させるための方法であって、前記メモリアレイは受動素子メモリセルの交点アレイを含み、各々は関連付けられたワード線と関連付けられたビット線との間に結合され、前記方法は、

第 1 の動作モードにおいて、選択ワード線を非選択ワード線より低い電圧にバイアスし、選択ビット線を非選択ビット線より高い電圧にバイアスするステップと、

第 2 の動作モードにおいて、選択ワード線を非選択ワード線より高い電圧にバイアスし、選択ビット線を非選択ビット線より低い電圧にバイアスするステップとを含む、方法。

【請求項 13】

第 1 の動作モードにおける選択ビット線電圧は、第 2 の動作モードにおける選択ビット線電圧と極性が反対である、請求項 12 に記載の方法。

【請求項 14】

第 2 の動作モードにおいて、1 本以上の選択ビット線を負電圧にバイアスすることによって、かつ 1 本以上の選択ワード線を正電圧にバイアスすることによって、1 個以上の選択メモリセルが逆方向バイアスされる、請求項 12 に記載の方法。

【請求項 15】

第 1 の動作モードにおいて、1 本以上の選択ビット線を正電圧にバイアスすることによって、かつ 1 本以上の選択ワード線を非負電圧にバイアスすることによって、1 個以上の選択メモリセルが順方向バイアスされる、請求項 14 に記載の方法。

【請求項 16】

第 1 の動作モードにおいて、1 本以上の選択ワード線は接地電位にバイアスされる、請求項 15 に記載の方法。

【請求項 17】

第 2 の動作モードにおいて、非選択ワード線および非選択ビット線をほぼ同じ電圧にバイアスし、それによって非選択メモリセルに最終バイアスが印加されない、請求項 14 に記載の方法。

【請求項 18】

第 2 の動作モードにおいて、非選択ワード線および非選択ビット線を接地電位にバイアスするステップをさらに含む、請求項 17 に記載の方法。