

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4523854号
(P4523854)

(45) 発行日 平成22年8月11日 (2010. 8. 11)

(24) 登録日 平成22年6月4日 (2010. 6. 4)

(51) Int. Cl.

F I

H O 4 L 29/06 (2006. 01)

H O 4 L 13/00 3 O 5 C

G O 6 F 3/06 (2006. 01)

G O 6 F 3/06 3 O 1 M

G O 6 F 12/00 (2006. 01)

G O 6 F 12/00 5 1 4 E

G O 6 F 13/10 (2006. 01)

G O 6 F 12/00 5 4 5 A

G O 6 F 13/38 (2006. 01)

G O 6 F 13/10 3 4 O A

請求項の数 5 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2005-46421 (P2005-46421)
 (22) 出願日 平成17年2月23日 (2005. 2. 23)
 (65) 公開番号 特開2006-237766 (P2006-237766A)
 (43) 公開日 平成18年9月7日 (2006. 9. 7)
 審査請求日 平成19年9月19日 (2007. 9. 19)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100064414
 弁理士 磯野 道造
 (72) 発明者 村上 俊彦
 神奈川県川崎市麻生区王禅寺1099番地
 株式会社日立製作所
 システム開発研究所内
 (72) 発明者 水野 真喜夫
 神奈川県川崎市麻生区王禅寺1099番地
 株式会社日立製作所
 システム開発研究所内

審査官 阿部 弘

最終頁に続く

(54) 【発明の名称】 ネットワークインタフェースを有するストレージ装置

(57) 【特許請求の範囲】

【請求項 1】

複数のディスク装置と、前記複数のディスク装置に接続されるディスクインタフェースと、ネットワークに接続し、当該ネットワークとの間でフレームの送受信を行うネットワークインタフェースと、前記ディスクインタフェースおよび前記ネットワークインタフェースを接続する接続部と、ストレージ装置内の前記した各構成要素を管理するストレージ管理部とを有する前記ストレージ装置であって、

前記ストレージ管理部は、前記ストレージ管理部内の第1メモリ内に格納されているプログラムを実行する第1マイクロプロセッサを有し、前記第1マイクロプロセッサが前記第1メモリ内のプログラムを実行することにより、前記ストレージ装置の各構成要素を管理するための制御処理を実行し、

前記ネットワークインタフェースは、前記ネットワークインタフェース内の第2メモリに格納されているプログラムを実行する第2マイクロプロセッサを有し、前記第2マイクロプロセッサが前記第2メモリ内のプログラムを実行することにより、クロック供給部、シリアル変換部、および、プロトコル別処理部を構成し、

前記クロック供給部は、ファイバチャネルのプロトコル、イーサのプロトコル、および、i S C S I のプロトコルである複数の通信プロトコル各々について、当該通信プロトコルにて用いられるクロック周波数を管理し、

前記シリアル変換部は、前記ネットワークからフレームを受信した場合に、当該フレームの伝送に用いられたクロック周波数と、前記クロック供給部で管理されているクロック

10

20

周波数とを照合することにより、当該フレームの伝送に用いられた通信プロトコルを、ファイバチャネルのプロトコル、イーサのプロトコル、および、i S C S I のプロトコルのうちのいずれかのプロトコルとして特定し、

前記プロトコル別処理部は、前記シリアル変換部により特定された前記通信プロトコルに特有の前記フレームの処理を実行することを特徴とする

ネットワークインタフェースを有するストレージ装置。

【請求項 2】

前記第 1 メモリには、さらに、前記クロック供給部で管理される前記通信プロトコルについて、当該通信プロトコルごとのアイドル符号の設定情報が記録されており、

前記シリアル変換部は、前記ネットワークインタフェースの接続先のネットワークから前記アイドル符号の受信を検出し、前記プロトコル別処理部による前記通信プロトコルに特有の前記フレームの処理を許可するか否かについて、前記検出したアイドル符号と前記アイドル符号の設定情報とを照合することによって決定し、

前記アイドル符号の設定情報は、

前記ネットワークから前記アイドル符号を受信した場合に、当該アイドル符号の伝送に用いられた前記通信プロトコルの使用を許可する設定、

前記ネットワークからの前記アイドル符号の受信に関わらず、前記通信プロトコルの使用を許可する設定、および、

前記ネットワークからの前記アイドル符号の受信に関わらず、前記通信プロトコルの使用を不許可にする設定のいずれかであることを特徴とする

請求項 1 に記載のネットワークインタフェースを有するストレージ装置。

【請求項 3】

前記ネットワークインタフェースの前記第 2 マイクロプロセッサは、フレームのブロック符号化およびブロック復号化を行うことを特徴とする

請求項 1 または請求項 2 に記載のネットワークインタフェースを有するストレージ装置。

【請求項 4】

前記プロトコル別処理部は、前記第 2 マイクロプロセッサに代えて、前記ネットワークインタフェース内の特定用途向け集積回路により構成されることを特徴とする

請求項 1 ないし請求項 3 のいずれか 1 項に記載のネットワークインタフェースを有するストレージ装置。

【請求項 5】

前記ネットワークインタフェースは、前記接続されるネットワークとして、I P - S A N および F C - S A N に接続されることを特徴とする

請求項 1 ないし請求項 4 のいずれか 1 項に記載のネットワークインタフェースを有するストレージ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ネットワークインタフェースを有するストレージ装置に関する。

【背景技術】

【0002】

記憶手段を有するストレージ装置がネットワークに接続されて使用される形態が、普及している（特許文献 1 など）。このようなネットワークとして、S A N（Storage Area Network）などが、挙げられる。これにより、ストレージ装置とは別の装置が、ネットワークを介して記憶手段にアクセスすることができる。

【特許文献 1】特開平 10 - 69357 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

ストレージ装置を接続するネットワークに使用される通信プロトコルは、ストレージ装置の開発ベンダや、ネットワークの標準化団体などから、様々なものが提案されている。このような規格には、同一規格の装置間は接続可能であるが、異なった規格どうしの装置間は、互換性がないので、接続ができない。

【0004】

よって、従来の技術では、所定のストレージ装置を個々の規格が異なる複数のネットワークに接続するときには、個々のネットワークの規格に合ったネットワークインタフェース基板を、規格の個数分だけ備えている必要がある。このような構成は、ストレージ装置の構成を大きくしてしまうので、ストレージ装置の開発ベンダにとっては、個々のネットワークインタフェース基板の開発コストと管理コストが増加する。ストレージ装置のユーザも、自分が必要とするネットワークインタフェース基板を、プロトコル毎に購入する必要があるため、導入コストが増加する。

10

【0005】

そこで、本発明は、前記課題を解決し、規格の異なる複数のネットワークに接続することのできるストレージ装置を、低コストで提供することを主な目的とする。

【課題を解決するための手段】

【0006】

前記課題を解決するため、本発明は、複数のディスク装置と、前記複数のディスク装置に接続されるディスクインタフェースと、ネットワークに接続し、当該ネットワークとの間でフレームの送受信を行うネットワークインタフェースと、前記ディスクインタフェースおよび前記ネットワークインタフェースを接続する接続部と、ストレージ装置内の前記した各構成要素を管理するストレージ管理部とを有する前記ストレージ装置であって、

20

前記ストレージ管理部が、前記ストレージ管理部内の第1メモリ内に格納されているプログラムを実行する第1マイクロプロセッサを有し、前記第1マイクロプロセッサが前記第1メモリ内のプログラムを実行することにより、前記ストレージ装置の各構成要素を管理するための制御処理を実行し、

前記ネットワークインタフェースが、前記ネットワークインタフェース内の第2メモリに格納されているプログラムを実行する第2マイクロプロセッサを有し、前記第2マイクロプロセッサが前記第2メモリ内のプログラムを実行することにより、クロック供給部、シリアル変換部、および、プロトコル別処理部を構成し、

30

前記クロック供給部が、ファイバチャネルのプロトコル、イーサのプロトコル、および、iSCSIのプロトコルである複数の通信プロトコル各々について、当該通信プロトコルにて用いられるクロック周波数を管理し、

前記シリアル変換部が、前記ネットワークからフレームを受信した場合に、当該フレームの伝送に用いられたクロック周波数と、前記クロック供給部で管理されているクロック周波数とを照合することにより、当該フレームの伝送に用いられた通信プロトコルを、ファイバチャネルのプロトコル、イーサのプロトコル、および、iSCSIのプロトコルのうちのいずれかのプロトコルとして特定し、

前記プロトコル別処理部が、前記シリアル変換部により特定された前記通信プロトコルに特有の前記フレームの処理を実行することを特徴とする。

40

その他の手段は、後記する。

【発明の効果】

【0007】

本発明によれば、ネットワークの規格が異なっても、ネットワークインタフェースを交換することなく、複数の通信プロトコルを扱うことが可能となる。よって、規格の異なる複数のネットワークに接続することのできるストレージ装置を、低コストで提供することができる。

【発明を実施するための最良の形態】

【0008】

50

以下に、本発明が適用される計算機システムの一実施形態について、図面を参照して詳細に説明する。まず、本実施形態の計算機システムの構成について、図1から図7を参照して説明する。

【0009】

図1は、計算機システムを示す構成図である。計算機システムは、ストレージ装置6が、ネットワークを介して、ホスト94と接続する形態である。ホスト94は、演算処理装置と記憶手段とを備えるコンピュータである。このネットワークは、例えば、I P - S A N (Internet Protocol-Storage Area Network) 90、F C - S A N (Fibre Channel-Storage Area Network) 92などが挙げられる。

【0010】

そして、ストレージ装置6は、ストレージ装置内を管理するストレージ管理部60が、演算処理を行う際に用いられる記憶手段としてのメモリ64と、前記演算処理を行う演算処理装置とを少なくとも備えるコンピュータとして構成される。なお、メモリ64は、R A M (Random Access Memory) などにより構成される。演算処理は、C P U (Central Processing Unit) などのマイクロプロセッサ62によって構成される演算処理装置が、メモリ64上のプログラムを実行することで、実現される。

【0011】

ストレージ装置6は、さらに、ディスクインタフェース80を介して接続されるストレージ82を、1つ以上有する。そして、ストレージ装置6の各構成要素は、内部接続用スイッチ70を介して互いに接続される。ストレージ管理部60は、転送制御部66を介して内部接続用スイッチ70と接続する。

【0012】

さらに、ストレージ装置6は、ストレージ装置内に有するネットワークインタフェース(マルチプロトコル用)1を介して、ネットワーク上を流れる多種の通信プロトコルのデータを送受信する。以下、ネットワークインタフェース(マルチプロトコル用)1は、単にネットワークインタフェース1と略し、請求項に記載のネットワークインタフェースとする。なお、通信プロトコルは、例えば、F C (Fibre Channel)、F I C O N (Fibre Connection) (登録商標)、i S C S I (Internet Small Computer System Interface)、イーサネット(登録商標)(本明細書においてイーサとする)などが、挙げられる。

【0013】

図2は、ネットワークインタフェース1を示す構成図である。ネットワークインタフェース1は、マイクロプロセッサ16がメモリ18内に格納されているプログラムを実行するコンピュータとして構成される。ネットワークインタフェース1は、転送制御部14を介して、内部接続用スイッチ70と接続する。以下、ネットワークインタフェース1の各構成要素を、具体的に説明する。

【0014】

図3は、フレームの信号処理を示す説明図である。まず、フレームを送信するときには、ネットワークインタフェース1は、プロトコル別処理部30が作成したプロトコルごとに特有のヘッダおよびフッタが付加されたフレームについて、符号化復号化部(マルチクロック用)26が8 B / 10 B符号化をし、シリアル変換部(マルチクロック用)22がシリアル化をし、信号変換部12がN R Z光変換をし、ギガビットインタフェース変換部10を介してフレームを送信する。以下、シリアル変換部(マルチクロック用)22をシリアル変換部22と、符号化復号化部(マルチクロック用)26を符号化復号化部26とする。また、本明細書では、ギガビットインタフェース変換部10と信号変換部12とを物理層処理部と呼ぶ。図中では別々に記載しているが、同一基盤で実装してもよい。

【0015】

一方、フレームを受信するときには、ネットワークインタフェース1は、ギガビットインタフェース変換部10を介して受信したフレームについて、信号変換部12がN R Z光変換をし、シリアル変換部22がシリアル化をし、符号化復号化部26が8 B / 10 B符号化をし、プロトコルごとに特有のヘッダおよびフッタが付加されたフレームをプロトコ

10

20

30

40

50

ル別処理部 30 に割り振る。

【0016】

まず、ネットワークインタフェース 1 は、外部のネットワーク（IP-SAN90、FC-SAN92 など）と接続するためのポート（図示は省略）が、ギガビットインタフェース変換部 10 と接続する。ギガビットインタフェース変換部 10 は、データリンク層プロトコルに非依存の物理層に関する処理を行う。そして、ネットワークインタフェース 1 は、通信するフレームに関する信号を変換する信号変換部 12 を有する。信号変換部 12 は、電気信号と光信号との変換処理、および、信号波形の変換処理を行う。

【0017】

次に、ネットワークインタフェース 1 は、シリアル変換部 22 を有する。シリアル変換部 22 は、ポートが外部ネットワークに接続されたときに、接続先の装置から送信されるアイドル符号の検出を行う。そして、検出したアイドル符号の周波数に対応する通信プロトコルのフレームの通信を許可する。つまり、アイドル符号を検出したクロックに係するデータリンク層のフレームは、送受信の対象となる。なお、実際にアイドル符号を検出しなくても、管理者の設定により、アイドル符号が検出済みとみなすこととしてもよい。

【0018】

そして、シリアル変換部 22 は、アイドル符号が検出済みのクロック周波数をもとに、通信するフレームの通信プロトコルを判定する。具体的には、シリアル変換部 22 は、受信時に、受信するフレームが伝送されたクロック周波数をもとに、そのフレームのプロトコル種別を特定する。そして、シリアル変換部 22 は、送信時に、送信するフレームのプロトコル種別をもとに、そのフレームを伝送するクロック周波数を特定する。

【0019】

シリアル変換部 22 は、信号の周波数と通信プロトコルとの対応情報を、クロック供給部（マルチクロック用）20 から取得する。以下、クロック供給部（マルチクロック用）20 を、クロック供給部 20 とする。図 4 は、クロック供給部 20 を示す構成図である。図 4（a）は、8B/10B 符号化（後記）を行うフレームに関する対応情報（クロック番号 #1～#6）を格納する一例を示す構成図であり、図 4（b）は、図 4（a）の対応情報（クロック番号 #1～#6）に加え、64B/66B 符号化（後記）を行うフレームに関する対応情報（クロック番号 #7、#8）を格納する一例を示す構成図である。

【0020】

クロック供給部 20 の対応情報は、例えば、図 4（a）のクロック番号 #1 が、1 ギガファイバチャネルというプロトコル種別と、クロック周波数（ $1 \times 1.0625 \text{ GHz}$ ）とを対応づけるレコードを示し、そのアイドル符号は、受信済みである。なお、シリアル変換制御部 24 は、例えば管理者からの設定により、シリアル変換部 22 およびクロック供給部 20 の動作内容（例えば周波数の変更など）を逐一更新する。

【0021】

さらに、ネットワークインタフェース 1 は、符号化復号化部 26 を備えてもよい。符号化復号化部 26 は、通信するフレームに対して、8B/10B 符号化、64B/66B 符号化などのブロック符号化処理を行う。これらのブロック符号化処理は、文献（石田修、瀬戸康一郎監修、“10 ギガビット Ethernet（登録商標）教科書”、IDGジャパン、ページ 141、142）に記載されている。そして、符号化復号化制御部 28 は、符号化復号化部 26 の符号化に関する動作内容（例えばどの符号化方式を用いるかなど）を逐一更新する。

【0022】

ネットワークインタフェース 1 は、シリアル変換部 22 が特定したデータリンク層のフレームのプロトコル種別に応じて、そのプロトコル種別に合ったプロトコル別処理部 30 に、処理を割り振る。プロトコル別処理部 30 は、プロトコルごとに特有の処理を実行する構成要素であり、例えば、ファイバチャネルのフレームを処理するファイバチャネル処理部 32、iSCSI のフレームを処理する iSCSI 処理部 34、および、イーサのフレームを処理するイーサ処理部 36 などが挙げられる。なお、図 2 に示すプロトコル別処

10

20

30

40

50

理部 30 が扱うプロトコルの種別はあくまでも例示であり、この組み合わせに限定されることはなく、任意のデータリンク層のプロトコルの種別を扱う処理部を有する構成としてもよい。

【0023】

ここで、ネットワークインタフェース 1 は、データリンク層のフレームのプロトコル種別に関わらず、図 5 に示すように、物理層を扱う処理は共通化する。共通化する処理は、例えば、イーサとファイバチャネルとで共に行われるブロック符号化（ギガビットでは 8 B / 10 B 符号が主に使用される）である。

【0024】

図 6 は、フレームのフォーマットを示す説明図である。データリンク層のフレームは、イーサフレーム（図 6（a）参照）またはファイバチャネルフレーム（図 6（b）参照）である。イーサの場合は、iSCSI 処理または NAS（Network Attached Storage）処理を行い、ファイバチャネルの場合は、ファイバチャネル処理または FICON 処理を行うための手段を、プロトコル別処理部 30 において独立に用意することで、ネットワークインタフェース 1 はマルチプロトコルを扱う。なお、本実施形態では、図 6 に示された標準のフレームのフォーマットへの変更は行わないものとする。これにより、従来のフレームのプロトコル処理を行う装置との互換性を保つことができるので、既存資産の活用による低コストのシステム構築が可能となる。

【0025】

図 7 は、フレーム間のインターフレームギャップを示す説明図である。図 7（a）に示すギガビットイーサの MAC フレーム、および、図 7（b）に示すファイバチャネルの FC フレームは、いずれもフレームを送信する間に、アイドル符号が送信される。なお、ファイバチャネルには、IFG（Inter Frame Gap）内にプリミティブ信号が定義されている。

【0026】

以上、計算機システムの構成について、説明した。次に、本実施形態の計算機システムの動作について、図 1 から図 7 を参照しつつ、図 8 から図 11 に沿って説明する。

【0027】

図 8（a）は、フレームの受信処理の概要を示すフローチャートである。

【0028】

まず、ギガビットインタフェース変換部 10 は、ネットワークにネットワークインタフェース 1 を接続する（S101）。次に、シリアル変換部 22 は、S101 で接続したネットワークから、アイドル符号を検出する（S102）。これにより、アイドル符号のクロック周波数に対応するプロトコルのデータ通信を許可する。

【0029】

そして、ギガビットインタフェース変換部 10 および信号変換部 12 は、ネットワークからフレームを受信する（S103）。さらに、シリアル変換部 22 は、クロック周波数から受信フレームの通信プロトコルを判定する（S104）。そして、符号化復号化部 26 は、フレームを復号化する（S105）。さらに、プロトコル別処理部 30 は、データリンク層のフレームを取り出す（S106）。

【0030】

図 8（b）は、フレームの送信処理の概要を示すフローチャートである。

【0031】

まず、プロトコル別処理部 30 は、データリンク層のフレームを送信対象として設定する（S111）。次に、符号化復号化部 26 は、フレームを符号化する（S112）。そして、シリアル変換部 22 は、通信プロトコルから送信フレームのクロック周波数を設定する（S113）。さらに、ギガビットインタフェース変換部 10 および信号変換部 12 は、S113 で設定したクロック周波数にて、ネットワークにフレームを送信する（S114）。

【0032】

10

20

30

40

50

図9は、フレームの通信処理の一例を示すフローチャートである。このフローチャートは、クロック供給部20が図4(a)のデータを有しているときの、通信処理を示すものである。図9は、単一の符号化復号化方式(8B/10B符号化)を使用することを特徴とする。

【0033】

以下、フレームの受信処理を説明する。まず、マイクロプロセッサ16は、クロック選択用の変数Xに1を代入する(S201)。次に、シリアル変換部22は、クロック#Xを選択する(S202)。例えば、Xが1のときには、図4(a)の最上段のレコード(クロック#1)を選択する。

【0034】

ここで、シリアル変換部22は、クロック#Xについてのアイドル符号を検出したか否かを判定する(S203)。例えば、図4(a)のレコード(クロック#1)は、アイドル符号が受信済であるので、S203のYesに分岐する。

【0035】

まず、アイドル符号を未検出のとき(S203、No)には、シリアル変換部22は、クロック#Xが6未満であるか否かを判定する(S204)。もし、クロック#Xが6未満なら(S204、Yes)、マイクロプロセッサ16は、Xに1を加算し(S205)、処理をS202に戻す。一方、クロック#Xが6未満ではないなら(S204、No)、マイクロプロセッサ16は、処理をS201に戻す。

【0036】

一方、アイドル符号を検出済のとき(S203、Yes)には、シリアル変換部22は、クロック#Xを選択する(S206)。そして、シリアル変換部22は、クロック#Xの値を判定する(S207)。もし、クロック#Xの値が#1~#4のいずれかなら、S211から示すファイバチャネルに関する処理に進み、クロック#Xの値が#5または#6なら、S212から示すイーサに関する処理に進む。

【0037】

ここから、プロトコルごとに異なる処理となる。まず、シリアル変換部22は、ファイバチャネル(S211)、または、イーサ(S212)のフレームを抽出する。次に、符号化復号化部26は、ファイバチャネル(S211)、または、イーサ(S222)の復号化をする。

【0038】

そして、プロトコル別処理部30(ファイバチャネル処理部32またはイーサ処理部36)は、受信したフレームに対して、プロトコルの仕様に依存する処理(例えば、ヘッダの除去処理)を、ファイバチャネル(S231)、または、イーサ(S232)の受信対象となるフレームに対して行う。以上により、フレームの受信処理を説明した。

【0039】

以下、フレームの送信処理を説明する。プロトコル別処理部30(ファイバチャネル処理部32またはイーサ処理部36)は、送信するフレームのプロトコル仕様に基づく符号化処理(例えば、ヘッダの付加処理)を、ファイバチャネル(S241)、または、イーサ(S242)の送信対象となるフレームに対して行う。

【0040】

次に、シリアル変換部22は、送信対象となるフレームのプロトコルに対応するクロック#Xを選択し(S251)、符号化復号化部26は、符号化(8B→10Bに変換)を実施する(S252)。以上により、フレームの送信処理を説明した。

【0041】

図10は、複数の符号化方式を併用するフレームの受信処理を示すフローチャートである。このフローチャートは、クロック供給部20が図4(b)のデータを有しているときの、通信処理を示すものである。図10では、2つの方式(8B/10B符号化、および、64B/66B符号化)を併用している。なお、図9と同じ処理については、同一の符号を付して、説明を省略する。

10

20

30

40

50

【0042】

まず、8B/10B符号化(S301~S306)を説明する。符号化復号化部26は、10B符号を選択する(S301)。次に、シリアル変換部22は、クロックを選択する(S302)。ここで、シリアル変換部22は、S302で選択したクロックのアイドル符号を検出したか否かを判定する(S303)。

【0043】

まず、アイドル符号を検出していないとき(S303、No)には、シリアル変換部22は、クロック供給部20に登録されているクロックのうち、S302で選択したクロックを除く、まだ選択していないクロックがあるか否かを判定する(S304)。もし、まだ選択していないクロックがあるとき(S304、Yes)には、そのクロック処理をS302で選択する。一方、まだ選択していないクロックがないとき(S304、No)には、後記する64B/66B符号化の処理(S311~S316)を行う。

10

【0044】

一方、アイドル符号を検出しているとき(S303、Yes)には、符号化復号化部26は、10B→8B変換を行う(S305)。ここで、シリアル変換部22は、S302で選択したクロックに応じて分岐する(S306)。まず、クロックが#1~#4なら、ファイバチャネルに関する処理(S211、S221、S231)を行い、クロックが#5、#6なら、イーサに関する処理(S212、S222、S232)を行う。

【0045】

以下、64B/66B符号化の処理(S311~S316)を説明する。符号化復号化部26は、66B符号を選択する(S311)。次に、シリアル変換部22は、クロックを選択する(S312)。ここで、シリアル変換部22は、S312で選択したクロックのアイドル符号を検出したか否かを判定する(S313)。

20

【0046】

まず、アイドル符号を検出していないとき(S313、No)には、シリアル変換部22は、クロック供給部20に登録されているクロックのうち、S312で選択したクロックを除く、まだ選択していないクロックがあるか否かを判定する(S314)。もし、まだ選択していないクロックがあるとき(S314、Yes)には、そのクロック処理をS312で選択する。一方、まだ選択していないクロックがないとき(S314、No)には、マイクロプロセッサ16は、プロトコル未検出状態とする(S317)。

30

【0047】

一方、アイドル符号を検出しているとき(S313、Yes)には、符号化復号化部26は、66B→64B変換を行う(S315)。ここで、シリアル変換部22は、S312で選択したクロックに応じて分岐する(S316)。まず、クロックが#7なら、ファイバチャネルに関する処理(S211、S221、S231)を行い、クロックが#8なら、イーサに関する処理(S212、S222、S232)を行う。

【0048】

図11は、複数の符号化方式を併用するフレームの送信処理を示すフローチャートである。このフローチャートは、クロック供給部20が図4(b)のデータを有しているときの、通信処理を示すものである。図11では、2つの方式(8B/10B符号化、および、64B/66B符号化)を併用している。なお、図9と同じ処理については、同一の符号を付して、説明を省略する。

40

【0049】

まず、ネットワークインタフェース1は、図9で説明した処理(S241、S242、S251)を行う。次に、シリアル変換部22は、クロックの値によって分岐する(S401、S402)。

【0050】

もし、クロックが#1~#4(ファイバチャネルのフレーム)、または、#5、#6(イーサのフレーム)なら、符号化復号化部26は、符号化(8B→10B変換)を行う(S411)。一方、クロックが#7(ファイバチャネルのフレーム)、または、#8(イ

50

ーサのフレーム)なら、符号化復号化部26は、符号化(66B→64B変換)を行う(S411)。

【0051】

以上、計算機システムの動作について、説明した。次に、図1から図11に示す本実施形態の計算機システムと、図12から図15に示す比較例の計算機システムとの差異を明確にし、本実施形態の顕著な効果を主張する。

【0052】

図12は、比較例の計算機システムを示す構成図である。この比較例の計算機システムにおけるストレージ装置6は、接続するネットワークで使用されるプロトコルごとに、そのプロトコル専用のネットワークインタフェースを備える必要がある。例えば、図12では、iSCSIを使用するIP-SAN90には図13に示すネットワークインタフェース(iSCSI用)4Aが接続され、ファイバチャネルを使用するFC-SAN92には図14に示すネットワークインタフェース(ファイバチャネル用)4Bが接続されている。

10

【0053】

図13および図14に示すネットワークインタフェースは、1つのプロトコルしか扱わない。よって、クロック周波数とプロトコルとの対応情報は、1つで済む。そのため、図2に示すネットワークインタフェース1では、マルチクロック用としていた構成要素は、図13および図14では、シングルクロック用となる。具体的には、クロック供給部(シングルクロック用)40、シリアル変換部(シングルクロック用)42、および、符号化復号化部(シングルクロック用)44が、シングルクロック用となる。また、図2のプロトコル別処理部30の代わりに、図13および図14では、扱うプロトコル特有の処理部(図13のiSCSI処理部34、図14のファイバチャネル処理部32)が構成される。

20

【0054】

このように、プロトコルごとにネットワークインタフェースを用意する比較例の形態では、それぞれの通信プロトコルに応じたネットワークインタフェース基板を開発する必要がある。よって、ストレージ装置6の開発ベンダにとっては、個々のネットワークインタフェース基板の開発コストと管理コストが増加するとともに、ストレージ装置6のユーザも、自分が必要とするネットワークインタフェース基板を、プロトコル毎に購入する必要があるため、導入コストが増加してしまう。

30

【0055】

一方、図1に示す本実施形態の計算機システムでは、接続するネットワークで使用されるプロトコルが異なっても、ネットワークインタフェース1を用意することとする。これにより、ネットワークインタフェースを交換することなく、複数の通信プロトコルを扱うことが可能となる。よって、ホスト94とストレージ装置間の通信プロトコルとして所望のプロトコルを使用することができるので、最適化した計算機システムを構成することができる。

【0056】

さらに、本実施形態の計算機システムでは、同一ネットワークインタフェースに複数のポートを持つ場合にも、ポートごとに異なる通信プロトコルを扱うことで、少ないネットワークインタフェースで、多種の通信プロトコルをサポートすることが可能となり、ストレージ装置6のユーザの導入コストを抑えられる。

40

【0057】

以上説明した本発明は、以下のようにその趣旨を逸脱しない範囲で広く変形実施することができる。

【0058】

例えば、本実施形態では、シリアル変換部22は、アイドル符号が検出済みのクロック周波数に対応するプロトコルを、通信対象とすることとしたが、ネットワーク接続をする前に、管理者によりあらかじめクロックの選択とフレーム種類の抽出を固定して設定する

50

ことや、同様にフレーム種類のみを固定して設定することを可能とすることで、ネットワーク接続時には、管理者が設定した通信プロトコルしか扱えないようにすることもできる。そのため、管理者の設定ファイルなどにより、あらかじめ通信対象のプロトコルを明示的に指定してもよい。

【0059】

図15は、ポート設定テーブル（図16）の設定を示す説明図である。管理端末5は、マイクロプロセッサ52、メモリ54、イーサ56、および、記憶手段58を有する計算機である。イーサ56は、管理LANを介してストレージ装置6の管理用イーサ68と接続するネットワークのインタフェースである。管理端末5およびストレージ装置6は、プロトコル設定プログラムを実行することによって、以下の動作を行う。

10

【0060】

まず、管理端末5は、メモリ54に格納されたポート設定テーブルを、ストレージ装置6のメモリ64に送信する。ストレージ装置6は、メモリ64に格納されたポート設定テーブルをもとに、ストレージ装置6内の各ネットワークインタフェース1のポートを設定する。

【0061】

管理者の設定ファイルの一例として、図16は、ポート設定テーブルを示す構成図である。プロトコル欄内の“自動”は、アイドル符号の検出により、通信対象となるプロトコルを示し、プロトコル欄内の“固定”は、アイドル符号の検出に関わらず、通信対象となるプロトコルを示し、プロトコル欄内に記載されていないものは、アイドル符号の検出に関わらず、通信対象とならないプロトコルを示す。

20

【0062】

例えば、ポートAは、アイドル符号の検出により、クロック#1～#8に対応する8つのプロトコルが通信対象となる。ポートBは、アイドル符号の検出により、ファイバチャネル（クロック#1～#4、#7）のプロトコルが通信対象となる。しかし、ポートBは、アイドル符号の検出に関わらず、イーサ（#5、#6、#8）のプロトコルは、通信対象から除外する。

【0063】

また、ネットワークインタフェース1の各構成要素の実装形態は、マイクロプロセッサ16が実行するプログラムだけではなく、特定用途向け集積回路であるASIC（Application Specific Integrated Circuit）や、プログラマブルASICが実行するプログラムとしてもよい。さらに、論理回路として実装された1つ以上の構成要素を、専用のプロトコルチップに収めてもよい。

30

【0064】

さらに、プロトコル別処理部30の各処理部は、着脱可能な記憶媒体として構成し、その記憶媒体からプログラムを読み取って、実行することとしてもよい。これにより、プロトコルの追加や仕様変更を行う際には、ネットワークインタフェース1を交換する代わりに、記憶媒体を交換するだけで済むので、保守が容易になる。

【図面の簡単な説明】

【0065】

40

【図1】本発明の一実施形態に関する計算機システムを示す構成図である。

【図2】本発明の一実施形態に関するネットワークインタフェースを示す構成図である。

【図3】本発明の一実施形態に関するフレームの信号処理を示す説明図である。

【図4】本発明の一実施形態に関するクロック供給部（マルチクロック用）を示す構成図である。

【図5】本発明の一実施形態に関するプロトコルスタックを示す説明図である。

【図6】本発明の一実施形態に関するフレームのフォーマットを示す説明図である。

【図7】本発明の一実施形態に関するフレーム間のインターフレームギャップを示す説明図である。

【図8】本発明の一実施形態に関するフレームの通信処理の概要を示すフローチャートで

50

ある。

【図 9】本発明の一実施形態に関するフレームの通信処理の一例を示すフローチャートである。

【図 10】本発明の一実施形態に関する複数の符号化方式を併用するフレームの受信処理を示すフローチャートである。

【図 11】本発明の一実施形態に関する複数の符号化方式を併用するフレームの送信処理を示すフローチャートである。

【図 12】比較例の計算機システムを示す構成図である。

【図 13】比較例のネットワークインタフェース（iSCSI 用）を示す構成図である。

【図 14】比較例のネットワークインタフェース（ファイバチャネル用）を示す構成図である。 10

【図 15】本発明の一実施形態に関するポート設定テーブルの設定を示す説明図である。

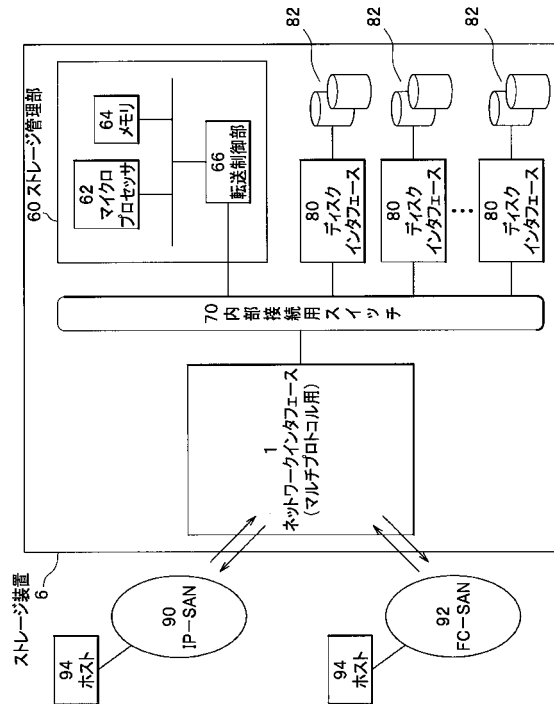
【図 16】本発明の一実施形態に関するポート設定テーブルを示す構成図である。

【符号の説明】

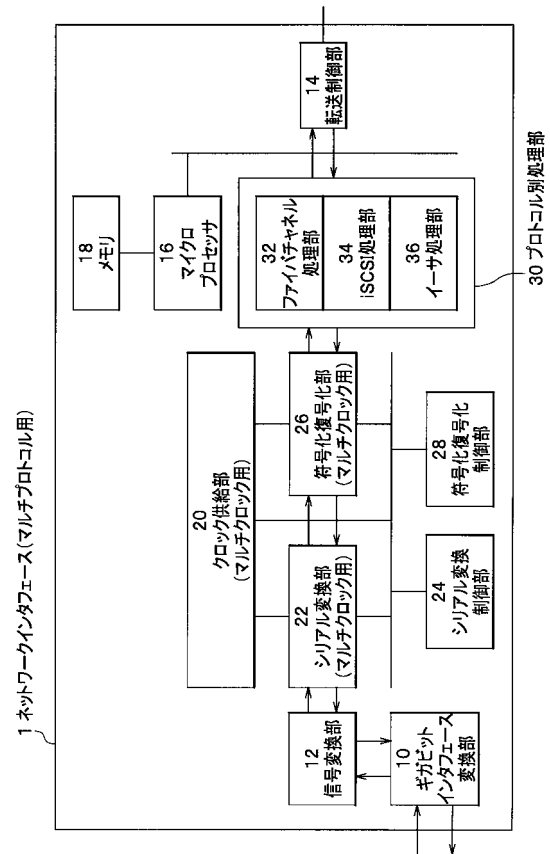
【0066】

1	ネットワークインタフェース	
6	ストレージ装置	
10	ギガビットインタフェース変換部（物理層処理部）	
12	信号変換部（物理層処理部）	
14	転送制御部	20
16	マイクロプロセッサ	
18	メモリ	
20	クロック供給部（マルチクロック用）	
22	シリアル変換部（マルチクロック用）	
24	シリアル変換制御部	
26	符号化復号化部（マルチクロック用）	
28	符号化復号化制御部	
30	プロトコル別処理部	
32	ファイバチャネル処理部	
34	iSCSI 処理部	30
36	イーサ処理部	

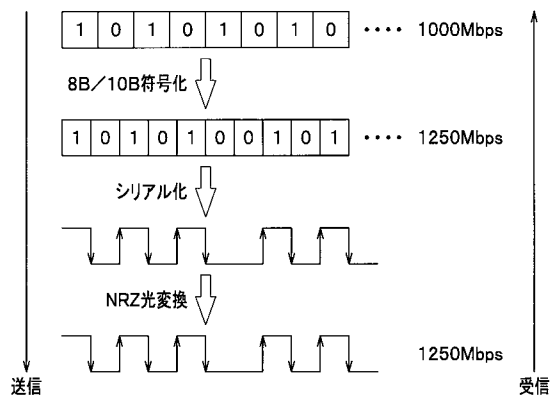
【図 1】



【図 2】



【図 3】



【図 4】

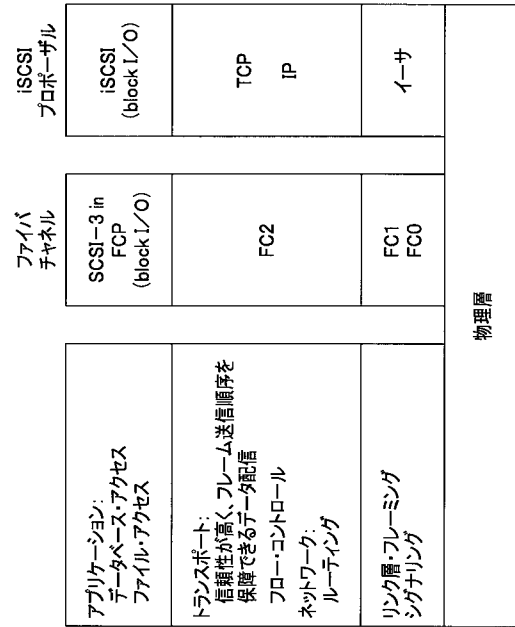
(a)

クロック番号	クロック	アイドル符号
#1	1ギガファイバチャネル用クロック 1 x 1.0625GHz	受信済
#2	2ギガファイバチャネル用クロック 2 x 1.0625GHz	受信済
#3	4ギガファイバチャネル用クロック 4 x 1.0625GHz	未受信
#4	10ギガファイバチャネル用クロック1 12 x 1.0625GHz	未受信
#5	1ギガイーサ用クロック 1.25GHz	受信済
#6	10ギガイーサ用クロック1 4 x 3.125GHz	未受信

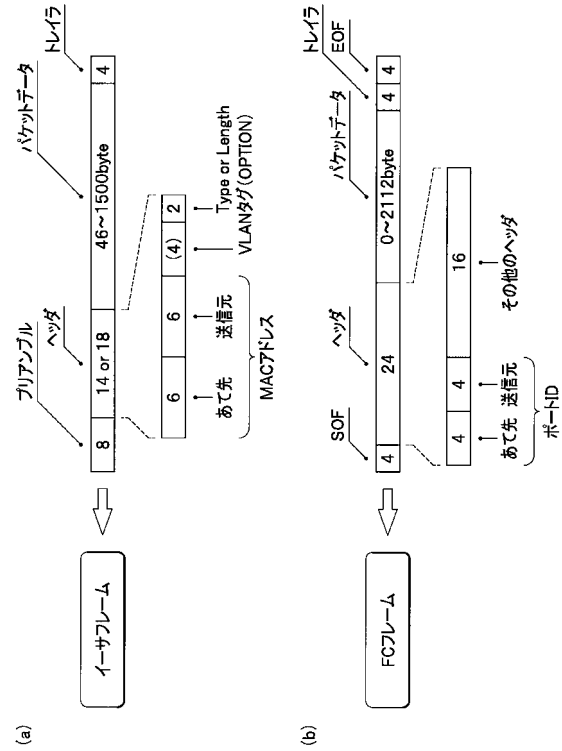
(b)

クロック番号	クロック	アイドル符号
#1	1ギガファイバチャネル用クロック 1×1.0625GHz	受信済
#2	2ギガファイバチャネル用クロック 2×1.0625GHz	受信済
#3	4ギガファイバチャネル用クロック 4×1.0625GHz	未受信
#4	10ギガファイバチャネル用クロック1 12×1.0625GHz	未受信
#5	1ギガイーサ用クロック 1.25GHz	受信済
#6	10ギガイーサ用クロック1 4×3.125GHz	未受信
#7	10ギガファイバチャネル用クロック2 10.51875GHz	受信済
#8	10ギガイーサ用クロック2 10.3125GHz	未受信

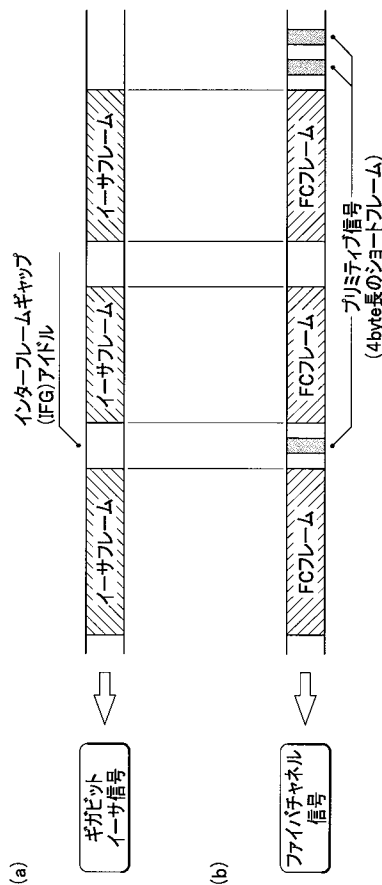
【図 5】



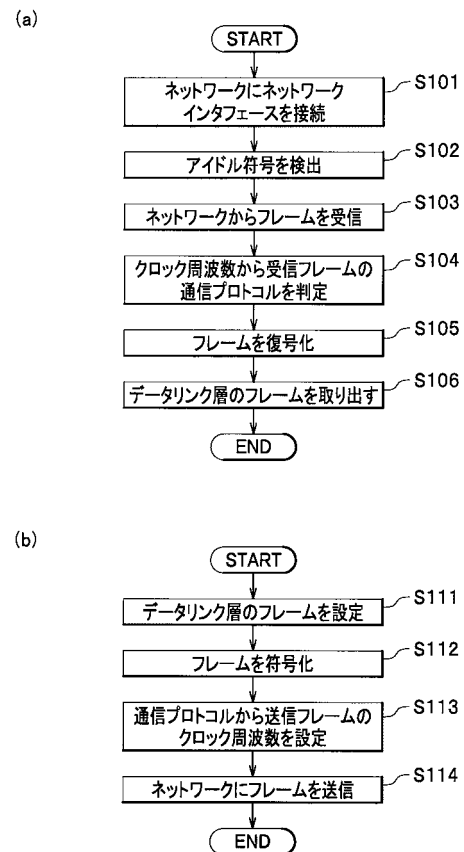
【図 6】



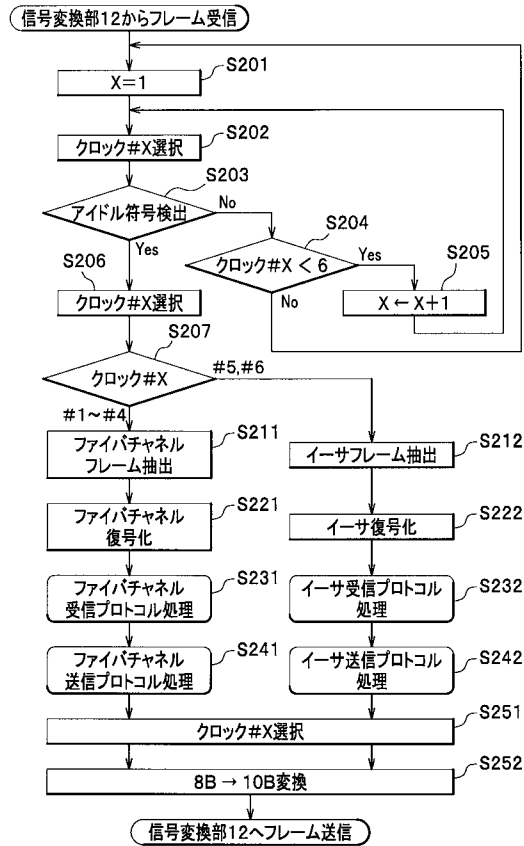
【圖 7】



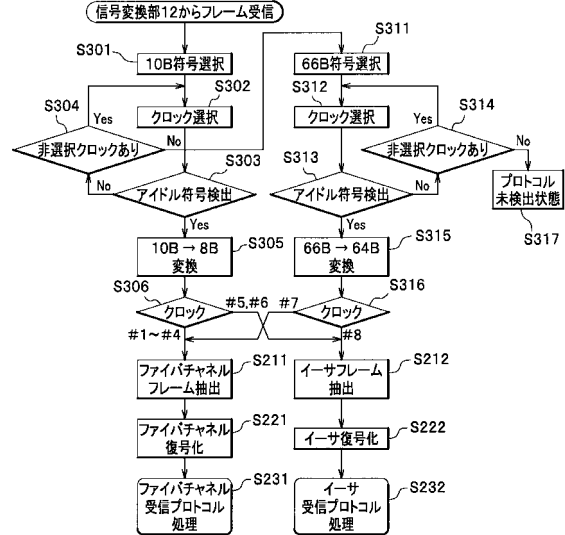
【图 8】



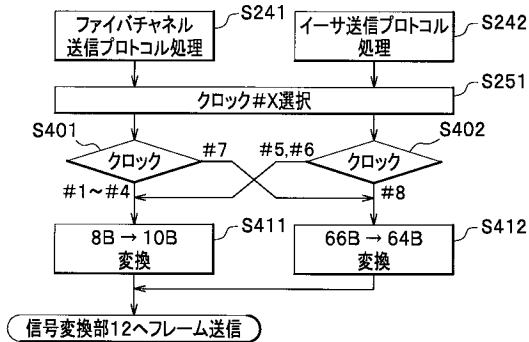
【図 9】



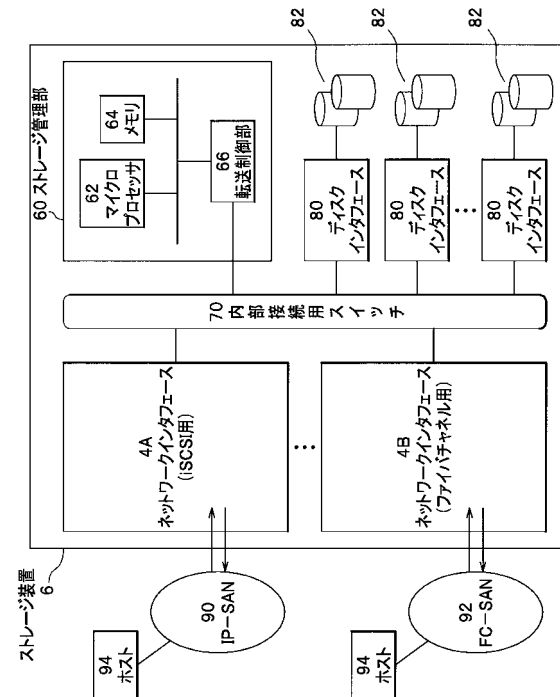
【図 10】



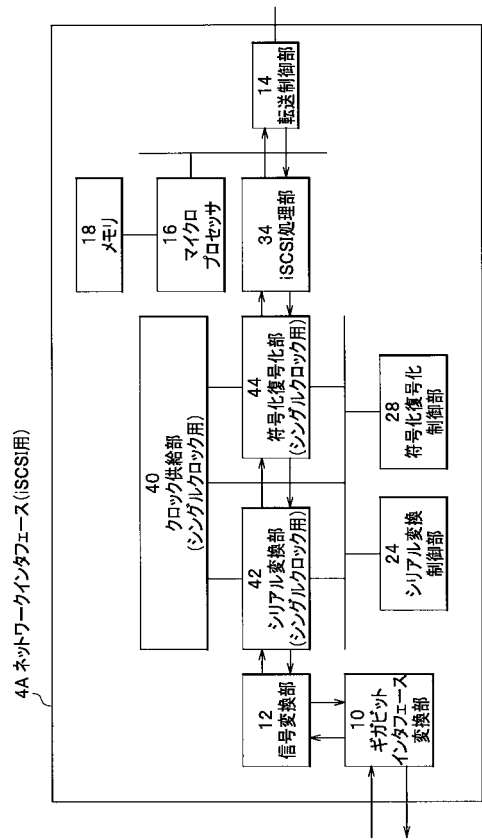
【図 11】



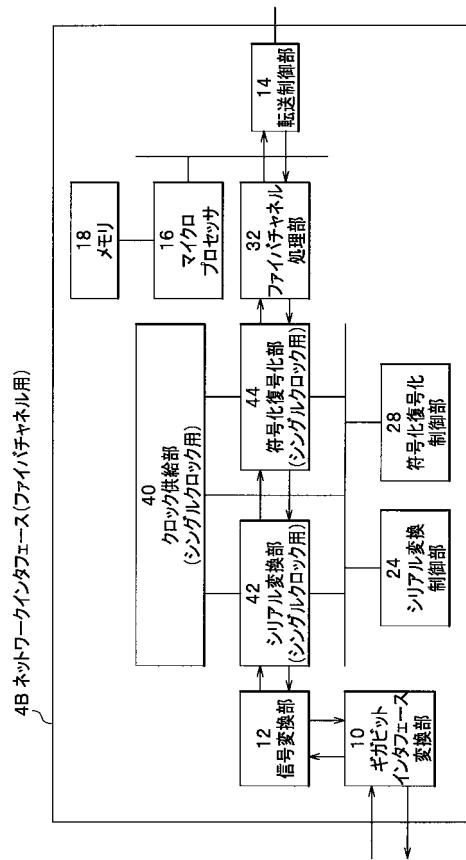
【図 12】



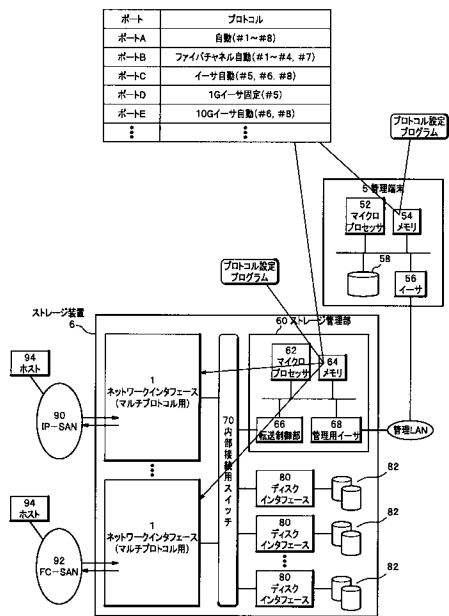
【図 1 3】



【図 1 4】



【図 1 5】



【図 1 6】

ポート	プロトコル
ポートA	自動(#1~#8)
ポートB	ファイバチャネル自動(#1~#4, #7)
ポートC	イーサ自動(#5, #6, #8)
ポートD	1Gイーサ固定(#5)
ポートE	10Gイーサ自動(#6, #8)
⋮	⋮

フロントページの続き

(51)Int.Cl. F I
G 0 6 F 13/38 3 5 0

(56)参考文献 特開平 1 0－0 6 9 3 5 7 (J P, A)
特開平 0 8－0 5 6 2 4 1 (J P, A)

(58)調査した分野(Int.Cl., D B名)
H 0 4 L 2 9／0 6
G 0 6 F 3／0 6
G 0 6 F 1 2／0 0
G 0 6 F 1 3／1 0
G 0 6 F 1 3／3 8